



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

210327

(11)

(B1)

(22) Přihlášeno 04 09 78
(21) (PV 5705-78)

(51) Int. Cl.³
H 03 K 19/00
H 03 K 19/36
B 21 B 37/00

(40) Zveřejněno 29 05 81

(45) Vydáno 15 06 83

(75)

Autor vynálezu

JIRKOVSKÝ JIŘÍ ing., NĚMEČEK VÁCLAV ing., VĚTROVEC JINDŘICH, PLZEŇ

(54) Jednotka víceúčelových bistabilních paměťových klopných obvodů

1

Vynález se týká jednotky víceúčelových bistabilních paměťových klopných obvodů, určené zejména pro sestavování logických systémů, např. v různých automatizačních zařízeních na válcovacích tratích a linkách pro další zpracování válcovaného materiálu apod.

Až dosud se paměťové obvody řeší sestavováním a propojováním diskretních součástí logických členů nebo relé. Např. zapojením dvou logických součtových nebo součinnových členů tak, že výstup jednoho logického členu je zapojen na vstup druhého logického členu, jehož výstup tvoří zpětnou vazbu na vstup prvního logického členu. Další vstupy logických členů pak slouží k ovládání paměti. V případě reléového paměťového obvodu je cívka relé ovládána jedním spínacím kontaktem a k cívkce relé je paralelně připojen druhý rozpínací kontakt, který má v sérii zapojen spínací kontakt cívkky relé.

Nevýhodou dosud používaných paměťových obvodů je to, že paměti jsou sestavovány vnějším propojováním diskretních součástek logických členů nebo relé jednorúčelově podle požadovaného použití, takže funkce zapojeného obvodu je neměnná. Další nevýhodou je to, že jednotka sestavená z diskretních součástí, zapojených jako paměť pro jednu funkci, zabírá v logickém systému stejného konstrukčního provedení značný modulový objem. Projekční zpracování logických systémů a jejich detailní prokreslování při použití jednorúčelových paměťových obvodů je pak značně zdlouhavé.

Uvedené nevýhody odstraňuje jednotka víceúčelových bistabilních klopných obvodů podle vynálezu, která sestává ze dvou vstupních invertorů, dvou součinnových bloků, součinnového hradla, dvou výstupních invertorů, čtyř vstupních a tří výstupních svorek podle vynálezu, jejíž podstatou je, že první vstupní řídicí svorka je spojena se záznamovým vstupem prvního invertoru, jehož výstup je paralelně připojen na záznamový vstup součinnového hradla a na

210327

záznamový vstup prvního součinnového bloku. Výstup prvního součinnového bloku je zapojen na první výstupní paměťovou svorku, na zpětnovazební vstup druhého součinnového bloku a na paměťový vstup součinnového hradla, jehož výstup je přes první výstupní invertor připojen na třetí výstupní paměťovou svorku.

Se vstupní nastavovací svorkou je pak spojen nastavovací vstup prvního součinnového bloku, jehož zpětnovazební vstup je paralelně zapojen na výstup druhého součinnového bloku a na paměťový vstup druhého výstupního invertoru, jehož výstup je spojen s druhou výstupní paměťovou svorkou. Druhá vstupní řídicí svorka je připojena na mazací vstup druhého vstupního invertoru, jehož výstup je zapojen na mazací vstup součinnového hradla a na mazací vstup druhého součinnového bloku, jehož nulovací vstup je spojen se vstupní nulovací svorkou.

Jednotka víceúčelových bistabilních paměťových klopných obvodů podle vynálezu je příkladně schematicky znázorněná blokovým schématem na připojeném výkresu.

Jak patrně z blokového schématu sestává jednotka podle vynálezu z prvního a druhého vstupního invertoru 1, 2 a prvního a druhého výstupního invertoru 3, 4, tvořených logickými členy NAND prvního integrovaného obvodu, prvního a druhého součinnového bloku 5, 6 ve zpětnovazebním paměťovém zapojení, realizovaných rovněž integrovaným obvodem a součinnového hradla 7 typu NAND. Dále jednotka sestává z první a druhé vstupní řídicí svorky A, B, vstupní nastavovací svorky C, vstupní nulovací svorky D a první, druhé a třetí výstupní paměťové svorky X, Y, Z, sloužících k jejímu připojení do logického automatizačního systému.

Jednotka podle vynálezu je pak zapojena tak, že první vstupní řídicí svorka A je spojena se záznamovým vstupem a prvního invertoru 1, jehož výstup je paralelně připojen na záznamový vstup f součinnového hradla 7 a na záznamový vstup e prvního součinnového bloku 5, jehož výstup je zapojen jednak na první výstupní paměťovou svorku X, jednak na zpětnovazební vstup h druhého součinnového bloku 6 a jednak na paměťový vstup g součinnového hradla 7. Výstup součinnového hradla 7 je spojen s kombinačním vstupem m prvního výstupního invertoru 3, jehož výstup je připojen na třetí výstupní paměťovou svorku Z.

Se vstupní nastavovací svorkou C je spojen nastavovací vstup c prvního součinnového bloku 5, jehož zpětnovazební vstup k je paralelně zapojen na výstup druhého součinnového bloku 6 a na paměťový vstup l druhého výstupního invertoru 4, jehož výstup je spojen s druhou výstupní paměťovou svorkou Y. Druhá vstupní řídicí svorka B je připojena na mazací vstup b druhého vstupního invertoru 2, jehož výstup je zapojen jednak na mazací vstup i součinnového hradla 7 a jednak na mazací vstup j druhého součinnového bloku 6, jehož nulovací vstup d je spojen se vstupní nulovací svorkou D.

Pro vysvětlení funkce a použití jednotky podle vynálezu v logickém automatizačním systému je vhodné použít logických vztahů Booleovy algebry a tabulek stavů. Na první a druhou vstupní řídicí svorku A, B, vstupní nastavovací svorku C a vstupní nulovací svorku D jednotky jsou přivedeny vstupní proměnné A, B, C, D, na první výstupní paměťovou svorku X je vyvedena výstupní a vnitřní proměnná X a na druhou a třetí výstupní paměťovou svorku Y, Z jsou vyvedeny výstupní proměnné Y, Z.

Dále jsou uvedeny závislosti mezi vstupními proměnnými A, B, C, D, vnitřní proměnnou X a výstupními proměnnými X, Y, Z v Booleově algebře, kde v souladu s technickou praxí znak v vyjadřuje logický součet, znak & vyjadřuje logický součin a znak - vyjadřuje negaci proměnné. Všechny dále uváděné vztahy jsou vyjádřeny v minimalizovaném tvaru, takže lze uvést

$$X = A \vee \bar{C} \vee \bar{B} \& D \& X \quad (1)$$

$$X = \bar{B} \& D \& (A \vee \bar{C} \vee Y) \quad (2)$$

$$Z = \bar{A} \& \bar{B} \& X \quad (3)$$

Tabulka stavů je pak následující:

A	B	C	D	X	Y	Z	(I)
L	L	L	L	H	L	H	
L	L	L	H	H	H	H	
L	L	H	L	L	L	L	
L	L	H	H	M	M	X	
L	H	L	L	H	L	L	
L	H	L	H	H	L	L	
L	H	H	L	L	L	L	
L	H	H	H	L	L	L	
H	L	L	L	H	L	L	
H	L	L	H	H	H	L	
H	L	H	L	H	L	L	
H	L	H	H	H	H	L	
H	H	L	L	H	L	L	
H	H	L	H	H	L	L	
H	H	H	L	H	L	L	
H	H	H	H	H	L	L	

V záhlaví tabulky (I) jsou uvedeny vstupní proměnné A, B, C, D, vnitřní proměnná X a výstupní proměnné X, Y, Z. Všem kombinacím vstupních proměnných A, B, C, D odpovídají uvedené stavy výstupních proměnných X, Y, Z, event. vnitřní proměnné X. Označení L pak odpovídá úrovni logické "0", označení H úroveň logické "1". Označení M vyjadřuje původní stav, který závisí na předchozí informaci, tj. paměťový stav. Z uvedeného je patrné, jaké paměťové funkce je možno jednotkou podle vynálezu obecně realizovat. Jako příklad praktického využití jednotky podle vynálezu jsou dále uvedeny čtyři typické varianty, které je možno dále rozšiřovat.

První varianta použití jednotky podle vynálezu je paměť typu R-S s převažujícím záznamem nad mazáním, ovládaná signály v pozitivní logice, např. elektronický ekvivalent obvodu samodržného relé, apod. Pro tuto variantu je nutno připojit nepoužitou vstupní nastavovací svorku C a vstupní nulovací svorku D na úroveň C = H, D = H, čemuž odpovídá vyjádření v Booleově algebře.

$$X = A \vee \bar{B} \& X$$

Tabulka stavů této paměťové funkce je pak následující:

A	B	X	(II)
L	L	M	
L	H	L	
H	L	H	
H	H	H	

Pro nulování uvedené paměti se připojí jednotlivé vstupy takto: první vstupní řídící svorka A = L, druhá vstupní řídící svorka B = L, vstupní nastavovací

svorka $\underline{C} = H$, výstupní nulovací svorka $\underline{D} = L$, pak na první výstupní paměťové svorce $\underline{X}$ je L , tzn., že nulování se provádí přivedením signálu L na vstupní nulovací svorku $\underline{D}$. Pro nastavení uvedené paměti se připojí jednotlivé vstupy takto: první vstupní řídící svorka $\underline{A} = L$, druhá vstupní řídící svorka $\underline{B} = L$, vstupní nastavovací svorka $\underline{C} = L$, vstupní nulovací svorka $\underline{D} = H$, pak na první výstupní paměťové svorce $\underline{X}$ je H , tzn., že se nastavení provádí přivedením signálu L na vstupní nastavovací svorku $\underline{C}$.

Druhá varianta použití jednotky podle vynálezu je paměť typu R-S s převažujícím mazáním nad záznamem, ovládaná signály v pozitivní logice, např. ekvivalent paměťového obvodu se členy NOR, apod. Pro tuto variantu je nutno připojit nepoužitou vstupní nastavovací svorku $\underline{C}$ a vstupní nulovací svorku $\underline{D}$ na úroveň $\underline{C} = D$, $\underline{D} = H$, čemuž odpovídá vyjádření v Booleově algebře.

$$X = \bar{B} \& (A \vee Y) \quad (5)$$

Tabulka stavů této paměťové funkce je pak následující:

A	B	Y
L	L	M
L	H	L
H	L	H
H	H	L

(III)

Pro nulování a nastavení uvedené paměti se připojí první vstupní řídící svorka $\underline{A}$, druhá vstupní řídící svorka $\underline{B}$, vstupní nastavovací svorka $\underline{C}$, vstupní nulovací svorka $\underline{D}$ stejným způsobem jako u první varianty použití jednotky podle vynálezu.

Třetí varianta použití jednotky podle vynálezu je kombinačně sekvenční obvod, který reaguje na zánik záznamového signálu, ovládaný signály v pozitivní logice, např. obvod, který reaguje na odclonění čidla polohy dopravovaným materiálem, apod. Pro tuto variantu je nutno připojit nepoužitou vstupní nastavovací svorku $\underline{C}$ a vstupní nulovací svorku $\underline{D}$ na úroveň $\underline{C} = H$, $\underline{D} = H$, čemuž odpovídá vyjádření v Booleově algebře.

$$Z = \bar{A} \& \bar{B} \& X \quad (6)$$

$$X = \bar{A} \vee \bar{B} \& X \quad (7)$$

kde X je vnitřní proměnná a Z je výstupní proměnná.

Tabulka stavů této paměťové funkce je pak následující:

A	B	Z	X
L	L	X	M
L	H	L	L
H	L	L	H
H	H	L	H

(IV)

Pro nulování a nastavení uvedené paměti se připojí první vstupní řídící svorka $\underline{A}$, druhá řídící svorka $\underline{B}$, vstupní nastavovací svorka $\underline{C}$ a výstupní nulovací svorka $\underline{D}$ stejným způsobem jako u první varianty použití jednotky podle vynálezu.

Čtvrtá varianta použití jednotky podle vynálezu je paměť typu R-S s převažujícím zá-
nikem záznamu nad mazáním, ovládaná signály v negativní logice, např. obvod pro ovládání,
integrovanych obvodů mechanickým spínačem, apod. Pro tuto variantu je nutno připojit nepou-
žitou první vstupní řídící svorku A a druhou vstupní řídící svorku B na úroveň A = B,
B = L, čemuž odpovídá vyjádření v Booleově algebře

$$X = \bar{C} \vee D \& X \quad (8)$$

Tabulka stavů této paměťové funkce je pak následující:

C	D	X
L	L	H
L	H	H
H	L	L
H	H	M

(V)

Pro nulování uvedené paměti se připojí jednotlivé vstupy takto: první vstupní řídící
svorka A = L, druhá vstupní řídící svorka B = H, vstupní nastavovací svorka C = H a vstup-
ní nulovací svorka D = H, pak na první výstupní paměťové svorce X je L, tzn., že se nulo-
vání provádí přivedením signálu H na druhou vstupní řídící svorku B. Pro nastavení uvede-
né paměti se připojí jednotlivé vstupy takto: první vstupní řídící svorka A = H, druhá
vstupní řídící svorka B = L, vstupní nastavovací svorka C = M a vstupní nulovací svorka
D = H, pak na první výstupní paměťové svorce X je H, tzn., že se nastavení provádí přive-
dením signálu H na první vstupní řídící svorku A.

Další možnosti použití jednotky podle vynálezu se nabízí při invertovaných vstupních
signálech, kdy např. u druhé varianty je možno invertované vstupní signály přivést na
vstupní nastavovací svorku C a na vstupní nulovací svorku D místo na první vstupní řídící
svorku A a druhou řídící svorku B. Je možno též využít vstupní signály, kdy jeden je v po-
zitivní logice a druhý v negativní a naopak, apod. Jednotku podle vynálezu lze s výhodou
použít jako tvarovacího klopného obvodu vnějším spojením první vstupní řídící svorky A se
vstupní nulovací svorkou D, přičemž tvarovaný výstupní signál je na první výstupní paměťo-
vé svorce X a nepoužitá první vstupní řídící svorka B a vstupní nastavovací svorka C jsou
připojeny na úroveň B = L, C = H.

Jednotku podle vynálezu lze pak s výhodou použít pro realizaci logických automatizač-
ních systémů, např. u různých typů válcovacích tratí, jako sochorových, vratných, pásových
a u linek pro tepelné a další technologické zpracování válcovaného materiálu apod., aniž by
se podstata vynálezu měnila.

P Ř E D M Ě T V Y N Á L E Z U

Jednotka víceúčelových bistabilních paměťových klopných obvodů, sestávající ze dvou
vstupních invertorů, dvou součinnových bloků, součinnového hradla, dvou výstupních invertorů,
čtyř vstupních a tří výstupních svorek, vyznačující se tím, že první vstupní řídící svorka
(A) je spojena se záznamovým vstupem (a) prvního vstupního invertoru (1), jehož výstup je
paralelně připojen na záznamový vstup (f) součinnového hradla (7) a na záznamový vstup (e)
prvního součinnového bloku (5), jehož výstup je zapojen na první výstupní paměťovou svorku
(X), na zpětnovazební vstup (h) druhého součinnového bloku (6) a na paměťový vstup (g) sou-
činnového hradla (7), jehož výstup je přes první výstupní invertor (3) připojen na třetí
výstupní paměťovou svorku (Z), přičemž se vstupní nastavovací svorkou (C) je spojen nastá-

vovací vstup (c) prvního součinnového bloku (5), jehož zpětnovazební vstup (k) je paralelně připojen na výstup druhého součinnového bloku (6) a na zpětnovazební vstup (l) druhého výstupního invertoru (4), jehož výstup je spojen s druhou výstupní paměťovou svorkou (Y), přičemž druhá vstupní řídící svorka (B) je připojena na mazací vstup (b) druhého vstupního invertoru (2), jehož výstup je zapojen na mazací vstup (i) součinnového hradla (7) a na mazací vstup (j) druhého součinnového bloku (6), jehož nulovací vstup (d) je spojen se vstupní nulovací svorkou (D).

1 list výkresů

