

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 29/78 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년09월01일 10-0618852 2006년08월25일	
(21) 출원번호 (22) 출원일자	10-2004-0058785 2004년07월27일	(65) 공개번호 (43) 공개일자	10-2006-0010174 2006년02월02일
(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매단동 416		
(72) 발명자	오창우 경기도 수원시 팔달구 영통동 1032-16 203호		
	박동건 경기도 성남시 분당구 수내동 양지마을금호1단지아파트 102동 903호		
	김동원 경기도 성남시 분당구 정자동 192번지 정든마을 506동 1602호		
	석성대 서울특별시 동작구 흑석동 명수대현대아파트 105동 502호		
(74) 대리인	리엔특특허법인 이해영		
(56) 선행기술조사문헌 us06342410 * * 심사관에 의하여 인용된 문헌	us06413802 *		

심사관 : 박근용

(54) 높은 동작 전류를 갖는 반도체 소자

요약

액티브 영역에 스트레스를 인가하여 동작 전류를 증대시킬 수 있는 반도체 소자를 개시한다. 개시된 본 발명의 반도체 소자는, 핀 형태의 액티브 영역을 한정하는 소자 분리막이 형성되어 있는 반도체 기판상에, 상기 액티브 영역을 가로지르도록 형성된 게이트 전극을 포함한다. 상기 게이트 전극 양측의 액티브 영역에 접합 영역이 형성되고, 상기 반도체 기판을 덮도록 스트레스 유기 박막이 형성된다.

대표도

도 2

색인어

SSC, 스트레스, 동작 전류, FinFET

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예를 설명하기 위한 SOI 반도체 소자의 단면도이다.

도 2는 본 발명의 다른 실시예에 따른 FinFET의 사시도이다.

도 3은 도 2의 a-a'선을 따라 절단하여 나타낸 단면도이다.

도 4는 도 2의 b-b'선을 따라 절단하여 나타낸 단면도이다.

도 5는 도 2의 c-c'선을 따라 절단하여 나타낸 단면도이다.

도 6은 액티브 마스크를 제거한 경우, 도 2의 a-a'선을 따라 절단한 단면도이다.

도 7은 액티브 마스크를 제거한 경우, 도 2의 c-c'선을 따라 절단한 단면도이다.

도 8은 본 발명의 또 다른 실시예에 따른 FinFET의 사시도이다.

도 9는 도 8의 d-d'선을 따라 절단하여 나타낸 단면도이다.

도 10은 도 8의 e-e'선을 따라 절단하여 나타낸 단면도이다.

도 11은 도 8의 f-f'선을 따라 절단하여 나타낸 단면도이다.

도 12는 액티브 마스크를 제거한 경우, 도 9의 d-d'선을 따라 절단한 단면도이다.

도 13은 액티브 마스크를 제거한 경우, 도 9의 f-f'선을 따라 절단한 단면도이다.

도 14는 본 발명의 다른 실시예에 따른 FinFET의 사시도이다.

도 15는 도 14의 g-g'선을 따라 절단하여 나타낸 단면도이다.

도 16은 도 14의 h-h'선을 따라 절단하여 나타낸 단면도이다.

도 17은 도 14의 i-i'선을 따라 절단하여 나타낸 단면도이다.

도 18은 본 발명의 다른 실시예를 설명하기 FinFET의 사시도이다.

도 19는 도 18의 j-j'선을 따라 절단하여 나타낸 단면도이다.

도 20은 도 18의 k-k'선을 따라 절단하여 나타낸 단면도이다.

도 21은 도 18의 l-l'선을 따라 절단하여 나타낸 단면도이다.

도 22 및 도 23은 본 발명의 실시예에 따른 접합 영역 및 채널층 저부를 감싸도록 형성된 스트레스 유기 박막을 보여주는 FinFET의 단면도이다.

도 24는 본 발명의 또 다른 실시예에 따른 FinFET의 사시도이다.

도 25는 도 20의 m-m'선을 따라 절단하여 나타낸 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자에 관한 것으로, 보다 구체적으로는 높은 동작 전류를 갖는 반도체 소자에 관한 것이다.

알려진 바와 같이, 트랜지스터의 성능은 트랜지스터의 동작 전류에 의해 결정된다. 이에 따라, 트랜지스터의 높은 동작 전류를 얻기 위한 노력이 계속되고 있으며, 그 일환으로 채널 영역에 스트레스를 인가하는 스트레인 실리콘 채널(strained silicon channel: 이하 SSC) 기술이 활발히 연구되고 있다.

SSC 기술은 MOSFET(metal oxide silicon field effect transistor) 상부에 스트레스층을 형성하여, 스트레인된(strained) 채널층을 제공하는 것이다. 이러한 SSC 기술은 T.Ghani씨 등에 의해 제안된 논문 "A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS Transistor" (2003, IEEE)에 개시되어 있다.

그러나, 상기와 같이 벌크 형태의 MOSFET 상부에 스트레스 유기층이 덮여진다고 하더라도, MOSFET이 형성되는 바디의 면적(혹은 두께)이 스트레스 유기층의 두께와 대비할 때 상당히 넓으므로, 스트레스 유기층에 의해 제공되는 스트레스가 바디 즉 기판내에서 분산된다. 이에 따라, 캐리어의 높은 이동도를 얻기 어렵고, 이로 인해 MOSFET의 높은 동작 전류를 얻는데 한계가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 얇은 채널층에 스트레스를 인가하여, 높은 동작 전류를 얻을 수 있는 반도체 소자를 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체 소자는 반도체 기판에 박막의 액티브 영역이 한정되고, 상기 액티브 영역 상에 게이트 전극 및 접합 영역으로 구성되는 MOSFET이 형성된다. 상기 반도체 기판상에 스트레스 유기 박막이 덮여져, 상기 MOSFET, 특히 MOSFET의 채널층에 스트레스가 인가된다.

본 발명의 다른 실시예에 따른 반도체 소자는, 핀 형태의 액티브 영역을 한정하는 소자 분리막이 형성되어 있는 반도체 기판상에, 상기 액티브 영역을 가로지르도록 형성된 게이트 전극을 포함한다. 상기 게이트 전극 양측의 액티브 영역에 접합 영역이 형성되고, 상기 반도체 기판을 덮도록 스트레스 유기 박막이 형성된다.

또한, 본 발명의 또 다른 실시예에 따르면, 본 발명의 반도체 소자는 핀 형태의 액티브 영역을 한정하는 소자 분리막이 형성되어 있는 반도체 기판상에, 상기 액티브 영역 양측부가 채워지도록 형성되는 제 1 스트레스 유기 박막을 포함한다. 상기 액티브 영역 및 상기 제 1 스트레스 박막 상부의 소정 부분에 게이트 전극이 형성되며, 상기 게이트 전극 양측의 액티브 영역에 접합 영역이 형성된다. 상기 액티브 영역, 상기 제 1 스트레스 유기 박막 및 게이트 전극 표면을 덮도록 제 2 스트레스 유기 박막이 형성된다.

또한, 본 발명의 다른 실시예에 따르면, 핀 형태의 액티브 영역을 한정하는 소자 분리막이 형성되어 있는 반도체 기판상에, 상기 액티브 영역을 가로지르도록 형성되는 게이트 전극을 포함한다. 상기 게이트 전극 양측의 액티브 영역에 접합 영역이 형성되고, 상기 액티브 영역 상부 및 측부, 게이트 전극 표면 및 상기 접합 영역의 저면을 감싸도록 상기 반도체 기판 내부로 연장되는 스트레스 유기 박막이 형성된다.

상기 게이트 전극은 상기 액티브 영역의 양 측면면과 게이트 산화막을 사이에 두고 오버랩되고, 상기 액티브 영역의 상면에는 액티브 영역을 한정하기 위한 액티브 마스크가 더 개재되어 있다. 또한, 상기 스트레스 유기 박막은 상기 접합 영역 사이에 형성되는 채널층 저면 또한 감싸도록 상기 반도체 기판내로 연장될 수 있다.

일예로, 상기 접합 영역의 불순물 타입이 p 타입인 경우, 상기 스트레스 유기 박막은 실리콘 산화막이 이용될 수 있고, 상기 접합 영역의 불순물이 n 타입인 경우, 상기 스트레스 유기 박막은 실리콘 질화막이 이용될 수 있다.

끝으로, 본 발명의 다른 실시예에 따른 반도체 디바이스는, 반도체 기판 및 상기 반도체 기판의 소정 부분에 형성되는 게이트 전극을 포함한다. 상기 게이트 전극 양측의 반도체 기판에 핀 형태로 형성되며, 상기 게이트 전극 하부의 반도체 기판에 스트레스를 유발하는 물질로 접합 영역이 형성된다.

상기 반도체 기판이 실리콘인 경우, 상기 접합 영역은 실리콘 게르마늄(SiGe)물질로 형성되고, 상기 반도체 기판이 실리콘 게르마늄인 경우, 상기 접합 영역은 실리콘으로 형성된다.

이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.

도 1은 본 발명의 일 실시예를 설명하기 위한 SOI 반도체 소자의 단면도이다. 도 1에 도시된 바와 같이, SOI 기판(50) 상부에 게이트 전극(70)이 형성된다. SOI 기판(50)은 공지된 바와 같이, 기지 실리콘(10), 매물 산화막(20) 및 실리콘층(30)으로 형성된다. 이때, 실질적으로 소자가 형성되는 실리콘층(30)은 일반적인 SOI 기판(50)의 실리콘층(30)의 두께 보다 얇은 두께, 예컨대, 접합 깊이 정도인 두께, 즉 수 nm 내지 수 μm 두께를 갖는다.

게이트 전극(70)과 SOI 기판(50) 즉, 실리콘층(30) 사이에 게이트 절연막(60)이 형성된다. 게이트 양측의 실리콘층(30)에 접합 영역(80a, 80b)이 형성된다. 접합 영역(80a, 80b)은 매물 산화막(20)과 접할 수 있다. 이에따라, SOI 기판(50) 상에 MOSFET이 완성된다. 또한, 상기 기판은 GOI(Ge on Insulator) 또는 SGOI(SiGe On Insulator)등과 같이 절연막-반도체층으로 구성된 기판이 사용될 수 있다.

MOSFET이 형성된 SOI 기판(50) 상부에 스트레스 유기 박막(90)이 형성된다. 스트레스 유기 박막(90)은 MOSFET의 채널층에 스트레스를 제공하기 위한 층으로서, 그 재질은 MOSFET의 주 캐리어에 의해 달라질 수 있다. 예컨대, 주 캐리어가 홀(hole)인 PMOSFET의 경우, PMOSFET의 채널층에 압축 스트레스(compressive stress)가 인가되어야 홀의 이동도를 증대시킬 수 있으며, 이러한 경우 스트레스 유기 박막(90)으로 실리콘 산화막이 이용될 수 있다. 한편, 주 캐리어가 전자(electron)인 NMOSFET의 경우, NMOSFET의 채널층에 장력 스트레스(tensile stress)가 인가되어야 전자의 이동도를 증대시킬 수 있으며, 이러한 경우 스트레스 유기 박막(90)으로 실리콘 질화막이 이용될 수 있다. 이러한 스트레스 유기 박막(90)은 박막의 실리콘층(30)에 충분한 스트레스를 인가할 수 있도록, 약 0.01 내지 100nm 두께로 형성됨이 바람직하다.

본 실시예에 의하면, 채널층에 인가되는 스트레스의 양을 증대시키기 위하여, 채널층 즉, 실리콘층(30)의 두께를 종래 보다 현저히 낮춘다. 이에 따라, 채널층의 단위 면적당 인가받는 스트레스의 양이 상대적으로 증대되어, 캐리어의 이동도를 증대시킬 수 있어, MOSFET의 동작 전류가 개선된다.

도 2는 본 발명의 다른 실시예에 따른 FinFET의 사시도이다. 도 3은 도 2의 a-a'선을 따라 절단한 단면도이고, 도 4는 도 2의 b-b'선을 따라 절단한 단면도이며, 도 5는 도 2의 c-c'선을 따라 절단한 단면도이다.

우선, 도 2, 도 3, 도 4 및 도 5를 참조하여, 반도체 기판(100) 상부에 액티브 영역을 한정하기 위한 액티브 마스크(110) 형성된다. 반도체 기판(100)은 Si 기판, SOI 기판, GOI 기판 또는 SiGeOI 기판일 수 있으며, 액티브 마스크(110)는 예를 들어 내산화 특성을 갖는 실리콘 질화막이 이용된다. 액티브 마스크(110)와 반도체 기판(100) 사이에는 액티브 마스크(110)와 반도체 기판(100)의 접착 특성을 개선하기 위한 패드 산화막(105)이 개재된다. 액티브 마스크의 형태로 반도체 기판(100)이 식각되어 트렌치(도시되지 않음)가 형성되고, 상기 트렌치 내부에 절연물이 매립되어 소자 분리막(115)이 형성된다.

소자 분리막(115)은 액티브 영역의 측벽이 노출될 수 있도록 소정 깊이만큼 식각되어, 양측면들이 노출된 핀(fin) 형태의 액티브 영역(100a)이 한정된다. 노출된 액티브 영역(100a)의 측벽에 게이트 산화막(120)이 형성되고, 액티브 영역(100a)의 소정 부분을 가로지르도록 게이트 전극(125)이 형성된다. 이때, 게이트 전극(125)은 핀 형상의 액티브 영역(100a)의 3면(상부 및 양 측면)을 덮도록 형성되되, 상기 게이트 전극(125)과 액티브 영역(100a)의 상면 사이에는 상기 액티브 마스크(110)가 잔류하고 있어, 실질적으로 게이트 전극(125)은 액티브 영역(100a)의 양측면과 게이트 산화막(120)을 사이에 두고 오버랩된다. 게이트 전극(125) 양측의 핀 형태의 액티브 영역(100a)에 불순물이 주입되어, 접합 영역(127a,127b)이 형성되어, FinFET이 완성된다.

FinFET이 형성된 반도체 기판(100) 전면에 마스크(혹은 레지스트 패턴)의 도입 없이 블랭킷(blanket) 방식으로 스트레스 유기 박막(130)이 피복된다. 스트레스 유기 박막(130)은 접합 영역(127a,127b) 상부 및 측부, 및 게이트 전극(125) 상부 및 그 측벽에 고르게 덮여진다. 스트레스 유기 박막(130)은 상술한 바와 같이, 상기 접합 영역(127a,127b)의 불순물 타입이 p형인 경우, 실리콘 산화막이 이용되고, 상기 접합 영역(127a,127b)의 불순물 타입이 n형인 경우, 실리콘 질화막이 이용될 수 있다.

이때, 게이트 전극(125) 및 접합 영역(127a,127b)은 그 표면에 실리사이드막이 더 형성되어 있을 수 있고, 상기 스트레스 유기 박막(130)은 실리사이드막이 형성되어 있는 FinFET 상부에 덮여질 수 있다.

상기에서도 설명한 바와 같이, 본 실시예의 게이트 전극(125)은 액티브 영역(100a)의 양 측벽면과 게이트 산화막(120)을 사이에 두고 각각 오버랩되므로, 더블 게이트(double gate) 형태를 취한다.

한편, 게이트 전극(125)이 형성되기 전, 액티브 마스크(110)와 패드 산화막(105)를 제거하게 되면, 도 6 및 도 7에 도시된 바와 같이, 게이트 전극(125)은 액티브 영역(100a)의 3면(상면 및 양 측벽면)과 오버랩되어, 트리플 게이트 (triple gate) 형태를 취하게 된다. 여기서, 도 6은 액티브 마스크(110)를 제거한 경우, 도 2의 a-a'선을 따라 절단한 단면도이고, 도 7은 액티브 마스크(110)를 제거한 경우 도 2의 c-c'선을 따라 절단한 단면도이다. 아울러, 액티브 마스크(110)를 제거한 경우 도 2의 b-b'선을 따라 절단한 단면은 상기 도 4의 단면과 동일하므로 생략하기로 한다.

또한, 핀 형태의 액티브 영역(100a)은 라인(line) 형태로 연장하거나, 상기 도 2, 도 5 및 도 7과 같이 섬(island) 형태로 고립시킬 수 있다. 또한, 상기 액티브 영역(100a)을 부분적으로 패터닝하여 원하는 방향으로 스트레스를 인가할 수 있다.

여기서, 상기 게이트 전극(125)의 상부에 하드 마스크막 및 스페이서가 더 형성될 수 있고, 이들 하드 마스크막 및 스페이서가 스트레스 유기 박막(130)과 동일한 물질인 경우, 이들이 스트레스 유기 박막으로 이용될 수 있다.

본 실시예에서는, 단위 면적당 스트레스 인가 강도를 증대시키기 위하여, 액티브 영역(100a)이 핀 형태로 제작된다. 직접적으로 스트레스를 인가받는 액티브 영역(100a)의 표면적이 실질적으로 증대되므로, 스트레스 인가 강도가 증대되어, 캐리어 이동도를 개선할 수 있다.

아울러, 트랜지스터가 FinFET 형태로 구성되므로, MOSFET의 단채널 효과(short channel effect)를 감소시키고, 접합 영역(127a,127b)간의 누설 전류를 감축시킬 수 있는 부수적인 효과가 있다.

도 8은 본 발명의 또 다른 실시예에 따른 FinFET의 사시도이다. 도 9는 도 8의 d-d'선을 따라 절단한 단면도이고, 도 10은 도 8의 e-e'선을 따라 절단한 단면도이고, 도 11은 도 8의 f-f'선을 따라 절단한 단면도이다.

본 실시예의 스트레스 유기 박막(135)은 도 8 내지 도 11에 도시된 바와 같이 스페이서(spacer) 형태로 제작될 수 있다. 즉, 스트레스 유기 박막(135)은 핀 형태의 액티브 영역(100a)의 양 측벽 및 게이트 전극(125)의 양 측벽에 제공된다.

스페이서 형태의 스트레스 유기 박막(135)은 상술한 도 2 내지 도 6을 설명하는 실시예의 제작방법과 거의 동일하며, 상기 블랭킷 형태로 덮여진 스트레스 유기 박막(130)을 게이트 전극(125) 표면, 핀 형태의 액티브 영역(100a) 표면 및 소자 분리막(115)의 표면이 노출되도록 비등방성 식각을 추가로 진행하여 얻어진다.

또한, 상술한 바와 같이, 액티브 마스크(110)가 제거되지 않는 경우, 도 9 및 도 11에 도시된 바와 같이 더블 게이트 구조가 달성되고, 액티브 마스크(110)가 제거되는 경우, 도 12 및 도 13에 도시된 바와 같이 트리플 게이트 구조가 달성된다.

스트레스 유기 박막(135)을 형성한 다음, 게이트 전극(125) 및 접합 영역(127a,127b) 상부에 실리사이드막을 형성할 수 있다. 본 실시예의 스트레스 유기 박막(135)은 실리사이드막 형성전에 형성되기 때문에, 스트레스 유기 박막(135) 형성하는 단계와 실리사이드막 형성 단계 사이에 액티브 영역에 스트레스를 인가하기 위한 고온의 열처리 공정을 실시할 수 있다. 알려진 바와 같이, 실리사이드막을 형성한 후, 고온의 열처리 공정을 실시하게 되면 실리사이드막의 특성이 변화되므로, 스트레스 유기 박막 형성 이전에 실리사이드막이 형성되는 경우 열처리 공정을 진행하지 못하는 것이 일반적인 실정이다. 하지만, 본 실시예와 같이 스페이서 형태로 스트레스 유기 박막을 형성하게 되면 스트레스 유기 박막 후에 실리사이드막을 형성할 수 있으므로, 스트레스 인가를 위한 고온의 열처리 공정을 수행할 수 있다. 이러한 열처리 공정에 의하여 액티브 영역(100a)에 보다 큰 스트레스를 인가할 수 있다.

도 14는 본 발명의 다른 실시예에 따른 플래너(planar) MOSFET의 사시도이다. 도 15는 도 14의 g-g'선을 따라 절단한 단면도이고, 도 16은 도 14의 h-h'선을 따라 절단한 단면도이고, 도 17은 도 14의 i-i'선을 따라 절단한 단면도이다.

본 실시예는 액티브 영역(100a)에 보다 큰 스트레스를 인가하기 위하여, 액티브 영역(110a) 양측의 공간부에 스트레스 유기 박막을 채운다.

이를 자세히 설명하면, 상술한 실시예와 마찬가지로, 소자 분리막(115)에 의해 액티브 영역을 한정하고, 소자 분리막(115)을 소정 깊이만큼 제거하여 액티브 영역(100a)을 한정한다. 액티브 영역(100a) 표면에 게이트 산화막(120)이 형성된다.

그후, 본 실시예에서는 액티브 영역(100a) 양측의 소자 분리막(115) 상부에 제 1 스트레스 유기 박막(140)이 채워진다. 액티브 영역(100a) 및 제 1 스트레스 유기 박막(140) 상부에, 상기 핀 형태의 액티브 영역(100a)을 가로지르도록 게이트 전극(125)이 배치되고, 게이트 전극(125) 양측의 액티브 영역 접합 영역(127a,127b)이 형성되어 플래너 MOSFET이 완성된다. 이때, 게이트 전극(125) 상부 및 접합 영역(127a,127b) 상부에 실리사이드막(도시되지 않음)이 형성될 수 있으며, 플래너 MOSFET이 형성된 결과물 상부에 제 2 스트레스 유기 박막(145)이 덮여진다.

본 실시예의 스트레스 박막은 액티브 영역(100a)의 상부에 덮여지며, 액티브 영역(100a)의 양측부의 공간에 충전된다. 이에 따라, 액티브 영역(100a)의 3면으로부터 스트레스가 인가되므로, 스트레스 강도가 증대된다.

또한, 실리사이드막을 형성하기 전에, 액티브 영역(100a) 양측에 제 1 스트레스 유기 박막(140)이 제공되므로, 보다 큰 스트레스를 추가하기 위하여, 제 1 스트레스 유기 박막(140)에 고온의 열처리를 수행할 수 있다.

도 18은 본 발명의 다른 실시예를 설명하기 FinFET의 사시도이다. 도 19는 도 18의 j-j'선을 따라 절단하여 나타낸 단면도이고, 도 20은 도 18의 k-k'선을 따라 절단하여 나타낸 단면도이고, 도 21은 도 18의 l-l'선을 따라 절단하여 나타낸 단면도이다.

본 실시예의 스트레스 유기 박막(150)은 도 18, 도 19, 도 20 및 도 21에 도시된 바와 같이, 핀 형태의 액티브 영역(100b) 상부, 측부 및 접합 영역(127a,127b)의 저부를 감싸도록 형성된다. 이에 따라, 액티브 영역(100b), 특히 채널층에 보다 강력한 스트레스를 인가할 수 있다.

이를 보다 자세히 설명하면, 스트레스 유기 박막(150)이 액티브(100b) 영역 상부, 측부 및 접합 영역(127a,127b)의 저부를 감싸도록 형성하기 위하여, 반도체 기판 상부에 희생층(도시되지 않음) 및 액티브층이 제공된다. 상기 희생층은 소정 간격 이격된 패턴 형태로 형성되고, 상기 액티브층은 희생층 및 기판(100) 상부에 덮여진다. 이때, 희생층 및 액티브층은 반도체 기판과 유사한 격자 상수를 가지면서, 희생층은 상기 기판과 액티브층 각각과 식각 선택비를 갖는 물질을 이용할 수 있다. 예컨대, 이러한 희생층으로는 SiGe 물질이 이용될 수 있고, 액티브층 기판과 동일한 Si 물질로 형성될 수 있다. 이러한 액티브층, 희생층 및 반도체 기판(100)은 소자 분리막(115) 형성 및 제거에 의해 핀 형태의 구조물이 된다.

그후, 희생층을 예컨대 습식 식각 방식등에 의하여 선택적으로 제거하면, 액티브층과 반도체 기판(100) 사이에 공간이 발생되고, 상기 액티브층과 반도체 기판(100)은 본 실시예의 액티브 영역(100b)이 된다. 여기서, 상기 액티브층은 액티브 영역(100b)의 상부 부분, 즉 접합 영역이 형성되는 영역에 해당된다.

공지와 같이 게이트 산화막(120), 게이트 전극(125) 및 접합 영역(127a,127b)을 형성한 다음, 결과물 상부에 스트레스 유기 박막(150)을 도포한다. 그러면, 스트레스 유기 박막(150)은 결과물 상부뿐만 아니라, 액티브층과 반도체 기판(100) 사이의 공간에도 충전되어, 도 20 및 도 21에 도시된 바와 같이 액티브 영역(100b) 내부에도 존재하게 된다. 이에 따라, 스트레스 유기 박막(150)이 접합 영역(127a,127b)의 저면을 감싸게 된다.

한편, 도 22 및 도 23에 도시된 바와 같이, 스트레스 유기 박막(155)은 핀 형태의 액티브 영역(100c)의 상면 및 측면, 게이트 전극(125)의 표면, 접합 영역(127a,127b)의 저면 및 상기 접합 영역(127a,127b) 사이에 발생하는 채널층의 저면 또한 감싸도록 반도체 기판(100) 내부로 연장된다. 이러한 본 실시예의 스트레스 유기 박막(155)은 액티브 마스크(110)를 잔류시키면서, 희생층을 패턴이 아닌 층(layer) 형태로 형성하므로써 상기한 구조를 제작할 수 있다.

즉, 앞서 설명한 실시예에서는 스트레스 유기 박막(150)이 접합 영역(127a,127b) 하부에 존재하도록 상기 희생층이 패턴 형태로 형성되었다. 하지만, 본 실시예에서는 희생층을 층 형태로 형성하고, 그 상부 액티브층을 형성한다음, 상기 희생층을 선택적으로 제거한다. 이에 따라, 상기 액티브층과 반도체 기판(100) 사이에 공간부가 마련되고, 그 공간부에 스트레스 유기 박막이 충전되므로써, 반도체 기판(100)과 액티브 층 사이의 공간에 스트레스 유기 박막이 개재된다.

더불어, 액티브 영역을 한정하기 위한 액티브 마스크(110)를 제거하지 않고 잔류시킴으로써, 액티브 영역(100c)의 전 표면을 둘러싸도록 스트레스 유기 박막(155)을 형성할 수 있다.

본 실시예에 따르면, 스트레스 유기 박막을 핀 형태의 액티브 영역 내에 내장시키므로써, 보다 강한 스트레스를 인가할 수 있다.

도 24는 본 발명의 또 다른 실시예에 따른 FinFET의 사시도이고, 도 25는 도 20의 m-m'선을 따라 절단하여 나타낸 단면도이다.

본 실시예는 도 24 및 도 25에 도시된 바와 같이, FinFET과 같이 가늘고 긴 액티브 영역에, 접합 영역(160a,160b)을 스트레스 유기 물질로 구성한다. 이에 따라, 채널 영역(100d)에 직접적으로 스트레스를 인가한다.

이에 대해 상세히 설명하면, 우선, 상기한 실시예들과 마찬가지로, 핀 형태의 액티브 영역(100a) 및 액티브 영역(100a)을 가로지르도록 게이트 전극(125)이 형성된다. 이때, 게이트 전극(125)은 그 상부에 하드 마스크막(126)이 형성될 수 있고, 그 양측벽에 스페이서(128)가 형성되어 있을 수 있다.

그후, 게이트 전극(125)에 의해 노출된 액티브 영역(100a)이 선택적으로 제거되어, 액티브 영역(100a)은 채널 영역(100d)에만 잔류하게 된다. 다음, 게이트 전극(125) 측부의 영역(액티브 영역이었던 영역)에 스트레스 유기 물질이 소정 깊이, 예컨대, 접합 영역의 깊이 정도로 충전된다. 상기 스트레스 유기 물질은 액티브 영역(100a)과 반도체층으로서 예컨대 에피택셜 층일 수 있다.

이때, 잔류 액티브 영역(100a) 즉, 채널 영역이 Si인 경우(PMOS 트랜지스터인 경우), 압축 스트레스가 인가될 수 있도록 스트레스 유기 물질로 채널 반도체의 격자 상수보다 더 큰 격자 상수를 갖는 에피택셜층, 예컨대 SiGe가 이용된다. 한편, 잔류 액티브 영역(100a) 즉, 채널 영역이 SiGe인 경우(NMOS 트랜지스터인 경우), 장력 스트레스가 인가될 수 있도록 스트레스 유기 물질로 채널 반도체의 격자 상수보다 더 작은 격자 상수를 갖는 에피택셜층, 예컨대 Si층이 이용된다.

게이트 전극(125) 양측에 충전되어진 스트레스 유기 물질에 p형 또는 n형의 불순물을 이온 주입하여, 스트레스 유기 물질로 된 접합 영역(160a,160b)이 형성된다.

본 실시예에 의하면, 핀 형태의 액티브 영역 내에 스트레스 유기 물질로 접합 영역(160a,160b)을 형성한다. 이에 따라, 채널 영역의 양측에서 직접적으로 스트레스를 인가할 수 있고, 더욱이 채널 영역이 핀 형태를 가지므로, 부여되는 스트레스 인가 강도가 훨씬 증대된다.

상기한 본 발명은 반도체 기판에 국한하여 설명하였으나, SOI 기판, GOI 또는 SiGeOI 기판과 같이 절연막 상부에 반도체 층이 적층되어 있는 구조의 기판에도 동일하게 적용 가능하다.

발명의 효과

이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 핀 구조와 같은 박막의 액티브 영역의 적어도 일면에 스트레스 유기 박막을 피복한다. 스트레스가 인가되는 매체가 종래에 비해 상대적으로 박막(또는 작은 선폴)을 가짐에 따라, 스트레스가 유기되는 강도는 훨씬 증대된다.

이에 따라, 채널층의 캐리어 이동도가 증대되어, 동작 전류를 개선할 수 있다.

덧붙여, 액티브 영역을 핀 형태로 제작함에 따라, MOSFET의 단채널 효과 및 소오스 드레인간의 누설 전류를 감축시킬 수 있다.

이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

삭제

(57) 청구의 범위

청구항 1.

박막의 액티브 영역을 갖는 반도체 기판;

상기 액티브 영역 상에 형성되는 게이트 전극 및 접합 영역으로 구성되는 MOSFET; 및

상기 MOSFET을 덮도록 반도체 기판 상부에 형성되며, 상기 반도체 기판 및 MOSFET 영역에 스트레스를 인가하여 채널 이동도를 증대시키는 스트레스 유기 박막을 포함하며,

상기 스트레스 유기 박막은 상기 MOSFET이 PMOSFET인 경우 상기 액티브 영역에 압축 스트레스를 인가하는 절연막이고, 상기 MOSFET이 NMOSFET인 경우 상기 액티브 영역에 장력 스트레스를 인가하는 절연막인 반도체 소자

청구항 2.

제 1 항에 있어서, 상기 반도체 기판은 기지 실리콘, 매몰 산화막 및 반도체층으로 구성된 SOI, GOI 또는 SiGeOI 기판중 어느 하나일 수 있고,

상기 반도체층은 상기 반도체 기판의 액티브 영역이 되며, 상기 MOSFET의 접합 영역의 깊이 정도의 두께를 갖는 것을 특징으로 하는 반도체 소자.

청구항 3.

제 1 항에 있어서, 상기 반도체 기판은 기지 실리콘, 매몰 산화막 및 반도체층으로 구성된 SOI, GOI 또는 SiGeOI 기판중 어느 하나일 수 있고,

상기 반도체층이 상기 액티브 영역이 되며, 상기 액티브 영역은 그것의 양 측면이 상기 게이트 전극과 오버랩되는 핀 형태를 갖는 것을 특징으로 하는 반도체 소자.

청구항 4.

제 1 항에 있어서, 상기 반도체 기판은 실리콘 기판이고,

상기 액티브 영역은 그것의 양측면이 상기 게이트 전극과 오버랩되는 핀 형태를 갖는 것을 특징으로 하는 반도체 소자.

청구항 5.

제 1 항에 있어서, 상기 PMOSFET에 압축 스트레스를 인가하는 절연막은 실리콘 산화막이고, 상기 NMOSFET에 장력 스트레스를 인가하는 절연막은 실리콘 질화막인 반도체 소자

청구항 6.

제 1 항에 있어서, 상기 액티브 영역이 핀 형태인 경우, 상기 스트레스 유기 박막은 상기 액티브 영역 상면 및 측면을 덮도록 형성되는 것을 특징으로 하는 반도체 소자.

청구항 7.

제 4 항에 있어서, 상기 액티브 영역이 핀 형태인 경우, 스트레스 유기 박막은 상기 액티브 영역의 측면 및 상기 게이트 전극의 측면에 스페이서 형태로 형성되는 것을 특징으로 하는 반도체 소자.

청구항 8.

제 1 항에 있어서, 상기 스트레스 유기 박막은,

상기 액티브 영역의 양측부의 공간이 충전되도록 형성되는 제 1 스트레스 유기 박막; 및

상기 액티브 영역 및 상기 제 1 스트레스 유기 박막 상부에 형성되는 제 2 스트레스 유기 박막으로 구성되는 것을 특징으로 하는 반도체 소자.

청구항 9.

제 1 항에 있어서, 상기 액티브 영역이 핀 형태인 경우,

상기 스트레스 유기 박막은 상기 액티브 영역 상부 및 측부, 그리고 접합 영역의 저부를 감싸도록 형성되는 것을 특징으로 하는 반도체 소자.

청구항 10.

제 1 항에 있어서, 상기 액티브 영역이 핀 형태인 경우,

상기 스트레스 유기 박막은 상기 액티브 영역 상부 및 측부, 그리고 상기 접합 영역 및 상기 접합 영역 사이의 채널층의 저부를 감싸도록 형성되는 것을 특징으로 하는 반도체 소자.

청구항 11.

핀 형태의 액티브 영역을 한정하는 소자 분리막이 형성되어 있는 반도체 기판;

상기 액티브 영역을 가로지르도록 형성되는 게이트 전극;

상기 게이트 전극 양측의 액티브 영역에 형성되는 접합 영역; 및

상기 게이트 전극 및 접합 영역이 형성되어 있는 반도체 기판을 덮도록 형성되어 상기 액티브 영역의 이동도를 개선시키기 위한 스트레스 유기 박막을 포함하며,

상기 접합 영역이 p타입 불순물인 경우 상기 스트레스 유기 박막은 압축 스트레스가 인가되는 절연 물질로 형성하고,

상기 접합 영역이 n타입 불순물인 경우 상기 스트레스 유기 박막은 장력 스트레스가 인가되는 절연 물질로 형성하는 반도체 소자.

청구항 12.

제 11 항에 있어서, 상기 게이트 전극은 상기 액티브 영역의 양 측벽면과 게이트 산화막을 사이에 두고 오버랩되며,

상기 액티브 영역의 상면에 액티브 영역을 한정하기 위한 액티브 마스크가 더 개재되어 있는 것을 특징으로 하는 반도체 소자.

청구항 13.

제 11 항에 있어서, 상기 게이트 전극은 상기 액티브 영역의 양 측벽면 및 상부면 각각과 게이트 산화막을 사이에 두고 오버랩되는 것을 특징으로 하는 반도체 소자.

청구항 14.

제 11 항에 있어서, 상기 스트레스 유기 박막은 상기 액티브 영역 및 게이트 전극의 표면을 따라 형성되는 것을 특징으로 하는 반도체 소자.

청구항 15.

제 11 항에 있어서, 상기 압축 스트레스를 인가하는 절연막은 실리콘 산화막인 것을 특징으로 하는 반도체 소자.

청구항 16.

제 11 항에 있어서, 상기 장력 스트레스를 인가하는 절연막은 실리콘 질화막인 것을 특징으로 하는 반도체 소자.

청구항 17.

액티브 영역을 한정하는 소자 분리막이 형성되어 있는 반도체 기판;

상기 액티브 영역 양측부가 채워지도록 형성되는 제 1 스트레스 유기 박막;

상기 액티브 영역 및 상기 제 1 스트레스 박막 상부의 소정 부분에 형성되는 게이트 전극;

상기 게이트 전극 양측의 액티브 영역에 형성되는 접합 영역; 및

상기 액티브 영역, 상기 제 1 스트레스 유기 박막 및 게이트 전극 표면을 덮도록 형성되는 제 2 스트레스 유기 박막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 18.

제 17 항에 있어서, 상기 접합 영역의 불순물 타입이 p 타입인 경우, 상기 스트레스 유기 박막은 실리콘 산화막인 것을 특징으로 하는 반도체 소자.

청구항 19.

제 17 항에 있어서, 상기 접합 영역의 불순물이 n 타입인 경우, 상기 스트레스 유기 박막은 실리콘 질화막인 것을 특징으로 하는 반도체 소자.

청구항 20.

핀 형태의 액티브 영역을 한정하는 소자 분리막이 형성되어 있는 반도체 기판;

상기 액티브 영역을 가로지르도록 형성되는 게이트 전극;

상기 게이트 전극 양측의 액티브 영역에 형성되는 접합 영역; 및

상기 액티브 영역 상부 및 측부, 게이트 전극 표면 및 상기 접합 영역의 저면을 감싸도록 상기 반도체 기판 내부로 연장되는 스트레스 유기 박막을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 21.

제 20 항에 있어서, 상기 게이트 전극은 상기 액티브 영역의 양 측벽면 및 상부면 각각과 게이트 산화막을 사이에 두고 오버랩되는 것을 특징으로 하는 반도체 소자.

청구항 22.

제 20 항에 있어서, 상기 게이트 전극은 상기 액티브 영역의 양 측벽면과 게이트 산화막을 사이에 두고 오버랩되고,

상기 액티브 영역의 상면에는 액티브 영역을 한정하기 위한 액티브 마스크가 더 개재되어 있는 것을 특징으로 하는 반도체 소자.

청구항 23.

제 22 항에 있어서, 상기 스트레스 유기 박막은 접합 영역 사이에 형성되는 채널층 저면 또한 감싸도록 상기 반도체 기판내로 연장되는 것을 특징으로 하는 반도체 소자.

청구항 24.

제 20 항에 있어서, 상기 접합 영역의 불순물 타입이 p 타입인 경우, 상기 스트레스 유기 박막은 실리콘 산화막인 것을 특징으로 하는 반도체 소자.

청구항 25.

제 20 항에 있어서, 상기 접합 영역의 불순물이 n 타입인 경우, 상기 스트레스 유기 박막은 실리콘 질화막인 것을 특징으로 하는 반도체 소자.

청구항 26.

반도체 기판;

상기 반도체 기판의 소정 부분에 형성되는 게이트 전극; 및

상기 게이트 전극 양측의 반도체 기판에 핀 형태로 돌출된 접합 영역을 포함하며,

상기 접합 영역은 상기 게이트 전극 하부에 한정되는 채널층과 성분이 상이한 에피택셜층으로 구성된 스트레스를 유발하는 물질로 형성되는 반도체 소자.

청구항 27.

제 26 항에 있어서, 상기 접합 영역이 p타입인 경우, 상기 접합 영역은 상기 반도체 기판(채널 영역)의 격자 상수보다 더 큰 격자 상수를 갖는 것을 특징으로 하는 반도체 소자.

청구항 28.

제 27 항에 있어서, 상기 반도체 기판이 실리콘인 경우, 상기 접합 영역은 실리콘 게르마늄(SiGe)물질로 형성되는 것을 특징으로 하는 반도체 소자.

청구항 29.

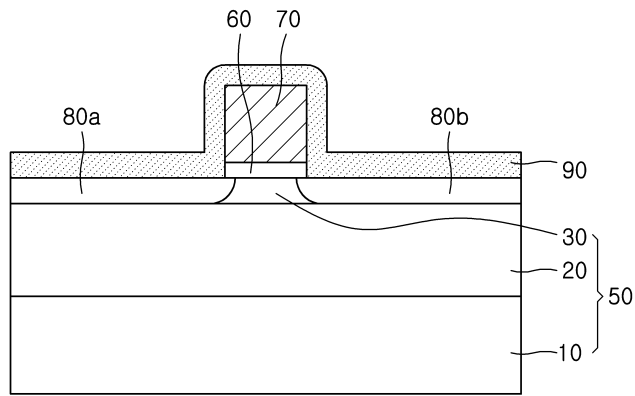
제 26 항에 있어서, 상기 접합 영역이 n타입인 경우, 상기 접합 영역은 상기 반도체 기판(채널 영역)의 격자 상수 보다 더 작은 격자 상수를 갖는 것을 특징으로 하는 반도체 소자.

청구항 30.

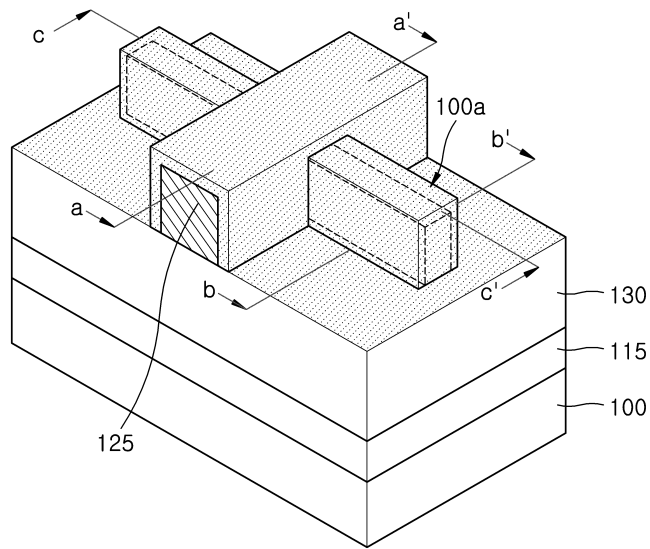
제 29 항에 있어서, 상기 반도체 기판이 실리콘 게르마늄인 경우, 상기 접합 영역은 실리콘(Si)으로 형성되는 것을 특징으로 하는 반도체 소자.

도면

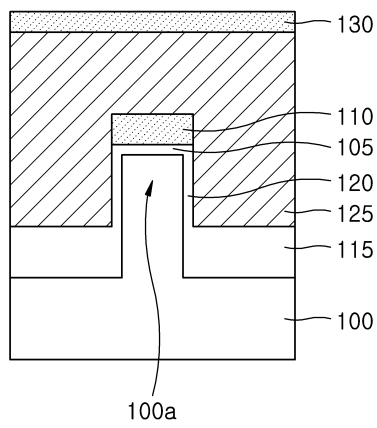
도면1



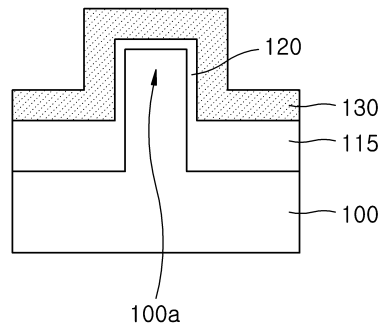
도면2



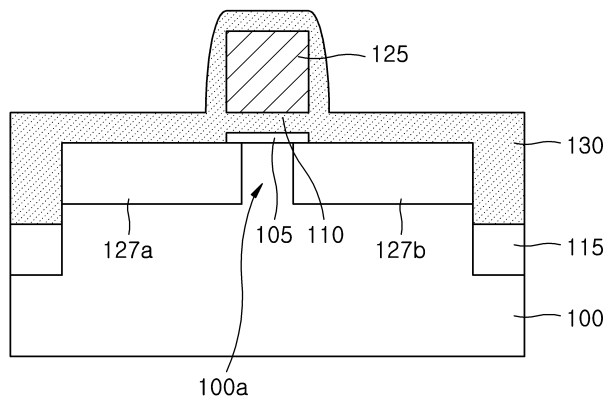
도면3



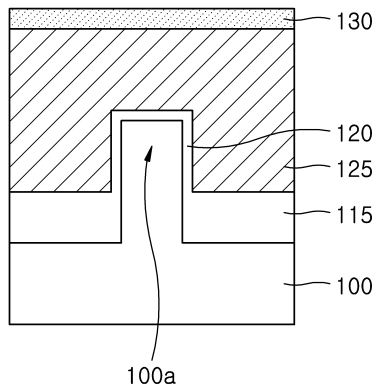
도면4



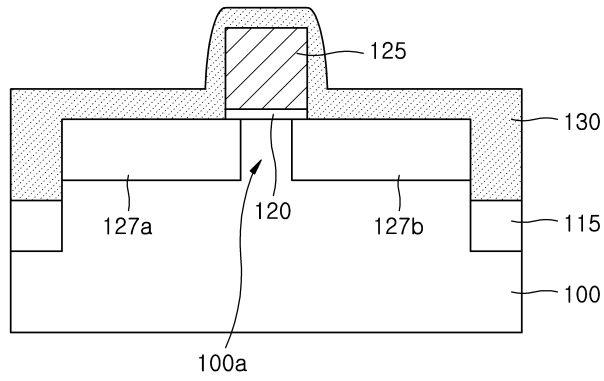
도면5



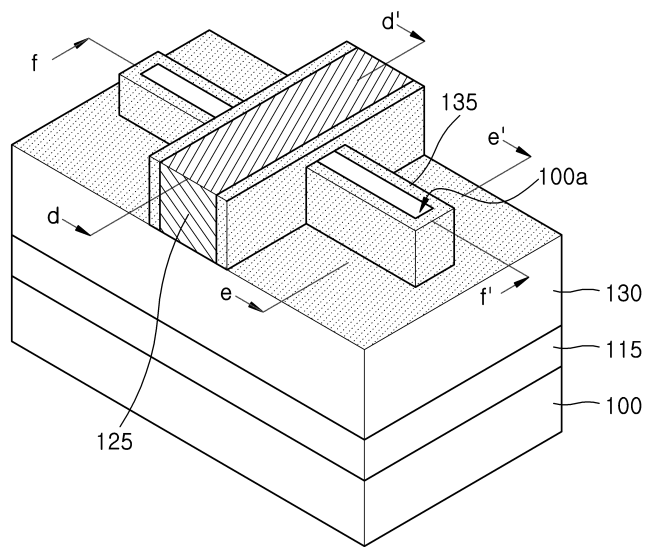
도면6



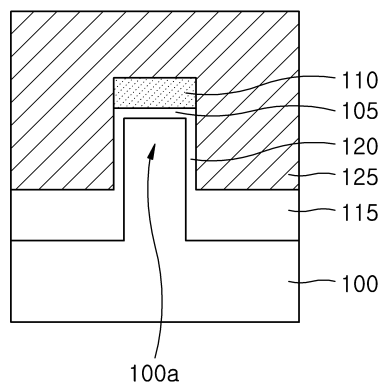
도면7



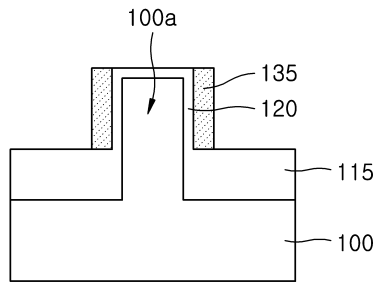
도면8



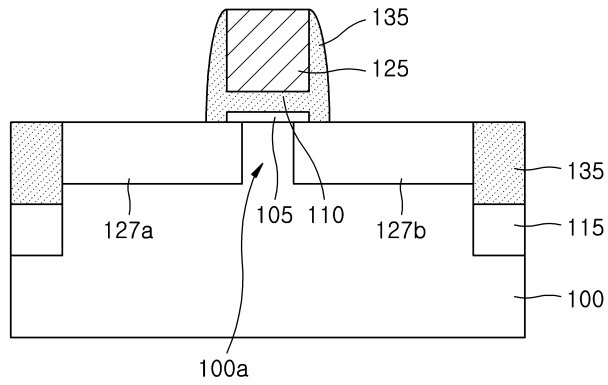
도면9



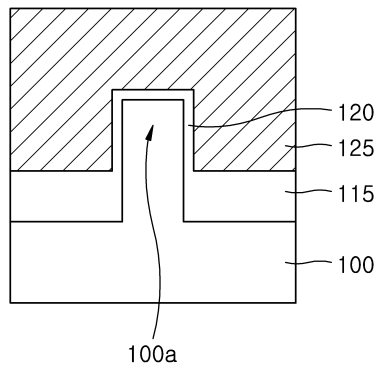
도면10



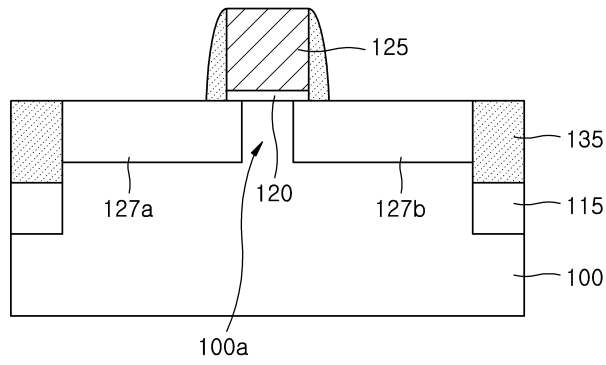
도면11



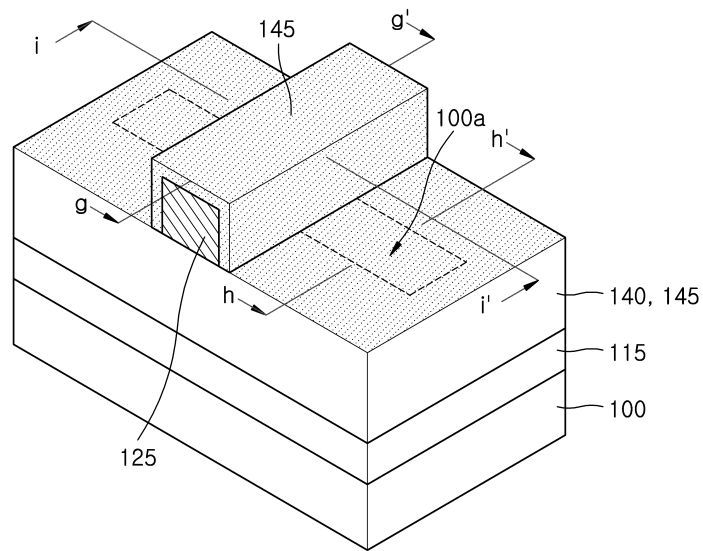
도면12



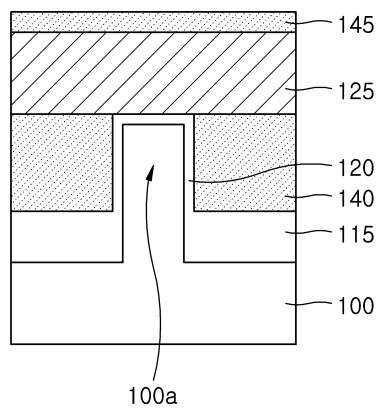
도면13



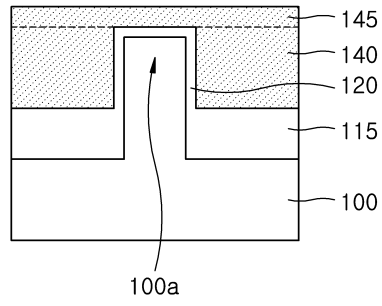
도면14



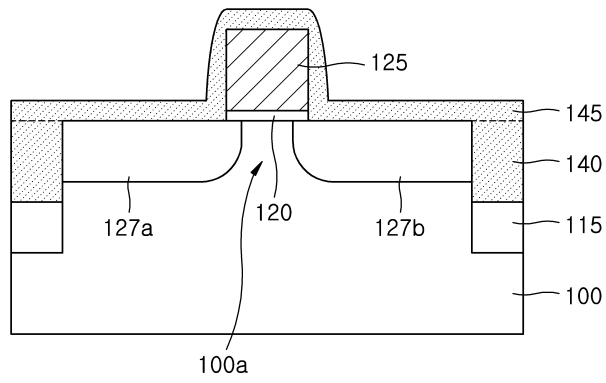
도면15



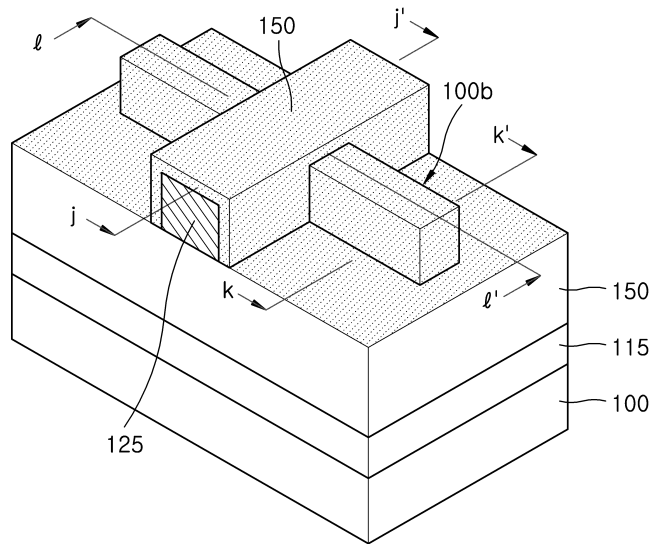
도면16



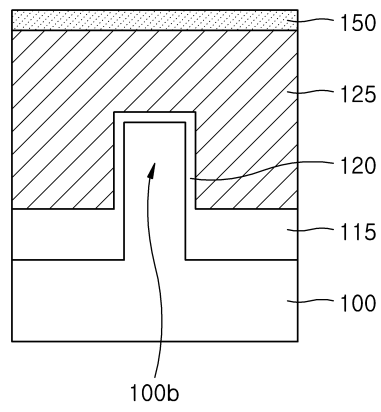
도면17



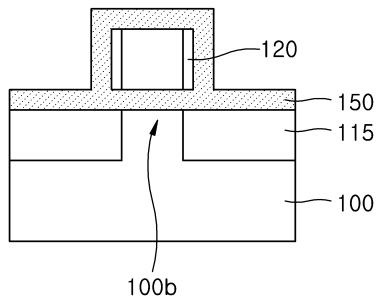
도면18



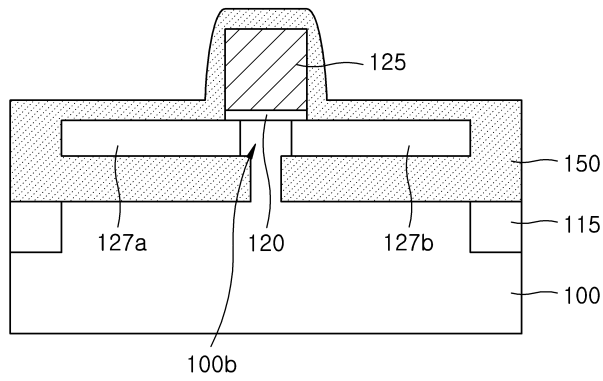
도면19



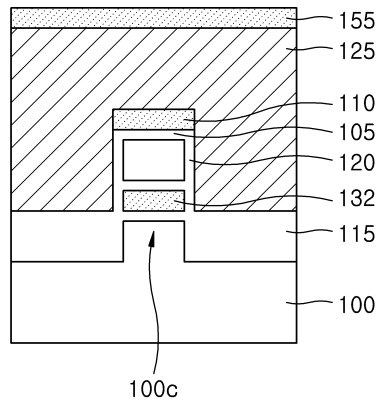
도면20



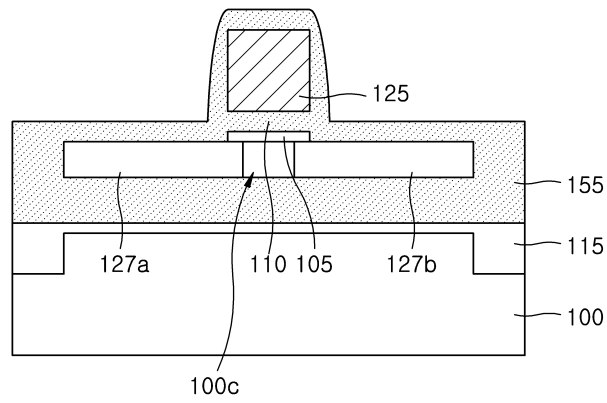
도면21



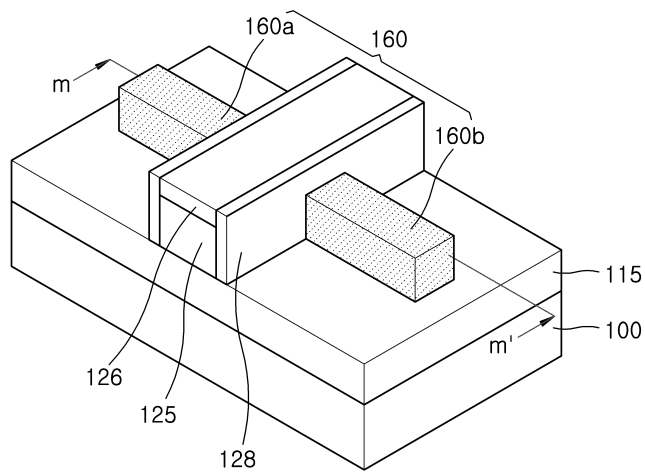
도면22



도면23



도면24



도면25

