

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-30336

(P2006-30336A)

(43) 公開日 平成18年2月2日(2006. 2. 2)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K007
G09G 3/20 (2006.01)	G09G 3/20 612U	5C080
H01L 51/50 (2006.01)	G09G 3/20 622C	
	G09G 3/20 622Q	
	G09G 3/20 641A	
審査請求 未請求 請求項の数 9 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2004-205539 (P2004-205539)

(22) 出願日 平成16年7月13日 (2004. 7. 13)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100092336

弁理士 鈴木 晴敏

(72) 発明者 高橋 正行

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 小澤 淳史

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 多田 満

東京都品川区西五反田3丁目9番17号
ソニーエンジニアリング株式会社内

最終頁に続く

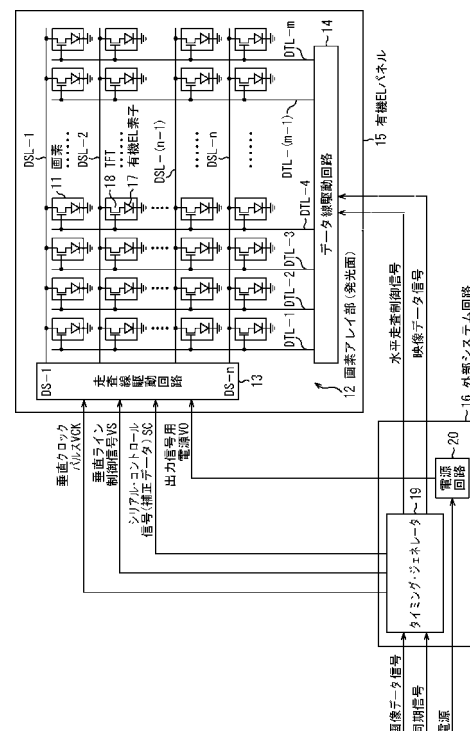
(54) 【発明の名称】 画像表示装置及びその駆動方法と走査線駆動回路

(57) 【要約】

【課題】 回路的な手段で画像表示装置の画面内における信頼性むらを抑制する。

【解決手段】 画素アレイ部12は、行状の走査線DSLと、列状のデータ線DTLと、両者が交差する部分に配された行列状の画素11とを備えている。データ線駆動回路14は、システム回路16から供給されたデータ信号を各データ線DTLに分配する。走査線駆動回路13は、各走査線DSLに順次駆動パルスDSを出力して画素11を線順次で選択し、以って該分配されたデータ信号に基づき駆動パルスDSの時間幅だけ画素11を駆動して画素アレイ部12に画像を表示する。走査線駆動回路13は、各走査線DSLに順次出力する駆動パルスDSの時間幅を各走査線DSLごとと独立に可変制御可能であり、以って走査線単位で各画素11の駆動時間を制御する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素アレイ部と、データ線駆動回路と、走査線駆動回路と、システム回路とを含み、
前記画素アレイ部は、行状の走査線と、列状のデータ線と、両者が交差する部分に配された行列状の画素とを備え、

前記データ線駆動回路は、該システム回路から供給されたデータ信号を各データ線に分配し、

前記走査線駆動回路は、該システム回路から供給される制御信号に応じて動作し、各走査線に順次駆動パルスを出力して画素を線順次で選択し、

以って該分配されたデータ信号に基き該駆動パルスの時間幅だけ画素を駆動して該画素アレイ部に画像を表示する画像表示装置において、 10

前記走査線駆動回路は、各走査線に順次出力する駆動パルスの時間幅を各走査線ごと独立に可変制御可能であり、以って走査線単位で各画素の駆動時間を制御することを特徴とする画像表示装置。

【請求項 2】

前記システム回路はスタートパルス、クロック信号及び補正データを含む制御信号を該走査線駆動回路に供給し、

前記走査線駆動回路は、シフトレジスタ回路と出力時間設定回路とバッファ回路とを含んでおり、

前記シフトレジスタ回路は、該クロック信号に応じて該スタートパルスを順次転送し、 20
以って該シフトレジスタ回路の各段から順次駆動パルスを出力し、

前記出力時間設定回路は、該補正データに応じて各駆動パルスの時間幅を個々に設定し、

前記バッファ回路は、時間幅の設定された各駆動パルスを各走査線に出力することを特徴とする請求項 1 記載の画像表示装置。

【請求項 3】

前記画素アレイ部は画素毎に発光素子を含んで発光面を構成し、各発光素子はデータ信号に応じた輝度で発光し且つ駆動パルスの時間幅に応じた時間分発光を持続して該発光面に画像を表示することを特徴とする請求項 1 記載の画像表示装置。

【請求項 4】

前記発光面は、該発光素子の発光によって熱を発生し更に発生した熱の放散により、発光面の走査線と直交する上下方向に温度分布のムラが生じ、

前記走査線駆動回路は、該温度分布のムラを緩和するように各駆動パルスの時間幅を制御することを特徴とする請求項 3 記載の画像表示装置。

【請求項 5】

前記発光面は、その温度分布が上部に比べて下部が低く、前記走査線駆動回路は上部の走査線に出力する駆動パルスに比べて下部の走査線に出力する駆動パルスの時間幅を長くし、以って下部の発熱量を増やして温度分布のムラを緩和することを特徴とする請求項 4 記載の画像表示装置。

【請求項 6】

前記システム回路は、外部から入力された多階調の画像をフレーム単位で表すデータ信号からフレーム階調平均値を検出する情報検出手段と、

前記情報検出手段から得られたフレーム階調平均値に応じて、該補正データのレベルを制御する補正レベル制御回路とを有することを特徴とする請求項 2 記載の画像表示装置。

【請求項 7】

外部から入力されたオブジェクトを含む画像を表すデータ信号から、該画素アレイ部における該オブジェクトの位置を抽出する情報検出手段と、

前記情報検出手段から得られたオブジェクトの位置に応じて、該補正データのレベルを制御する補正レベル制御回路とを有することを特徴とする請求項 2 記載の画像表示装置。

【請求項 8】

10

20

30

40

50

行状の走査線と列状のデータ線と両者が交差する部分に配された行列状の画素とを備える画素アレイに、各データ線を介しデータ信号を供給して画像を表示する画像表示装置の走査線を駆動するために用いる走査線駆動回路であって、

外部から供給される制御信号に応じて動作し、各走査線に順次駆動パルスを出力して画素を線順次で選択し、

各データ線を介して供給された該データ信号に基き該駆動パルスの時間幅だけ選択された画素を駆動して該画素アレイに画像を表示する際、

各走査線に順次出力する駆動パルスの時間幅を各走査線ごと独立に可変制御可能であり、以って走査線単位で各画素の駆動時間を制御することを特徴とする走査線駆動回路。

【請求項 9】

10

行状の走査線と、列状のデータ線と、両者が交差する部分に配された行列状の画素とを備えた画像表示装置の駆動方法であって、

外部から供給されたデータ信号を各データ線に分配するデータ線駆動手順と、

外部から供給される制御信号に応じ、各走査線に順次駆動パルスを出力して画素を線順次で選択する走査線駆動手順とを行い、

以って該分配されたデータ信号に基き該駆動パルスの時間幅だけ画素を駆動して画像を表示する際、

前記走査線駆動手順は、各走査線に順次出力する駆動パルスの時間幅を各走査線ごと独立に可変制御可能であり、以って走査線単位で各画素の駆動時間を制御することを特徴とする画像表示装置の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は複数の表示画素を有し、画素単位で表示制御が行われるアクティブマトリクス型の画像表示装置及びその駆動方法に関し、特に各表示素子を有機EL (Electro Luminescence) 素子等の発光素子で構成するアクティブマトリクス型の画像表示装置及びこれに用いる走査線駆動回路に関する。

【背景技術】

【0002】

近年、自発光型の高輝度ディスプレイとして、有機ELを用いた薄型表示装置が注目を集めている。自発光である為に液晶表示装置の様なバックライトが不要で、表示パネル全体を1～2mm程度にまで薄型化できるので小型・軽量化が図れ、低電力で高い輝度が得られることができ、視認性、応答速度、寿命、消費電力の点で優れており、次世代ディスプレイの有力な候補とされている。この有機ELディスプレイは現在、デジタルカメラや携帯電話などモバイル機器（携帯用情報機器）用の小型ディスプレイへの応用が進んでいると共に、今後はPC向けモニターやテレビなど中大型ディスプレイへの応用が考えられている。

30

【0003】

従来、薄膜トランジスタ (TFT) を用いた有機EL表示装置は、画素回路に使用しているTFTの電気的特性ばらつきが発光輝度のばらつきとして表れてしまい、表示品質が劣化してしまう。このばらつきを低減させるため、電子移動度が高い低温ポリシリコンTFTによって画素回路を形成することが主流であった。この低温ポリシリコンTFTは、更にパネル内部に画素回路を駆動する駆動回路を形成することが可能であり、シフトレジスタ回路、サンプル／ホールド回路などをつくりこむことで、小型で高精細な表示装置を実現することができた。しかし、低温ポリシリコンTFTは、加工の難しさが有る、結晶性の良いポリシリコン膜を形成するためレーザーアニール処理をすると表示品質の劣化が生じたりパネルの大型化が難しいなど、製造プロセス上の問題があることと、パネル内部に複雑な回路を形成するため、パネルの歩留まりが低下し、製造コストが高くなってしまいう問題がある。

40

【0004】

50

一方、液晶ディスプレイに広く普及している加工の簡単なアモルファスシリコンによる TFT 基板を採用することで、大画面化、低コスト化が可能となる。しかし、アモルファスシリコンは製造コストが低いというメリットがあるが、電子の移動度が極端に低く、閾値電圧の変動やばらつき、オフ時のリーク電流が大きいなどの問題があったため、有機 EL 表示装置としての画素回路に応用することが難しかった。

【0005】

近年、これらの問題に対処するため補正回路を組み込んだ画素回路などが提案されており、アモルファスシリコン TFT を用いた有機 EL 表示装置の開発試作が行われている。しかし、この場合においても、電子の移動度が低く、パネル内部にシフトレジスタ回路、サンプル／ホールド回路などをつくりこむことは出来ない。従って、アモルファスシリコンなど低コストで製造可能な TFT を用いた表示装置の画素回路を駆動する回路はパネル外に設ける必要がある。駆動回路には、パネルの走査線を駆動する走査線駆動回路が含まれる。なお本明細書では、走査線駆動回路をゲート・ドライバと通称する場合がある。

10

【0006】

また、有機 EL 表示装置のような自発光型表示装置においては、液晶表示装置のようなバックライトは不要であるが、有機 EL 素子自体が発光するので表示画面の発熱が問題となる。EL 素子の発熱により画素内の電子の移動度を高め発光効率の向上に寄与するが、多くの場合においては、画素内の有機 EL 素子の劣化が加速され、輝度の低下や寿命が短くなる問題が生じる。特に大画面の表示装置においては、表示領域内の中心部や周辺部または、下部や上部の温度差が発生し易く、これら温度差に起因して有機 EL 素子の発光効率や劣化特性が異なってしまうため、輝度むらや電子の移動度むらによる画質への影響が問題になっていた。

20

【0007】

従来技術によるゲート・ドライバは、アクティブマトリクス表示装置の画素数に合わせ縦方向のライン即ち走査線を順番に選択するだけの単純な機能であり、出力段毎に出力パルス幅（時間）を可変することは出来ない。従って、従来技術によるゲート・ドライバの出力信号を EL 素子が発光させる制御信号として使用した場合、全ての走査ラインにおいて全て同じ発光制御信号を供給するので、表示領域内の中心部や周辺部または下部や上部の温度差が発生してしまう。

【0008】

表示領域内の温度差を抑制する手段として、以下の特許文献 1～3 が知られている。

30

【特許文献 1】特開 2003-263131

【特許文献 2】特開 2002-175041

【特許文献 3】特開 2001-236040

【発明の開示】

【発明が解決しようとする課題】

【0009】

特許文献 1 は、温度センサや能動素子（ペルチェ素子）を用いて表示面の温度差を緩和して表示面内の温度分布を一様にする技術であるが、温度センス機構や温度調整機構が必要であり、また構造も複雑になるので、コストアップにつながる問題があった。また、特許文献 2 は、各画素の累積発光時間と発光強度データと各 EL 素子の劣化情報とを比較し、予めメモリなどに格納してある補正データに基づいて、映像信号に補正を行うことにより、一部の画素の EL 素子が劣化した場合においても、輝度むらを解消し、均一な表示画面を得る技術であるが、温度むらによる輝度むらや、劣化むらによる輝度むらを抑制することが出来ないという問題があった。さらに特許文献 3 は、発光素子の駆動電圧を検出し、その電圧値の大きさによって発光素子の駆動電圧を制御する技術であるが、周囲環境温度変化による発光素子へ印加している駆動電圧の変化を検出しており、電圧値検出回路が必要となり、また補正処理回路が複雑になると言う問題や、コストアップにもつながると言った問題があった。

40

【0010】

50

上記従来例のように、温度むらを抑制する場合、温度センス機構や温度調整機構など構造が複雑になり、また、映像信号の補正や駆動電圧値の検出回路など補正処理回路が大規模になり複雑化するので、コスト上昇を伴ってしまう。

【課題を解決するための手段】

【0011】

上述した従来技術の課題に鑑み、ゲート・ドライバの出力信号を利用して、温度むらによるEL表示素子の面内における信頼性むらを抑制することを目的とする。

【0012】

係る目的を達成する為に以下の手段を講じた。即ち本発明は、画素アレイ部と、データ線駆動回路と、走査線駆動回路と、システム回路とを含み、前記画素アレイ部は、行状の走査線と、列状のデータ線と、両者が交差する部分に配された行列状の画素とを備え、前記データ線駆動回路は、該システム回路から供給されたデータ信号を各データ線に分配し、前記走査線駆動回路は、該システム回路から供給される制御信号に応じて動作し、各走査線に順次駆動パルスを出力して画素を線順次で選択し、以って該分配されたデータ信号に基き該駆動パルスの時間幅だけ画素を駆動して該画素アレイ部に画像を表示する画像表示装置において、前記走査線駆動回路は、各走査線に順次出力する駆動パルスの時間幅を各走査線ごと独立に可変制御可能であり、以って走査線単位で各画素の駆動時間を制御することを特徴とする。

【0013】

具体的には、前記システム回路はスタートパルス、クロック信号及び補正データを含む制御信号を該走査線駆動回路に供給し、前記走査線駆動回路は、シフトレジスタ回路と出力時間設定回路とバッファ回路とを含んでおり、前記シフトレジスタ回路は、該クロック信号に応じて該スタートパルスを順次転送し、以って該シフトレジスタ回路の各段から順次駆動パルスを出力し、前記出力時間設定回路は、該補正データに応じて各駆動パルスの時間幅を個々に設定し、前記バッファ回路は、時間幅の設定された各駆動パルスを各走査線に出力する。より具体的には、前記画素アレイ部は画素毎に発光素子を含んで発光面を構成し、各発光素子はデータ信号に応じた輝度で発光し且つ駆動パルスの時間幅に応じた時間分発光を持続して該発光面に画像を表示する。この場合、前記発光面は、該発光素子の発光によって熱を発生し更に発生した熱の放散により、発光面の走査線と直交する上下方向に温度分布のムラが生じ、前記走査線駆動回路は、該温度分布のムラを緩和するように各駆動パルスの時間幅を制御する。例えば、前記発光面は、その温度分布が上部に比べて下部が低く、前記走査線駆動回路は上部の走査線に出力する駆動パルスに比べて下部の走査線に出力する駆動パルスの時間幅を長くし、以って下部の発熱量を増やして温度分布のムラを緩和する。場合により、前記システム回路は、外部から入力された多階調の画像をフレーム単位で表すデータ信号からフレーム階調平均値を検出する情報検出手段と、前記情報検出手段から得られたフレーム階調平均値に応じて、該補正データのレベルを制御する補正レベル制御回路とを有する。或いは、外部から入力されたオブジェクトを含む画像を表すデータ信号から、該画素アレイ部における該オブジェクトの位置を抽出する情報検出手段と、前記情報検出手段から得られたオブジェクトの位置に応じて、該補正データのレベルを制御する補正レベル制御回路とを有する。

【0014】

本発明は又、行状の走査線と列状のデータ線と両者が交差する部分に配された行列状の画素とを備える画素アレイに、各データ線を介しデータ信号を供給して画像を表示する画像表示装置の走査線を駆動するために用いる走査線駆動回路であって、外部から供給される制御信号に応じて動作し、各走査線に順次駆動パルスを出力して画素を線順次で選択し、各データ線を介して供給された該データ信号に基き該駆動パルスの時間幅だけ選択された画素を駆動して該画素アレイに画像を表示する際、各走査線に順次出力する駆動パルスの時間幅を各走査線ごと独立に可変制御可能であり、以って走査線単位で各画素の駆動時間を制御することを特徴とする。

【0015】

10

20

30

40

50

更に本発明は、行状の走査線と、列状のデータ線と、両者が交差する部分に配された行列状の画素とを備えた画像表示装置の駆動方法であって、外部から供給されたデータ信号を各データ線に分配するデータ線駆動手順と、外部から供給される制御信号に応じ、各走査線に順次駆動パルスを出力して画素を線順次で選択する走査線駆動手順とを行い、以って該分配されたデータ信号に基き該駆動パルスの時間幅だけ画素を駆動して画像を表示する際、前記走査線駆動手順は、各走査線に順次出力する駆動パルスの時間幅を各走査線ごと独立に可変制御可能であり、以って走査線単位で各画素の駆動時間を制御する。

【発明の効果】

【0016】

本発明は、アクティブマトリクス表示装置を駆動する走査線駆動回路を構成するドライバICにおいて、出力されるパルス信号幅（時間）を出力段毎に独立制御することができることを特徴とするゲート・パルス・ドライバについての発明であり、本発明のゲート・パルス・ドライバ即ち走査線駆動回路を用いることにより、垂直走査ライン毎に発光時間を制御可能となるので、表示画面の温度むらを抑制するとともに、温度むらによるEL表示素子の面内における信頼性むらを抑制することが可能なアクティブマトリクス表示装置を実現することが出来る。本発明のゲート・パルス・ドライバを使用することにより、垂直走査ライン毎に発光時間を制御することが可能となるので、低コストで表示画面の温度むらを抑制するとともに、温度むらによるEL表示素子の面内における信頼性むらを抑制することが可能なアクティブマトリクス表示装置の実現を極めて容易に達成することが可能な駆動方法を実現・提供することが出来る。

【発明を実施するための最良の形態】

【0017】

以下図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明に係る画像表示装置、例えば各画素の表示素子として自発光素子である有機EL素子を用いた、アクティブマトリクス型有機EL表示装置を示す概略構成図である。本実施形態に係るアクティブマトリクス型有機EL表示装置は、画素11がマトリクス状に配置されてなる画素アレイ部12と、この画素アレイ部12を駆動する走査駆動回路13及びデータ線駆動回路14とを有機ELパネル（基板）15上に形成してなり、当該有機ELパネル15の外部に走査線駆動回路13及びデータ線駆動回路14を駆動する外部システム回路16を有する構成となっている。なお、場合によっては、走査線駆動回路13及びデータ線駆動回路14をドライバICとして有機ELパネル（基板）15とは別体に設け、ドライバICとパネルをTABもしくはFPCで接続する形態としても良い。

【0018】

即ち本発明にかかる画像表示装置は、基本的に画素アレイ部12と、データ線駆動回路14と、走査線駆動回路13と、システム回路16とを含む。画素アレイ部12は、行状の走査線DSLと、列状のデータ線DTLと、両者が交差する部分に配された行列状の画素11とを備えている。データ線駆動回路14は、システム回路16から供給されたデータ信号を各データ線DTL-1～DTL-mに分配する。走査線駆動回路13は、システム回路16から供給される制御信号に応じて動作し、各走査線DSL-1～DSL-nに順次駆動パルスDS-1～DS-nを出力して画素11を線順次で選択し、以って分配されたデータ信号に基き駆動パルスDSの時間幅だけ画素11を駆動して画素アレイ部12に画像を表示する。特徴事項として、走査線駆動回路13は、各走査線DSL-1～DSL-nに順次出力する駆動パルスDS-1～DS-nの時間幅を各走査線DSL-1～DSL-nごと独立に可変制御可能であり、以って走査線DSL単位で各画素11の駆動時間を制御する。

【0019】

具体的には、システム回路16はスタートパルスVS（垂直ライン制御信号）、クロック信号VCK（垂直クロックパルス）及び補正データSC（シリアル・コントロール信号）を走査線駆動回路13に供給する。走査線駆動回路13は、シフトレジスタ回路と出力時間設定回路とバッファ回路とを含んでいる。シフトレジスタ回路は、クロック信号VC

10

20

30

40

50

Kに応じてスタートパルスV Sを順次転送し、以ってシフトレジスタ回路の各段から順次駆動パルスD S-1～D S-nを出力する。出力時間設定回路は、補正データS Cに応じて各駆動パルスD Sの時間幅を個々に設定する。バッファ回路は、時間幅の設定された各駆動パルスD S-1～D S-nを各走査線D S L-1～D S L-nに出力する。

【0020】

より具体的には、画素アレイ部12は画素11毎に発光素子17を含んで発光面12を構成し、各発光素子17はデータ信号に応じた輝度で発光し且つ駆動パルスD Sの時間幅に応じた時間発光を持続して発光面12に画像を表示する。この場合、発光面12は、発光素子17の発光によって熱を発生し更に発生した熱の放散により、発光面12の走査線D S Lと直交する上下方向に温度分布のムラが生じる。走査線駆動回路13は、温度分布のムラを緩和するように各駆動パルスD Sの時間幅を制御する。例えば、発光面12は、その温度分布が上部に比べて下部が低く、走査線駆動回路13は上部の走査線D S Lに出力する駆動パルスD Sに比べて下部の走査線D S Lに出力する駆動パルスD Sの時間幅を長くし、以って下部の発熱量を増やして温度分布のムラを緩和する。 10

【0021】

場合により、システム回路16は、外部から入力された多階調の画像をフレーム単位で表すデータ信号からフレーム階調平均値を検出する情報検出手段と、前記情報検出手段から得られたフレーム階調平均値に応じて、補正データS Cのレベルを制御する補正レベル制御回路とを有する。或いは、外部から入力されたオブジェクトを含む画像を表すデータ信号から、画素アレイ部12（発光面）における該オブジェクトの位置を抽出する情報検出手段と、前記情報検出手段から得られたオブジェクトの位置に応じて、補正データS Cのレベルを制御する補正レベル制御回路とを有する。 20

【0022】

引き続き図1を参照して本表示装置の各構成各部分を個別に説明する。図1において、画素11は、有機EL素子17を発光駆動する能動素子として電界効果トランジスタ、例えばポリシリコンTFT（Thin Film Transistor；薄膜トランジスタ）あるいはアモルファスシリコンTFT18を有し、これらTFT18が形成された基板上に有機EL素子17が形成された構成となっている。有機EL素子17は、基板上に設けられる透明導電膜からなる複数の第一電極を形成し、各第一電極上に正孔輸送層、発光層、電子輸送層及び電子注入層を順番に堆積させて有機層を形成し、当該有機層の上に金属からなる第二電極を形成した構造を持ち、第一電極と第二電極との間に直流電圧が印加されることで、発光層において電子と正孔とが再結合する際に発光するようになっている。 30

【0023】

画素アレイ部12には、m列n行の画素配列に対して、走査線D S L-1～D S L-nが各行に配線されている。また、データ線D T L-1～D T L-mが各列に配線されている。走査線D S L-1～D S L-nの各一端は、走査線駆動回路13の各行の出力端に接続されている。走査線駆動回路13は、本発明に係るゲート・パルス・ドライバによって構成され、外部システム回路16で生成される垂直ライン制御信号V S、出力時間設定用シリアル・コントロール信号S C、及び垂直制御信号用電源V Oが与えられることにより、同じく外部システム回路16で生成される垂直クロックパルスV C Kに同期して、垂直制御順次走査パルスD S-1～D S-nを出力し、走査線D S L-1～D S L-nを駆動する。 40

【0024】

データ線D T L-1～D T L-mの各一端は、データ線駆動回路14の各列の出力端に接続されている。データ線駆動回路14は、データ線D T L-1～D T L-mを通して画素11の各々に対して輝度情報を電流値または電圧値の形で書き込む、電流書き込み型または電圧書き込み型の駆動回路構成となっている。

【0025】

外部システム回路16は、有機ELパネル15の外部に配置される外部基板上に形成さ 50

れる。この外部システム回路 16 は、データ線駆動回路 14 及び走査線駆動回路 13 を制御するタイミング・ジェネレータ 19 と、走査線駆動回路 13 から出力される駆動パルス DS を所望の電圧に設定する電源を生成する電源回路 20 とを備えている。

【0026】

タイミング・ジェネレータ 19 は外部から供給される画像データ信号及び同期信号を受信し、走査線駆動回路 13 を制御する垂直クロックパルス VCK、垂直制御信号 VS 及び出力時間設定用シリアル・コントロール信号 SC と、データ線駆動回路 14 を制御する水平走査制御信号及び映像データ信号を同期信号に基づいて発生し、それぞれ走査線駆動回路 13 及びデータ線駆動回路 14 に供給する。

【0027】

図 2 は、走査線駆動回路 13 で使用するゲート・パルス・ドライバにおける垂直ライン制御信号生成回路構成の一例を示すブロック図である。本例に係るゲート・パルス・ドライバにおける垂直ライン制御信号生成回路は、出力時間設定用シリアル I/F 回路 21、シフトレジスタ回路 22、出力時間設定回路 23、レベルシフト回路 24 及びバッファ回路 25 を有する構成となっている。出力時間設定用シリアル I/F 回路 21 は、タイミング・ジェネレータ 19 から出力される出力時間設定用シリアル・コントロール信号 SC の入力により、シリアル・コントロール信号から各出力段の出力時間設定情報信号（デジタル補正データ）を取り出し出力時間設定回路 23 へ供給する。シフトレジスタ回路 22 は、タイミング・ジェネレータ 19 で設定された垂直ライン制御信号 VS を垂直クロックパルス VCK の立ち上がり又は立下りに同期して順番に信号をシフトする。出力時間設定回路 23 は、シフトレジスタされた垂直ライン制御信号を出力時間設定情報信号に基づき、各出力段ごと独立に垂直ライン制御信号（駆動パルス）のハイレベル期間（発光時間）を設定する。電圧レベルシフト回路 24 は、出力時間設定回路 23 から出力される垂直ライン制御信号に対して、電源回路 20 で設定された電源 VO に電圧レベルを設定する。バッファ回路 25 は、電圧レベルシフトされた信号の駆動能力を上げるために、出力電流を増大させる回路である。なお、上記実施形態においては、出力時間設定情報を供給する信号形態にシリアル I/F を用いた場合を例に説明したが、シリアル I/F に限られるものではなく、その他のデジタル信号でも構わない。

【0028】

この様に、本発明にかかる走査線駆動回路 13 は、行状の走査線と列状のデータ線と両者が交差する部分に配された行列状の画素とを備える画素アレイに、各データ線を介しデータ信号を供給して画像を表示する画像表示装置の走査線を駆動するために用いられる。本走査線駆動回路 13 は、外部から供給される制御信号に応じて動作し、各走査線に順次駆動パルス DS-1 ~ DS-n を出力して画素を線順次で選択し、各データ線を介して分配された該データ信号に基づき駆動パルス DS の時間幅だけ選択された画素を駆動して画素アレイに画像を表示する際、各走査線に順次出力する駆動パルス DS-1 ~ DS-n の時間幅を各走査線ごと独立に可変制御可能であり、以って走査線単位で各画素の駆動時間を制御することができる。

【0029】

図 2 に示すように、走査線駆動回路 13 は、シフトレジスタ回路 22 と出力時間設定回路 23 とバッファ回路 25 とを含んでいる。シフトレジスタ回路 22 は、クロック信号 VCK に応じてスタートパルス VS を順次転送し、以ってシフトレジスタ回路 22 の各段から順次駆動パルス DS-1 ~ DS-n を出力する。出力時間設定回路 23 は、補正データ SC に応じて各駆動パルス DS の時間幅を個々に設定するゲート素子を備えている。バッファ回路 25 は、時間幅の設定された各駆動パルス DS-1 ~ DS-n を各走査線に出力する。

【0030】

図 3 は、図 1 に示した有機 EL パネルの主要部を構成する画素アレイ部の模式図である。図示する様に、画素アレイ部 12 は行状の走査線 DSL-1 ~ DSL-n を備えている。尚図示しないが、これと直交する方向に列状のデータ線を備えている。前述した様に、

10

20

30

40

50

各走査線 D S L - 1 ~ D S L - n は走査線駆動回路によって線順次選択される。具体的には、走査線駆動回路は各走査線 D S L - 1 ~ D S L - n に順次駆動パルスを出力して、画素を線順次で選択する。図 3 に示した画素アレイ部 1 2 は画素毎に発光素子を含んで発光面を構成している。発光素子はデータ信号に応じた輝度で発光し且つ駆動パルスの時間幅に応じた時間分発光を持続して発光面に画像を表示する。

【0031】

図 4 は、図 3 に示した走査線 D S L - 1 ~ D S L - n に印加される駆動パルス D S - 1 ~ D S - n を示すタイミングチャートである。画素アレイ部はフレーム単位で線順次走査される。1 本目の走査線に対して 1 番目の駆動パルス D S - 1 が印加される。続いて 2 本目の走査線に 2 番目の駆動パルス D S - 2 が印加される。この様にして順次各走査線に各駆動パルスが印加され、最後の走査線に最終番目の駆動パルス D S - n が印加された時点で、1 フレーム分の走査が終わる。

10

【0032】

図 4 に示した実施形態は、各走査線に順次出力する駆動パルス D S - 1 ~ D S - n の時間幅を各走査線毎独立に可変制御している。図示の例では、1 番目の駆動パルス D S - 1 のパルス幅が最も長く、以下順に駆動パルスの時間幅が短くなる様に制御した例であり、最終番目の駆動パルス D S - n の時間幅が最も狭くなる様になっている。この様な駆動パルスで図 3 に示した発光面を駆動すると、各走査線単位で駆動パルスの時間幅だけ発光することになる。従って 1 本目の走査線上の画素は 1 フレーム内で最も発光時間が長く、以下順に発光時間が短くなり、最終本目の走査線上の画素は最も発光時間が短くなる様に制御されている。1 フレームに占める発光時間の比率を D u t y と定義すると、駆動パルス D S - 1 の D u t y (デューティ) が最も大きく 1 0 0 % に近い。以下順にデューティは減少していき、最後の駆動パルス D S - n はデューティが最も小さくなっている。この様に本発明に係る走査線駆動回路は駆動パルスのデューティを各走査線毎独立に可変制御する機能を有する。

20

【0033】

以上のようなゲート・パルス・ドライバを用いて、表示画面の温度むらの抑制ひいては温度むらによる E L 表示素子の面内における信頼性むらの抑制に応用した場合について説明する。図 5 は、発光面を構成する画素アレイ部 1 2 の温度分布のムラを示す模式的な平面図である。発光面 1 2 は各発光素子の発光によって熱を発生し更に発生した熱の放散の片寄りにより、発光面の走査線と直交する上下方向に温度分布のムラが生じる。

30

【0034】

図 6 は、図 5 に示した発光面 1 2 の A - B 線に沿った温度分布を示すグラフである。縦軸に温度を取り、横軸に発光面上の上下方向位置を取ってある。グラフから明らかな様に、発光面最下部から中央に向かって温度分布はほぼ一定であるが、発光面最上部に近づくと温度が上昇している。この現象は、パネルを立て掛けて配置した時の冷却風の対流により生じる場合がある。

【0035】

図 7 は、図 5 及び図 6 に示した温度分布ムラを有する画素アレイ部に供給する駆動パルスのデューティを示すグラフである。発光面最下部から中程に掛けては、各走査線に印加する駆動パルスのデューティを一定にしている。そこから発光面最上部に近づくと連れて駆動パルスのデューティを下げていく。前述した様に、駆動パルスのデューティは発光時間比率に対応している。発光時間比率が高い程発熱量は高くなる。本実施形態では比較的発光時間比率の高い発光面上部に対して相対的にデューティの小さな駆動パルスを印加することで、発光時間比率を下げていく。その分発熱量が少なくなり、図 5 及び図 6 に示した上下方向の温度ムラを緩和もしくは抑制することができる。

40

【0036】

図 8 は、図 7 に示したデューティ制御に従って順次走査線に印加される駆動パルスの波形を示すグラフである。図では走査線を下から上に向かって走査している。発光面の最下部に位置する 1 本目の走査線に対応する 1 番目の駆動パルス D S - 1 は比較的大きなデュー

50

ーティを有しており、発光時間が長い。以下発光面の中程まで順次印加される駆動パルス $DS-2 \cdots$ は $DS-1$ と同じデューティとなっている。そして発光面の上部に近づくと駆動パルスのデューティは徐々に小さくなる様に制御されている。これにより、発光面の上部の温度ムラが改善できる。

【0037】

この様に表示領域の上部に対応する発光制御信号のデューティを表示領域の下部に対応する発光制御信号のデューティよりも低く、または表示領域の下部に対応する発光制御信号のデューティを表示領域の上部に対応する発光制御信号のデューティよりも高くすることで、表示画面の温度むらを抑制することが可能である。本発明のドライバICのみで温度むらを抑制することができるので、複雑な構成がいらなくなり、低コスト化を極めて容易に達成することが可能である。なお、上記実施形態では、画素11の表示素子として有機EL素子17を用いた有機EL表示装置に適用した場合を例に挙げて説明したが、これに限られるものではなく、本発明は画素11の表示素子として自発光型の素子を用いた表示装置全般に適用可能である。

【0038】

本発明の発展例につき、図面を参照しながら説明する。まず、発光面を備えた表示パネルを実際の使用状態に倣い垂直に置いた状態で温度分布を測定する。図9は、このパネル上下間における温度分布の片寄りを示した模式図である。図示する様に、発光面12は上部に比べて下部が低く、温度ムラが発生する領域となっている。これはパネル15を立てて配置した場合、冷却風の対流により、相対的に下部が強く冷却される為である。パネル15の下部における温度分布をグラフに示してある。グラフから明らかな様に、パネル上部及び中央部に比べ、パネル下部の温度は約200mmの幅で低くなっていることが分かる。これは、下端から約200mmの領域で最も冷却風の影響を受けるからである。

【0039】

同時に、パネル内の上記の温度低下の影響を受けない領域にて、発光時間比率 (Duty) - 温度上昇の特性を測定しておく。発光時間比率 - 温度上昇特性は、一般的有機ELディスプレイでは、図10のような特性を示す場合が多い。発光時間比率 (Duty) を上げて画面輝度を高めるにしたがって、多くの電流量が必要となることで、より高い温度で発熱することがわかる。

【0040】

図11は本発明に係る画像表示装置の発展形態である第2実施形態を示す模式的なブロック図である。本画像表示装置は、画素アレイ部を構成する有機ELディスプレイパネル15と、データ線駆動回路14と、走査線駆動回路13と、システム回路16とで構成されている。図1に示した第1実施形態と異なり、本実施形態の有機ELディスプレイパネル15は内部に画素アレイ部を含むが、データ線駆動回路14はパネル外にICとして配置されている。その意味で、本実施形態ではデータ線駆動回路14をデータドライバと呼ぶ場合がある。同様にDuty変調型の走査線駆動回路13もパネル15の外にICとして置かれており、ゲート・パルス・ドライバと呼ぶ場合がある。パネル15内の画素アレイ部は、行状の走査線と、列状のデータ線と、両者が交差する部分に配された行列状の画素とを備えている。データドライバ14はシステム回路16から供給された表示データ信号を各データ線に分配する。ゲート・パルス・ドライバ13は、システム回路16から供給される制御信号に応じて動作し、各走査線に順次駆動パルスを出力して画素を線順次で選択し、以って分配された表示データ信号に基づき駆動パルスの時間幅だけ画素を駆動して画素アレイ部に画像を表示する。ゲート・パルス・ドライバ13はDuty変調機能を備えており、各走査線に順次出力する駆動パルスの時間幅を走査線毎独立に可変制御可能であり、以って走査線単位で各画素の駆動時間を制御している。

【0041】

有機ELディスプレイパネル15に内蔵された画素アレイ部は画素毎に発光素子を含んで発光面を構成し、各発光素子は表示データ信号に応じた輝度で発光し且つ駆動パルスの時間幅に応じた時間分発光を持続して発光面に画像を表示する。有機ELディスプレイパ

10

20

30

40

50

ネル 15 の発光面は発光素子の発光によって熱を発生し更に発生した熱の放散の片寄りにより、発光面の走査線と直交する上下方向に温度分布のムラがある。これに対処する為本実施形態のゲート・パルス・ドライバ 13 は、この温度分布のムラを緩和する様に駆動パルスの時間幅を制御している。具体的には、システム回路 16 がこの制御を行なっており、タイミングジェネレータ 19 に加えて表示データ情報検出手段 27 や温度ムラ補正パターン生成手段 28 を具備している。即ち、システム回路 16 は、外部から入力された多階調の画像をフレーム単位で表すデータ信号からフレーム階調平均値を検出する情報検出手段 27 と、情報検出手段 27 から得られたフレーム階調平均値に応じて、補正データのレベルを制御する温度ムラ補正パターン生成手段（補正レベル制御回路）28 とを有する。或いは、システム回路 16 は、外部から入力されたオブジェクトを含む画像を表すデータ信号から、画素アレイ部におけるオブジェクトの位置を抽出する情報検出手段 27 と、情報検出手段 27 から得られたオブジェクトの位置に応じて、補正データのレベルを制御する温度ムラ補正パターン生成手段（補正レベル制御回路）28 とを有する。

10

20

30

40

50

【0042】

以下図 11 に示した画像表示装置の動作を詳細に説明する。補正対象ディスプレイパネル 15 については、前述したように空気の対流により発光面下部が冷やされて起こる温度低下による図 9 のような温度ムラが観測される。これは、下端から約 200 mm の領域で最も影響を受け、この領域を主補正領域とする。発光時間比率（Duty）－温度上昇特性は、前述したように図 10 のような特性を示す場合が多い。したがって、Duty を上げて輝度を上げるにしたがって、多くの電流量が必要となることで、より高い温度で発熱することがわかる。これらの情報をもとに計算される、主補正領域の下部発光部温度低下部において Duty を上げ面内同一温度になるようにするための補正值情報が、温度ムラ補正パターン生成手段 28 に格納されている。

【0043】

入力表示データ信号は、タイミングジェネレータ 19 に入力され、各ドライバ 13, 14 を動作させるのに必要なタイミング信号が生成される。ここで、データドライバ 14 へは信号がそのまま出力される。

【0044】

それに対して、ゲート・パルス・ドライバ 13 を動作させるのに必要なタイミング信号は、前記温度ムラ補正パターン生成手段 28 へ入力され、ここで、図 12 のような Duty 補正值情報が反映されたタイミング信号が生成される。

【0045】

一方、表示データ情報検出手段 27 によって、入力表示データ信号の、階調の 1 フレーム平均値や、表示位置情報が、計算、検出され、温度ムラ補正パターン生成手段 28 へ出力される。その際、温度ムラ補正パターン生成手段 28 では、表示データ情報検出手段 28 によって得られる入力表示データ信号の、階調の 1 フレーム平均値や、表示位置情報に基づいて、元々温度ムラ補正パターン生成手段 28 に格納されている補正值のレベルをコントロールすることができる。補正值レベルコントロールは、元々格納されている補正值レベルを 1 とし、それ以下の補正係数を乗ずることによって得ることとする。図 13 にその様子を示す。

【0046】

また、図 14 に補正係数を決定する方法の一例を示す。通常温度ムラが大きく発生するのは発光面内の平均輝度が高く、温度も高い状態であり、暗い画面で補正レベルを抑えることは大きく問題にならない。また同時に、人の目の感度の観点でも、暗い画面の方が輝度差を認識しやすいため、階調の 1 フレーム平均値が低い状態で、補正レベルを低く抑えるのは有効と言える。また、主補正領域に表示データが無い場合については、補正を行う必要が無い場合、補正值レベルを下げるべきである。このように補正值レベルについては、常に表示品位を意識して行うべきであり、入力表示データの検出情報を増やしたり、補正係数については、最大値自体を制限することや入力表示データの検出情報による変化のさせ方にいろいろなバリエーションを持たせることも、有効になる。このようにして作成

されたタイミング情報に基づいて、Duty変調ゲート・パルス・ドライバは、1水平ラインごとに発光時間比率（Duty）を変調させながら下方へ順次駆動する。これらデータドライバ並びにDuty変調ゲート・パルス・ドライバの駆動により、有機ELディスプレイパネルの表示が行われる。

【0047】

以上述べたように、本発明によれば、発光下部の領域で発生する温度低下を、発光時間比率（Duty）を上げてより高い輝度で発光させ、温度を上げることによって、回避でき、温度を発光面内にわたって均一に保つことができる効果がある。それにより、有機EL発光素子の劣化速度の差を抑えられ、画素劣化による固定的な輝度ムラを防止できるという効果がある。また、表示データに全く手をつけていないため、階調データを全く欠落させずに温度ムラ補正を行えるため、階調再現性能を損なわないという利点がある。更に本発明によれば、入力表示データ信号によって、温度ムラ補正レベルを適宜に変化させることができるため、輝度ムラ等の表示品位を大きく損なわずに、温度を発光面内にわたってほぼ均一に保つことができるという効果がある。

【0048】

最後に図15は、図1または図11に示した有機EL表示パネルの構成例を示すブロック図である。この表示パネル15は、画素回路（PXL C）11が $m \times n$ のマトリクス状に配列された画素アレイ部12、データ線駆動回路14、走査線駆動回路13及びその一部をなす追加走査線駆動回路13a、データ線駆動回路14により選択され輝度情報に応じた信号が供給されるデータ線DTL-1～DTL-m、追加の走査線駆動回路13aにより選択駆動される走査線WSL-1～WSL-n、及び走査線駆動回路13により選択駆動される走査線DSL-1～DSL-nを有する。ここで走査線駆動回路13はデューティ駆動を行い、走査線駆動回路13aはデューティ駆動に先立って、各画素に対するデータの書き込み駆動を行なう。

【0049】

図16は、図15に示した画素回路の一構成例を示す回路図である。図示する様に、この画素回路11は、基本的にpチャネル型の薄膜電界効果トランジスタ（以下、TFTと言う）で構成されている。すなわち画素回路11は、ドライブTFT111、スイッチングTFT112、サンプリングTFT115、有機EL素子17、保持容量C111を有する。係る構成を有する画素回路11は、データ線DTL-1と走査線WSL-1、DSL-1との交差部に配されている。データ線DTL-1はサンプリングTFT115のドレインに接続し、走査線WSL-1はサンプリングTFT115のゲートに接続し、他の走査線DSL-1はスイッチングTFT112のゲートに接続している。

【0050】

ドライブTFT111、スイッチングTFT112及び有機EL素子17は、電源電位Vccと接地電位GNDの間で直列に接続されている。すなわちドライブトランジスタ111のソースが電源電位Vccに接続される一方、有機EL素子（発光素子）17のカソードが接地電位GNDに接続されている。一般に、有機EL素子17は整流性がある為ダイオードの記号で表わしている。一方、サンプリングTFT115及び保持容量C111は、ドライブTFT111のゲートに接続している。ドライブTFT111のゲート・ソース間電圧をVgsで表わしている。

【0051】

画素回路11の動作であるが、まず走査線WSL-1を選択状態（ここでは低レベル）とし、データ線DTL-1に信号を印加すると、サンプリングTFT115が導通して信号が保持容量C111に書き込まれる。保持容量C111に書き込まれた信号電位がドライブトランジスタ111のゲート電位となる。続いて、走査線WSL-1を非選択状態（ここでは高レベル）とすると、データ線DTL-1とドライブTFT111とは電氣的に切り離されるが、ドライブTFT111のゲート電位Vgsは保持容量C111によって安定に保持される。続いて他の走査線DSL-1を選択状態（ここでは低レベル）にすると、スイッチングTFT112が導通し、電源電位Vccから接地電位GNDに向かって

駆動電流がTFT111, TFT112及び発光素子17を流れる。DSL-1が非選択状態になるとスイッチングトランジスタ112がオフし、駆動電流は流れなくなる。スイッチングTFT112は発光素子17の発光時間を制御する為に挿入されたものである。

【0052】

TFT111及び発光素子17に流れる電流は、TFT111のゲート・ソース間電圧Vgsに応じた値となり、発光素子17はその電流値に応じた輝度で発光し続ける。上記のように、走査線WSL-1を選択してデータ線DTL-1に与えられた信号を画素回路11の内部に伝える動作を「書き込み」と呼ぶ。上述のように、一度信号の書き込みを行なえば、次に書き換えられるまで、発光素子17はドライブトランジスタ112がオンしている間一定の輝度で発光を続ける。

10

【図面の簡単な説明】

【0053】

【図1】本発明に係る画像表示装置の第1実施形態を示す全体構成図である。

【図2】図1に示した画像表示装置に含まれる走査線駆動回路の具体的な構成例を示すブロック図である。

【図3】図1に示した画素アレイ部の平面図である。

【図4】図2に示した走査線駆動回路の動作説明に供するタイミングチャートである。

【図5】画素アレイ部によって構成される発光面の温度分布を示す模式的な平面図である。

【図6】画素アレイ部によって構成される発光面の温度分布を示すグラフである。

20

【図7】本発明に従って実行されるデューティ制御を示す模式的なグラフである。

【図8】図7に示したデューティ制御カーブに従って出力される駆動パルスの波形図である。

【図9】発光面の温度分布の別の例を示す模式図である。

【図10】発光素子の発光時間比率と温度との関係を示すグラフである。

【図11】本発明に係る画像表示装置の第2実施形態を示す模式的なブロック図である。

【図12】図11に示した実施形態の動作説明に供するグラフである。

【図13】図11に示した実施形態の動作説明に供するグラフである。

【図14】図11に示した実施形態の動作説明に供する表図である。

【図15】図1に示したディスプレイパネルの構成例を示すブロック図である。

30

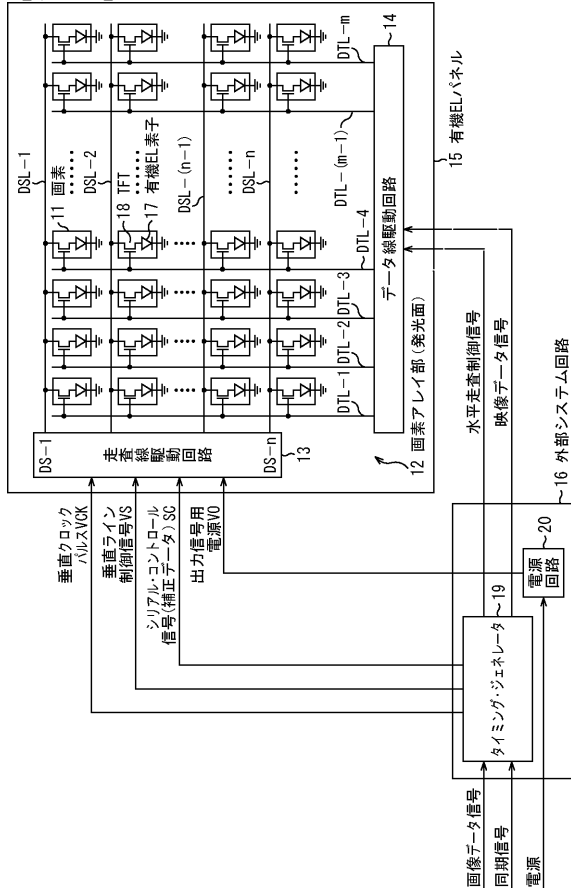
【図16】図1に示したディスプレイパネルの構成例を示す回路図である。

【符号の説明】

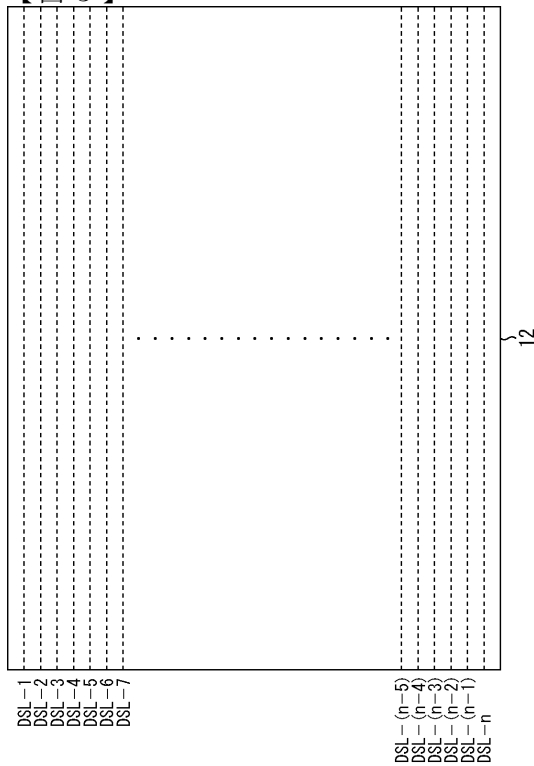
【0054】

11・・・画素、12・・・画素アレイ部、13・・・走査線駆動回路、14・・・データ線駆動回路、15・・・有機ELパネル、16・・・外部システム回路、19・・・タイミングジェネレータ、20・・・電源回路、22・・・シフトレジスタ回路、23・・・出力時間設定回路、24・・・電圧レベルシフト回路、25・・・バッファ回路、27・・・表示データ情報検出手段、28・・・温度ムラ補正パターン生成手段

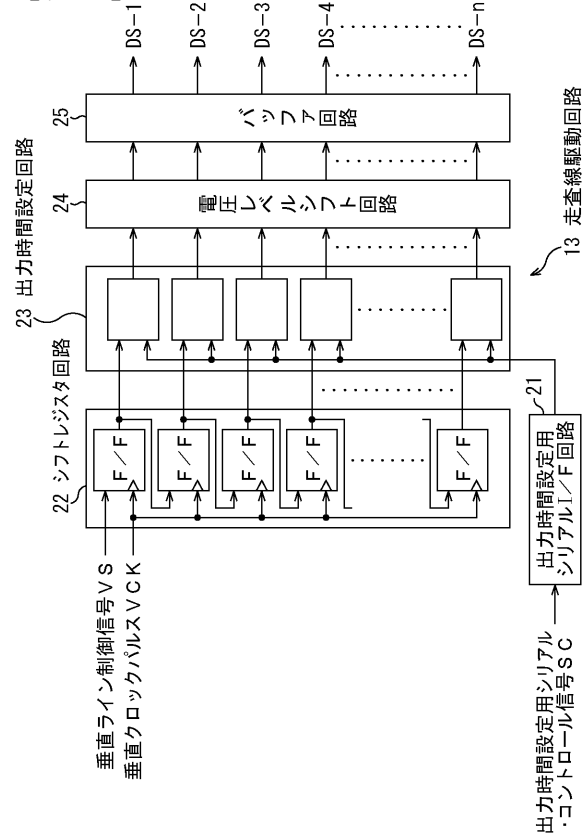
【図 1】



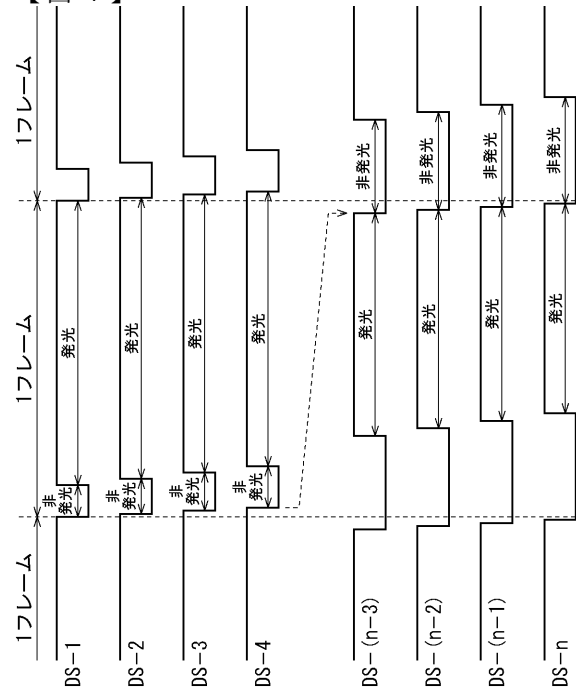
【図 3】



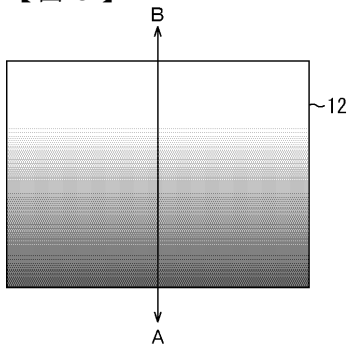
【図 2】



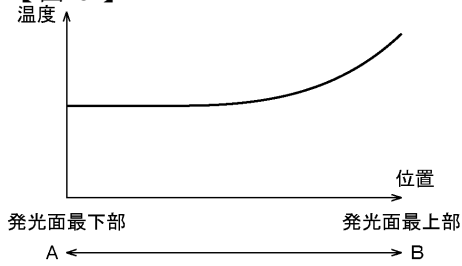
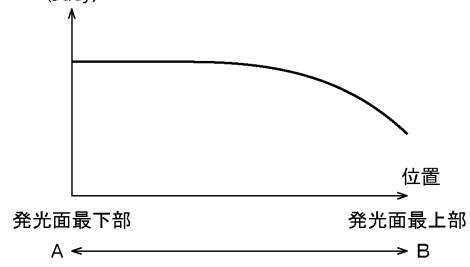
【図 4】



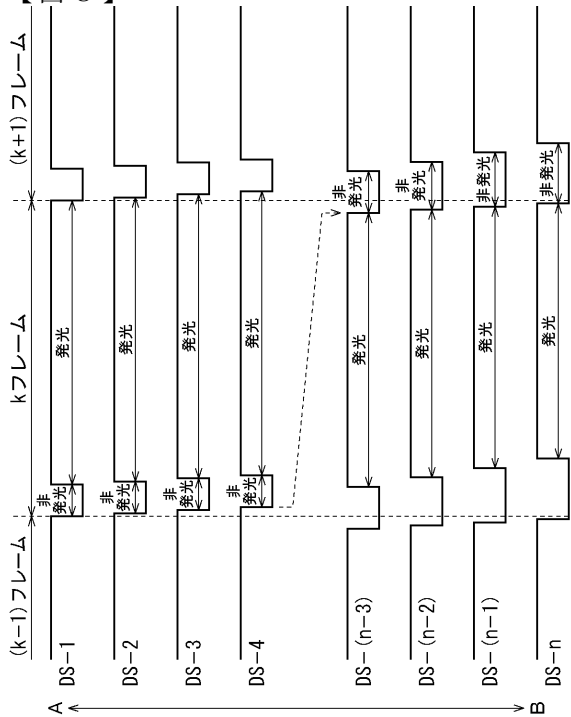
【図 5】



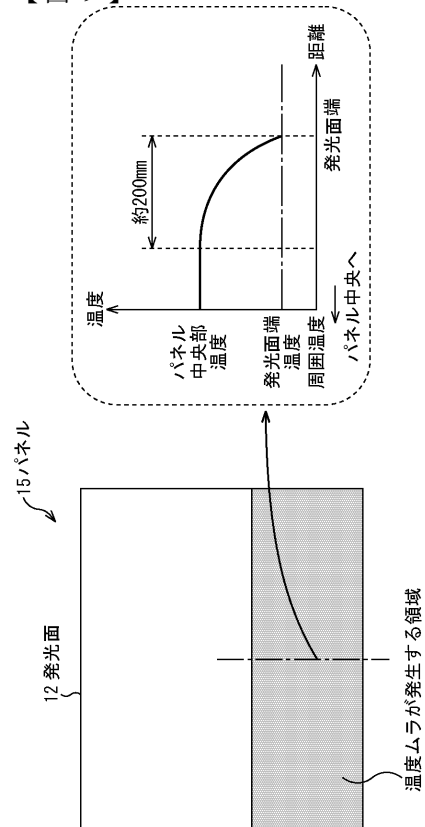
【図 6】

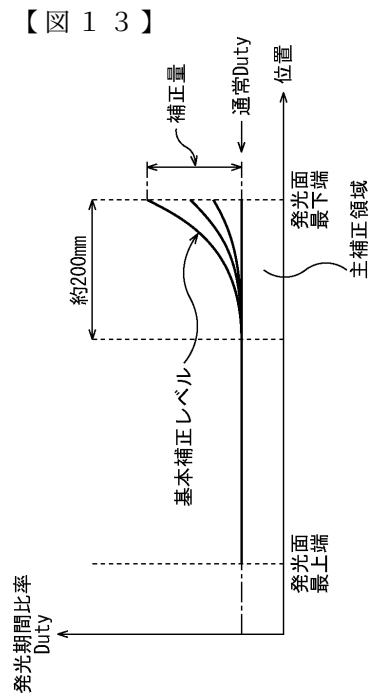
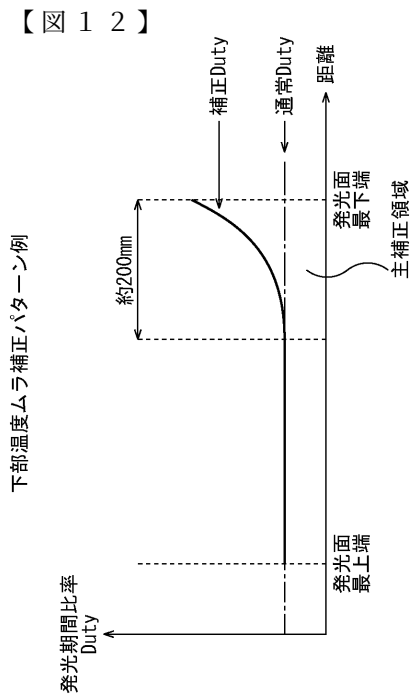
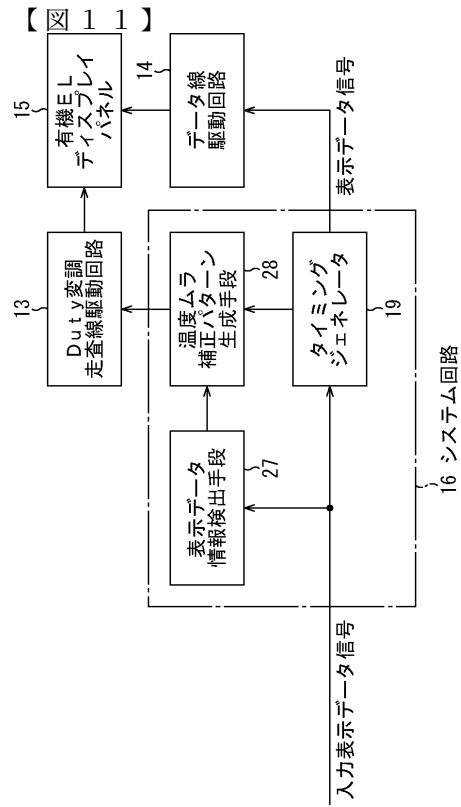
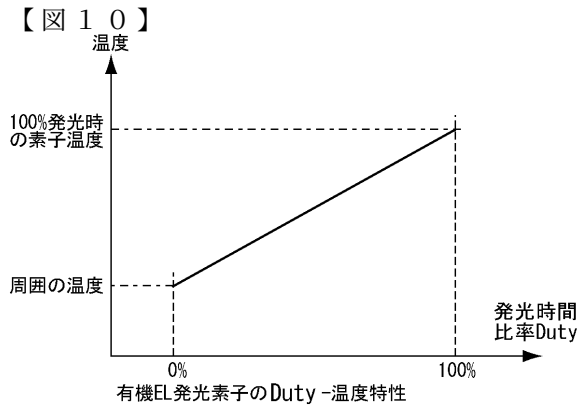
【図 7】
発光時間比率
(Duty)

【図 8】



【図 9】





フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 4 1 P

G 0 9 G 3/20 6 7 0 L

H 0 5 B 33/14 A

F ターム(参考) 3K007 AB14 AB17 AB18 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD05 EE29 FF01 FF07 FF11 GG09 JJ02 JJ04

JJ05