



등록특허 10-2038552



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월30일
(11) 등록번호 10-2038552
(24) 등록일자 2019년10월24일

- (51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) *H01L 21/02* (2006.01)
H01L 21/027 (2006.01) *H01L 21/033* (2006.01)
H01L 29/778 (2006.01)
- (52) CPC특허분류
H01L 29/66431 (2013.01)
H01L 21/02631 (2013.01)
- (21) 출원번호 10-2017-0152941
- (22) 출원일자 2017년11월16일
심사청구일자 2017년11월16일
- (65) 공개번호 10-2019-0055992
- (43) 공개일자 2019년05월24일
- (56) 선행기술조사문현
KR1020090060145 A*
(뒷면에 계속)
- (73) 특허권자
한국세라믹기술원
경상남도 진주시 소호로 101 (충무공동, 부속건물
세라믹소재종합지원센터)
- (72) 발명자
윤영준
경상남도 진주시 사들로 157 LH아파트1단지 103동
1005호
- 김봉호
부산시 북구 화명동 롯데낙천대아파트 109동 120
5호
- 구현호
경남 사천시 정의리 389-43
- (74) 대리인
특허법인(유한) 대아

전체 청구항 수 : 총 10 항

심사관 : 김종호

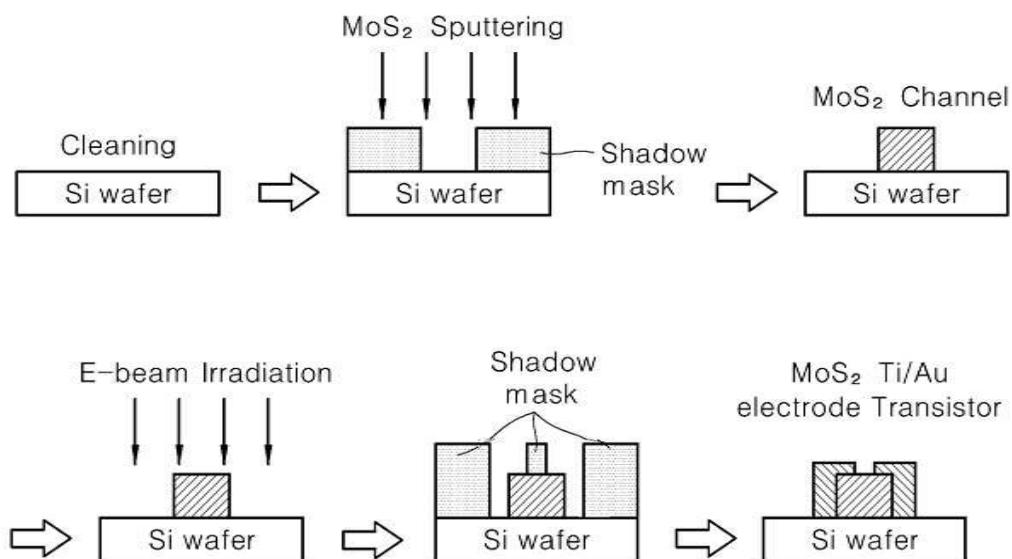
(54) 발명의 명칭 전이금속 칼코겐화합물을 이용한 전계 효과형 트랜지스터의 제조 방법

(57) 요약

전이금속 칼코겐화합물을 이용한 전계 효과형 트랜지스터의 제조 방법에 대하여 개시한다.

본 발명에 따른 전이금속 칼코겐화합물을 이용한 전계 효과형 트랜지스터의 제조 방법은 (a) 기판 상에 게이트 전극을 형성하고, 상기 게이트 전극 상에 절연막을 형성하는 단계; (b) 상기 절연막이 형성된 기판 상에 채널부와 동일한 형상의 개구부를 포함하는 새도 마스크(shadow mask)를 배치하고, 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부를 형성하는 단계; (c) 상기 새도 마스크를 제거하고, 상기 채널부가 형성된 기판 상에 전자빔을 조사하여 결정화하는 단계; 및 (d) 상기 결정화된 채널부의 양단과 접촉하는 소스 전극 및 드레인 전극을 형성하는 단계;를 포함하는 것을 특징으로 한다.

대 표 도 - 도1



(52) CPC특허분류

H01L 21/0273 (2013.01)

H01L 21/0331 (2013.01)

H01L 29/778 (2013.01)

(56) 선행기술조사문현

KR1020170015645 A*

KR101548681 B1*

KR1020160004433 A*

KR101348059 B1*

KR1020120098799 A*

*는 심사관에 의하여 인용된 문현

공지예외적용 : 있음

명세서

청구범위

청구항 1

- (a) 기판 상에 게이트 전극을 형성하고, 상기 게이트 전극 상에 절연막을 형성하는 단계;
- (b) 상기 절연막이 형성된 기판 상에 채널부와 동일한 형상의 개구부를 포함하는 색도 마스크(shadow mask)를 배치하고, 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부를 형성하는 단계;
- (c) 상기 색도 마스크를 제거하고, 상기 채널부가 형성된 기판 상에 전자빔을 조사하여 결정화하는 단계; 및
- (d) 상기 결정화된 채널부의 양단과 접촉하는 소스 전극 및 드레인 전극을 형성하는 단계;를 포함하고,

상기 (d) 단계는

- (d1) 상기 채널부가 형성된 기판 상에 포토 레지스트를 도포하여 코팅하는 단계;
- (d2) 상기 포토 레지스트가 코팅된 기판 상에 색도 마스크를 배치하고, UV를 조사하는 단계;
- (d3) 상기 UV를 조사받은 기판 상에 증발법으로 소스 전극 및 드레인 전극을 형성하는 단계; 및
- (d4) 리프트 오프법(lift-off process)을 이용하여, 상기 포토 레지스트가 형성된 영역을 제거하는 단계;를 포함하는 것을 특징으로 하는 전계 효과형 트랜지스터의 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

- (a) 기판 상에 게이트 전극을 형성하고, 상기 게이트 전극 상에 절연막을 형성하는 단계;
- (b) 상기 절연막이 형성된 기판 상에 소스 전극 및 드레인 전극이 서로 이격되도록 형성하는 단계;
- (c) 상기 소스 전극 및 드레인 전극이 서로 이격된 기판 상에 채널부와 동일한 형상의 개구부를 포함하는 색도 마스크를 배치하고, 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부를 형성하는 단계; 및
- (d) 상기 채널부가 형성된 기판 상에 전자빔을 조사하여 결정화하는 단계;를 포함하고,

상기 (b) 단계는

- (b1) 상기 기판 상에 포토 레지스트를 도포하여 코팅하는 단계;
- (b2) 상기 포토 레지스트가 코팅된 기판 상에 색도 마스크를 배치하고, UV를 조사하는 단계;
- (b3) 상기 UV를 조사받은 기판 상에 증발법으로 소스 전극 및 드레인 전극을 형성하는 단계; 및
- (b4) 리프트 오프법을 이용하여, 상기 포토 레지스트가 형성된 영역을 제거하는 단계;를 포함하는 것을 특징으로 하는 전계 효과형 트랜지스터의 제조 방법.

청구항 5

삭제

청구항 6

삭제

청구항 7

- (a) 기판 상에 채널부와 동일한 형상의 개구부를 포함하는 새도 마스크를 배치하고, 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부를 형성하는 단계;
- (b) 상기 새도 마스크를 제거하고, 상기 채널부가 형성된 기판 상에 전자빔을 조사하여 결정화하는 단계; 및
- (c) 상기 결정화된 채널부의 양단과 접촉하는 소스 전극 및 드레인 전극을 형성하는 단계; 및
- (d) 상기 소스 전극 및 드레인 전극이 형성된 기판 상에 절연막을 형성하고, 상기 절연막 상에 게이트 전극을 형성하는 단계;를 포함하고,

상기 (c) 단계는

- (c1) 상기 채널부가 형성된 기판 상에 포토 레지스트를 도포하여 코팅하는 단계;
- (c2) 상기 포토 레지스트가 코팅된 기판 상에 새도 마스크를 배치하고, UV를 조사하는 단계;
- (c3) 상기 UV를 조사받은 기판 상에 중발법으로 소스 전극 및 드레인 전극을 형성하는 단계; 및
- (c4) 리프트 오프법을 이용하여, 상기 포토 레지스트가 형성된 영역을 제거하는 단계;를 포함하는 것을 특징으로 하는 전계 효과형 트랜지스터의 제조 방법.

청구항 8

삭제

청구항 9

삭제

청구항 10

- (a) 기판 상에 소스 전극 및 드레인 전극이 서로 이격되도록 형성하는 단계;
- (b) 상기 소스 전극 및 드레인 전극이 서로 이격된 기판 상에 채널부와 동일한 형상의 개구부를 포함하는 새도 마스크를 배치하고, 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부를 형성하는 단계;
- (c) 상기 채널부가 형성된 기판 상에 전자빔을 조사하여 결정화하는 단계; 및
- (d) 상기 채널부가 형성된 기판 상에 절연막을 형성하고, 상기 절연막 상에 게이트 전극을 형성하는 단계;를 포함하고,

상기 (a) 단계는

- (a1) 상기 기판 상에 포토 레지스트를 도포하여 코팅하는 단계;
- (a2) 상기 포토 레지스트가 코팅된 기판 상에 새도 마스크를 배치하고, UV를 조사하는 단계;
- (a3) 상기 UV를 조사받은 기판 상에 중발법으로 소스 전극 및 드레인 전극을 형성하는 단계; 및
- (a4) 리프트 오프법을 이용하여, 상기 포토 레지스트가 형성된 영역을 제거하는 단계;를 포함하는 것을 특징으로 하는 전계 효과형 트랜지스터의 제조 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

제1항, 제4항, 제7항, 제10항 중 어느 한 항에 있어서,

상기 채널부의 길이가 $0.01\sim1000\mu\text{m}$ 이고, 너비가 $0.01\sim10000\mu\text{m}$ 이 되도록 형성하는 것을 특징으로 하는 전계 효과형 트랜지스터의 제조 방법.

청구항 14

제1항, 제4항, 제7항, 제10항 중 어느 한 항에 있어서,

상기 게이트 전극은 알루미늄(Al), 금(Au), 베릴륨(Be), 비스무트(Bi), 코발트(Co), 구리(Cu), 하프늄(Hf), 인듐(In), 망간(Mn), 몰리브덴(Mo), 니켈(Ni), 납(Pb), 팔라듐(Pd), 백금(Pt), 로듐(Rh), 레늄(Re), 루테늄(Ru), 탄탈륨(Ta), 텔륨(Te), 티타늄(Ti), 텉스텐(W), 아연(Zn) 및 지르코늄(Zr) 중 1종 이상을 포함하고,

상기 절연막은 SiO_2 , SiON , Al_2O_3 , Y_2O_3 , Ta_2O_5 및 HfO_2 중 1종 이상을 포함하는 것을 특징으로 하는 전계 효과형 트랜지스터의 제조 방법.

청구항 15

제1항, 제4항, 제7항, 제10항 중 어느 한 항에 있어서,

상기 소스 전극 및 드레인 전극은 금(Au), 은(Ag), 크롬(Cr), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 탄탈륨(Ta), 몰리브데늄(Mo), 텉스텐(W), 니켈(Ni), 팔라듐(Pd), 백금(Pt) 중 1종 이상의 금속, 또는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 중 1종 이상의 금속 산화물을 포함하는 것을 특징으로 하는 전계 효과형 트랜지스터의 제조 방법.

청구항 16

제1항, 제4항, 제7항, 제10항 중 어느 한 항에 있어서,

상기 전이금속 칼코겐화합물에 포함되는 전이금속은 Mo, W, Sn, Zr, Ni, Ga, In, Bi, Hf, Re, Ta 및 Ti 중에서 선택되고,

상기 전이금속 칼코겐화합물에 포함되는 칼코겐 원소는 S, Se 및 Te 중에서 선택되는 것을 특징으로 특징으로 하는 전계 효과형 트랜지스터의 제조 방법.

청구항 17

제1항, 제4항, 제7항, 제10항 중 어느 한 항에 있어서,

상기 스퍼터링 공정 및 전자빔 조사는 600°C 이하의 온도에서 수행되는 것을 특징으로 하는 전계 효과형 트랜지스터의 제조 방법.

청구항 18

제1항, 제4항, 제7항, 제10항 중 어느 한 항에 있어서,

상기 스퍼터링 공정은 RF 파워 5~20W, 공정 압력 5~20mTorr, 증착 시간 1~20분에서 수행되고,

상기 전자빔 조사는 RF 파워 50~300W, DC 파워 50~3000V, 조사 시간 0.5~20분으로 수행되는 것을 특징으로 하는 전계 효과형 트랜지스터의 제조 방법.

발명의 설명

기술 분야

[0001]

본 발명은 전계 효과형 트랜지스터의 제조 방법에 관한 것으로, 보다 상세하게는 전이금속 칼코겐화합물을 이용한 전계 효과형 트랜지스터의 제조 방법에 관한 것이다.

[0002]

배경 기술

[0003]

2차원 물질은 얇고 잘 휘면서 단단한 특성을 가지고 있으며, 기계적, 열적, 전기적, 광학적 특성이 기준의 3차원 물질에 비해 매우 우수하여, 태양전지, 디스플레이, 광 검출기 등에 적용하기 위한 연구가 이어지고 있다.

[0004]

대표적인 2차원 물질로는 그래핀이 있다.

[0005]

특히, 전계 효과 트랜지스터에서 채널부의 물질은 박막 트랜지스터의 특성을 결정하는 중요한 요소로, 최근 실리콘 채널 대신 그래핀과 같은 2차원 물질로 제조한 반도체 채널을 사용하고 있다.

[0006]

그러나, 그래핀은 높은 전자 이동도를 가져 전자 소자의 응용성이 높음에도 불구하고, 기본적으로 에너지 밴드갭이 0이라는 특성 때문에, 온오프 비율(on-off ratio)이 낮은 문제점이 대두되면서 전자, 광전자 소자에 응용이 제한된다는 근본적인 한계가 있다.

[0007]

이러한 문제점을 해결하고자 그래핀을 대체할 수 있는 2차원 물질로 전이금속 칼코겐화합물(transition metal dichalcogenide, TMD)이 연구되고 있다. TMD는 두께에 따라 밴드갭이 변화하는 특성이 있으며, 일반적으로 1.5~2.5eV의 밴드갭을 가진다. TMD는 통상적인 3차원 물질과는 다르게 탄도 수송 양상을 보이며, 이로부터 고이동도, 고속, 저전력 특성의 구현이 가능하다.

[0008]

따라서, 전이금속 칼코겐화합물을 적용한 전계 효과형 트랜지스터의 연구가 필요한 실정이다.

[0009]

본 발명에 관련된 배경기술로는 대한민국 등록특허공보 제10-1275282호(2013.06.10. 등록)가 있으며, 상기 문헌에는 N-도핑된 그래핀을 이용한 전계효과 트랜지스터 및 그의 제조 방법이 기재되어 있다.

발명의 내용

해결하려는 과제

[0010]

본 발명의 목적은 전자 이동도 및 점멸비가 우수한 전계 효과형 트랜지스터의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0011]

상기 하나의 목적을 달성하기 위한 본 발명의 제1실시예에 따른 전계 효과형 트랜지스터의 제조 방법은 (a) 기판 상에 게이트 전극을 형성하고, 상기 게이트 전극 상에 절연막을 형성하는 단계; (b) 상기 절연막이 형성된 기판 상에 채널부와 동일한 형상의 개구부를 포함하는 새도 마스크(shadow mask)를 배치하고, 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부를 형성하는 단계; (c) 상기 새도 마스크를 제거하고, 상기 채널부가 형성된 기판 상에 전자빔을 조사하여 결정화하는 단계; 및 (d) 상기 결정화된 채널부의 양단과 접촉하는 소스 전극 및 드레인 전극을 형성하는 단계;를 포함하는 것을 특징으로 한다.

[0012]

상기 (d) 단계는 상기 채널부가 형성된 기판 상에 새도 마스크(shadow mask)를 이격되도록 배치하고, 증발법(evaporation)으로 소스 전극 및 드레인 전극을 형성한 후 상기 새도 마스크를 제거하여 수행될 수 있다.

- [0013] 상기 (d) 단계는 (d1) 상기 채널부가 형성된 기판 상에 포토 레지스트를 도포하여 코팅하는 단계; (d2) 상기 포토 레지스트가 코팅된 기판 상에 새도 마스크를 배치하고, UV를 조사하는 단계; (d3) 상기 UV를 조사받은 기판 상에 증발법으로 소스 전극 및 드레인 전극을 형성하는 단계; 및 (d4) 리프트 오프법(lift-off process)을 이용하여, 상기 포토 레지스트가 형성된 영역을 제거하는 단계;를 포함할 수 있다.
- [0014] 상기 하나의 목적을 달성하기 위한 본 발명의 제2실시예에 따른 전계 효과형 트랜지스터의 제조 방법은 (a) 기판 상에 게이트 전극을 형성하고, 상기 게이트 전극 상에 절연막을 형성하는 단계; (b) 상기 절연막이 형성된 기판 상에 소스 전극 및 드레인 전극이 서로 이격되도록 형성하는 단계; (c) 상기 소스 전극 및 드레인 전극이 서로 이격된 기판 상에 채널부와 동일한 형상의 개구부를 포함하는 새도 마스크를 배치하고, 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부를 형성하는 단계; 및 (d) 상기 채널부가 형성된 기판 상에 전자빔을 조사하여 결정화하는 단계;를 포함하는 것을 특징으로 한다.
- [0015] 상기 (b) 단계는 상기 기판 상에 채널부와 동일한 형상의 새도 마스크를 배치하고, 증발법으로 소스 전극 및 드레인 전극을 형성한 후 상기 새도 마스크를 제거하여 수행될 수 있다.
- [0016] 상기 (b) 단계는 (b1) 상기 기판 상에 포토 레지스트를 도포하여 코팅하는 단계; (b2) 상기 포토 레지스트가 코팅된 기판 상에 새도 마스크를 배치하고, UV를 조사하는 단계; (b3) 상기 UV를 조사받은 기판 상에 증발법으로 소스 전극 및 드레인 전극을 형성하는 단계; 및 (b4) 리프트 오프법을 이용하여, 상기 포토 레지스트가 형성된 영역을 제거하는 단계;를 포함할 수 있다.
- [0017] 상기 하나의 목적을 달성하기 위한 본 발명의 제3실시예에 따른 전계 효과형 트랜지스터의 제조 방법은 (a) 기판 상에 채널부와 동일한 형상의 개구부를 포함하는 새도 마스크를 배치하고, 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부를 형성하는 단계; (b) 상기 새도 마스크를 제거하고, 상기 채널부가 형성된 기판 상에 전자빔을 조사하여 결정화하는 단계; 및 (c) 상기 결정화된 채널부의 양단과 접촉하는 소스 전극 및 드레인 전극을 형성하는 단계; 및 (d) 상기 소스 전극 및 드레인 전극이 형성된 기판 상에 절연막을 형성하고, 상기 절연막 상에 게이트 전극을 형성하는 단계;를 포함하는 것을 특징으로 한다.
- [0018] 상기 (c) 단계는 상기 채널부가 형성된 기판 상에 새도 마스크를 이격되도록 배치하고, 증발법으로 소스 전극 및 드레인 전극을 형성한 후 상기 새도 마스크를 제거하여 수행될 수 있다.
- [0019] 상기 (c) 단계는 (c1) 상기 채널부가 형성된 기판 상에 포토 레지스트를 도포하여 코팅하는 단계; (c2) 상기 포토 레지스트가 코팅된 기판 상에 새도 마스크를 배치하고, UV를 조사하는 단계; (c3) 상기 UV를 조사받은 기판 상에 증발법으로 소스 전극 및 드레인 전극을 형성하는 단계; 및 (c4) 리프트 오프법을 이용하여, 상기 포토 레지스트가 형성된 영역을 제거하는 단계;를 포함할 수 있다.
- [0020] 상기 하나의 목적을 달성하기 위한 본 발명의 제4실시예에 따른 전계 효과형 트랜지스터의 제조 방법은 (a) 기판 상에 소스 전극 및 드레인 전극이 서로 이격되도록 형성하는 단계; (b) 상기 소스 전극 및 드레인 전극이 서로 이격된 기판 상에 채널부와 동일한 형상의 개구부를 포함하는 새도 마스크를 배치하고, 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부를 형성하는 단계; (c) 상기 채널부가 형성된 기판 상에 전자빔을 조사하여 결정화하는 단계; 및 (d) 상기 채널부가 형성된 기판 상에 절연막을 형성하고, 상기 절연막 상에 게이트 전극을 형성하는 단계;를 포함하는 것을 특징으로 한다.
- [0021] 상기 (a) 단계는 상기 기판 상에 채널부와 동일한 형상의 새도 마스크를 배치하고, 증발법으로 소스 전극 및 드레인 전극을 형성한 후 상기 새도 마스크를 제거하여 수행될 수 있다.
- [0022] 상기 (a) 단계는 (a1) 상기 기판 상에 포토 레지스트를 도포하여 코팅하는 단계; (a2) 상기 포토 레지스트가 코팅된 기판 상에 새도 마스크를 배치하고, UV를 조사하는 단계; (a3) 상기 UV를 조사받은 기판 상에 증발법으로 소스 전극 및 드레인 전극을 형성하는 단계; 및 (a4) 리프트 오프법을 이용하여, 상기 포토 레지스트가 형성된 영역을 제거하는 단계;를 포함할 수 있다.
- [0023] 상기 채널부의 길이가 $0.01\sim1000\mu\text{m}$ 이고, 너비가 $0.01\sim10000\mu\text{m}$ 이 되도록 형성할 수 있다.
- [0024] 상기 게이트 전극은 알루미늄(Al), 금(Au), 베릴륨(Be), 비스무트(Bi), 코발트(Co), 구리(Cu), 하프늄(Hf), 인듐(In), 망간(Mn), 몰리브덴(Mo), 니켈(Ni), 납(Pb), 팔라듐(Pd), 백금(Pt), 로듐(Rh), 레늄(Re), 루테늄(Ru), 탄탈륨(Ta), 텔륨(Te), 티타늄(Ti), 텡스텐(W), 아연(Zn) 및 지르코늄(Zr) 중 1종 이상을 포함하고, 상기 절연

막은 SiO_2 , SiON , Al_2O_3 , Y_2O_3 , Ta_2O_5 및 HfO_2 중 1종 이상을 포함할 수 있다.

[0025] 상기 소스 전극 및 드레인 전극은 금(Au), 은(Ag), 크롬(Cr), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 탄탈륨(Ta), 몰리브데늄(Mo), 텅스텐(W), 니켈(Ni), 팔라듐(Pd), 백금(Pt) 중 1종 이상의 금속, 또는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 중 1종 이상의 금속 산화물을 포함할 수 있다.

[0026] 상기 전이금속 칼코겐화합물에 포함되는 전이금속은 Mo, W, Sn, Zr, Ni, Ga, In, Bi, Hf, Re, Ta 및 Ti 중에서 선택되고, 상기 전이금속 칼코겐화합물에 포함되는 칼코겐 원소는 S, Se 및 Te 중에서 선택될 수 있다.

[0027] 상기 스피터링 공정 및 전자빔 조사는 600°C 이하의 온도에서 수행될 수 있다.

[0028] 상기 스피터링 공정은 RF 파워 5~20W, 공정 압력 5~20mTorr, 증착 시간 1~20분에서 수행되고, 상기 전자빔 조사는 RF 파워 50~300W, DC 파워 50~3000V, 조사 시간 0.5~20분으로 수행될 수 있다.

발명의 효과

[0029] 본 발명에 따른 전계 효과형 트랜지스터의 제조 방법은 새도 마스크를 이용하여 전이금속 칼코겐화합물로부터 채널부를 형성하고, 새도 마스크 또는 포토리소그래피를 이용하여 전극부를 형성함으로써, 밴드갭이 1.5~2.5eV로 가시광 내지 근적외선 영역에 대응 가능하며, 고이동도, 고속, 저전력이 가능한 효과가 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 제1실시예에 따른 전계 효과형 트랜지스터의 제조 방법 중 새도 마스크를 이용하여, 채널부와 소스 전극, 드레인 전극을 제조하는 과정을 나타낸 개략도이다.

도 2는 본 발명의 제1실시예, 제3실시예에 따른 전계 효과형 트랜지스터의 제조 방법 중 새도 마스크를 이용하여 채널부를 제조하고, 포토 리소그래피를 이용하여 소스 전극, 드레인 전극을 제조하는 과정을 나타낸 개략도이다.

도 3은 본 발명의 제1실시예에 따라 제조된 전계 효과형 트랜지스터의 광학 사진이다.

도 4는 본 발명의 제1실시예에 따라 제조된 전계 효과형 트랜지스터의 SEM 이미지이다.

도 5는 본 발명의 채널부의 길이 변화에 따른 공핍 영역을 보여주는 예이다.

도 6은 제1실시예(a), 제2실시예(b), 제3실시예(c), 제4실시예(d)에 따라 제조된 전계 효과형 트랜지스터의 단면도를 나타낸 것이다.

도 7 및 도 8은 본 발명의 제1실시예에 따라 제조된 전계 효과형 트랜지스터의 V_G - I_D 측정 결과이다.

발명을 실시하기 위한 구체적인 내용

[0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[0032] 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 전이금속 칼코겐화합물을 이용한 전계 효과형 트랜지스터의 제조 방법에 관하여 상세히 설명하면 다음과 같다.

[0033] 본 발명의 전계 효과형 트랜지스터(field effect transistor, FET)는 채널부, 상기 채널부의 온/오프를 담당하는 게이트 전극, 직접적으로 전류를 흐르게 하는 소스 전극과 드레인 전극, 및 상기 게이트 전극과 채널 사이에 절연을 위한 게이트 절연막으로 구성된다.

[0034] 이처럼, 전계 효과형 트랜지스터는 게이트 전극, 게이트 절연막, 채널부, 소스 전극 및 드레인 전극을 가지고, 게이트 전극에 전압을 인가하여, 채널부에 흐르는 전류를 제어하고, 소스 전극과 드레인 전극간의 전류를 스위칭하는 기능을 갖는 액티브 소자이다. 전계 효과형 트랜지스터는 게이트 전극의 위치에 기초하여 역스태거 구조(바텀 게이트형) 및 스태거 구조(톱 게이트형)로 구분되며, 게이트 전극과 채널부의 배치에 따라 1) 바텀 게이

트-탑 콘택트(bottom gate-top contact), 2) 바텀 게이트-바텀 콘택트(bottom gate-bottom contact), 3) 톱 게이트-탑 콘택트(top gate-top contact) 4) 톱 게이트-바텀 콘택트(top gate-bottom contact) 의 4가지 방식으로 분류될 수 있다.

[0035] 톱 게이트 구조란, 게이트 절연막의 상측에 게이트 전극이 배치되고, 게이트 절연막의 하측에 채널부가 형성된 형태이고, 바텀 게이트 구조란, 게이트 절연막의 하측에 게이트 전극이 배치되고, 게이트 절연막의 상측에 채널부가 형성된 형태이다.

[0036] 또한, 바텀 콘택트형이란, 소스·드레인 전극이 채널부보다 먼저 형성되어 채널부의 하면이 소스·드레인 전극에 접촉하는 형태이다. 탑 콘택트형이란, 채널부가 소스·드레인 전극보다 먼저 형성되어 채널부의 상면이 소스·드레인 전극에 접촉하는 형태이다.

[0037] 본 발명의 트랜지스터의 제조 방법은 4가지 방식에 모두 적용될 수 있으며, 본 명세서에서는 제1실시예 내지 제4실시예에 따른 전계 효과형 트랜지스터의 제조 방법에 대하여 설명하기로 한다.

제1실시예

[0039] 먼저, 세척된 기판(10) 상에 게이트 전극(20)을 형성하고, 상기 게이트 전극(20) 상에 절연막(30)을 형성한다.

[0040] 상기 기판의 형상, 구조, 크기 등에 대해서는 특별한 제한이 없으며, 목적에 따라 적절히 선택할 수 있다. 상기 기판의 구조는 단층 구조여도 되고, 적층 구조여도 된다. 상기 기판은 예를 들어, Si 등의 무기 재료 등으로 형성될 수 있으나, 이에 제한되는 것은 아니다.

[0041] 상기 게이트 전극은 채널부의 전기적 특성을 제어하기 위한 것으로, 도전성을 가지는 물질을 포함할 수 있고, 예를 들어, 실리콘(Si)이나 금속을 포함할 수 있다. 상기 금속은 금(Au), 베릴륨(Be), 비스무트(Bi), 코발트(Co), 구리(Cu), 하프늄(Hf), 인듐(In), 망간(Mn), 몰리브덴(Mo), 니켈(Ni), 납(Pb), 팔라듐(Pd), 백금(Pt), 로듐(Rh), 레늄(Re), 루테늄(Ru), 탄탈륨(Ta), 텔륨(Te), 티타늄(Ti), 텉스텐(W), 아연(Zn) 및 지르코늄(Zr) 중 1종 이상을 포함할 수 있다.

[0042] 상기 절연막은 전이금속 칼코겐화합물(TMD)이 수 원자층 정도의 초박막으로 사용되는 것을 고려하여, 고유전 물질을 사용하는 것이 고성능 구현에 유리하다. 상기 절연막은 높은 절연성을 갖는 것으로, SiO₂, SiON, Al₂O₃, Y₂O₃, Ta₂O₅ 및 HfO₂ 중 1종 이상을 포함할 수 있다.

[0043] 상기 게이트 전극과 절연막은 예를 들어, 코팅 방식, 진공 증착법, 스팍터링법 등의 방식으로 형성될 수 있으며, 바람직하게는 새도우 마스크(shadow mask)를 이용하여 형성될 수 있다. 새도 마스크는 증착용 재료들이 선택적으로 증착할 수 있게 설계된 마스크이다. 새도 마스크를 이용하여 수십 나노미터 정도의 폭으로 채널부를 형성하거나, 정밀한 형상의 전극부를 제조할 수 있다. 상기 새도 마스크는 메탈 새도 마스크, PDMS(Polydimethylsiloxane) 또는 PMMA(Polymethyl methacrylate)와 같은 고분자 새도 마스크 등을 사용할 수 있다.

[0044] 이어서, 도 1에 도시한 바와 같이, 상기 절연막(30)이 형성된 기판(10) 상에 채널부(40)와 동일한 형상의 개구부를 포함하는 새도 마스크를 배치한다. 새도 마스크가 배치된 기판 상에 스팍터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부를 형성한다.

[0045] MoS₂, WS₂와 같은 전이금속 칼코겐화합물은 그래핀을 대체할 수 있는 이차원 물질로 주목받고 있으며, 일반적으로 MX₂의 화학식으로 표현된다. 이때, M은 Mo, W, Sn, Zr, Ni, Ga, In, Bi, Hf, Re, Ta 및 Ti 중에서 선택되는 전이금속 원소이고, X는 S, Se, Te와 같은 칼코겐 원소이다. 이러한 전이금속 칼코겐화합물들은 원리적으로 구성 원자들과 이차원적인 상호작용만 한다. 따라서, 전이금속 칼코겐화합물들에서 캐리어들의 수송은 통상적인 박막이나 멀크와는 전혀 다르게, 탄도 수송 양상을 나타내며, 이로부터 고이동도, 고속, 저전력 특성 구현이 가능하다. 특히, 몰리브데늄디실파이드(MoS₂)는 1.2~1.8eV의 밴드갭을 가져 가시광선 파장대에서 좋은 광반응성을 가지고 있어 가장 바람직하다.

[0046] 이차원 구조의 칼코겐 화합물의 특성상 수 nm 정도의 얇고 균일한 박막으로 채널부를 형성하는 것이 필요하다. 전이금속 칼코겐화합물 박막을 10층 이하로 형성함으로써, 2차원 반도체적인 특성이 발휘되는 것이 바람직하다.

[0047] 한편, 스팍터링 공정에서 결정질의 채널부를 직접 형성할 수도 있으나, 이 경우 박막의 균일도가 문제시되는 바, 본 발명에서는 균일도 측면에서 유리한 비정질 박막을 스팍터링 공정으로 우선 증착한다.

- [0048] 스팍터링 공정에 있어서, 기공이나 결함이 최소화된 비정질의 박막을 얻기 위해서 RF 파워를 최소화하고, 스팍터 건과 기판 사이의 거리를 일정거리 이상으로 유지하여 증착율을 최소로 유지함으로써, 비정질이지만 균일한 원자배열을 최대한 도모할 수 있다.
- [0049] 또한, 상기 스팍터링 공정은 RF 파워 5~20W, 공정 압력 20mTorr 이하에서 수행될 수 있다. 이때, 전이금속 칼코겐화합물은 600°C 이하의 온도에서 증착 가능한 스팍터링 공정이 수행되는 것이 바람직하며, 이 경우, 전자빔 처리 역시 600°C 이하에서 수행될 수 있어, 전이금속 칼코겐화합물 박막 형성이 전체적으로 600°C 이하의 온도에서 수행될 수 있다. 바람직하게는 스팍터링 공정과 전자빔 조사는 25±5°C에서 수행될 수 있으며, 100~600°C에서 채널부를 형성하는 것이 더 높은 결정성을 형성하기에 유리하다. 상온에서 1분 동안 전자빔 조사 후에는 590°C까지 도달할 수 있다. 스팍터링에 의한 전이금속 칼코겐화합물 박막을 증착할 경우, 증착된 전이금속 칼코겐화합물의 원자 재배열을 통한 결정화가 요구되는데 결정화는 주로 700°C 이상의 고온 열처리 방법이 이용된다. 그러나, 고온 열처리 방법의 경우 긴 공정 시간 및 고온에 따른 제조 비용이 상승하는 바, 본 발명에서는 저온에서 수행 가능하고 공정 시간이 짧은 전자빔 처리를 이용하여 전이금속 칼코겐화합물의 결정화를 수행하였다.
- [0050] 도 3 내지 도 5를 참조하면, 상기 채널부는 길이(d_1)가 0.01~1000 μm 이고, 너비(d_2)가 0.01~10000 μm 이 되도록 형성되는 것이 바람직하다.
- [0051] 전계효과 트랜지스터에 있어서, 채널부의 길이와 너비가 작아지게 되면 생기는 문제들을 총칭하여 단채널 효과(short channel effect)와 협채널 효과(narrow channel effect)라 한다. 이러한 문제들은 채널부의 크기가 작아짐에 따라 드레인 전극과 소스 전극이 가까워져서 서로 영향을 주기 때문에 발생한다. 또한, 채널부의 크기가 작아서, 드레인 전극과 소스 전극에 의한 필드(field)가 채널부 전체 크기에 대해 상대적으로 커지게 됨으로써 발생하는 문제들이다.
- [0052] 도 5에 도시한 바와 같이, 채널부의 길이가 충분히 길 때는 드레인 전극과 소스 전극에 의해 형성되는 공핍 영역(depletion region)이 상대적으로 작지만, 채널부의 길이가 짧아지면 드레인 전극과 소스 전극에 의해 형성되는 공핍 영역(depletion region)이 채널부 전체 크기에 대해 무시할 수 없는 수준으로 영향을 미치게 된다. 주로 임계 전압(threshold voltage)이 변하거나 포화 상태(saturation)가 제대로 일어나지 않거나 핫 캐리어 이펙트(hot carrier effect)가 발생하는 문제를 일으키게 된다. 상기 핫 캐리어는 더 이상 열적인 평형상태를 유지하지 못하는 캐리어를 가리킨다.
- [0053] 이어서, 상기 색도 마스크를 제거하고, 상기 채널부(40)가 형성된 기판(10) 상에 전자빔을 조사하여 결정화한다.
- [0054] 기판 상에 전이금속 칼코겐화합물을 스팍터링으로 증착한 후 전자빔으로 후처리함으로써, 증착된 전이금속 칼코겐화합물의 결정성이 증가하게 된다.
- [0055] 전자빔 조사는 원자 재배열을 일으켜 MoS_2 , WS_2 등의 이차원 구조를 형성시킨다. 전자빔 조사의 공정 온도는 100~600°C일 수 있으며, 상기 전자빔 조사의 공정 온도에 따라 가열되는 기판의 온도 역시 100~600°C일 수 있고, 공정 시간은 1분 혹은 그 이하일 수 있다.
- [0056] 상기 전자빔 조사는 RF 파워 50~300W, DC 파워 50~3000V, 조사 시간 0.5~20분으로 수행될 수 있다.
- [0057] 이어서, 상기 결정화된 채널부(40)의 양단과 접촉하는 소스 전극(50) 및 드레인 전극(60)을 형성한다.
- [0058] 구체적으로는, 색도 마스크 공정 또는 포토리소그래피 공정으로 소스 전극 및 드레인 전극을 패터닝하여 형성할 수 있다.
- [0059] 색도 마스크 공정을 이용하는 경우, 도 1에 도시한 바와 같이, 상기 채널부가 형성된 기판 상에 색도 마스크(shadow mask)를 이격되도록 배치하고, 증발법(evaporation)으로 소스 전극 및 드레인 전극을 형성한 후 상기 색도 마스크를 제거하여 수행될 수 있다. 상기 증발법은 증착시키고자 하는 재료를 진공 속에서 기화시켜 기판 상에 증착시키는 것으로, 증발 시, 색도 마스크를 이용하여 소스 전극 및 드레인 전극을 선택적으로 증착시킴으로써, 전극부를 형성할 수 있다.
- [0060] 상기 소스 전극 및 드레인 전극은 금(Au), 은(Ag), 크롬(Cr), 티타늄(Ti), 구리(Cu), 알루미늄(Al), 탄탈륨(Ta), 몰리브데늄(Mo), 텅스텐(W), 니켈(Ni), 팔라듐(Pd), 백금(Pt) 중 1종 이상의 금속, 또는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 중 1종 이상의 금속 산화물을 포함할 수 있다.

- [0061] 포토리소그래피 공정을 이용한 경우, 도 2에 도시한 바와 같이, 먼저, 상기 채널부가 형성된 기판 상에 감광물질인 포토 레지스트를 도포하여 코팅한다. 포토리소그래피는 빛을 이용하여 웨이퍼의 표면에 패턴을 형성하는 것이다. 포토 레지스트(PR)는 네거티브와 파지티브로 구분된다. 네거티브 PR은 빛이 쪼일 때, 빛을 받지 않은 부분이 제거되는 것이고, 파지티브 PR은 빛이 쪼일 때, 빛을 받은 부분만 제거되는 것이다. 상기 코팅은 스픈 코팅 등을 이용할 수 있으며, 이에 제한되는 것은 아니다. 이어서, 포토 레지스트가 코팅된 기판 상에 마스크를 배치하고, UV를 조사(UV exposure)하면, 코팅된 감광물질이 반응하게 된다. 도 2에서는 네거티브 PR을 이용하였기 때문에, 빛을 받지 않은 부분이 제거되어 패턴이 남게 된다(develop).
- [0062] 이어서, 상기 UV를 조사받은 기판 상에 증발법으로 소스 전극 및 드레인 전극을 패터닝하여 형성한다. 증발법과 소스 전극 및 드레인 전극에 대한 사항은 전술한 바와 같다. 도 2를 참조하면, 패턴이 형성된 영역과 패턴이 형성되지 않은 영역 상에 소스 전극과 드레인 전극의 재료가 모두 증착된 것을 확인할 수 있다. 이 상태에서 리프트 오프법(lift-off process)을 이용하여, 패턴이 형성된 영역을 모두 제거하면, 소스 전극 및 드레인 전극을 형성할 수 있다.
- [0063] 따라서, 제1실시예에 따른 제조 방법에 의해 도 6의 (a)에 도시한 바와 같이, 바텀 게이트-탑 콘택트 구조의 트랜지스터를 제조할 수 있다.
- [0064] 제2실시예
- [0065] 먼저, 기판(10) 상에 게이트 전극(20)을 형성하고, 상기 게이트 전극(20) 상에 절연막(30)을 형성한다.
- [0066] 이어서, 상기 절연막(30)이 형성된 기판(10) 상에 소스 전극(50) 및 드레인 전극(60)이 서로 이격되도록 형성한다. 구체적으로는, 새도 마스크 또는 포토리소그래피를 이용하여 소스 전극 및 드레인 전극을 형성할 수 있다. 새도 마스크를 이용하는 경우, 상기 기판 상에 채널부와 동일한 형상의 새도 마스크(shadow mask)를 배치하고, 증발법(evaporation)으로 소스 전극 및 드레인 전극을 형성한 후 상기 새도 마스크를 제거하여 수행될 수 있다. 포토리소그래피를 이용하는 경우, 상기 기판 상에 포토 레지스트를 도포하여 코팅한다. 상기 포토 레지스트가 코팅된 기판 상에 새도 마스크를 배치하고, UV를 조사한다. 이어서, 상기 UV를 조사받은 기판 상에 증발법으로 소스 전극 및 드레인 전극을 형성한다. 이어서, 리프트 오프법(lift-off process)을 이용하여, 상기 포토 레지스트가 형성된 영역을 제거한다.
- [0067] 이어서, 상기 소스 전극(50) 및 드레인 전극(60)이 서로 이격된 기판(10) 상에 상기 채널부(40)와 동일한 형상의 개구부를 포함하는 새도 마스크를 배치한다. 새도 마스크가 배치된 기판 상에 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부를 형성한다.
- [0068] 이어서, 상기 채널부(40)가 형성된 기판(10) 상에 전자빔을 조사하여 결정화한다.
- [0069] 제2실시예에서는 상기 채널부의 길이가 $0.01\sim1000\mu\text{m}$ 이고, 너비가 $0.01\sim10000\mu\text{m}$ 이 되도록 형성할 수 있다. 스퍼터링, 전자빔 조사 등에 대한 사항은 전술한 바와 같다.
- [0070] 따라서, 제2실시예에 따른 제조 방법에 의해 도 6의 (b)에 도시한 바와 같이, 바텀 게이트-바텀 콘택트 구조의 트랜지스터를 제조할 수 있다.
- [0071] 제3실시예
- [0072] 먼저, 기판(10) 상에 채널부(40)와 동일한 형상의 개구부를 포함하는 새도 마스크(shadow mask)를 배치한다. 이어서, 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부(40)를 형성한다.
- [0073] 이어서, 상기 새도 마스크를 제거하고, 상기 채널부(40)가 형성된 기판(10) 상에 전자빔을 조사하여 결정화한다.
- [0074] 이어서, 상기 결정화된 채널부(40)의 양단과 접촉하는 소스 전극(50) 및 드레인 전극(60)을 형성한다. 구체적으로는, 새도 마스크 또는 포토리소그래피를 이용하여 소스 전극 및 드레인 전극을 형성할 수 있다. 새도 마스크를 이용하는 경우, 상기 채널부가 형성된 기판 상에 새도 마스크를 이격되도록 배치하고, 증발법(evaporation)으로 소스 전극 및 드레인 전극을 형성한 후 상기 새도 마스크를 제거하여 수행될 수 있다. 포토리소그래피를 이용하는 경우, 상기 채널부가 형성된 기판 상에 포토 레지스트를 도포하여 코팅한다. 이어서, 상기 포토 레지스트가 코팅된 기판 상에 새도 마스크를 배치하고, UV를 조사한다. 상기 UV를 조사받은 기판 상에 증발법으로 소스 전극 및 드레인 전극을 형성한다. 리프트 오프법(lift-off process)을 이용하여, 상기 포토 레지스트가 형

성된 영역을 제거한다.

[0075] 이어서, 상기 소스 전극(50) 및 드레인 전극(60)이 형성된 기판(10) 상에 절연막(30)을 형성하고, 상기 절연막(30) 상에 게이트 전극(20)을 형성한다.

[0076] 제3실시예에서는 상기 채널부의 길이가 0.01~1000 μm 이고, 너비가 0.01~10000 μm 이 되도록 형성할 수 있다. 스퍼터링, 전자빔 조사 등에 대한 사항은 전술한 바와 같다.

[0077] 따라서, 제3실시예에 따른 제조 방법에 의해 도 6의 (c)에 도시한 바와 같이, 탑 게이트-탑 콘택트 구조의 트랜지스터를 제조할 수 있다.

제4실시예

[0079] 먼저, 기판(10) 상에 소스 전극(50) 및 드레인 전극(60)이 서로 이격되도록 형성한다. 새도 마스크 또는 포토리소그래피를 이용하여 소스 전극 및 드레인 전극을 형성할 수 있다. 새도 마스크를 이용하는 경우, 상기 기판 상에 채널부와 동일한 형상의 새도 마스크를 배치하고, 증발법(evaporation)으로 소스 전극 및 드레인 전극을 형성한 후 상기 새도 마스크를 제거하여 수행될 수 있다. 포토 리소그래피를 이용하는 경우, 상기 기판 상에 포토 레지스트를 도포하여 코팅한다. 상기 포토 레지스트가 코팅된 기판 상에 새도 마스크를 배치하고, UV를 조사한다. 이어서, 상기 UV를 조사받은 기판 상에 증발법으로 소스 전극 및 드레인 전극을 형성한다. 리프트 오프법(lift-off process)을 이용하여, 상기 포토 레지스트가 형성된 영역을 제거한다.

[0080] 이어서, 상기 소스 전극(50) 및 드레인 전극(60)이 서로 이격된 기판(10) 상에 상기 채널부(40)와 동일한 형상의 개구부를 포함하는 새도 마스크(shadow mask)를 배치한다. 이후, 스퍼터링 공정으로 10층 이하의 전이금속 칼코겐화합물을 증착하여, 전이금속 칼코겐화합물로 형성된 채널부(40)를 형성한다.

[0081] 이어서, 상기 채널부(40)가 형성된 기판(10) 상에 전자빔을 조사하여 결정화한다.

[0082] 이어서, 상기 채널부(40)가 형성된 기판(10) 상에 절연막(30)을 형성하고, 상기 절연막(30) 상에 게이트 전극(20)을 형성한다.

[0083] 제4실시예에서는 상기 채널부의 길이가 0.01~1000 μm 이고, 너비가 0.01~10000 μm 이 되도록 형성할 수 있다. 스퍼터링, 전자빔 조사 등에 대한 사항은 전술한 바와 같다.

[0084] 따라서, 제4실시예에 따른 제조 방법에 의해 도 6의 (d)에 도시한 바와 같이, 탑 게이트-바텀 콘택트 구조의 트랜지스터를 제조할 수 있다.

[0085] 이처럼, 본 발명은 새도 마스크, 포토리소그래피, 스퍼터링 및 전자빔 조사를 이용하여, 4가지 구조의 전계 효과형 트랜지스터를 제조할 수 있다. 특히, 전이금속 칼코겐화합물을 이용하여 적정 크기의 채널부를 형성함으로써, 전자의 이동도 및 점멸비가 우수한 효과가 있다.

1. 트랜지스터의 제조

[0087] 먼저, 새도우 마스크를 이용하여, Si 기판 상에 Cr/Au 게이트 전극을 형성하고, 상기 게이트 전극 상에 HfO₂ 절연막을 형성하였다. 이어서, 절연막이 형성된 Si 기판 상에 채널부와 동일한 형상의 개구부를 포함하는 새도 마스크를 배치하였다. 이어서, 스퍼터링 공정으로 10층의 MoS₂을 증착하여, MoS₂로 형성된 채널부를 형성하였다. MoS₂로 형성된 채널부의 길이는 5 μm 이고, 두께가 5 μm 이다. 증착 조건은 25°C, 증착 파워 20W, 증착 압력 5mTorr, 증착 시간 5분이다.

[0088] 이어서, 상기 새도 마스크를 제거하고, 채널부가 형성된 기판 상에 전자빔을 조사하여 결정화하였다. 전자빔 조건은 25°C, RF 파워 300W, 조사 시간 1분, DC 파워는 3kV이다. 상온에서 1분 동안 전자빔 조사 후 기판의 온도가 590°C에 도달했다.

[0089] 이어서, 기판 상에 새도 마스크를 이격되도록 배치하고, 증발법을 이용하여, 상기 결정화된 채널부의 양단과 접촉하는 Ti 소스 전극 및 Au 드레인 전극을 형성하여, 바텀 게이트-탑 콘택트(bottom gate- top contact) 구조의 트랜지스터를 제조하였다.

2. 트랜지스터의 평가 및 결과

[0091] 제조한 트랜지스터에 대하여, V_G - I_D 특성 및 이동도 μ 의 측정을 실시하였다.

[0092] 본 발명의 전계 효과형 트랜지스터의 중요한 특성으로는 이동도(mobility), on/off 유동 비율 등이 있다.

[0093] [계산식 1]

$$\mu_{linear} = \frac{L}{W} \cdot \frac{1}{C_{ox}} \cdot \frac{G_m}{V_D} \quad [cm^2 V^{-1} s^{-1}]$$

$$G_m = \frac{dI_D}{dV_G} \quad (V_D = const.)$$

[0094]

[0095] 계산식 1에서 μ_{linear} 은 캐리어 이동도, 즉, 전자의 이동도를 나타낸다. C_{ox} 는 게이트 절연막의 커페시턴스이고, V_D 는 드레인 전압이다.

[0096] [계산식 2]

$$ON/OFF \ ratio = I_{on}/I_{off}$$

[0098] 계산식 2에서 on/off 유동 비율은 트랜지스터가 on-state일 때의 전류를 off-state일 때의 전류로 나눠준 값이다.

[0099]

[0100] V_G - I_D 특성의 측정은, 드레인 전압(V_D)을 0.2V, 0.5V에 각각 고정시키고, 게이트 전압(V_G)을 -25~25V의 범위 내에서 소인하여, 각 게이트 전압에 있어서의 드레인 전류를 측정하였다. 이 조건에서 얻은 선형 영역에서의 V_G - I_D 특성으로부터 선형 이동도를 산출하여 이동도를 계산하였다.

[0101] 도 7 및 도 8을 참조하면, 드레인 전압이 0에 가까워질수록 드레인 전류 값이 낮아지는 경향을 보이며, 0V를 제외한 -25~25V의 범위 내에서는 드레인 전류 값이 최대 $10^{-5} A$ 까지 증가하는 경향을 나타내었다.

[0102] [표 1]

V_D (V)	Mobility ($cm^2 V^{-1} s^{-1}$)	on/off ratio
0.2	11.47	1.86×10^5
0.5	4.52	2.64×10^6

[0103]

[0104] 표 1을 참조하면, 이동도는 드레인 전압(V_D)을 0.2V일 때, $11.47 cm^2 V^{-1} s^{-1}$ 을 나타내어, 0.5V 일 때 $4.52 cm^2 V^{-1} s^{-1}$ 보다 월등히 높은 결과값을 나타내었다.

[0105] ON/OFF 유동 비율은 10^5 이상의 높은 유동 비율을 나타내었다.

[0106] 따라서, 본 발명의 도 7, 도 8 및 표 1의 결과로부터 본 발명에 따른 전계 효과형 트랜지스터는 전이금속 칼코겐화합물을 이용하여 채널부를 형성함에 따라, 우수한 전기적 특성과 높은 이동도를 나타냄을 확인할 수 있다.

[0107] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

[0108]

10 : 기판

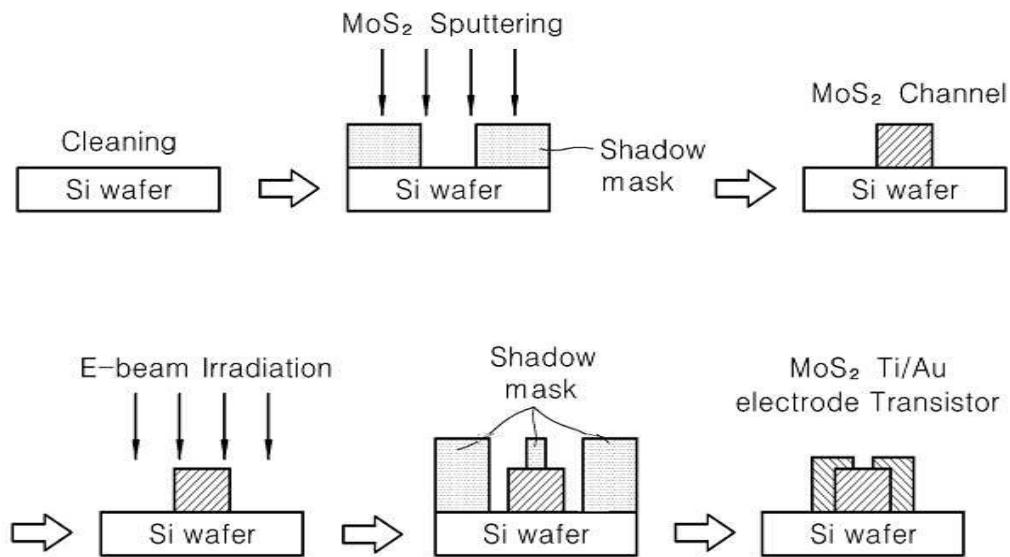
20 : 게이트 전극

30 : 절연막

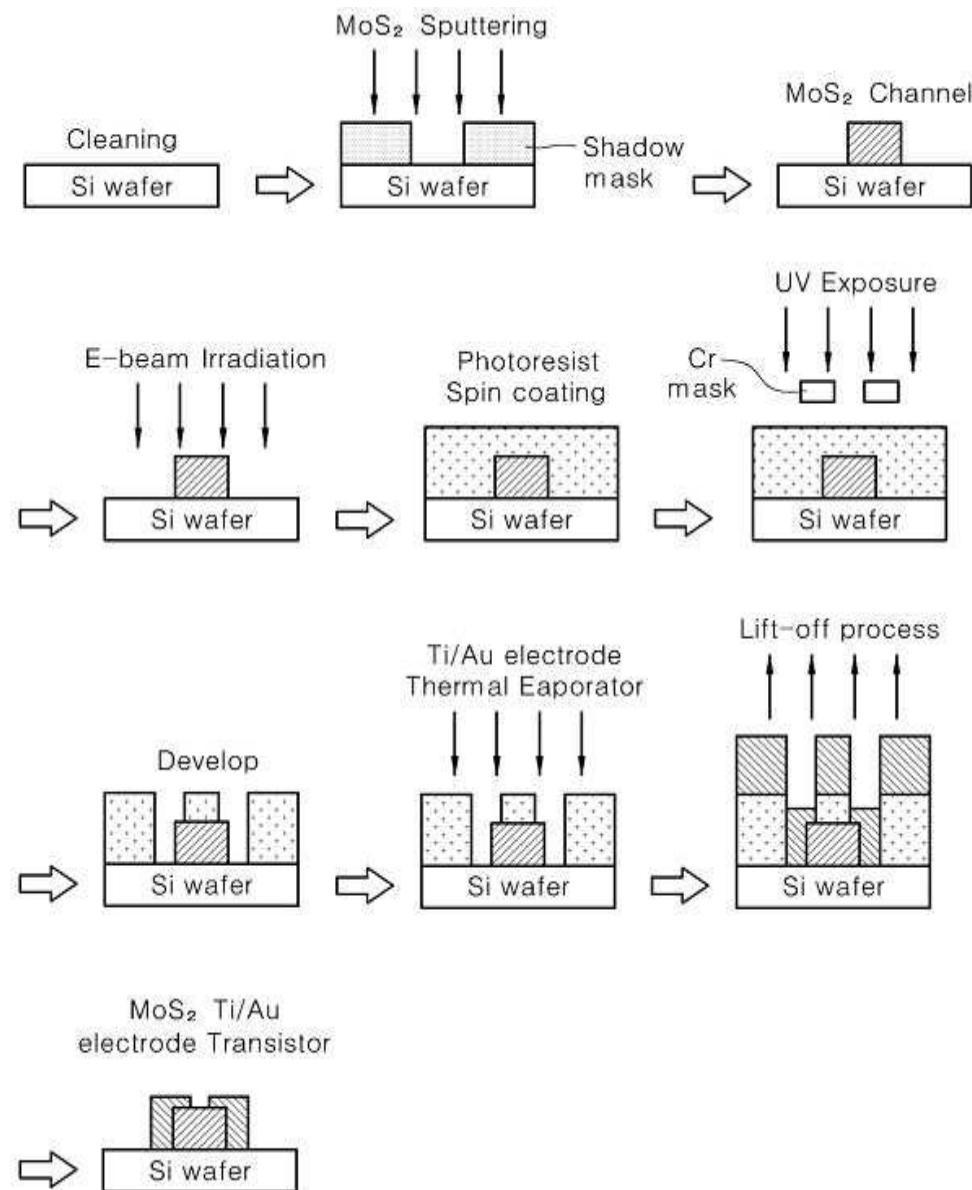
40 : 채널부

50 : 소스 전극

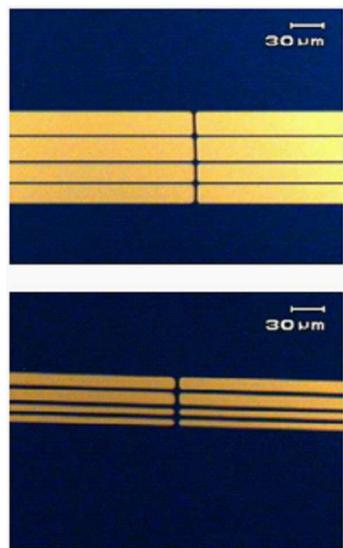
60 : 드레인 전극

도면**도면1**

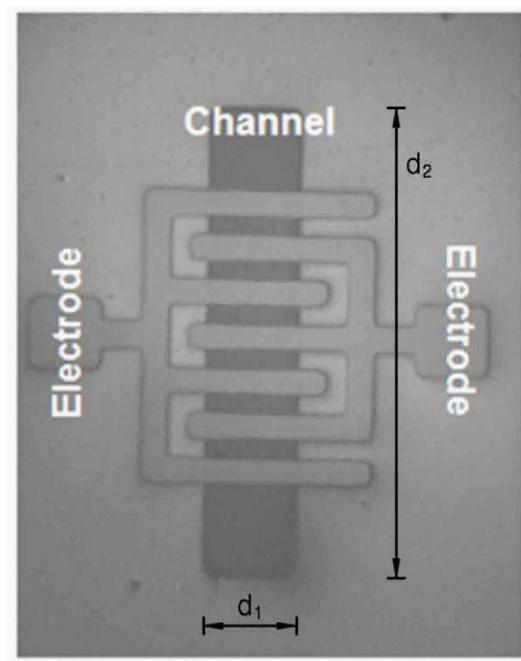
도면2



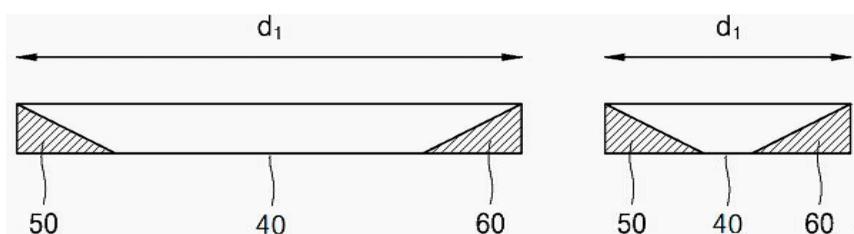
도면3



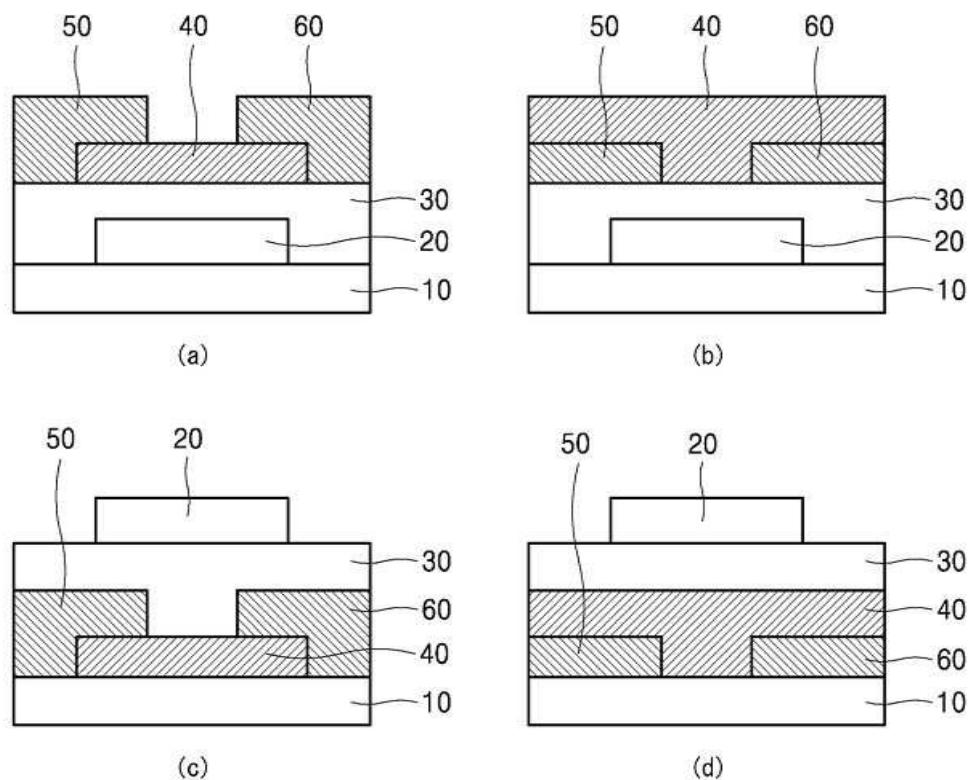
도면4



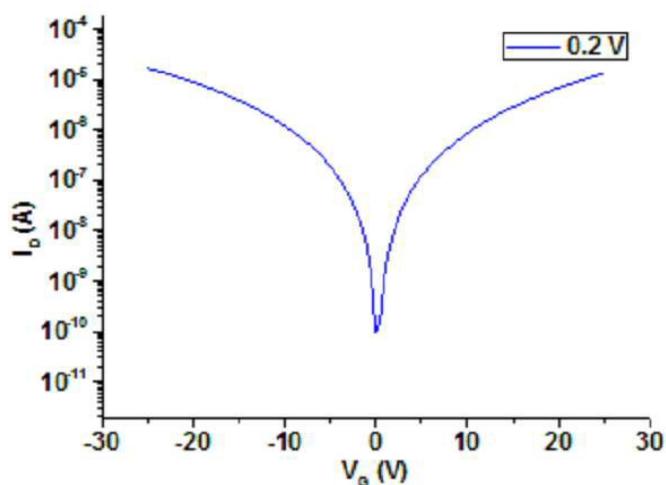
도면5



도면6



도면7



도면8

