

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6288879号
(P6288879)

(45) 発行日 平成30年3月7日 (2018.3.7)

(24) 登録日 平成30年2月16日 (2018.2.16)

(51) Int.Cl.	F I
H O 1 L 23/12 (2006.01)	H O 1 L 23/12 B
H O 1 L 23/13 (2006.01)	H O 1 L 23/12 C
H O 1 L 23/36 (2006.01)	H O 1 L 23/12 3 O 1 J
H O 1 L 25/00 (2006.01)	H O 1 L 23/36 Z
	H O 1 L 25/00 B

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2016-172849 (P2016-172849)	(73) 特許権者	000004226
(22) 出願日	平成28年9月5日 (2016.9.5)		日本電信電話株式会社
(62) 分割の表示	特願2013-43515 (P2013-43515)		東京都千代田区大手町一丁目5番1号
	の分割	(74) 代理人	100127535
原出願日	平成25年3月5日 (2013.3.5)		弁理士 豊田 義元
(65) 公開番号	特開2016-201576 (P2016-201576A)	(74) 代理人	100159190
(43) 公開日	平成28年12月1日 (2016.12.1)		弁理士 渡部 比呂志
審査請求日	平成28年9月5日 (2016.9.5)	(72) 発明者	伊藤 敏洋
			東京都千代田区大手町一丁目5番1号 日
			本電信電話株式会社内
		(72) 発明者	綱島 聡
			東京都千代田区大手町一丁目5番1号 日
			本電信電話株式会社内

最終頁に続く

(54) 【発明の名称】 高周波半導体モジュール

(57) 【特許請求の範囲】

【請求項 1】

高周波半導体モジュールであって、
キャピティを有する誘電体基板と、
前記キャピティ内の下部に設けられたヒートシンクと、
前記ヒートシンク上に設けられ、信号用リードと信号配線を介して接続される半導体チップと、
前記ヒートシンク上に設けられたコンデンサと、
前記誘電体基板上面に設けられ、前記コンデンサとボンディングワイヤを介して接続される直流端子と、
前記誘電体基板下面に設けられた直流用リードと、
を備え、
前記半導体チップの実装面と前記コンデンサの実装面とは、前記キャピティ内にある前記ヒートシンクの上面側に位置し、
前記誘電体基板の底面に形成されるグラウンドは、前記誘電体基板の底面に形成されたグラウンドリードと電氣的に接続されており、
前記直流端子と前記直流用リードが、前記誘電体基板内部に形成されたビアを介して電氣的に接続され、
前記信号配線が2本の差動信号用線路として形成されている場合において、前記信号配線の入力側では、入力側の2本の信号配線の入力のうち片側の入力電圧増加に対して出力

電圧が増加する場合は他方の入力電圧に対して出力電圧が減少し、逆に片側の入力電圧に対して出力電圧が減少する場合は前記増加する動作の場合とは逆の動作を行い、かつ、

前記信号配線の出力側では、出力側の2本の信号配線の出力のうち片側の出力電圧が増加する場合は他方の出力電圧が減少し、逆に片側の出力電圧が減少する場合は常に他方の出力電圧が増加するという相補的な動作をし、前記2本の差動信号用線路の間は、グラウンド用ボンディング、グラウンド用ビア、および、グラウンド用パッドを有しない

ことを特徴とする高周波半導体モジュール。

【請求項2】

前記ヒートシンクは、当該ヒートシンクの底面が前記高周波半導体モジュールの底面から突出しないように形成されていることを特徴とする請求項1に記載の高周波半導体モジュール。

10

【請求項3】

前記信号配線は、ビア導体または表面配線を含むことを特徴とする請求項1または2に記載の高周波半導体モジュール。

【請求項4】

前記コンデンサは、バイパス用のチップコンデンサであることを特徴とする請求項1ないし3のいずれか1項に記載の高周波半導体モジュール。

【発明の詳細な説明】

【背景技術】

【0001】

20

本発明は、高周波半導体装置に関し、特に、主に光通信装置に用いられ、高周波半導体素子を実装する半導体モジュールに関する。

【0002】

近年、F T T HやA D S Lなどのブロードバンドの普及に伴い、幹線系の光ネットワークにおいて高速化が望まれている。また、光ファイバを多重利用する方式である波長分割多重(WDM: Wavelength Division Multiplexing)技術では、光ファイバ1本当たり1000波を超える光信号の伝送を行うことができるようになってきているが、送受信機の台数を減らすという経済上の観点から、1波長で伝送する容量の増加が望まれている。

【0003】

30

現在は、10 Gbit/s から40 Gbit/s への移行が始まり、100 Gbit/s の規格化も始まっている。40 Gbit/sでは、差動4相位相偏移変調方式(DQPSK)が用いられ、100 Gbit/sでは、直交2偏波多重と4値変調であるQPSKを組み合わせたPM-QPSKが用いられる。このような位相による多値化を用いて1シンボルに対応するビットを増やすことで、ビットレートよりもシンボルレートを下げることも行われているが、20 GSymbol/s ~ 30 GSymbol/sのシンボルレートは必要になる。

【0004】

一般に、このような高速データを伝送するには、数十Gb/sでの高速動作が可能なデバイスが必要になる。デバイスとしては、例えばCMOSが利用されることがあるが、SiGeやGaAs、InPなどの化合物半導体も用いられることも多い。特に、InP半導体では、Siと異なり、信頼性の観点から気密封止が必要であり、また、上述したように数十Gb/sでの動作が必要であることから、セラミックパッケージが用いられることが多い。

40

【0005】

従来、セラミックパッケージの中でも、Vコネクタや、Kコネクタ、GPPOTMコネクタなどの高周波コネクタが用いられることが多かったが、高速の光ネットワークが普及するにつれ、基幹系の光ネットワークにおいても小型化や低価格化が要求されるようになってきている。WDMでは、多数の光送受信機を集積するため、1つの送受信機のサイズや価格が全体のサイズや価格に与える影響も大きい。

50

【0006】

また、上述したコネクタは、コネクタ自体の価格が高く、またサイズも大きくなるため、近年はコネクタを用いずにリード出しを行うことにより、PCB(Print Circuit Board)基板上へのリフロに対応した表面実装型高周波パッケージが望まれるようになってきている。

【0007】

PCB基板へのリフロに際しては、金属上に直接固定してケーブルで接続するコネクタの場合と異なり、高周波特性および放熱特性の両方を確保することが重要になる。このためには、リードを固定して高周波特性を確保することができる適切な基板上的パターン、および、パッケージの発熱部から、確実に放熱ができる放熱用パターンを確保することが

10

【0008】

例えば非特許文献1には、RF(Radio Frequency)-VIAパッケージが開示されている。このパッケージには、ICが実装され、ICとセラミックとはボンディングで電氣的に接続される。高周波ビアはセラミックを貫通し、パッケージ上面と底面との間の信号線を接続するように形成されている。これにより、ICからリード部までの高周波特性は数十GHzまで確保することが可能となっている。

【0009】

従来の一般的なセラミックモジュールの構成について、図1および図2を参照して説明する。図1は、従来の一般的なセラミックモジュール100の構成を説明するための図であって、(a)はセラミックモジュール100の上面図、(b)はA-A'断面図、(c)はB-B'断面図を示す。図2は、セラミックモジュール100の底面図である。

20

【0010】

図1(a)~(c)の例では、セラミックモジュール100は、 $2 \times 2 \text{ mm}^2$ のICチップ101を備える。IC実装部は、ICチップ101より少し大きく、 $2.4 \times 2.4 \text{ mm}^2$ のキャビティ201になっている。キャビティ201は、積層セラミック基板101の凹部である。IC実装部の四方は、ICチップ101のサイズに合わせて形成されている。入出力信号線102は、ボンディングワイヤ103を介して積層セラミック基板200と接続されている。

【0011】

各直流端子105は、図1(c)に示すように、積層セラミック基板200の側壁面に沿って形成され、直流用リード302と電氣的に接続される。

30

【0012】

図1(b)に示す垂直ビア102aは、擬似同軸線路構造となっており、入出力信号線102からの信号は、積層セラミック基板200上で伝播した後、高周波特性を保ちながら上述の擬似同軸線路構造を通じて積層セラミック基板200底面に導通することとなる。積層セラミック基板200底面には、信号用リード301およびグランド(GND)リードが取り付けられている。なお、図1(a)~(c)では、バイパスコンデンサ106は、積層セラミック基板200上に実装されている。

【0013】

図1(c)に示すグランド部300は、積層セラミック基板200底面に形成され、信号リード301と同じ材質、例えばコパールなどの金属で形成されている。このグランド部300の金属パターン、すなわちグランドパターンは、図2に示すように、積層セラミック基板200の底面全体に広がるように形成されている。図2において、2つの信号用リード301、および、6つの直流用リード302が、積層セラミック基板200底面に形成されている。

40

【先行技術文献】

【非特許文献】

【0014】

【非特許文献1】S. Morioka and Y. Sawa, "Surface

50

Mount Package for High Frequency band,"
APMC 1999 vol. 3, pp. 958-961, Nov. 3, 1999

【発明の概要】

【発明が解決しようとする課題】

【0015】

しかしながら、従来のセラミックモジュールはバイパスコンデンサを搭載するものの、モジュール自体が大きくなり、ストレスを受けやすくなる。また、信号リードやグランドリードと材質が異なるヒートシンクを採用する場合、ヒートシンクとリード部との間に段差が生じてしまい、リフロ時などの実装工程時に、その段差部分にストレスが加わり、割れやすくなる。

10

【0016】

さらに、セラミックモジュール内部に実装されるバイパスコンデンサと接続するボンディングワイヤのワイヤ長が、セラミックス基板上のパッドとバイパスコンデンサの相対位置関係によって、バイパスコンデンサの厚みの分だけ長くなり、バイパスコンデンサのバイパス効果が低減し得るという問題があった。また、ICチップ内にビアがない場合に、高周波特性が制限され得る。

【0017】

本発明は、上記のような状況下においてなされたものであり、高周波デバイスを実装するセラミックスパッケージに適用可能な高周波特性を有する高周波半導体モジュールを提供することを目的とする。

20

【課題を解決するための手段】

【0018】

上記の目的を達成するための高周波半導体パッケージは、キャビティを有する誘電体基板と、前記キャビティ内の下部に設けられたヒートシンクと、前記ヒートシンク上に設けられ、信号用リードと信号配線を介して接続される半導体チップと、前記ヒートシンク上に設けられたコンデンサと、を備え、前記半導体チップの実装面と前記コンデンサの実装面はともに、前記ヒートシンクの上面側に位置し、前記誘電体基板の底面に形成されるグランドパターンは、前記誘電体基板の底面に形成されたグランドリードと電氣的に接続され、前記信号配線が2本の差動信号用線路として形成されている場合において、前記信号配線の入力側では、入力側の2本の信号配線の入力のうち片側の入力電圧増加に対して出力電圧が増加する場合は他方の入力電圧に対して出力電圧が減少し、逆に片側の入力電圧に対して出力電圧が減少する場合は前記増加する動作の場合とは逆の動作を行い、かつ、前記信号配線の出力側では、出力側の2本の信号配線の出力のうち片側の出力電圧が増加する場合は他方の出力電圧が減少し、逆に片側の出力電圧が減少する場合は常に他方の出力電圧が増加するという相補的な動作をし、前記2本の差動信号用線路の間は、グランド用ボンディング、グランド用ビア、および、グランド用パッドを有しない。これにより、誘電体パッケージに適用可能な気密封止構造および高周波特性を有する。

30

【0019】

ここで、前記ヒートシンクは、当該ヒートシンクの底面が前記高周波半導体パッケージの底面から突出しないように形成するようにしてもよい。これにより、ストレスが加わりにくくなる。

40

【発明の効果】

【0021】

本発明によれば、高周波デバイスを実装するセラミックスパッケージに適用可能な高周波特性を有することができる。

【図面の簡単な説明】

【0022】

【図1】従来の一般的なセラミックモジュールの構成を説明するための図である。

50

【図 2】図 1 のセラミックモジュールにおいて、モジュール底面の金属パターンを説明するための図である。

【図 3】本発明の一実施形態における高周波半導体モジュールの構成例を説明するための図である。

【図 4】モジュール底面のメタルパターンの一例を説明するための図である。

【図 5】高周波半導体モジュールに基板およびケースを取り付けた場合の構成例を説明するための図である。

【図 6】図 5 の基板のヒートシンク部の構成例を説明するための図である。

【発明を実施するための形態】

【0023】

本実施形態における高周波半導体モジュールは、高周波半導体パッケージ、バイパスコンデンサおよび IC チップを含んで構成され、光通信装置、無線通信装置、計測器等に適用されるセラミックモジュールである。なお、高周波半導体パッケージは、セラミックス基板、ヒートシンクおよびリードからなる。

【0024】

〔高周波モジュールの構成〕

本実施形態における高周波半導体モジュール 10 について、図 3 を参照して説明する。図 3 は、本実施形態における高周波半導体モジュール 10 の構成例を説明するための図であって、(a) は高周波半導体モジュール 10 の上面図、(b) は A - A' 断面図、(c) は B - B' 断面図を示す。

【0025】

図 3 (a) ~ 図 3 (c) に示すように、高周波半導体モジュール 10 は、積層セラミック基板 (誘電体基板) 11 と、ヒートシンク 20 と、IC チップ (半導体チップ) 31 とを備える。

【0026】

積層セラミック基板 11 の中央には、積層セラミック基板 11 内部に半導体チップを実装するためのセラミックパッケージの凹みであるキャビティ 40 が形成されており、ヒートシンク 20 は、このキャビティ 40 内の下部に設けられている。IC チップ 31 は、ヒートシンク 20 上に設けられ、各ボンディングワイヤ 16 を介して、2 本の信号配線 15a, 15b と接続される。この実施形態の高周波半導体パッケージ 10 は、例えば、2 本の信号配線 15a, 15b を用いて 1 つの信号を送る差動信号方式を採用しているので、信号配線 15a, 15b は、正と負の信号が伝送されるようになっている。

【0027】

積層セラミック基板 11 の内部には、積層セラミック基板 12 を貫通するビア 17 が形成されており、ビア 17 が、信号配線 15a, 15b と接続されるとともに、後述する信号用リード 151a, 151b と接続される。ビア 17 は、擬似同軸線路構造として形成されており、この擬似同軸線路構造によって、信号配線 15a, 15b からの信号は、積層セラミック基板 11 上で伝播した後、高周波特性を保ちながら上述の擬似同軸線路構造を通じて積層セラミック基板 11 底面に導通することとなる。

【0028】

6 つのグランドパッド 12a, 12b, 12c は、信号と GND とが交互になるように、信号配線 15a, 15b の間に配置される。グランドパッド 12a, 12b, 12c の各々は、各ボンディングワイヤ 14 を介して、IC チップ 31 と接続される。また、図 3 (b) に示すように、グランドパッド 12a, 12b, 12c は、例えばキャストレーションにより、積層セラミック基板 11 上面と底面との間を電氣的に接続されるように構成されている。なお、キャストレーションは本実施例の場合のようにパッケージ側面に凹部を形成し、その凹部に配線が形成されるものを指す。

【0029】

積層セラミック基板 11 の底面には、後述する図 4 に示すような複数のグランドリード 53 が形成されており、各グランドリード 53 が、各グランドパッド 12a, 12b, 1

10

20

30

40

50

2 c と電氣的に接続される。キャストレーションの構成によって、安定したグランドが与えられ、良好な高周波特性を得ることができるようになっている。

【 0 0 3 0 】

なお、本実施形態の高周波半導体モジュール 1 0 では、入出力信号用の信号配線 1 5 a , 1 5 b の間にグランドパッド 1 2 b が形成され、このグランドパッド 1 2 b が、ボンディングワイヤ 1 4 を介して I C チップ 3 1 と接続されているが、入力側の信号配線 1 5 a , 1 5 b、または / および、出力側の信号配線 1 5 a , 1 5 b の信号が正負の差動信号であれば、高周波半導体モジュール 1 0 内部の I C チップ 3 1 が差動として設計されており、次のような動作をする。すなわち、入力側の信号配線 1 5 a , 1 5 b であれば、その入力側の 2 本の信号配線 1 5 a , 1 5 b の入力のうち片側の入力電圧増加に対して出力電圧が増加する場合は他方の入力電圧に対して出力電圧が減少し、逆に片側の入力電圧に対して出力電圧が減少する場合は上述の増加する動作と逆の動作を行い、かつ、出力側の信号配線 1 5 a , 1 5 b であれば、その出力側の 2 本の信号配線 1 5 a , 1 5 b の出力のうち片側の出力電圧が増加する場合は他方の出力電圧が減少し、逆に片側の出力電圧が減少する場合は常に他方の出力電圧が増加するという相補的な動作をする。このような場合は、正負の 2 つの信号間のグランドについては、ボンディングワイヤを無くしてもよいし、あるいは、グランドパッド 1 2 b を無くしてもよい。このようにしても、差動信号方式の高周波半導体モジュール 1 0 を構成することができる。

【 0 0 3 1 】

また、図 3 (b) に示すキャストレーションを既知のビアによって各グランドパッド 1 2 a , 1 2 b の機能を実現することは、当業者にとって自明である。既知のビアの構成によって、各グランドパッド 1 2 a , 1 2 b , 1 2 c の機能を実現する場合においても、入力側の信号配線 1 5 a , 1 5 b、または / および、出力側の信号配線 1 5 a , 1 5 b の信号が正負の差動信号であれば、正負の 2 つの信号間のグランドについては、ビアを無くすようにしてもよい。

【 0 0 3 2 】

ヒートシンク 2 0 上に設けられた 6 つのコンデンサ 3 2 は、例えば I C チップ 3 1 とのバイパス用チップコンデンサである。各コンデンサ 3 2 は、各ボンディングワイヤ 3 3 を介して各直流端子 5 0 と接続されるとともに、各ボンディングワイヤ 1 3 を介して I C チップ 3 1 と接続される。各直流端子 5 0 は、図 3 (c) に示すように、積層セラミック基板 1 1 の内部のビアを介して、直流用リード 5 1 と電氣的に接続される。これにより、各コンデンサ 3 2 は、I C チップ 3 1 の実装回路の動作時に直流電圧が変動するのを抑制するようになっている。

【 0 0 3 3 】

ヒートシンク 2 0 は、例えば C u W により形成されており、発熱の大きい I C チップ 3 1 の発熱を積層セラミック基板 1 1 の底面側へ放散するようにしている。図 3 (b) において、ヒートシンク 2 0 の底面と、グランドリード 5 3 底面とは段差 G が形成される。つまり、ヒートシンク 2 0 は、ヒートシンク底面が高周波半導体モジュール 1 0 の底面 (モジュール底面に形成されるグランドリード 5 3、および、後述する図 4 の信号用リード 1 5 1 a , 1 5 1 b の底面) から突出しないように形成されている。これにより、高周波半導体モジュール 1 0 の製造工程時において、高周波半導体モジュール 1 0 にストレスが加わりにくくなる。例えば、高周波半導体モジュール 1 0 の組立時において、その高さの製造誤差が例えば ± 0.2 mm であれば、ヒートシンク 2 0 の厚さ方向 (上下方向) の中心位置を、リード底面から 0.2 mm 上方の位置に設定する。これにより、ヒートシンクの、リード底面からの位置は 0 ~ - 0.4 mm となり、ヒートシンク 2 0 底面が、リード底面よりも突出することはない。この場合、ヒートシンク 2 0 に対応した積層セラミック基板 2 0 における半田の厚さは、0.4 mm よりも厚くする必要がある。すなわち、例えば 0.5 mm の厚さのクリーム半田を塗布した基板を用いることにより、ヒートシンク 2 0 に対して、半田が十分接触するようになる。

【 0 0 3 4 】

この実施形態では、ＩＣチップ３１は例えばＩｎＰで形成され、そのサイズは例えば $2 \times 2 \text{ mm}^2$ とする。ＩＣチップ３１の厚さは例えば 0.6 mm でウェハ厚と同じ厚さとする。このため、高周波半導体モジュール１０の製造工程時に、前述の従来のセラミックモジュール１００の場合では厚みを調整するために必要であった裏面研磨が不要となる。この点で、製造コストが低減する。

【００３５】

また、キャビティ４０のサイズは例えば $2.4 \times 5 \text{ mm}^2$ となっている。キャビティ４０の横方向（図１（ａ）の左右方向）のサイズ（ 2.4 mm ）はＩＣチップ３１のサイズに合わせて設定されているが、キャビティ４０の縦方向のサイズ（ 5 mm ）は、ＩＣチップ３１のサイズよりも大きくなっている。これにより、キャビティ４０内で、コンデンサ３２が比較的自由に配置できるようになっている。しかも、コンデンサ３２は、バイパスコンデンサのバイパス効果が低減しない程度、例えばボンディング用ワイヤの長さが 1 mm 未満になるような程度に、ＩＣチップ３１と近接して配置可能となる。なお、ＩＣチップ３１のサイズとして、上述の $2 \times 2 \text{ mm}^2$ の例に限られず、変更することもできる。この場合も、キャビティ４０のサイズをＩＣチップ３１のサイズよりも 0.5 mm 程度大きくし、ワイヤの長さが 1 mm 未満になるようにして、バイパス効果が低下しないようにする。

【００３６】

本実施形態では、ＩＣチップの実装面とコンデンサ３２の実装面とは、ヒートシンク２０の上面側に位置している。

【００３７】

図４は、高周波半導体モジュール１０の底面の一例を説明するための図である。

【００３８】

積層セラミック基板１１の底面には、４つの信号用リード１５１ａ、１５１ｂ、および、６つのグランドリード５３が形成されている。

各グランドリード５３は、グランドリード固定部５３ａにおいて、パッケージに固定され、パッケージのグランドと電氣的に接続される。

【００３９】

図４に示した直流端子５１は、積層セラミック基板１１の底面から上下方向に沿って構成される。

【００４０】

次に、このような高周波半導体モジュール１０の放熱効果について、図５および図６を参照して説明する。

【００４１】

図５は、ケース８２上に形成された基板８１に高周波半導体モジュール１０を実装する場合の一例を示す図である。図６は、基板８１の内部のヒートシンク部の構成例を説明するための図であって、（ａ）は基板８１のヒートシンク部の上面図、（ｂ）はＣ－Ｃ′断面図を示す。

【００４２】

図５において、基板８１は、例えばＦＲ（Ｆｌａｍｅ Ｒｅｔａｒｄａｎｔ）４等で構成される。この基板８１とヒートシンク２０とは、図示しない半田で接続される。

【００４３】

基板８１は、図６（ａ）および図６（ｂ）に示すように、複数の放熱ビア６１とを有する。そして、各放熱ビア６１内には、例えばペースト６０が充填される。

【００４４】

この実施形態の基板８１では、放熱ビア６１内のめっき厚を $30 \mu\text{m}$ 以上とすることにより、 1 W 以上の消費電力を有するＩＣチップ３１の温度上昇を抑制するようにしている。

【００４５】

この図６の例では、基板８１の $4 \times 5 \text{ mm}^2$ の領域に 0.5ϕ の放熱ビア２１が 1 mm

10

20

30

40

50

ピッチで配置され、放熱ビアが全部で例えば $N = 20$ 有する例を示している。

【0046】

積層セラミック基板 11 の厚さ T が例えば 2 mm とすると、銅の熱伝導率 σ は 390 W/mK であるため、放熱ビア 61 の半径は $r = 0.25\text{ mm}$ となる。さらに、放熱ビア内部のめっき厚 h を例えば $30\text{ }\mu\text{m}$ とすると、めっきによる銅部分の断面積 S は下記の式 (1) で表わされる。

【0047】

なお、めっきによる銅以外の部分、例えば PCB 基板の材料、および、放熱ビアに充填するペーストの熱伝導率は銅に比べて $1/1000$ 程度小さいので、放熱ビアに付随するめっきの部分以外の熱伝導はほぼ無視できる。

$$S = N * \pi (r^2 - (r - h)^2) = 0.89 \quad [\text{mm}^2] \quad (1)$$

【0048】

ここで、熱抵抗 A は、式 (2) で表される。

$$A = T / (\sigma \cdot S) = 5.6 \quad [\text{K/W}] \quad (2)$$

【0049】

式 (2) から、 1 W の発熱に対して 5.6 程度の温度上昇となり、放熱ビアのない場合と比較して数分の一に温度上昇を抑圧することができることがわかる。

【0050】

以下、温度設計の具体例を説明する。ここでは、高周波半導体モジュール 10 の熱抵抗を例えば 10 K/W 程度と仮定する。

【0051】

この場合、InP HBT IC の表面温度の上限は約 100 程度となる。一般に、高周波半導体モジュールを実装する基板 81 下のケース 82 の温度は、最大 80 程度まで動作することが要求される。

【0052】

ここで、想定するモジュールが 1 W 程度であることを考えると、高周波半導体モジュール 10 と、基板 81 とに与えた熱抵抗は、約 20 K/W 以下となることがわかる。

【0053】

この観点から、上述した放熱ビア 61 を形成すれば、上述した基板 81 の 5.6 K/W と、

上述した高周波半導体モジュール 10 の 10 K/W との熱抵抗として加えると、 15.6 K/W 程度となる。これは、上記の条件を満たすことがわかる。

【0054】

以上説明したように、本実施形態によれば、キャビティ 40 内の下部に設けられたヒートシンク 20 と、IC チップ 31 と、コンデンサ 32 とを備え、IC チップ 31 の形成面とコンデンサ 32 の実装面は、ヒートシンク 20 の上面側に位置し、グランドリードは、この基板 20 の底面に形成されたグランドリード固定部 53a においてパッケージのグランドに電氣的に接続される。これにより、セラミックモジュールに適用可能な高周波特性を有する。

【符号の説明】

【0055】

- 10 高周波半導体モジュール
- 11 積層セラミック基板
- 12a, 12b, 12c グランドパッド
- 15a, 15b 信号配線
- 17 ビア
- 20 ヒートシンク
- 32 コンデンサ
- 40 キャビティ
- 53 グランドリード

10

20

30

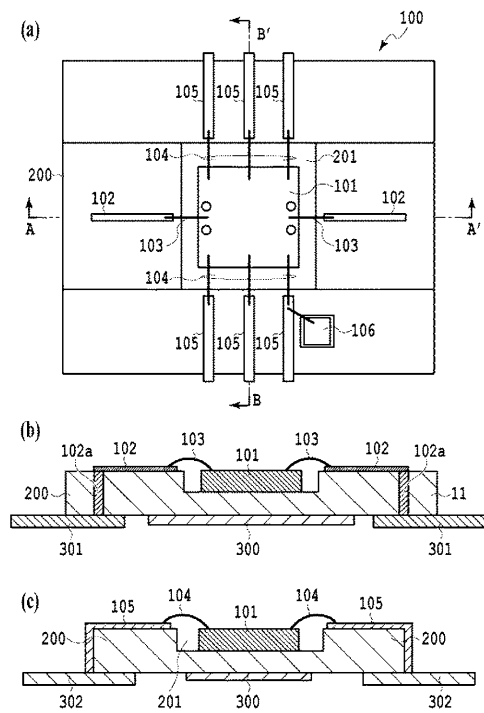
40

50

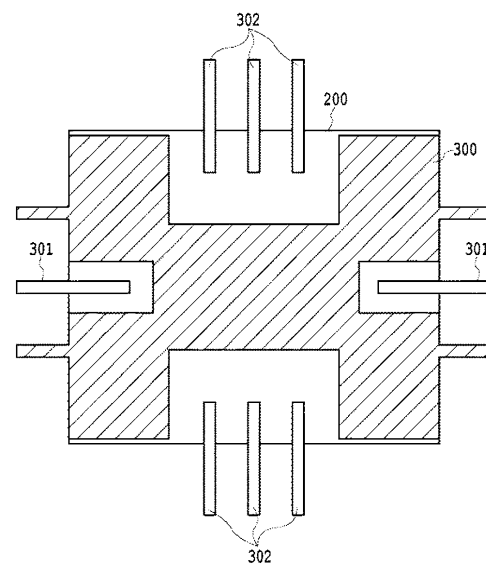
6 1 放熱ビア

1 5 1 a , 1 5 1 b 信号用リード

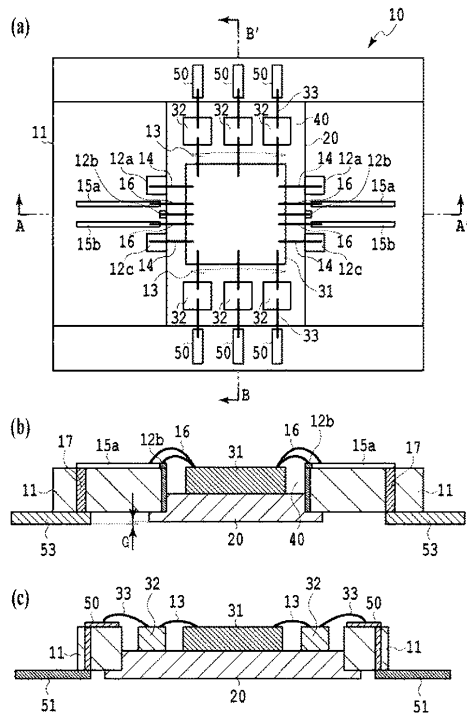
【図 1】



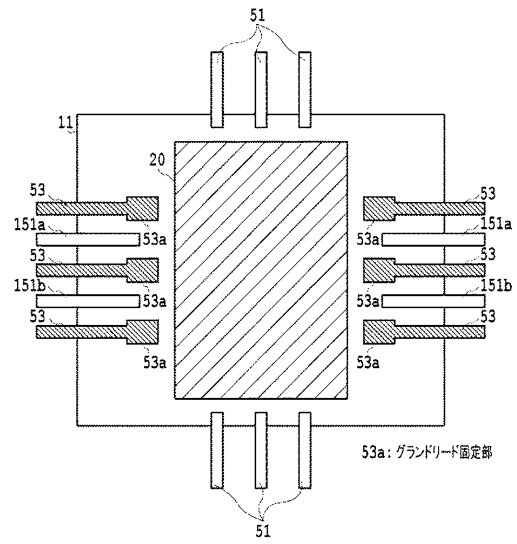
【図 2】



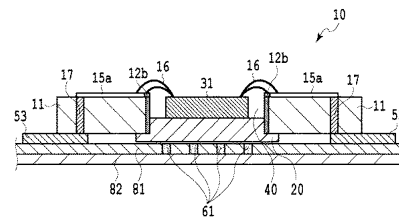
【図 3】



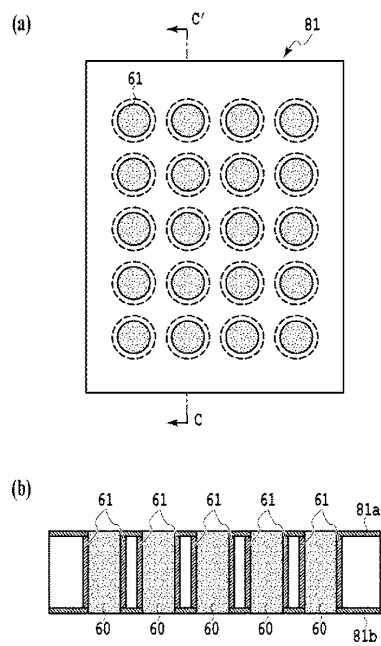
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 村田 浩一

東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

審査官 鈴木 駿平

(56)参考文献 特開2004-356352(JP,A)

特開昭63-174342(JP,A)

特開平03-270054(JP,A)

特開2002-184900(JP,A)

米国特許第06127894(US,A)

特開平11-251488(JP,A)

特開2004-311795(JP,A)

特開2004-179198(JP,A)

特開2011-238687(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/02

H01L 23/12

H01L 23/13

H01L 23/36

H01L 25/00