

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5250738号
(P5250738)

(45) 発行日 平成25年7月31日(2013.7.31)

(24) 登録日 平成25年4月26日(2013.4.26)

(51) Int.Cl.	F I
GO2F 1/136 (2006.01)	GO2F 1/136
GO2F 1/1343 (2006.01)	GO2F 1/1343
HO1L 21/768 (2006.01)	HO1L 21/88 C
HO1L 21/3213 (2006.01)	GO9F 9/00 338
GO9F 9/00 (2006.01)	GO9F 9/30 338
請求項の数 24 (全 23 頁) 最終頁に続く	

(21) 出願番号 特願2006-154103 (P2006-154103)
 (22) 出願日 平成18年6月2日(2006.6.2)
 (65) 公開番号 特開2006-350327 (P2006-350327A)
 (43) 公開日 平成18年12月28日(2006.12.28)
 審査請求日 平成21年6月1日(2009.6.1)
 (31) 優先権主張番号 10-2005-0047861
 (32) 優先日 平成17年6月3日(2005.6.3)
 (33) 優先権主張国 韓国(KR)
 (31) 優先権主張番号 10-2005-0051910
 (32) 優先日 平成17年6月16日(2005.6.16)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 , Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City
 , Gyeonggi-Do, Korea
 (74) 代理人 100121382
 弁理士 山下 託嗣
 (72) 発明者 蔡 鍾 哲
 大韓民国ソウル特別市麻浦区鹽里洞エルジ
 ーサイアパート106棟1902号

最終頁に続く

(54) 【発明の名称】 表示装置、その製造方法、及びその製造方法で使用されるマスク

(57) 【特許請求の範囲】

【請求項1】

第1マスクを用いて、基板上にストレージ電極を形成する段階、
 前記基板と前記ストレージ電極とを第1誘電膜で覆う段階、
 半導体膜及び金属層を順に積層し、第2マスクを用いて前記半導体膜及び前記金属層を同時にパターンニングして前記第1誘電膜の上にドレイン電極を形成する段階、
 前記ドレイン電極と前記第1誘電膜とを第2誘電膜と絶縁層とで順番に覆う段階、
 第3マスクを用いて前記絶縁層をパターンニングし、前記ドレイン電極を覆っている領域では前記第2誘電膜を露出させる第2コンタクトホールを形成し、前記ストレージ電極の上方に前記絶縁層の一部を残留させる段階、
 前記第2誘電膜の露出部分を除去して前記第2誘電膜の第1コンタクトホールを形成し、そこから前記ドレイン電極を露出させる段階、
 前記ストレージ電極の上方から前記絶縁層の残留部分を除去して第3コンタクトホールを形成し、そこから前記第2誘電膜を露出させる段階、及び、
 全面を導電性薄膜で覆い、第4マスクを用いて前記導電性薄膜をパターンニングすることで前記絶縁層の上に画素電極を形成し、前記第1コンタクトホールの内側で前記画素電極を前記ドレイン電極と電気的に連結し、前記第3コンタクトホールの内側に前記ストレージ電極と向かい合う前記画素電極のストレージ電極部を形成する段階を含み、
 前記ストレージ電極、前記第1誘電膜、前記第2誘電膜、及び前記画素電極の前記ストレージ電極部が互いに重なってストレージキャパシタを構成する表示装置の製造方法。

【請求項 2】

前記ストレージ電極を形成する段階が、前記ストレージ電極の両側にゲートラインを形成する段階を含む請求項 1 に記載の表示装置の製造方法。

【請求項 3】

前記絶縁層をパターニングする段階では、前記ドレイン電極を覆っている部分が第 1 光量で露光され、前記ストレージ電極の上方を覆っている部分が、前記第 1 光量より小さい第 2 光量で露光される請求項 1 に記載の表示装置の製造方法。

【請求項 4】

前記絶縁層をパターニングする段階では、前記ストレージ電極の上方を覆っている前記絶縁層の残留膜の厚みが前記第 2 誘電膜の厚みと実質的に等しい請求項 1 に記載の表示装置の製造方法。

10

【請求項 5】

前記ストレージ電極の上方に位置する前記絶縁層の残留部分がアッシングによって除去される請求項 1 から 4 のいずれか 1 つに記載の表示装置の製造方法。

【請求項 6】

前記第 1 コンタクトホールでは前記絶縁層の内壁が階段状である請求項 1 に記載の表示装置の製造方法。

【請求項 7】

第 1 マスクを用いて、基板の上にストレージ電極を形成する段階、
前記基板と前記ストレージ電極とを第 1 誘電膜で覆う段階、
半導体膜及び金属層を順に積層し、第 2 マスクを用いて前記半導体膜及び前記金属層を同時にパターニングして前記第 1 誘電膜の上にドレイン電極を形成する段階、
前記ドレイン電極と前記第 1 誘電膜とを第 2 誘電膜と絶縁層とで順番に覆う段階、
第 3 マスクを用いて前記絶縁層をパターニングし、前記ドレイン電極を覆っている領域では前記第 2 誘電膜を露出させる第 2 コンタクトホールを形成し、表面に凹凸パターンを含む前記絶縁層の一部を前記ストレージ電極の上方に残留させる段階、
前記ドレイン電極の上方から前記第 2 誘電膜の露出部分を除去して前記第 2 誘電膜の第 1 コンタクトホールを形成し、そこから前記ドレイン電極を露出させる段階、
前記ストレージ電極の上方から前記絶縁層の残留部分を除去して第 3 コンタクトホールを形成し、そこから前記第 2 誘電膜を露出させると共に、その露出した表面に、前記凹凸

20

30

パターンと同様な形状の表面積増加部を形成する段階、及び、
全面を導電性薄膜で覆い、第 4 マスクを用いて前記導電性薄膜をパターニングすることで前記絶縁層の上に画素電極を形成し、前記第 1 コンタクトホールの内側では前記画素電極を前記ドレイン電極に電氣的に連結し、前記第 3 コンタクトホールの内側では前記ストレージ電極と互いに向かい合う前記画素電極のストレージ電極部が前記表面積増加部を覆う段階を含み、

前記ストレージ電極、前記第 1 誘電膜、前記第 2 誘電膜、及び前記画素電極の前記ストレージ電極部が互いに重なってストレージキャパシタを構成する表示装置の製造方法。

【請求項 8】

前記ストレージ電極を形成する段階が、前記ストレージ電極の両側にゲートラインを形成する段階を含む請求項 7 に記載の表示装置の製造方法。

40

【請求項 9】

前記絶縁層をパターニングする段階では、マスクに形成された複数のスリットを通して前記絶縁層を露光し、その露光部分に前記凹凸パターンを形成する請求項 7 に記載の表示装置の製造方法。

【請求項 10】

前記第 3 コンタクトホールを形成する段階では、前記凹凸パターンの凸部をマスクとして利用するエッチングで、前記凹凸パターンの凹部から前記絶縁層の残留部分を除去して前記第 2 誘電膜を露出させると共に、その露出した表面に前記表面積増加部を形成する、請求項 7 に記載の表示装置の製造方法。

50

【請求項 1 1】

前記第 3 コンタクトホールを形成する段階が、前記凹凸パターンの凸部に残留する前記絶縁層をアッシングによって除去する段階を更に含む請求項 7 から 10 のいずれか 1 つに記載の表示装置の製造方法。

【請求項 1 2】

前記第 3 コンタクトホールを形成する段階が、

前記凹凸パターンの凸部をマスクとして利用するエッチングで、前記凹凸パターンの凹部から前記絶縁膜の残留部分と前記第 2 誘電膜とを除去して前記第 1 誘電層を露出させると共に、前記凹凸パターンの凸部の下に残留する前記第 2 誘電膜の部分を前記表面積増加部として形成する段階、及び、

前記表面積増加部をマスクとして利用するエッチングで、前記凹凸パターンの凹部に露出した前記第 1 誘電膜の表面に、前記凹凸パターンと同様な形状の第 2 表面積増加部を形成する段階を含む請求項 7 から 10 のいずれか 1 つに記載の表示装置の製造方法。

10

【請求項 1 3】

前記絶縁層をパターニングする段階が、

マスクに形成された、複数個のスリットを含むスリット露光部を通し、前記ドレイン電極を覆っている前記絶縁層の領域を露光し、

前記マスクに形成された、一定の透過率の膜で覆われた光吸収 - 透過部を通し、前記ストレージ電極の上方を覆っている前記絶縁層の領域を均一に露光する段階を含む請求項 1 又は 7 に記載の表示装置の製造方法。

20

【請求項 1 4】

波長 193 nm ~ 436 nm の光に対し、前記光吸収 - 反射部の透過率が 20% ~ 70% である請求項 1 3 に記載の表示装置の製造方法。

【請求項 1 5】

前記光吸収 - 透過部が酸化クロム膜又は窒化クロム膜を含む請求項 1 3 に記載の表示装置の製造方法。

【請求項 1 6】

前記スリットが閉ループ形状である請求項 1 3 に記載の表示装置の製造方法。

【請求項 1 7】

前記第 3 マスクは、

前記信号出力ユニットのドレイン電極を覆っている前記絶縁層の第 1 部分を第 1 光量で露光する第 1 光透過部と、前記第 1 部分の周辺を囲んでいる前記絶縁層の第 2 部分を前記第 1 光量より小さい第 2 光量で露光する第 2 光透過部とを含む第 1 露光部、及び

前記ストレージ電極を覆っている前記絶縁層の第 3 部分を、前記第 1 光量よりは小さく、一方、前記第 2 光量よりは大きい第 3 光量で露光する第 3 光透過部、を含む第 2 露光部、を有する、請求項 1 又は 7 に記載の表示装置の製造方法。

30

【請求項 1 8】

前記第 2 光透過部が、前記第 1 光透過部と同心の閉ループ形状である請求項 1 7 に記載の表示装置の製造方法。

【請求項 1 9】

前記第 3 光透過部が、所定の間隔に連なる複数の帯形状である請求項 1 7 に記載の表示装置の製造方法。

40

【請求項 2 0】

前記第 1 コンタクトホールの内壁が階段状である請求項 1 又は 7 に記載の表示装置の製造方法。

【請求項 2 1】

前記内壁の段差が前記絶縁膜の最大厚の半分と等しい請求項 2 0 に記載の表示装置の製造方法。

【請求項 2 2】

前記絶縁パターンが有機物及び感光物質を含む請求項 1 又は 7 に記載の表示装置の製造

50

方法。

【請求項 2 3】

前記第 3 コンタクトホールは前記ストレージ電極の幅より狭い請求項 1 又は 7 に記載の表示装置の製造方法。

【請求項 2 4】

前記第 1 コンタクトホールの位置は、前記第 2 コンタクトホールの位置と同じである請求項 7 に記載の表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置とその製造方法に関し、特に、その製造方法で使用されるマスクに関する。

【背景技術】

【0002】

表示装置（画像信号を画像に変換する装置）としては液晶表示装置が代表的である。液晶表示装置は液晶表示パネル及びバックライトアセンブリを含む。液晶表示パネルは、互いに対向している薄膜トランジスタパネルとカラーフィルタパネル、及びそれら二枚のパネルの間に挟まれた液晶層を含む。バックライトアセンブリが液晶表示パネルを照らすとき、液晶表示パネルでは薄膜トランジスタパネルとカラーフィルタパネルとの間の電圧が画素またはサブピクセル（以下、画素等と略す）ごとに制御される。それにより、液晶層に含まれている液晶分子の配向方向が調節され、各画素等の透過率が変化する。その結果、液晶表示パネルに所定の画像が表示される。

【0003】

薄膜トランジスタパネルは、ゲートライン、データライン、ドレイン電極、半導体パターン、画素電極、及びストレージ電極を含む。ゲートラインは画素マトリクスの各行に一つずつ設けられ、データラインは画素マトリクスの各列の一つずつ設けられている。ドレイン電極は各画素等の一つずつ形成されている。半導体パターンはデータラインとドレイン電極との各下地に含まれている。各画素等では、ゲートラインの一部（ゲート電極）、半導体パターンの一部（チャンネルパターン）、データラインの一部（ソース電極）、及びドレイン電極が薄膜トランジスタを構成している。更に、画素電極がドレイン電極に連結されている。ゲートラインを伝わるタイミング信号に応じて薄膜トランジスタがターンオンするとき、データラインを伝わるデータ信号が薄膜トランジスタを通じて画素電極に対して印加される。そのとき、液晶層では画素電極の電圧（以下、画素電圧という）に応じて液晶分子の配向方向が変化する。ストレージ電極は各画素等の一つずつ形成され、ドレイン電極の一部と対向してストレージキャパシタを構成している。ここで、ストレージ電極とドレイン電極との間隔が比較的狭いので、ストレージキャパシタの容量は大きい。従って、ストレージキャパシタは一フレームの間、画素電圧を安定に維持できる。

【0004】

薄膜トランジスタパネルの従来の製造方法の中には、データラインとドレイン電極とを半導体パターンと共に、同じ一枚のマスクを用いて次のようにパターンニングする方法が知られている（例えば特許文献 1 参照）。まず、（ゲートラインとストレージ電極とが既にパターンニングされている）基板の上に、ゲート絶縁膜、半導体膜、及び金属膜を順番に積層する。次に、ハーフトーン露光用マスクを用いて金属膜の上にフォトレジストパターンを形成する。特に、ソース電極とドレイン電極との隙間になるべき領域では、フォトレジストパターンを十分に薄くする。続いて、フォトレジストパターンをマスクとして利用して金属膜と半導体膜とを同時にエッチングでパターンニングし、（ソース電極とドレイン電極との間の分離を除いて）データラインとドレイン電極とを形成する。更に、アッシングによりフォトレジストパターンの上記の薄い部分を除去し、その下地の金属膜を露出させる。その後、残りのフォトレジストパターンを再びマスクとして利用して金属膜の露出部分をエッチングで除去し、ソース電極とドレイン電極とを分離する。こうして、この従来

10

20

30

40

50

の製造方法は必要なマスクの枚数を、ゲートラインとストレージ電極とのパターニングで使用される一枚、及び画素電極の下地にコンタクトホールを形成するとき使用される一枚と合わせて三枚に（画素電極をエッチングでパターニングする場合はそれに使用される一枚も合わせて四枚に）抑えている。

【特許文献1】特開2003 - 207804号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記の半導体パターンは好ましくはアモルファスシリコンから成り、特に、高濃度のイオンがドーピングされた部分を含む。一方、上記のような薄膜トランジスタパネルの従来の製造方法では、半導体パターンがドレイン電極の下地に必ず残留している。従って、ストレージ電極と、半導体パターンのその残留部分との間に、比較的大きな寄生キャパシタンスが形成される。この寄生キャパシタンスが、画素電圧の更なる安定化を阻み、液晶表示パネルから残像やフリッカを更に削減することを阻むので、液晶表示パネルの更なる高画質化が困難である。

10

本発明の目的は、製造工程で利用されるマスクの枚数を増やすことなく、ストレージキャパシタの二つの電極の間から半導体パターンを除去することにより、更なる高画質化を可能にする表示装置、及びその表示装置の製造方法を提供することにある。

【課題を解決するための手段】

【0006】

20

本発明による表示装置の製造方法は、

第1マスクを用いて、基板上にストレージ電極を形成する段階、

前記基板と前記ストレージ電極とを第1誘電膜で覆う段階、

半導体膜及び金属層を順に積層し、第2マスクを用いて前記半導体膜及び前記金属層を同時にパターニングして前記第1誘電膜の上にドレイン電極を形成する段階、

前記ドレイン電極と前記第1誘電膜とを第2誘電膜と絶縁層とで順番に覆う段階、

第3マスクを用いて前記絶縁層をパターニングし、前記ドレイン電極を覆っている領域では前記第2誘電膜を露出させる第2コンタクトホールを形成し、前記ストレージ電極の上方に前記絶縁層の一部を残留させる段階、

前記第2誘電膜の露出部分を除去して前記第2誘電膜の第1コンタクトホールを形成し、そこから前記ドレイン電極を露出させる段階、

30

前記ストレージ電極の上方から前記絶縁層の残留部分を除去して第3コンタクトホールを形成し、そこから前記第2誘電膜を露出させる段階、及び、

全面を導電製膜で覆い、第4マスクを用いて前記導電性薄膜をパターニングすることで前記絶縁層の上に画素電極を形成し、前記第1コンタクトホールの内側で前記画素電極を前記ドレイン電極と電氣的に連結し、前記第3コンタクトホールの内側に前記ストレージ電極と向かい合う前記画素電極のストレージ電極部を形成する段階を含み、

前記ストレージ電極、前記第1誘電膜、前記第2誘電膜、及び前記画素電極の前記ストレージ電極部が互いに重なってストレージキャパシタを構成する。

【0007】

40

本発明による表示装置の製造方法は、

第1マスクを用いて、基板上にストレージ電極を形成する段階、

前記基板と前記ストレージ電極とを第1誘電膜で覆う段階、

半導体膜及び金属層を順に積層し、第2マスクを用いて前記半導体膜及び前記金属層を同時にパターニングして前記第1誘電膜の上にドレイン電極を形成する段階、

前記ドレイン電極と前記第1誘電膜とを第2誘電膜と絶縁層とで順番に覆う段階、

第3マスクを用いて前記絶縁層をパターニングし、前記ドレイン電極を覆っている領域では前記第2誘電膜を露出させる第2コンタクトホールを形成し、表面に凹凸パターンを含む前記絶縁層の一部を前記ストレージ電極の上方に残留させる段階、

前記ドレイン電極の上方から前記第2誘電膜の露出部分を除去して前記第2誘電膜の第

50

1 コンタクトホールを形成し、そこから前記ドレイン電極を露出させる段階、

第4マスクを用いて、前記ストレージ電極の上方から前記絶縁層の残留部分を除去して第3コンタクトホールを形成し、そこから前記第2誘電膜を露出させると共に、その露出した表面に、前記凹凸パターンと同様な形状の表面積増加部を形成する段階、及び、

前記絶縁層の上に画素電極を形成し、前記第1コンタクトホールの内側では前記画素電極を前記ドレイン電極に電氣的に連結し、前記第3コンタクトホールの内側では前記ストレージ電極と互いに向かい合う前記画素電極のストレージ電極部が前記表面積増加部を覆う段階を含み、

前記ストレージ電極、前記第1誘電膜、前記第2誘電膜、及び前記画素電極の前記ストレージ電極部が互いに重なってストレージキャパシタを構成する。

10

【0008】

本発明によるマスクは、信号出力ユニットとストレージ電極とを覆う絶縁膜をパターンニングするためのマスクである。本発明の一つの観点によるマスクは特に、第1露光部及び第2露光部を有する。第1露光部は、信号出力ユニットの出力端を覆っている絶縁膜の第1部分を第1光量で露光する第1光透過部と、第1部分の周辺を囲んでいる絶縁膜の第2部分を第1光量より小さい第2光量で露光する第2光透過部とを含む。第2露光部は、ストレージ電極を覆っている絶縁膜の第3部分を、第1光量よりは小さく、かつ第2光量よりは大きい第3光量で露光する第3光透過部を含む。本発明による上記の製造方法では好ましくは、絶縁膜をパターンニングする段階が、信号出力ユニットの出力端を覆っている絶縁膜の領域をそのマスクの第1露光部を通して露光し、かつ、ストレージ電極の上方を覆っている絶縁膜の領域をそのマスクの第2露光部を通して露光する段階、を含む。

20

【0009】

本発明の他の観点によるマスクは、スリット露光部及び光吸収・透過部を有する。スリット露光部は複数のスリットを含み、信号出力ユニットの出力端を覆っている絶縁膜の領域を露光する。光吸収・透過部は好ましくは一定の透過率の膜で覆われ、ストレージ電極を覆っている絶縁膜の領域を均一に露光して一定の厚みまで感光させる。本発明による上記の製造方法では好ましくは、絶縁膜をパターンニングする段階が、信号出力ユニットの出力端を覆っている絶縁膜の領域をそのマスクのスリット露光部を通して露光し、かつ、ストレージ電極の上方を覆っている絶縁膜の領域をそのマスクの光吸収・透過部を通して均一に露光する段階、を含む。

30

【発明の効果】

【0010】

本発明による上記の液晶表示装置では、ストレージ電極が、ドレイン電極の一部ではなく、画素電極の一部と共にストレージキャパシタを構成している。従って、同じ一枚のマスクを利用して半導体パターンをドレイン電極と同時にパターンニングしても、従来の装置とは異なり、ストレージキャパシタの二つの電極間（すなわち、ストレージ電極と画素電極の一部との間）には半導体パターンが含まれていない。それ故、画素電圧が更に安定化するので、液晶表示パネルから残像やフリッカが更に削減される。こうして、本発明による液晶表示装置は、製造工程で利用されるマスクの枚数を増やすことなく、更なる高画質化を可能にする。

40

【発明を実施するための最良の形態】

【0011】

以下、添付図面を参照しながら、本発明の好ましい実施例を詳細に説明する。

図1に示されている本発明の実施例によるマスク10は、表示装置に搭載される薄膜トランジスタ(TFT)パネル100の製造で使用される。このマスク10は特に、図2に示されているように、TFTパネル100の基板110に形成された信号出力ユニットの出力端（すなわち、TFTのドレイン電極）40とストレージ電極20とを覆う絶縁膜60（フォトリソグラフィフィルム）のパターンニングで使用される。

【0012】

図1に示されている通り、マスク10は好ましくは、マスク本体（すなわち基板）12、第

50

1 露光部14、及び第2露光部16を含む。図2に示されているように、絶縁膜60の露光時にはマスク10の上面が、その上方に配置された光源から第1光量の光R1を受ける。マスク本体12はその光R1を吸収する。第1露光部14及び第2露光部16のそれぞれには、マスク本体12に形成された貫通穴があり、上記の光源から出射された光R1が通過する。

【0013】

図2に示されているように、第1露光部14の貫通穴は第1光透過部14a及び第2光透過部14bを含む。第1光透過部14aの平面形状は、好ましくは四角形である(図1参照)。第2光透過部14bは第1光透過部14aの周辺に形成され、好ましくは閉じたループ状(更に好ましくは、第1光透過部14aの周と同様な矩形ループ状)のスリットであり、そのループの中心が第1光透過部14aの中心に一致している(図1、2参照)。第2光透過部14bに含まれているスリットの幅と間隔とは光源の分解能より小さく、好ましくは約 $1.2\mu\text{m}$ ~ $1.4\mu\text{m}$ であり、更に好ましくは約 $1.3\mu\text{m}$ である。一方、第1光透過部14aのサイズは第2光透過部14bのスリットの幅より大きく、好ましくは光源の分解能より大きい。図2に示されているように、絶縁膜60の露光時、第1露光部14が、ドレイン電極40を覆う絶縁膜60の領域61の上方に配置される。第2光透過部14bでは光源から出射された光R1が回折されるので、第1光透過部14aと対向する絶縁膜60の領域61が第1光量でほぼ一様に露光され、第2光透過部14bと対向する領域62が、第1光量より小さい第2光量(好ましくは第1光量の半分程度)でほぼ一様に露光される。従って、第1光透過部14aと対向する絶縁膜60の領域61ではほぼ全ての部分が感光し、第2光透過部14bと対向する絶縁膜60の領域では一部(好ましくは半分程度の厚みの部分)が感光する(図2に示されている絶縁膜60内の斜線部61、62参照)。

【0014】

図2に示されているように、第2露光部16は貫通穴として第3光透過部16aを有する。第3光透過部16aは好ましくは、互いに平行な複数の、帯状のスリットである(図1参照)。第3光透過部16aのスリットの幅と間隔とは光源の分解能より小さく、好ましくは約 $1.6\mu\text{m}$ ~約 $1.8\mu\text{m}$ であり、更に好ましくは約 $1.7\mu\text{m}$ である。図2に示されているように、絶縁膜60の露光時、第2露光部16は、ストレージ電極20を覆う絶縁膜60の領域63の上方に配置される。第3光透過部16aを通過する光R1は回折されるので、第3光透過部16aと対向する絶縁膜60の領域63は第3光量でほぼ一様に露光される。ここで、第3光量は第1光量より小さく、第2光量より大きい。従って、絶縁膜60のその領域63では、感光せずに残留する部分が、第2光透過部14bと対向する絶縁膜60の領域62に残留する部分より薄く、好ましくは、絶縁膜60の下に配置された誘電パターン50と実質的に同じ厚みである(図2に示されている絶縁膜60内の斜線部63参照)。

【0015】

上記のマスク10を用いて製造された、本発明の実施例によるTFTPパネル100の(画素マトリクス列方向に沿った)断面を図3に示す。図3に示されているように、TFTPパネル100は、基板110、ストレージ電極120、第1誘電膜130、信号出力ユニット(図3には示されていない)、誘電パターン150、絶縁パターン160、及び画素電極170を含む。尚、図3には信号出力ユニットの出力端140が示されている。

【0016】

基板110は透明基板(好ましくはガラス基板)である。ストレージ電極120は好ましくは、基板110の上に形成された複数の線状電極であり、それぞれが画素マトリクスの行方向(以下、第1方向という)に延び、各行のサブピクセルと交差している(図5に示されている破線参照)。ストレージ電極120は一定の電位に維持される。図4に示されているように、ストレージ電極120は好ましくはモリブデンパターン122及びアルミニウムパターン124の積層構造を含む。更に好ましくは、アルミニウムパターン124がモリブデンパターン122の上に配置されている。その他に、ストレージ電極120がアルミニウムパターン又はアルミニウム合金パターンを含んでいても良い。第1誘電膜130は基板110とストレージ電極120とを覆い、ストレージ電極120をその上部の膜(特に画素電極170)から絶縁する。第1誘電膜130は好ましくはシリコン窒化物(SiN_x)を含み、更に好ましくは化学気相蒸着

10

20

30

40

50

(CVD)によって形成される。

【0017】

図5に示されているように、信号出力ユニット125は、ゲートラインGL、データラインDL、チャンネルパターンCP、及び出力端(すなわち、薄膜トランジスタのドレイン電極)140を含む。ゲートラインGLは基板110と第1誘電膜130との間に挟まれた複数の線状電極であり、それぞれが画素マトリクスの各行間を第1方向に延びている。各ゲートラインGLは複数のゲート電極GEを含む。ゲート電極GEは各サブピクセルに一つずつ設けられ、ゲートラインGLから画素マトリクスの列方向(以下、第2方向という)に突出している。例えば表示装置の解像度が1024×768であり、かつ各画素が行方向に並んだ3個のサブピクセルを含む場合、ゲートラインGLは約768本であり、ゲート電極GEは約1024×3個である。ゲートラインGLは好ましくは、モリブデンパターン及びアルミニウムパターンを含む。ゲートラインGL及びストレージ電極120は好ましくは同時に形成される。

10

【0018】

データラインDLは第1誘電膜130の上に形成された複数の線状電極であり、それぞれが画素マトリクスの各列間を第2方向に延びている(図5参照)。各データラインDLは複数のソース電極SEを含む。ソース電極SEは各サブピクセルに一つずつ設けられ、データラインDLから第1方向に突出している。例えば表示装置の解像度が1024×768であり、かつ各画素が行方向に並んだ3個のサブピクセルを含む場合、データラインDLは約1024×3本であり、ソース電極SEは約768個である。データラインDLは、好ましくは、第1モリブデンパターン、アルミニウムパターン、及び第2モリブデンパターンを含む。更に好ましくは、第1モリブデンパターンの上にアルミニウムパターンが形成され、アルミニウムパターンの上に第2モリブデンパターンが形成されている。

20

【0019】

チャンネルパターンCPは半導体のパターンであり、特にゲート電極GEを覆う第1誘電膜130の各領域の上に配置されている。チャンネルパターンCPは好ましくは後述のようにデータラインDL及び信号出力ユニットの出力端(ドレイン電極)140と同時にパターンニングされるので、チャンネルパターンCPはデータラインDL及びドレイン電極140の各下地にも配置されている(図3に示されている二点鎖線部B、及び図6参照)。チャンネルパターンCPは好ましくは、アモルファスシリコンパターンCP1、及びその上に配置された高濃度イオンドーピングアモルファスシリコンパターンCP2を含む。チャンネルパターンCPの一部の上にはソース電極SEが重なって電氣的に連結されている。

30

【0020】

ドレイン電極140は各サブピクセルに一つずつ、第1誘電膜130の上に形成されている(図3参照)。ドレイン電極140の一部はチャンネルパターンCPの上に重なって電氣的に連結されている(図6参照)。図6に示されているように、ドレイン電極140は好ましくは、第1モリブデンパターンMP1、アルミニウムパターンAP、及び第2モリブデンパターンMP2を含む。更に好ましくは、第1モリブデンパターンMP1の上にアルミニウムパターンAPが形成され、アルミニウムパターンAPの上に第2モリブデンパターンMP2が形成されている。

40

【0021】

ゲート電極GE、それを覆う第1誘電膜130の部分、チャンネルパターンCP、ソース電極SE、及びドレイン電極140がTFET(特にMOSFET)を構成している(図5参照)。ゲートラインGLに対して外部からタイミング信号が印加されたとき、ゲート電極GEの電圧が変動し、ゲート電極GEを覆うチャンネルパターンCPの部分にチャンネルが形成される。すなわち、上記のTFETがターンオンする。そのとき、データラインDLに対して外部から印加されたデータ信号が、チャンネルパターンCPに形成されたチャンネルを通してドレイン電極140に伝達される。

【0022】

図3に示されているように、誘電パターン150が第1誘電膜130を覆い、更に絶縁パターン160が誘電パターン150を覆っている。それにより、信号出力ユニットが外部から絶縁さ

50

れている。誘電パターン150は好ましくはシリコン窒化物を含み、その厚みが好ましくは約 $0.2\mu\text{m}$ ~ $0.6\mu\text{m}$ であり、更に好ましくは $0.5\mu\text{m}$ である。ドレイン電極140を覆う誘電パターン150の部分には開口部152が形成され、その上を覆う絶縁パターン160の部分には第1開口部162aと第2開口部162bとが形成され、併せて第1コンタクトホールを構成している。第1コンタクトホールからはドレイン電極140の一部が露出している。好ましくは、絶縁パターン160の第1開口部162aのサイズA1は第2開口部162bのサイズA2より小さい。第1開口部162aの高さH1は好ましくは絶縁膜1Lの最大厚と実質的に等しく、第2開口部162bの高さH2は好ましくは絶縁パターン160の最大厚H1の半分程度である。例えば、絶縁パターン160の最大厚H1(すなわち、第1開口部162aの高さ)が約 $1.7\mu\text{m}$ ~ $3.0\mu\text{m}$ である場合、第2開口部162bの高さH2は約 $1.35\mu\text{m}$ ~ $1.5\mu\text{m}$ である。一方、ストレージ電極120の領域を覆う絶縁パターン160の部分には第3開口部164が形成され、第2コンタクトホールを構成している。第2コンタクトホール164からは、ストレージ電極120の上方を覆う誘電パターン150の部分が露出している。

10

【0023】

画素電極170は各サブピクセルに一つずつ設けられ、各サブピクセルのほぼ全体を覆っている(図5参照)。画素電極170は特に、第1コンタクトホール152、162a、162bの内側と第2コンタクトホール164の内側とを覆っている(図3参照)。画素電極170は好ましくは透明な導電性物質から成り、更に好ましくは、酸化亜鉛インジウム(IZO)、酸化スズインジウム(ITO)、または、アモルファス酸化スズインジウム(a-ITO)を含む。画素電極170の一部は第1コンタクトホール152、162a、162bを通じてドレイン電極140に電氣的に連結されている。図5に示されているTFTがターンオンするとき、データラインDLからチャンネルパターンCPを通してドレイン電極140に伝達されたデータ信号が、第1コンタクトホール152、162a、162bを通じて画素電極170に伝達される。

20

【0024】

画素電極170の別の部分172は第2コンタクトホール164の内部で、誘電パターン150と第1誘電膜130とを隔ててストレージ電極120と向かい合っている(図3参照)。ここで、第2コンタクトホール164はストレージ電極120より広くても狭くても良い。以下、ストレージ電極120と向かい合っている画素電極170の部分172をストレージ電極部という。ストレージ電極部172とストレージ電極120との間の静電容量がストレージキャパシタとして利用される。図5に示されているTFTがターンオンするとき、データラインDLから画素電極170に対して印加されるデータ信号により、ストレージキャパシタが充電される。ここで、第2コンタクトホール164の内側ではストレージ電極120とストレージ電極部172との間隔が狭いので、ストレージキャパシタの容量は十分に大きい。従って、上記のTFTがターンオフした後も、ストレージキャパシタは一フレームの間、画素電極170の電圧(画素電圧)を安定に維持する。

30

【0025】

図3に示されているTFTパネル100は好ましくは、以下の工程で形成される。

最初の工程では、ゲートラインGLとストレージ電極120とを基板110の上に、以下の順でパターンニングする(図7、8参照)。まず、透明な基板(好ましくはガラス基板)200の全面に金属層(図示せず)が形成される。その金属層は好ましくは、モリブデン薄膜及びその上に積層されたアルミニウム薄膜を含む。次に、その金属層の上にフォトリソグロフによってパターンニングされる。それにより得られたフォトリソグロフパターンをマスクとして利用し、金属層をエッチングによってパターンニングする。その結果、基板200にはストレージ電極SCがゲートラインGLと共に形成される。ストレージ電極SCとゲートラインGLとは、第1方向では平行に延び、第2方向では交互に配置されている。各ゲートラインGLにはゲート電極GEが形成され、各ストレージ電極SCには拡張部EPが形成される。これらの拡張部EPが一つずつ各画素電極170(図3参照)と対向し、各ストレージキャパシタの容量を増加させる。

40

【0026】

第二の工程では、データラインDL、ドレイン電極140、及びチャンネルパターンCPを基

50

板110の上に、以下の順で形成する（図9、10参照）。

まず、第1誘電膜FDが基板200の全面に形成される（図10参照）。第1誘電膜FDは好ましくはスピンコーティングまたはスリットコーティングによって形成される。第1誘電膜FDの上には半導体膜が形成される。半導体膜は好ましくは、アモルファスシリコン薄膜及び高濃度イオンドーピングアモルファスシリコン薄膜を含む。更に好ましくは、高濃度イオンドーピングアモルファスシリコン薄膜がアモルファスシリコン薄膜の上に形成される。高濃度イオンドーピングアモルファスシリコン薄膜の上にはソース/ドレイン金属層（図示せず）が形成される。ソース/ドレイン金属層は好ましくは、第1モリブデン薄膜、アルミニウム薄膜、及び第2モリブデン薄膜を含む。更に好ましくは、アルミニウム薄膜が第1モリブデン薄膜の上に形成され、第2モリブデン薄膜がアルミニウム薄膜の上に形成される。

10

【0027】

次に、ソース/ドレイン金属層の上にフォトレジスト薄膜が形成され、好ましくはハーフトーン露光を採用したフォトリソグラフィによってパターンニングされる。それにより得られたフォトレジストパターンのうち、特に、ソース電極とドレイン電極との隙間になるべき領域を覆う部分が十分に薄く形成される。そのようなフォトレジストパターンをマスクとして利用し、半導体膜とソース/ドレイン金属層とを同時にエッチングによってパターンニングし、データラインDLを形成する（図9参照）。各データラインDLには突出部SE/DEが形成される。突出部SE/DEはデータラインDLからゲート電極GEの上方を越えて第1方向に延びている。好ましくはアッシングにより上記のフォトレジストパターンの薄い部分を除去してその下地の突出部SE/DEを露出させる。その後、残りのフォトレジストパターンをマスクとして利用し、突出部SE/DEの露出部分とその下地の高濃度イオンドーピングアモルファスシリコン薄膜CP2（図6参照）とをエッチングにより除去する。こうして、ソース電極SEとドレイン電極DEとが分離され、それらの間からチャンネルパターンCPの一部（特にアモルファスシリコン薄膜CP1（図6参照））が露出する。チャンネルパターンCPのその露出部分からは高濃度イオンドーピングアモルファスシリコン薄膜CP2（図9参照）が除去されているので、ソース電極SE及びドレイン電極DEが電氣的にも分離される。

20

【0028】

第三の工程では、第2誘電膜及び絶縁膜を以下の順で形成する（図11参照）。まず、第1誘電膜FDの上に第2誘電膜SDが形成される。第2誘電膜SDは好ましくはシリコン窒化物を含む。第2誘電膜SDは特にドレイン電極DEを覆う。次に、第2誘電膜SDの上に絶縁膜ILが形成される。絶縁膜ILは特に感光物質を含む。

30

【0029】

第四の工程では、図1、2に示されているマスク10を用い、絶縁膜ILを以下の順でパターンニングする（図12、13参照）。まず、図12に示されているように、絶縁膜ILが形成された基板200の上方にマスク10が配置される。特にマスク10の位置が精密に調節され、第1露光部14がドレイン電極DEの上方に配置され、第2露光部16がストレージ電極SCの上方に配置される。次に、絶縁膜ILがマスク10の第1露光部14及び第2露光部16を通過した光に曝されて各露光部分が感光する。第1光透過部14aに対向する絶縁膜ILの第1部分IL1は第1光量で露光されるので、その全体が感光する。第2光透過部14bに対向する絶縁膜ILの第2部分IL2は第2光量で露光されるので、第1部分IL1より薄い（好ましくは第1部分IL1の半分程度の厚さの）部分が感光する。第3光透過部16aに対向する絶縁膜ILの第3部分IL3は第3光量で露光されるので、第1部分IL1よりは薄く、第2部分IL2よりは厚い部分が感光する。

40

【0030】

図12に示されている露光工程により感光された絶縁膜ILの各部分を現像工程で除去する。それにより、図13に示されているように、第2誘電膜SDの上に絶縁パターンIPが形成される。絶縁パターンIPでは、第1部分IL1のほぼ全体が除去されて第1開口部FCが形成され、第2部分IL2がほぼ半分の厚みまで除去されて第2開口部SC1が形成される。更に、第3部分IL3が一部Lを薄く残して除去され、第3開口部TCが形成される。第2開口部SC

50

1は第1開口部FCより広い。第1開口部FCの高さH1は絶縁膜ILの最大厚と実質的に等しく、第2開口部SC1の高さH2は絶縁膜ILの最大厚H1の半分程度である。第3開口部TCの内側に残留している絶縁膜ILの一部Lの厚みTは好ましくは第2誘電膜SDの厚みと実質的に等しい。その残留部分Lが、ストレージ電極SCの上方を覆っている第2誘電膜SDの部分を、意図しないエッチングから保護する。それにより、ストレージキャパシタの容量を更に正確に制御できるので、フリッカや残像等の画質不良を更に低減できる。尚、第3開口部TCの周辺に、第4開口部FC1を更に形成しても良い(図13に示されている破線部参照)。第4開口部FC1は第3開口部TCより広く、その高さが絶縁膜ILの最大厚より小さい。

【0031】

第五の工程では、図13に示されている絶縁パターンIPと第2誘電膜SDとを以下の順でパターニングし、図14に示されている誘電パターンDPを形成する。まず、絶縁パターンIP及び第2誘電膜SDに対してドライエッチング又はウェットエッチングを行う。そのとき、絶縁パターンIPの第1開口部FCの内側から第2誘電膜SDの露出部分が除去される。それにより、誘電パターンDPに開口部CT1が形成される(図14参照)。絶縁パターンIPの第1開口部FCと第2開口部SC1、及び誘電パターンDPの開口部CT1が第1コンタクトホールを構成する。第1コンタクトホールCT1、FC、SC1からはドレイン電極DEの一部が露出する。一方、第3開口部TCの内側では、絶縁パターンIPの残留部分Lが、ストレージ電極SCの上方を覆っている第2誘電膜SDの部分をエッチングから保護する(図13参照)。次に、 O_2 プラズマを利用したアッシングにより、第3開口部TCの内側から絶縁パターンIPの残留部分Lを除去し、絶縁パターンIPに第2コンタクトホールCT2を形成する(図14参照)。第2コンタクトホールCT2からは、ストレージ電極SCの上方を覆っている誘電パターンDPの部分が露出する。尚、第3開口部TCの周辺に上記の第4開口部FC1(図13参照)を更に形成することで、第2コンタクトホールCT2の内壁が階段状であっても良い(図14に示されている破線部参照)。その段差は、第1コンタクトホールCT1、FC、SC1の内壁の段差と同様に、コンタクトホールからの光漏れを低減させる。

【0032】

第六の工程では、図14に示されている絶縁パターンIPの上に、図15に示されている画素電極PEを以下の順で形成する。まず、絶縁パターンIPの全面に導電性透明薄膜(図示せず)が形成され、その導電性透明薄膜の上にフォトレジスト薄膜が形成される。次に、フォトレジスト薄膜がパターニングされ、導電性透明薄膜の上にフォトレジストパターンが形成される。続いて、そのフォトレジストパターンをマスクとして利用して導電性透明薄膜をドライエッチング又はウェットエッチングでパターニングし、画素電極PEを形成する(図15参照)。画素電極PEの一部が第1コンタクトホールCT1、FC、SC1を通じてドレイン電極DEと電気的に連結される。それにより、画素電極PEに対してドレイン電極DEを通じて画素電圧が印加される。更に、画素電極PEの他の一部が第2コンタクトホールCT2を通じて誘電パターンDPに接触し、誘電パターンDPと第1誘電膜FDとを隔ててストレージ電極SCと向かい合う。こうして、画素電極PEのその部分(ストレージ電極部)とストレージ電極SCとが第1誘電膜FD及び誘電パターンDPを挟み、ストレージキャパシタを構成する。

【0033】

本発明の別の実施例によるTF Tパネル300の(特に画素マトリクスの方角での)断面を図16に示す。図16に示されているように、TF Tパネル300は、基板310、ストレージ電極320、第1誘電膜330、信号出力ユニット325(図17参照)、誘電パターン350、絶縁パターン360、及び画素電極370を含む。尚、図16には、信号出力ユニットの出力端(すなわち、薄膜トランジスタのドレイン電極)340が示されている。図16~18に示されているTF Tパネル300の各構成要素は、ストレージ電極320の上方を覆っている第1誘電膜330、誘電パターン350、及び画素電極370の各部分の形状を除き、図3~6に示されているTF Tパネル100の各構成要素と同様である。従って、それら同様な構成要素の詳細については、図3~6に示されているTF Tパネル100についての説明を援用する。

【0034】

第2コンタクトホール364は、ストレージ電極320の上方に形成されている(図16参照

10

20

30

40

50

）。第2コンタクトホール364の内側では画素電極370が誘電パターン350の露出部分を直に覆っている。図16に示されているTFTパネル300では図3に示されているTFTパネル100とは異なり、第2コンタクトホール364の内側を覆っている誘電パターン350と画素電極370の部分とに、表面積増加部355が形成されている。表面積増加部355は細かい凹凸であり、好ましくは、図19に示されている通り、第2コンタクトホール364の内側を覆っている誘電パターン350（及び画素電極370）の表面に形成された複数の窪みのマトリクスである。その他に、表面積増加部355が、誘電パターン350（及び画素電極370）の表面に形成された突起であっても良い。表面積増加部355で、突起と窪みとが交互に連なり、連続した波形状を形成していても良い。表面積増加部355の凹凸の平面形状は、マスク10の第3光透過部16aのスリットの形状で決まる。例えばマスク10の第3光透過部16aのスリットが図1に示されているような複数の帯状である場合、表面積増加部が、図20に示されているような複数のグループ357であり、特に、各グループ357が棒形状である。スリットの形状によっては、複数のグループを交差させて格子を形成させることもできる。第2コンタクトホール364の内側では、表面積増加部355、357により、誘電パターン350と画素電極370との各表面積が大きい。それにより、ストレージキャパシタの容量が更に大きい。従って、ストレージキャパシタがフレームの間、画素電圧を更に安定化させる。

【0035】

図16に示されているTFTパネル300は好ましくは、図3に示されているTFTパネル100の形成工程（図7～15参照）と同様な工程で形成される（図21～28参照）。

最初の工程ではゲートラインGLとストレージ電極SCとを基板200の上にパターンニングする（図21、22参照）。この工程は図7、8に示されている工程と同様であるので、その詳細については図7、8に示されている工程についての上記の説明を援用する。第二の工程では、データラインDL、ドレイン電極DE、及びチャンネルパターンCPを基板の上にパターンニングする（図23、24参照）。この工程は図9、10に示されている工程と同様であるので、その詳細については図9、10に示されている工程についての上記の説明を援用する。第三の工程では第2誘電膜SD及び絶縁膜ILを形成する（図25参照）。この工程は図11に示されている工程と同様であるので、その詳細については図11に示されている工程についての上記の説明を援用する。

【0036】

第四の工程では、図1、2に示されているマスクと同様なマスク10を用い、絶縁膜ILをパターンニングして絶縁パターンIPを形成する（図25、26参照）。尚、ドレイン電極DEを覆っている絶縁膜ILの部分のパターンニングは、図12、13に示されている工程でのパターンニングと同様であるので、その詳細については、図12、13に示されている工程についての上記の説明を援用する。

【0037】

第2露光部16の第3光透過部16aに対向する絶縁膜ILの第3部分IL3は第3光量で露光されるので、第1部分IL1よりは薄く、第2部分IL2よりは厚い部分が感光する。従って、第3開口部TCの内側には、図26に示されているような絶縁膜ILの薄い部分Lが残る。その残留部分Lの厚みは好ましくは、第2誘電膜SDの厚みと実質的に等しい。その残留部分Lが図13に示されている残留部分Lと同様に、ストレージ電極SCの上方を覆っている第2誘電膜SDの部分を、第1開口部FCを形成するためのエッチングの間、保護する。更に、図25に示されているマスク10の第3光透過部16aは、図1に示されているものとはスリットの形状、幅、若しくは間隔、または絶縁膜ILからの距離が異なる。その他に、光源の波長や光量、または露光時間が異なっても良い。それにより、第3光透過部16aに対向する絶縁膜ILの第3部分IL3では第3光量が、第3光透過部16aのスリットの形状に応じて場所ごとに変化する（図25に示されている破線R2参照）。その結果、絶縁膜ILの感光部分の厚みが規則的に、かつ比較的大きく変化するので、図26に示されている第3開口部TCの内側の残留部分Lの上面には、図13に示されているものとは異なり、凸パターンCCが形成される。凸パターンCCは好ましくは、残留部分Lの上面から隆起した棒形状又は格子形状の凸部である。

10

20

30

40

50

【 0 0 3 8 】

第五の工程では、図 2 6 に示されている絶縁パターンIPと第 2 誘電膜SDとをパターンニングし、図 2 7 に示されている誘電パターンDPを形成する。尚、図 2 7 に示されている絶縁パターンIPの第 1 開口部FCと第 2 開口部SC1とのパターンニング、及び誘電パターンDPの開口部CT1のパターンニングは、図 1 3、1 4 に示されている工程でのパターンニングと同様であるので、その詳細については図 1 3、1 4 に示されている工程についての上記の説明を援用する。

【 0 0 3 9 】

絶縁パターンIPの第 3 開口部TCの内側では、絶縁パターンIPの残留部分Lとその下地の第 2 誘電膜SDとがドライエッチング又はウェットエッチングでパターンニングされる（図 2 7 参照）。ここで、凸パターンCC以外では絶縁パターンIPの残留部分Lが除去され、その下地の第 2 誘電膜SDの表面が削られる。一方、凸パターンCCでは絶縁パターンIPの残留部分Lが厚く、完全には除去されないため、その下地の第 2 誘電膜SDの表面が削られない。こうして、ストレージ電極SCの上方を覆っている第 2 誘電膜SDの表面に、図 1 9 または図 2 0 に示されているような平面形状の複数の窪みまたはグループ、すなわち表面積増加部SIが形成される。その後、絶縁パターンIPの凸パターンCCが好ましくはアッシングによって除去される。こうして、絶縁パターンIPの第 3 開口部TCが第 2 コンタクトホールとして構成される。尚、図 2 7 とは異なり、第 2 コンタクトホール（絶縁パターンIPの第 3 開口部）TCの内壁が第 1 コンタクトホール（第 1 開口部FCと第 2 開口部SC1）の内壁と同様に階段状であっても良い。

【 0 0 4 0 】

第六の工程では、図 2 7 に示されている絶縁パターンIPの上に、図 2 8 に示されている画素電極PEを形成する。この工程は図 1 5 に示されている工程と同様であるので、その詳細については図 1 5 に示されている工程についての上記の説明を援用する。但し、図 2 8 では図 1 5 とは異なり、第 2 コンタクトホールTCを通じて誘電パターンDPの表面に接触する画素電極PEの部分に、誘電パターンDPの表面と同様な凹凸形状、すなわち表面積増加部SIが形成される。

【 0 0 4 1 】

第 2 コンタクトホールの内側では、図 1 6 とは異なり、誘電パターンの表面に窪みではなく貫通穴が形成され、更にその下の第 1 誘電膜の表面に窪みが形成されても良い。そのようなTF Tパネルは好ましくは、図 2 1 ~ 2 8 に示されている工程に代え、図 2 9 ~ 3 6 に示されている工程で製造される。尚、図 2 9 ~ 3 6 に示されている構成要素及び工程のうち、図 2 1 ~ 2 8 に示されている構成要素及び工程と同様なものについては、図 2 1 ~ 2 8 についての説明を援用する。

【 0 0 4 2 】

図 3 5 に示されている第五の工程では、図 2 7 に示されている第五の工程と同様に、図 3 4 に示されている絶縁パターンIPと第 2 誘電膜SDとをパターンニングして第 1 誘電パターンDP1を形成する。特に、絶縁パターンIPの第 3 開口部TCの内側では、絶縁パターンIPの残留部分Lとその下地の第 2 誘電膜SDとがドライエッチング又はウェットエッチングでパターンニングされ、第 2 コンタクトホールが形成される。ここで、図 3 4 に示されている凸パターンCC以外では絶縁パターンIPの残留部分Lとその下地の第 2 誘電膜SDの一部とが共に除去され、第 1 誘電膜FDの表面が露出する。一方、凸パターンCCでは絶縁パターンIPの残留部分Lが厚いので、特にその下地の第 2 誘電膜SDの一部、すなわち第 1 表面積増加部SI1が残る。こうして、第 2 誘電膜SDから第 1 誘電パターンDP1が形成される。

【 0 0 4 3 】

図 3 5 に示されている第五の工程では、図 2 7 に示されている第五の工程とは異なり、絶縁パターンIPの凸パターンCCと第 1 誘電パターンDP1の第 1 表面積増加部SI1とをマスクとして利用し、第 1 誘電パターンDP1の間から露出している第 1 誘電膜FDの表面をパターンニングして第 2 誘電パターンDP2を形成する。特に、第 1 表面積増加部SI1の間から露出した第 2 誘電パターンDP2の表面には、図 1 9 または図 2 0 に示されている平面形状と同様

10

20

30

40

50

な平面形状の複数の窪みまたはグループ、すなわち第2表面積増加部S12が形成される。その後、第1表面積増加部S11の上に残留している絶縁パターンIP、すなわち凸パターンC(図34参照)が好ましくはドライエッチングまたはアッシングによって除去される。

【0044】

第六の工程では、図35に示されている絶縁パターンIPの上に、図36に示されている画素電極PEを形成する。この工程は図28に示されている工程と同様であるので、その詳細については図28に示されている工程についての説明を援用する。特に、図36では図28と同様に、第2コンタクトホールTCを通じて第2誘電パターンDP2の表面に接触する画素電極PEの部分に、第2誘電パターンDP2の表面と同様な窪み、すなわち表面積増加部S1が形成される。

10

【0045】

本発明の上記の実施例による製造方法では、図1、2に示されているマスク10に代え、図37、38に示されているマスク70が用いられても良い。すなわち、このマスク70は、図38に示されているように、薄膜トランジスタのドレイン電極77h及びストレージ電極77bのそれぞれの上方面の絶縁膜77e(フォトリジストフィルム)のパターニングで使用される。

【0046】

図37に示されているように、マスク70は、マスク本体72、スリット露光部74、及び光吸収-透過部76を含む。図38に示されているように、マスク本体72は更に、光透過基板72a、及びその上に形成された光遮断膜72bを含む。絶縁膜77eの露光時にはマスク70の上面が、その上方に配置された光源(図示せず)から第1光量の光R1を受ける。光遮断膜72bはその光R1を吸収する。一方、スリット露光部74及び光吸収-透過部76は、後述のように、光源から照射された光R1を透過させる。光透過基板72aは透明な基板であり、スリット露光部74及び光吸収-透過部76を透過した光を、マスク70の下面から外部に出射する。

20

【0047】

図39に示されているように、スリット露光部74は複数個のスリット74aを含む。各スリット74aは好ましくは、四角形の閉じたループ形状であり、それらが同じ中心を共有している。その他に、スリット74aが平行に並置された直線形状であっても良い。スリット露光部74の中心部には、好ましくは四角形の穴74bが開いている。各スリット74aは光遮断膜72bの一部をパターニングして形成されている。各スリット74aの幅と間隔とは光源の分解能より小さく、好ましくは約1.2 μm ~1.4 μm であり、更に好ましくは約1.3 μm である。一方、スリット露光部74の中心部の穴74bのサイズは各スリット74aの幅より大きく、好ましくは光源の分解能より大きい。図38に示されているように、絶縁膜77eの露光時、スリット露光部74の中心部の穴74bが、ドレイン電極77hを覆う絶縁膜77eの領域78の上方に配置される。スリット露光部74では光源から出射された光R1が回折されるので、穴74bと対向する絶縁膜77eの領域78が第1光量でほぼ一様に露光され、スリット74aと対向する領域79が第2光量(好ましくは第1光量の半分程度)でほぼ一様に露光される。従って、穴74bと対向する絶縁膜77eの領域78ではほぼ全ての部分が感光し、スリット74aと対向する絶縁膜77eの領域79では一部(好ましくは半分程度の厚みの部分)が感光する(図38に示されている絶縁膜77e内の斜線部78、79参照)。

30

40

【0048】

光吸収-透過部76は光遮断膜72bとは異なる膜で覆われた部分であり、好ましくは酸化クロム薄膜又は窒化クロム薄膜を含む。光吸収-透過部76は特に、光源からマスク70の上面に照射された光R1の一部を透過させ、残りを反射し、又は吸収する。光源から出射される光R1の波長が約193nm~436nmである場合、光吸収-透過部76は好ましくは、その光R1の約20%~70%を透過する。ここで、光吸収-透過部76の透過率は光吸収-透過部76の厚みで調節可能である。図38に示されているように、絶縁膜77eの露光時、光吸収-透過部76は、ストレージ電極77bを覆う絶縁膜77eの領域80の上方に配置される。光源からの光R1は光吸収-透過部76の透過で弱められるので、光吸収-透過部76と対向する絶縁膜77eの領域80は第3光量(第1光量より小さく、第2光量より大きい)で一様に露光される。従

50

って、絶縁膜60のその領域80では、感光せずに残留する部分が、スリット74aと対向する絶縁膜77eの領域79に残留する部分より薄く、好ましくは、絶縁膜77eの下に配置された誘電パターン77dと実質的に同じ厚みである（図38に示されている絶縁膜77e内の斜線部80参照）。ここで、光吸収 - 透過部76から出射される光の輝度は、図1、2に示されている第2露光部16を通過した光の輝度より均一度が高い。従って、光吸収 - 透過部76と対向する絶縁膜77eの領域80では感光部分の厚みが更に均一化される。それ故、絶縁膜77eを現像した後にその領域80に残留する部分を、アッシングによって誘電パターン77dの上から完全に除去できる。

【0049】

図37、38に示されている上記のマスク70は好ましくは、以下のようなTFEパネルの製造工程で利用される（図40～46参照）。ここで、図40～46に示されている構成要素及び工程のうち、図7～15に示されている構成要素及び工程と同様なものについては、図7～15についての説明を援用する。

【0050】

第四の工程では、図37、38に示されているマスク70を用い、図40に示されている、第一～第三の工程を経た絶縁膜F3を以下の順でパターンニングする。まず、図42に示されているように、絶縁膜F3が形成された基板600の上方にマスク70が配置される。特にマスク70の位置が精密に調整され、スリット露光部74が、第2誘電膜F2と絶縁膜F3とで覆われたドレイン電極E3の上方に配置され、光吸収 - 透過部76が、第1誘電膜F1、第2誘電膜F2、及び絶縁膜F3で覆われたストレージ電極SEPの上方に配置される。次に、図43に示されているように、絶縁膜F3がマスク70のスリット露光部74及び光吸収 - 透過部76を通過した光R2に曝されて各露光部分が感光する。スリット露光部74の中心部の穴74bと対向する絶縁膜F3の第1領域78は第1光量で露光されるので、その全体が感光し、スリット74aと対向する絶縁膜F3の第2領域79は第2光量で露光されるので、第1領域78より薄い（好ましくは第1領域78の半分程度の厚さの）部分が感光する（図43に示されている絶縁パターンIP1内の斜線部78、79参照）。光吸収 - 透過部76と対向する絶縁膜F3の第3領域80は第3光量で露光されるので、第1領域78よりは薄く、第2領域79よりは厚い部分が感光する（図43に示されている絶縁パターンIP1内の斜線部80参照）。

【0051】

図43に示されている露光工程により感光された絶縁膜IP1の各部分を現像工程で除去する。それにより、図44に示されている通り、第2誘電膜F2の上に絶縁パターンIP1が形成される。絶縁パターンIP1には特に、第1開口部F0及び第2開口部S0が形成される。第2開口部S0の内側の絶縁パターンIP1には薄い残留膜Lが形成されている。好ましくはその残留膜Lの厚みが第2誘電膜F2の厚みと実質的に等しい。その残留膜Lが、ストレージ電極SEPの上方を覆っている第2誘電膜F2の部分を、意図しないエッチングから保護する。

【0052】

図45に示されている第五の工程は、図14に示されている工程と同様に、図44に示されている絶縁パターンIP1と第2誘電膜F2とを次のようにパターンニングして誘電パターンSDPを形成する。まず、第1開口部F0の内側からは第2誘電膜F2の露出部分がドライエッチング又はウェットエッチングで除去され、誘電パターンSDPに開口部T1が形成され、そこからドレイン電極E3の一部が露出する。一方、第2開口部S0の内側では、絶縁パターンIP1の残留膜L（図44参照）が、ストレージ電極SEPの上方を覆っている誘電パターンSDPの部分をエッチングから保護する。次に、アッシングにより、第2開口部S0の内側から絶縁パターンIP1の残留膜Lを除去し、ストレージ電極SEPの上方を覆っている誘電パターンSDPの部分を露出させる。

【0053】

図46に示されている第六の工程では、図15に示されている工程と同様に、図45に示されている絶縁パターンIP1の上に透明な画素電極を形成する。尚、その工程の詳細については、図15に示されている工程の説明を援用する。

以上、本発明の実施例について詳細に説明した。しかし、本発明の技術的範囲はそれら

10

20

30

40

50

の実施例には限定されない。実際、当業者であれば、本発明の思想と精神とから離れることなく、本発明の上記の実施例を修正し、または変更できるだろう。従って、それらの修正や変更も当然に、本発明の技術的範囲に属すると解されるべきである。

【図面の簡単な説明】

【0054】

【図1】本発明の実施例によるマスクの平面図

【図2】図1に示されているマスクを用いた基板の露光工程を示す断面図

【図3】本発明の実施例による薄膜トランジスタパネルの断面図

【図4】図3に示されている二点鎖線部Aの拡大図

【図5】本発明の実施例による信号出力ユニットの構成を示す模式図

10

【図6】図3に示されている二点鎖線部Bの拡大図

【図7】本発明の実施例による薄膜トランジスタパネルの製造方法に含まれる第一の工程で得られる基板の平面図

【図8】図7に示されている直線IIX - IIXに沿った断面図

【図9】本発明の実施例による薄膜トランジスタパネルの製造方法に含まれる第二の工程で得られる基板の平面図

【図10】図9に示されている折線X - Xに沿った断面図

【図11】本発明の実施例による薄膜トランジスタパネルの製造方法に含まれる第三の工程で得られる基板の断面図

【図12】本発明の実施例による薄膜トランジスタパネルの製造方法に含まれる第四の工程を示す断面図

20

【図13】本発明の実施例による薄膜トランジスタパネルの製造方法に含まれる第四の工程で得られる基板の断面図

【図14】本発明の実施例による薄膜トランジスタパネルの製造方法に含まれる第五の工程で得られる基板の断面図

【図15】本発明の実施例による薄膜トランジスタパネルの製造方法に含まれる第六の工程で得られる基板の断面図

【図16】本発明の別の実施例による薄膜トランジスタパネルの断面図

【図17】本発明の別の実施例による信号出力ユニットの構成を示す模式図

【図18】図16に示されている二点鎖線部Cの拡大図

30

【図19】本発明の別の実施例による表面積増加部の一例を示す平面図

【図20】本発明の別の実施例による表面積増加部の他の例を示す平面図

【図21】本発明の別の実施例による薄膜トランジスタパネルの製造方法に含まれる第一の工程で得られる基板の平面図

【図22】図21に示されている直線22 - 22に沿った断面図

【図23】本発明の別の実施例による薄膜トランジスタパネルの製造方法に含まれる第二の工程で得られる基板の平面図

【図24】図23に示されている折線24 - 24に沿った断面の展開図

【図25】本発明の別の実施例による薄膜トランジスタパネルの製造方法に含まれる第四の工程を示す断面図

40

【図26】本発明の別の実施例による薄膜トランジスタパネルの製造方法に含まれる第四の工程で得られる基板の断面図

【図27】本発明の別の実施例による薄膜トランジスタパネルの製造方法に含まれる第五の工程で得られる基板の断面図

【図28】本発明の別の実施例による薄膜トランジスタパネルの製造方法に含まれる第六の工程で得られる基板の断面図

【図29】本発明の他の実施例による薄膜トランジスタパネルの製造方法に含まれる第一の工程で得られる基板の平面図

【図30】図29に示されている直線30 - 30に沿った断面図

【図31】本発明の他の実施例による薄膜トランジスタパネルの製造方法に含まれる第二

50

の工程で得られる基板の平面図

【図32】図31に示されている折線32-32に沿った断面の展開図

【図33】本発明の他の実施例による薄膜トランジスタパネルの製造方法に含まれる第四の工程を示す断面図

【図34】本発明の他の実施例による薄膜トランジスタパネルの製造方法に含まれる第四の工程で得られる基板の断面図

【図35】本発明の他の実施例による薄膜トランジスタパネルの製造方法に含まれる第五の工程で得られる基板の断面図

【図36】本発明の他の実施例による薄膜トランジスタパネルの製造方法に含まれる第六の工程で得られる基板の断面図

10

【図37】本発明の別の実施例によるマスクの平面図

【図38】図37に示されているマスクを用いた基板の露光工程を示す断面図

【図39】図37に示されている二点鎖線部Dの拡大図

【図40】本発明の更に別の実施例による薄膜トランジスタパネルの製造方法に含まれる第一の工程で得られる基板の断面図

【図41】本発明の更に別の実施例による薄膜トランジスタの回路図

【図42】本発明の更に別の実施例による薄膜トランジスタパネルの製造方法に含まれる第四の工程でのマスクと基板との位置関係を示す断面図

【図43】本発明の更に別の実施例による薄膜トランジスタパネルの製造方法に含まれる第四の工程を示す断面図

20

【図44】本発明の更に別の実施例による薄膜トランジスタパネルの製造方法に含まれる第四の工程で得られる基板の断面図

【図45】本発明の更に別の実施例による薄膜トランジスタパネルの製造方法に含まれる第五の工程で得られる基板の断面図

【図46】本発明の更に別の実施例による薄膜トランジスタパネルの製造方法に含まれる第六の工程で得られる基板の断面図

【符号の説明】

【0055】

10 マスク

12 マスク本体

30

14 第1露光部

14a 第1光透過部

14b 第2光透過部

16 第2露光部

16a 第3光透過部

20 ストレージ電極

40 ドレイン電極

50 誘電膜

60 絶縁膜

100 薄膜トランジスタパネル

40

110 基板

120 ストレージ電極

122 モリブデンパターン

124 アルミニウムパターン

125 信号出力ユニット

130 誘電膜

140 ドレイン電極

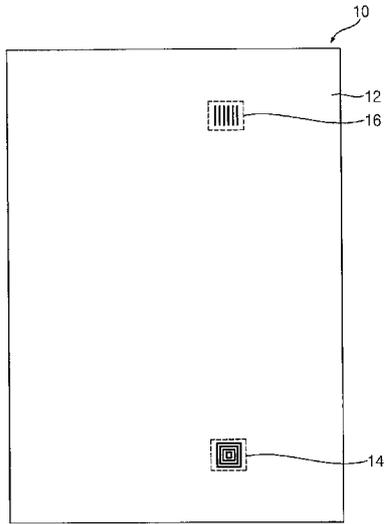
150 誘電パターン

160 絶縁パターン

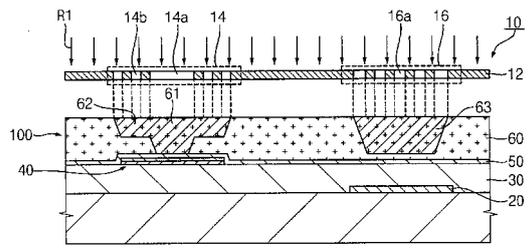
170 画素電極

50

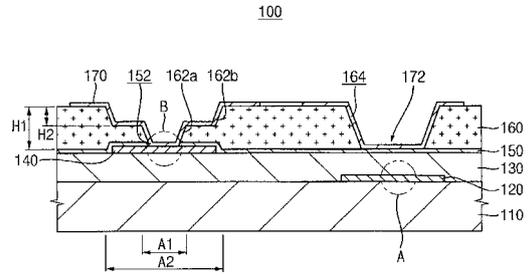
【図1】



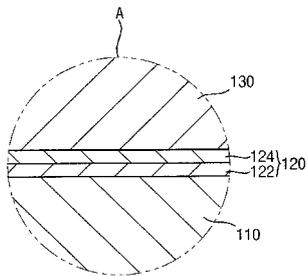
【図2】



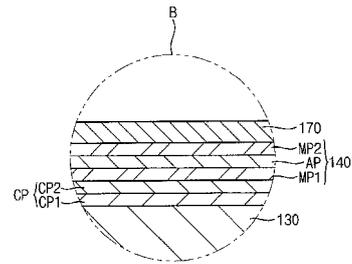
【図3】



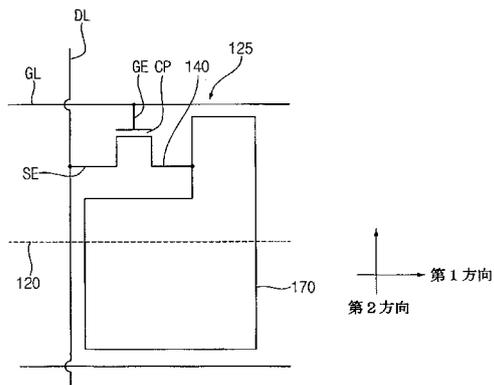
【図4】



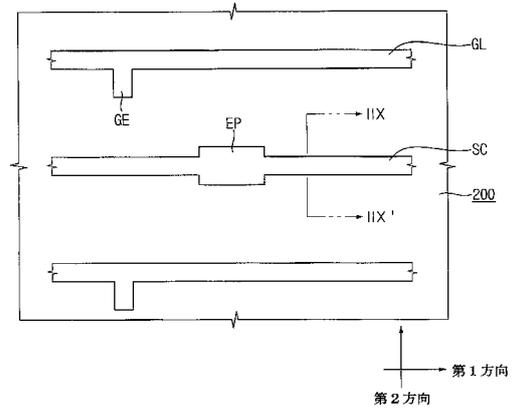
【図6】



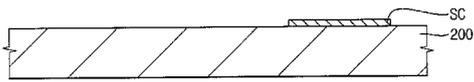
【図5】



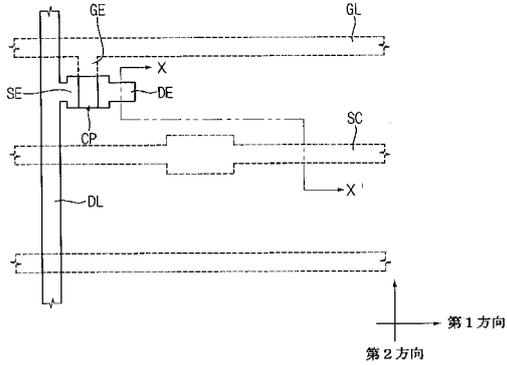
【図7】



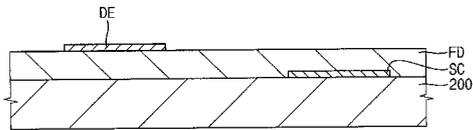
【図 8】



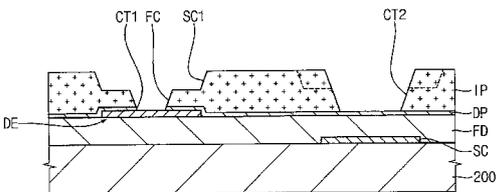
【図 9】



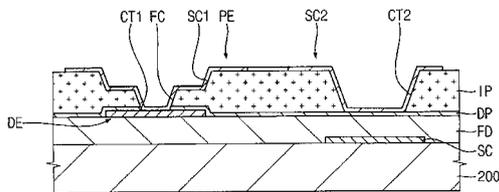
【図 10】



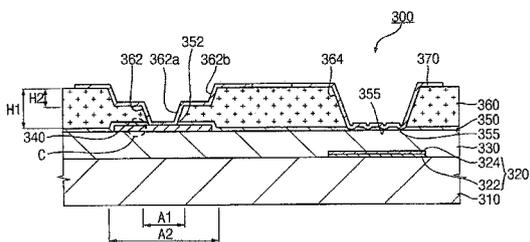
【図 14】



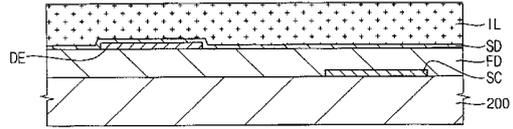
【図 15】



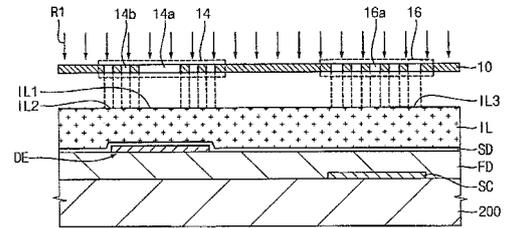
【図 16】



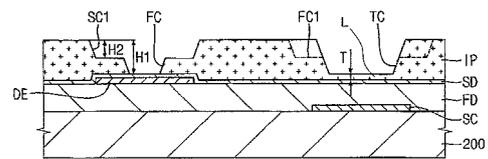
【図 11】



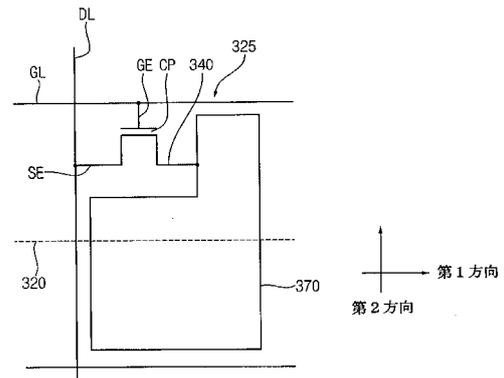
【図 12】



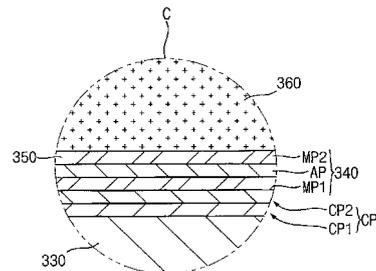
【図 13】



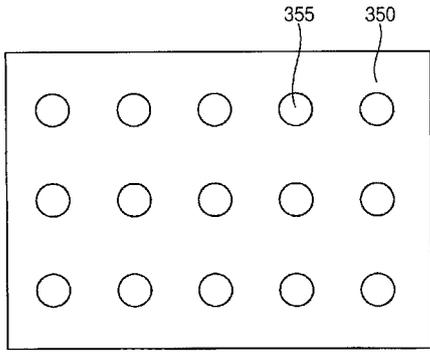
【図 17】



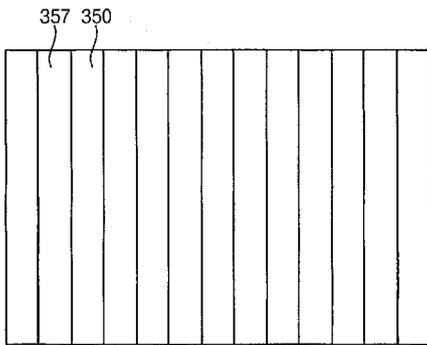
【図 18】



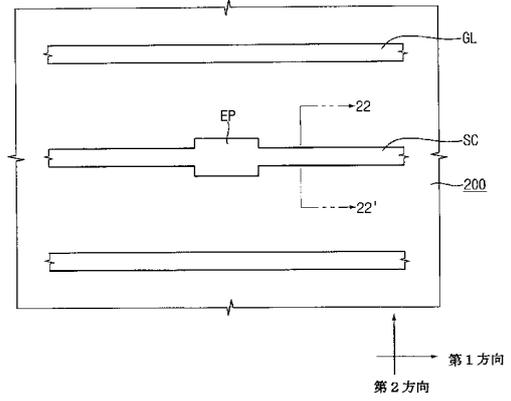
【図19】



【図20】



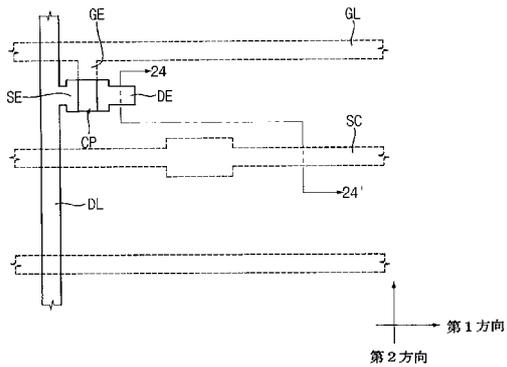
【図21】



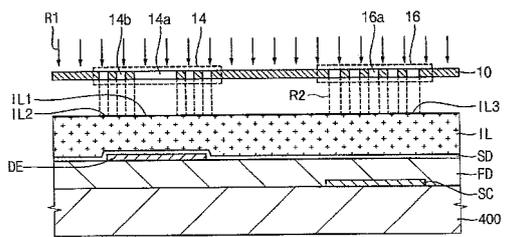
【図22】



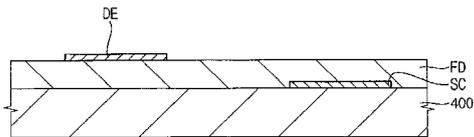
【図23】



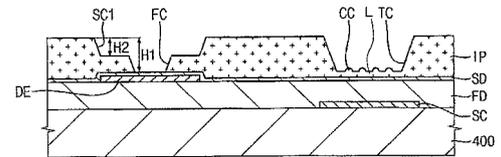
【図25】



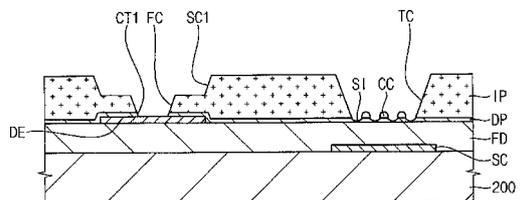
【図24】



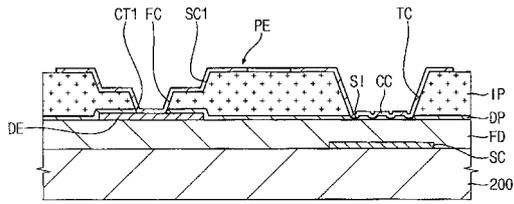
【図26】



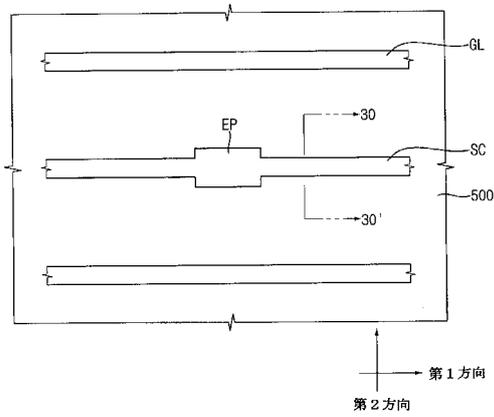
【図27】



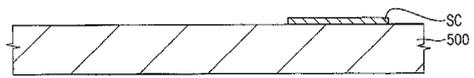
【図28】



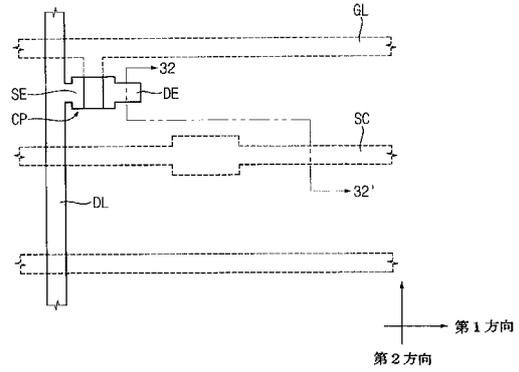
【図29】



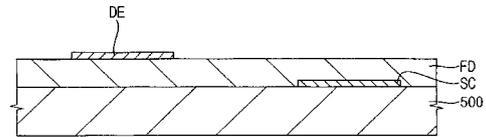
【図30】



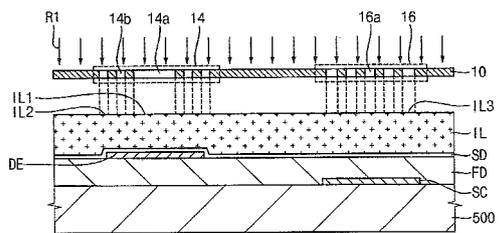
【図31】



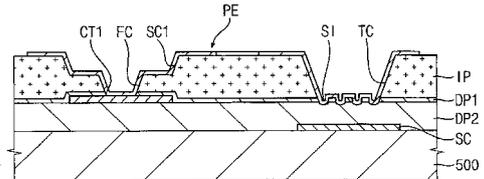
【図32】



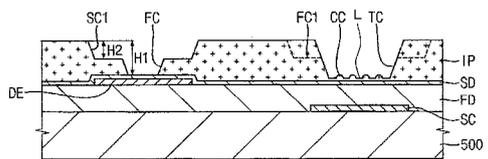
【図33】



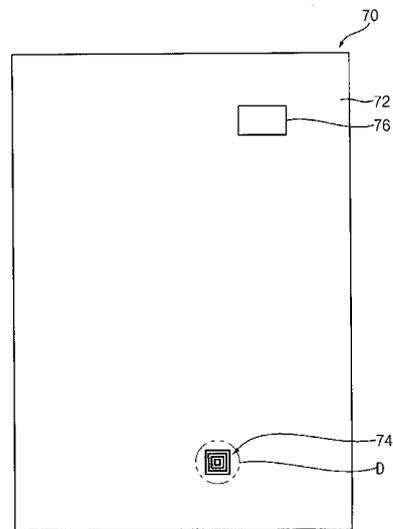
【図36】



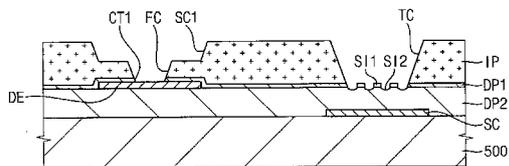
【図34】



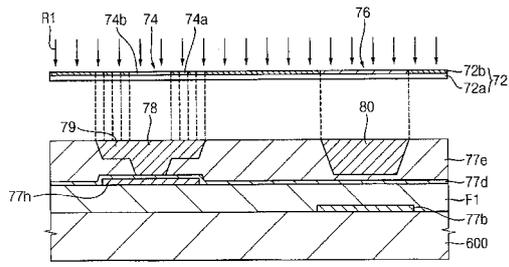
【図37】



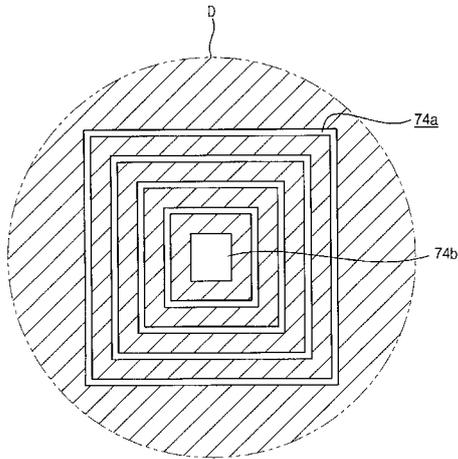
【図35】



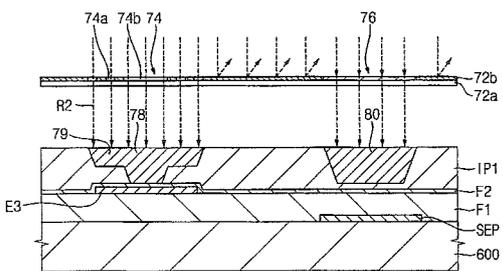
【 図 3 8 】



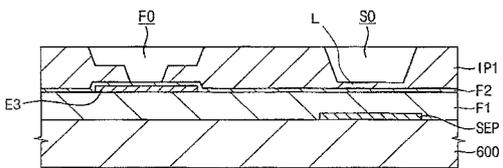
【 図 3 9 】



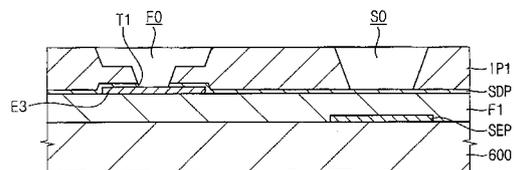
【 図 4 3 】



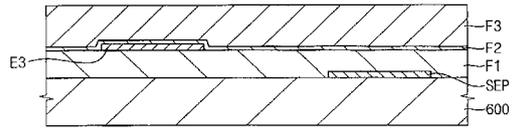
【 図 4 4 】



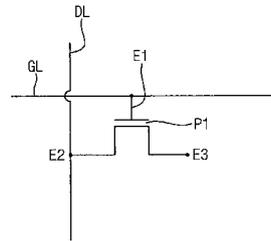
【 図 4 5 】



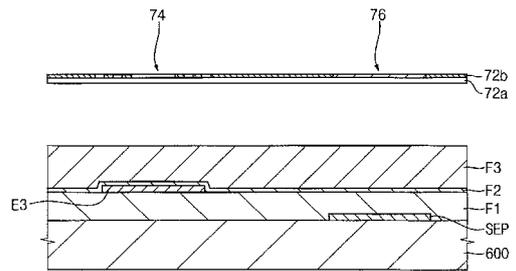
【 図 4 0 】



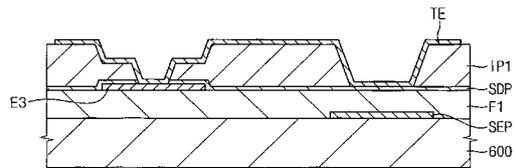
【 図 4 1 】



【 図 4 2 】



【 図 4 6 】



フロントページの続き

(51)Int.Cl. F I

G 0 9 F 9/30 (2006.01)

- (72)発明者 金 時 烈
大韓民国京畿道龍仁市上 ヒョン 洞 8 6 1 マンヒョンマウル 8 団地ドゥサンウィーブアパート 8
0 6 棟 1 6 0 1 号
- (72)発明者 金 湘 甲
大韓民国ソウル特別市江東区明逸洞 1 5 番地三益アパート 3 0 1 棟 3 0 6 号
- (72)発明者 昔 俊 亨
大韓民国京畿道龍仁市豊徳川 2 洞三星 5 次アパート 5 0 6 棟 2 0 2 号
- (72)発明者 皇甫 尚 佑
大韓民国ソウル特別市松坡区蠶室 7 洞アジア選手村アパート 7 棟 7 0 4 号
- (72)発明者 張 元 基
大韓民国ソウル特別市江南区道谷洞 4 6 7 タワーパレスアパートイー棟 1 7 0 5 号
- (72)発明者 李 羲 國
大韓民国京畿道龍仁市陽智面大垈里 7 4 7 - 1 番地
- (72)発明者 金 洙 眞
大韓民国京畿道水原市八達区靈通洞 1 0 2 9 - 4 番地 2 0 2 戸
- (72)発明者 尹 銖 浣
大韓民国ソウル特別市龍山区梨泰院 2 洞 4 5 1 - 3 番地 2 0 1 戸

審査官 小濱 健太

- (56)参考文献 特開 2 0 0 1 - 3 2 4 7 2 5 (J P , A)
特開 2 0 0 2 - 2 1 4 6 4 1 (J P , A)
特開 2 0 0 4 - 2 8 7 4 4 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 6 8