



## (12) 发明专利

(10) 授权公告号 CN 107799458 B

(45) 授权公告日 2023.12.08

(21) 申请号 201710763389.9

(22) 申请日 2017.08.30

(65) 同一申请的已公布的文献号

申请公布号 CN 107799458 A

(43) 申请公布日 2018.03.13

(30) 优先权数据

62/382,110 2016.08.31 US

15/486,928 2017.04.13 US

(73) 专利权人 东京毅力科创株式会社

地址 日本东京都

(72) 发明人 刘志方 安热利克·雷利 高明辉

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

专利代理人 蔡胜有 苏虹

(51) Int.Cl.

H01L 21/76 (2006.01)

H01L 21/67 (2006.01)

(54) 发明名称

自对准多重图案化的原位间隔件整形的方法和系统

(57) 摘要

本发明描述了自对准多重图案化的原位间隔件整形的方法和系统。在实施方案中，在衬底上形成间隔件图案的方法可以包括提供具有间隔件的衬底。该方法还可以包括执行钝化处理以在间隔件上形成钝化层。此外，该方法可以包括执行间隔件整形处理以对间隔件进行整形。该方法还可以包括控制钝化处理和间隔件整形处理以实现间隔件形成目的。

(56) 对比文件

CN 102272902 A, 2011.12.07

CN 102136416 A, 2011.07.27

CN 107039265 A, 2017.08.11

CN CN102272902 Y, 2011.12.07

JP 2015149473 A, 2015.08.20

US 2013157462 A1, 2013.06.20

US 2014357084 A1, 2014.12.04

US 2015087149 A1, 2015.03.26

JP 2015050358 A, 2015.03.16

US 2016247678 A1, 2016.08.25

US 2016247883 A1, 2016.08.25

CN 102428544 A, 2012.04.25

CN 1909205 A, 2007.02.07

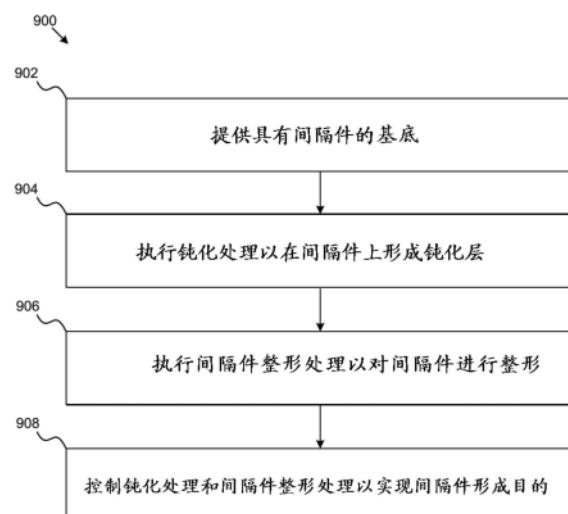
CN 104576733 A, 2015.04.29

CN 105140100 A, 2015.12.09

US 2007077743 A1, 2007.04.05

审查员 王欣

权利要求书2页 说明书8页 附图10页



1. 一种在衬底上形成间隔件图案的方法,所述方法包括:  
提供具有间隔件芯和形成在所述间隔件芯上的保形层的基底;  
蚀刻所述保形层以制造间隔件,所述间隔件含有选自硅、氧化物或氮化物的间隔件材料;  
执行钝化处理以在所述间隔件的顶表面和侧壁表面上形成钝化层,其中所述钝化层包括选自氮化物或氧化物的钝化材料,以及其中所述钝化材料不同于所述间隔件材料;  
执行间隔件整形处理以对所述间隔件进行整形,其中所述间隔件整形处理包括等离子蚀刻,以突破形成在所述顶表面上的所述钝化层,然后以比所述钝化层更快的速率蚀刻所述间隔件的顶表面;以及  
控制所述钝化处理和所述间隔件整形处理以实现间隔件形成的目的,以及  
在所述蚀刻过程中,所述间隔件芯被蚀刻。
2. 根据权利要求1所述的方法,其中所述钝化材料为氧化物。
3. 根据权利要求2所述的方法,其中所述间隔件材料为金属氮化物。
4. 根据权利要求1所述的方法,其中所述钝化材料为氮化物。
5. 根据权利要求4所述的方法,其中所述间隔件材料金属氧化物。
6. 根据权利要求1所述的方法,其中执行所述钝化处理包括执行化学气相沉积工艺。
7. 根据权利要求6所述的方法,其中所述化学气相沉积工艺是等离子体辅助的。
8. 根据权利要求7所述的方法,其中使用包含选自N<sub>2</sub>、O<sub>2</sub>、CO、CO<sub>2</sub>、H<sub>2</sub>、C<sub>x</sub>H<sub>y</sub>、C<sub>x</sub>H<sub>y</sub>F<sub>z</sub>、Ar和He的气体的等离子体气体化学物质来执行所述钝化处理。
9. 根据权利要求1所述的方法,其中使用包含选自N<sub>2</sub>、O<sub>2</sub>、CO、CO<sub>2</sub>、H<sub>2</sub>、HBr、Cl<sub>2</sub>、C<sub>x</sub>H<sub>y</sub>、Ar、He、C<sub>x</sub>H<sub>y</sub>F<sub>z</sub>和C<sub>x</sub>F<sub>y</sub>的等离子体蚀刻气体的等离子体蚀刻气体化学物质来执行所述等离子体蚀刻。
10. 根据权利要求9所述的方法,其中使用CHF<sub>3</sub>、O<sub>2</sub>和Ar的混合物来执行所述等离子体蚀刻。
11. 根据权利要求1所述的方法,其中所述间隔件整形处理还包括使所述间隔件的远离所述基底的端部平坦化。
12. 根据权利要求1所述的方法,其中邻近硬掩模层形成所述间隔件。
13. 根据权利要求12所述的方法,还包括以由所述间隔件限定的图案蚀刻所述硬掩模层。
14. 根据权利要求13所述的方法,其中使用包含选自N<sub>2</sub>、O<sub>2</sub>、CO、CO<sub>2</sub>、H<sub>2</sub>、HBr、Cl<sub>2</sub>、C<sub>x</sub>H<sub>y</sub>、Ar、He、C<sub>x</sub>H<sub>y</sub>F<sub>z</sub>和C<sub>x</sub>F<sub>y</sub>的等离子体蚀刻气体的等离子体蚀刻气体化学物质来执行蚀刻所述硬掩模层。
15. 根据权利要求14所述的方法,还包括以由所述硬掩模层限定的图案蚀刻所述基底以在所述基底中形成物理结构。
16. 根据权利要求15所述的方法,其中使用包含选自N<sub>2</sub>、O<sub>2</sub>、CO、CO<sub>2</sub>、H<sub>2</sub>、HBr、Cl<sub>2</sub>、C<sub>x</sub>H<sub>y</sub>、Ar、He、C<sub>x</sub>H<sub>y</sub>F<sub>z</sub>和C<sub>x</sub>F<sub>y</sub>的等离子体蚀刻气体的等离子体蚀刻气体化学物质来执行蚀刻所述基底。
17. 根据权利要求1所述的方法,其中形成所述间隔件图案包括用于形成鳍式场效应晶体管(FinFET)结构的自对准多重图案化(SAMP)技术。
18. 根据权利要求17所述的方法,其中所述鳍式场效应晶体管(FinFET)包括亚22nm的

晶体管架构。

19. 根据权利要求1所述的方法，其中所述间隔件芯包括硅、无定形碳、光致抗蚀剂、氧化物和氮化物中的至少一种。

20. 根据权利要求3所述的方法，其中所述间隔件芯包括硅、无定形碳、光致抗蚀剂、和氧化物中的至少一种。

21. 根据权利要求5所述的方法，其中所述间隔件芯包括硅、无定形碳、光致抗蚀剂、和氮化物中的至少一种。

## 自对准多重图案化的原位间隔件整形的方法和系统

[0001] 相关申请的交叉引用

[0002] 本申请涉及并要求于2016年8月31日提交的美国临时申请第62/382110号的优先权，其全部内容通过引用并入本文。

### 技术领域

[0003] 本发明涉及用于基底处理的系统和方法，并且更具体地涉及自对准多重图案化的原位间隔件整形的方法和系统。

### 背景技术

[0004] 已经使用自对准多重图案化(SAMP)技术来形成鳍式场效应晶体管(FinFET)器件的部件等。尺寸缩小是集成电路处理发展中的驱动力之一。通过减小尺寸大小，可以获得成本效益和器件性能提升。这种可伸缩性在工艺流程中产生不可避免的复杂性，特别是在图案化技术上。SAMP技术已被广泛适用于亚22nm(sub-22nm)的FinFET架构，并且它使用附加的间隔件蚀刻步骤来实现节距降低要求。传统的SAMP流程有几个步骤，包括芯蚀刻、间隔件沉积、间隔件蚀刻和芯拉伸。在这种方法中，最终特征临界尺寸(CD)由间隔件沉积厚度和间隔件物理特征(例如线边缘粗糙度(LER)和线宽粗糙度(LWR))来控制。

[0005] 使用传统的SAMP方法，间隔件蚀刻通常会遭受最终间隔件轮廓的变形，例如间隔件面和CD损失。然而，维持间隔件轮廓和CD是重要的，因为间隔件轮廓对最终结构的节距移动效应(pitch-walking effect)、掩模预算和CD目标具有重要影响。

[0006] 利用现有处理技术的其他问题包括由于非均匀蚀刻而引起的间隔件高度损失以及栅芯材料与间隔件材料之间缺乏选择性。此外，间隔件材料的不充分蚀刻可能导致间隔件基脚(footing)、芯至间隔件阶梯高度差等。这样的制造缺陷还可能引起设备缺陷、降低产品生产率、限制可制造的器件的规模等。

### 发明内容

[0007] 本发明描述了自对准多重图案化的原位间隔件整形的方法和系统。在实施方案中，在基底上形成间隔件图案的方法可以包括提供具有间隔件的基底。该方法还可以包括执行钝化处理以在间隔件上形成钝化层。此外，该方法可以包括执行间隔件整形处理以对间隔件进行整形。该方法还可以包括控制钝化处理和间隔件整形处理以实现间隔件形成目的。

[0008] 用于在基底上形成间隔件图案的系统可以包括离子蚀刻室，所述离子蚀刻室被配置成：接收具有间隔件的基底，执行钝化处理以在所述间隔件上形成钝化层，以及执行间隔件整形处理以对所述间隔件进行整形。此外，该系统可以包括耦接至离子蚀刻室的控制器，所述控制器被配置成控制钝化处理和间隔件整形处理以实现间隔件形成目的。

## 附图说明

- [0009] 附图结合入说明书并构成本说明书的一部分,附图示出了本发明的实施方案,并且连同上面给出的本发明的一般描述以及下面给出的详细描述用于描述本发明。
- [0010] 图1是示出被配置成用于自对准多重图案化的原位间隔件整形的方法和系统的等离子体蚀刻系统的一个实施方案的示意性框图。
- [0011] 图2A是示出用于间隔件形成的一个实施方案的示意性截面图。
- [0012] 图2B是示出用于间隔件形成的一个实施方案的示意性截面图。
- [0013] 图2C是示出用于间隔件形成的一个实施方案的示意性截面图。
- [0014] 图2D是用于间隔件形成的一个实施方案的截面x射线图像。
- [0015] 图3A是示出用于在基底中形成特征的一个实施方案的示意性截面图。
- [0016] 图3B是示出用于在基底中形成特征的一个实施方案的示意性截面图。
- [0017] 图3C是用于在基底中形成特征的一个实施方案的截面x射线图像。
- [0018] 图3D是用于在基底中形成特征的一个实施方案的截面x射线图像。
- [0019] 图4A是示出用于在基底中特征的增强形成的一个实施方案的示意性截面图。
- [0020] 图4B是用于在基底中特征的增强形成的一个实施方案的截面x射线图像。
- [0021] 图5A是示出用于在基底中特征的增强形成的一个实施方案的示意性截面图。
- [0022] 图5B是示出用于在基底中特征的增强形成的一个实施方案的示意性截面图。
- [0023] 图5C是用于在基底中特征的增强形成的一个实施方案的截面x射线图像。
- [0024] 图5D是用于在基底中特征的增强形成的一个实施方案的截面x射线图像。
- [0025] 图6A是示出工件的一个实施方案的示意性截面图,其示出了用于在基底中特征的增强形成的钝化工艺的实施方案。
- [0026] 图6B是示出工件的一个实施方案的示意性截面图,其示出了用于在基底中特征的增强形成的钝化工艺的实施方案。
- [0027] 图7A是示出工件的一个实施方案的示意性截面图,其示出了用于在基底中特征的增强形成的间隔件整形工艺的实施方案。
- [0028] 图7B是示出工件的一个实施方案的示意性截面图,其示出了用于在基底中特征的增强形成的间隔件整形工艺的实施方案。
- [0029] 图8A是示出工件的一个实施方案的示意性截面图,其示出了用于在基底中特征的增强形成的间隔件整形工艺的实施方案。
- [0030] 图8B是示出工件的一个实施方案的示意性截面图,其示出了用于在基底中特征的增强形成的间隔件整形工艺的实施方案。
- [0031] 图8C是示出工件的一个实施方案的示意性截面图,其示出了用于在基底中特征的增强形成的间隔件整形工艺的实施方案。
- [0032] 图9是示出自对准多重图案化的原位间隔件整形的方法的一个实施方案的示意性流程图。
- [0033] 图10是示出具有通过自对准多重图案化的原位间隔件整形的方法形成的器件的

系统的一个实施方案的剖视图。

### 具体实施方式

[0034] 描述了自对准多重图案化的原位间隔件整形的方法和系统。然而，相关领域技术人员将认识到，在没有一个或更多个具体细节的情况下或者在具有其他替换和/或附加方法、材料或部件的情况下可以实践各种不同的实施方案。在其他情况下，未示出或详细描述公知的结构、材料或操作以避免模糊本发明的各种不同的实施方案的方面。

[0035] 类似地，为了说明的目的，阐述了具体的数目、材料和构造以便提供对本发明的透彻理解。然而，本发明可以在没有具体细节的情况下实践。此外，应当理解，附图中所示的各种不同的实施方案是示例性表示并且不一定按比例绘制。在参考附图中，贯穿全文相同的附图标记指代相同的部分。

[0036] 贯穿本说明书，对“一个实施方案”或“实施方案”或其变型的引用意味着结合该实施方案所述的具体特征、结构、材料或特性都包括在本发明的至少一个实施方案中，但是这不表示它们在每个实施方案中都存在。因此，贯穿本说明书在各个地方，诸如“在一个实施方案中”或“在实施方案中”的短语的出现不一定指代本发明的同一实施方案。此外，在一个或更多个实施方案中，具体特征、结构、材料或特性可以以任何合适的方式组合。在其他实施方案中可以包括各种附加层和/或结构和/或可以忽略描述的特征。

[0037] 另外，应当理解，除非另有明确说明，否则在没有明确量词修饰时可以意指“一个或更多个”。

[0038] 将以对于理解本发明最有帮助的方式将各种操作依次描述为多个分立操作。然而，描述的顺序不应被理解为是指这些操作必然是依赖于顺序的。具体地，这些操作不需要按照呈现的顺序执行。所描述的操作可以与所描述的实施方案不同的顺序执行。在另外的实施方案中，可以执行各种附加操作和/或可以忽略描述的操作。

[0039] 如本文所用，术语“基底”是指并且包括在其上形成材料的基底材料或构造。应当理解，基底可以包括单一材料、多个不同材料的层、在其中具有不同材料或不同结构的区域的一个或更多个层等。这些材料可以包括半导体、绝缘体、导体或它们的组合。例如，基底可以是半导体基底、支承结构上的基底半导体层、其上形成有一个或更多个层、结构或区域的金属电极或半导体基底。基底可以是常规的硅基底或包括半导体材料层的其他体基底。如本文所使用的，术语“体基底”不仅意指并且包括硅晶片，还有绝缘体上硅(“SOI”)基底(诸如蓝宝石上硅(“SOS”)基底和玻璃上硅(“SOG”)基底)，基底半导体基础上的硅外延层以及其他半导体或光电子材料(诸如硅-锗、锗、砷化镓、氮化镓和磷化铟)。基底可以是掺杂的或未掺杂的。

[0040] 现在参考附图，其中在多个视图中相同的附图标记表示相同或相应的部分。

[0041] 图1是用于自对准多重图案化的原位间隔件整形的系统100的实施方案。在另一实施方案中，系统可以被配置成执行如参照图2A至图9所述的用于自对准多重图案化的原位间隔件整形。被配置成执行上述工艺条件的蚀刻和后加热处理系统100在图1中示出，包括处理室110、其上固定有待处理的晶片125的基底保持器120、以及真空泵送系统150。晶片125可以是半导体基底、晶片、平板显示器或液晶显示器。处理室110可以被配置成便于蚀刻在晶片125的表面的附近的处理区域145。可电离气体或工艺气体的混合物经由气体分配系

统140引入。对于给定的工艺气体流，使用真空泵送系统150调节工艺压力。

[0042] 晶片125可以经由夹紧系统(clamping system)(未示出)固定到基底保持器120，该夹紧系统例如机械夹紧系统或电气夹紧系统(例如静电夹紧系统)。此外，基底保持器120可以包括被配置成调节和/或控制基底保持器120和晶片125的温度的加热系统(未示出)或冷却系统(未示出)。加热系统或冷却系统可以包括传热流体的循环流，其在冷却时接收来自基底保持器120的热并且将热传递到热交换器系统(未示出)，或者在加热时将热量从热交换器系统传递到基底保持器120。在其他实施方案中，加热/冷却元件(例如电阻加热元件)或热电加热器/冷却器可以包括在基底保持器120以及处理室110的室壁和系统100内的任何其他部件中。

[0043] 此外，传热气体可以经由背侧气体供应系统126递送到晶片125的背侧，以便改善晶片125与基底保持器120之间的气体间隙热传导。当在升高或降低的温度下需要晶片125的温度控制时可以利用这种系统。例如，背侧气体供应系统可以包括双区域气体分配系统，其中氦气间隙压力可以在晶片125的中心与边缘之间独立地变化。

[0044] 在图1所示的实施方案中，基底保持器120可以包括电极122，RF功率通过电极122耦接到处理区域145。例如，基底保持器120可以经由从RF发生器130通过可选的阻抗匹配网络132到基底保持器120的RF功率的传输而以RF电压被电偏置。RF电偏置可以用于加热电子以形成和维持等离子体。在该配置中，系统100可以作为反应离子蚀刻(RIE)反应器操作，其中室和上部气体注入电极用作接地表面。

[0045] 此外，电极122在RF电压下的电偏置可以使用脉冲偏置信号控制器131来脉动。例如，从RF发生器130输出的RF功率可以在截止状态与导通状态之间被脉动。可替选地，RF功率以多个频率施加到基底保持器电极。此外，阻抗匹配网络132可以通过降低反射功率来改善RF功率到等离子体处理室110中的等离子体的转移。匹配网络拓扑(例如L型、π型、T型等)和自动控制方法是本领域技术人员公知的。

[0046] 气体分配系统140可以包括用于引入工艺气体的混合物的喷头设计。可替选地，气体分配系统140可以包括用于引入工艺气体的混合物并且调节工艺气体的混合物在晶片125上方的分布的多区域喷头设计。例如，多区域喷头设计可以被配置成相对于到晶片125上方的基本上中心区域的工艺气体流或组分的量来调节到晶片125上方的基本上周边区域的工艺气体流或组分。在这种实施方案中，气体可以以合适的组合分配以在处理室110内形成高度均匀的等离子体。

[0047] 真空泵送系统150可以包括能够具有最高至约8000升/秒(和更大)的泵送速度的涡轮分子真空泵(TMP)和用于节流室压力的闸阀。在用于干式等离子体蚀刻的常规等离子体处理装置中，可以采用800升/秒至3000升/秒的TMP。TMP可以用于低压处理，通常小于约50毫托。对于高压处理(即大于约80毫托)，可以使用机械增压泵和干式粗加工泵。此外，用于监测室压力的装置(未示出)可以耦接至等离子体处理室110。

[0048] 在实施方案中，源控制器155可以包括微处理器、存储器和数字I/O端口，其能够产生足以传送和激活对系统100的输入以及监视从系统100的输出的控制电压。此外，源控制器155可以耦接至RF发生器130、脉冲偏置信号控制器131、阻抗匹配网络132、气体分配系统140、气体供应190、真空泵送系统150、以及基底加热/冷却系统(未示出)、背侧气体供应系统126和/或静电夹紧系统128并且与RF发生器130、脉冲偏置信号控制器131、阻抗匹配网络

132、气体分配系统140、气体供应190、真空泵送系统150、以及基底加热/冷却系统(未示出)、背侧气体供应系统126和/或静电夹紧系统128交换信息。例如,存储在存储器中的程序可以用于根据工艺来激活到系统100的上述部件的输入以便在晶片125上执行等离子体辅助工艺,例如等离子体蚀刻工艺或后加热处理工艺。

[0049] 此外,系统100还可以包括上电极170,RF功率可以从RF发生器172通过可选的阻抗匹配网络174耦接到上电极170。在一个实施方案中,向上电极施加RF功率的频率可以在约0.1MHz至约200MHz的范围内。可替选地,本实施方案可以与电感耦合等离子体(ICP)源、电容耦合等离子体(CCP)源、被配置成以GHz频率范围运行的径向线缝隙天线(Radial Line Slot Antenna,RLSA)源、被配置成在次GHz至GHz范围内运行的电子回旋共振(ECR)源、以及其他连接使用。此外,向下电极施加功率的频率可以在约0.1MHz至约80MHz的范围内。此外,源控制器155耦接至RF发生器172和阻抗匹配网络174,以便控制向上电极170施加RF功率。上电极的设计和实施是本领域技术人员公知的。如所示,上电极170和气体分配系统140可以设计在相同的室组合件内。可替选地,上电极170可以包括用于调节耦接到晶片125上方的等离子体的RF功率分布的多区域电极设计。例如,上电极170可以被分段为中央电极和边缘电极。

[0050] 根据应用,诸如传感器或计量装置的附加装置可以耦接至处理室110和源控制器155以收集实时数据并且使用这种实时数据来同时控制在涉及集成方案的沉积工艺、RIE工艺、拉伸工艺、轮廓改进工艺、加热处理工艺和/或图案转移工艺的两个或更多个步骤中的两个或更多个所选择的集成操作变量。此外,可以使用相同的数据来确保集成目标,包括后加热处理的完成、图案化均匀性(均匀性)、结构的下拉(下拉)、结构轻量(轻量)、结构的纵横比(纵横比)、线宽粗糙度、基底吞吐量、购置成本等。

[0051] 通过通常通过脉冲频率和占空比的变化来调制施加的功率,可以获得与连续波(CW)中产生的等离子体特性显著不同的等离子体特性。因此,电极的RF功率调制可以提供对时间平均的离子通量和离子能量的控制。

[0052] 在图2A至图2C中描述了间隔件蚀刻工艺的一个实施方案。在实施方案中,工件包括其上形成有硬掩模202的基底200,硬掩模202具有形成在其上的间隔件材料的保形层206和一个或更多个间隔件芯204。在实施方案中,保形层206可以包括设置在间隔件芯204上方的一个或更多个蚀刻表面208。在实施方案中,可以沿蚀刻方向210蚀刻保形层206。在一个这种实施方案中,晶片125可以包括基底200。硬掩模202可以包含诸如氮化物层的用于覆盖基底200的材料,其可以利用如图3A至图3B和图5A至图5B所示的间隔件216进行图案化和蚀刻。

[0053] 在实施方案中,基底200可以由包含硅或砷化镓的材料形成。硬掩模层202可以由包括氧化物、氮化物、金属氧化物和金属氮化物的材料形成。间隔件芯204可以包括包含硅、无定形碳、光致抗蚀剂、氧化物、氮化物等的材料。保形层206可以包括包含氧化物、氮化物、硅、金属氧化物和金属氮化物的材料。

[0054] 在图2B的步骤中,可以利用反应离子蚀刻工艺蚀刻保形层206和间隔件芯204。在反应离子蚀刻工艺中,可以在工件上方形成包括一个或更多个反应离子214的等离子体场212。在这种实施方案中,反应离子214可以打开蚀刻表面208并且选择性地蚀刻间隔件芯204。在反应离子蚀刻工艺之后,可以形成图2C的工件。

[0055] 在图2C的实施方案中,可以形成多个间隔件216。每个间隔件216可以具有高度220,其由于重离子蚀刻而从原始间隔件高度显著减小。由于蚀刻选择性不足,附加的间隔件基脚可以留在间隔件216之间的沟槽中。此外,进入基底202的芯至间隔件高度差218可能是离子蚀刻工艺的结果。在实施方案中,芯至间隔件高度差218可以与蚀刻间隔件芯204所需的时间相关联。图2D是如图2C所示的间隔件蚀刻工艺的一个实施方案的截面x射线图像。

[0056] 图3A是示出用于在基底中形成特征的工件的一个实施方案的示意性截面图。在图3A的实施方案中,可以蚀刻硬掩模层202的一部分以形成图案化掩模302。在各种不同实施方案中,使用可以包括 $N_2$ 、 $O_2$ 、CO、 $CO_2$ 、 $H_2$ 、HBr、 $Cl_2$ 、 $C_xH_y$ 、Ar、He、 $C_xH_yF_z$ 和 $C_xF_y$ 中的一种或更多种的等离子体蚀刻气体化学物质执行蚀刻基底。

[0057] 如图3A所示,图案化掩模302可以包括由于上述间隔件形成中的缺陷引起的缺陷,间隔件216形成为邻近硬掩模层202。例如,间隔件形状可能由于间隔件之间的小间隔对图案转移具有显著的影响。实验期间已经发现芯与间隔位置之间的硬掩模轮廓变形。这种硬掩模变形可能引起CD偏移(也称为“节距移动”)基底轮廓偏移和深度加载308,如图3B所示。

[0058] 在图3A至图3B的实施例中,后基底蚀刻中的变形是明显的,如图3C的截面x射线图像所示。如所示,该工艺可以包括以由硬掩模层202的图案化掩模302限定的图案蚀刻基底200,以在基底200中形成物理特征306。在实施方案中,物理结构可以是finFET器件的鳍。在实施方案中,使用包括 $N_2$ 、 $O_2$ 、CO、 $CO_2$ 、 $H_2$ 、HBr、 $Cl_2$ 、 $C_xH_y$ 、Ar、He、 $C_xH_yF_z$ 和 $C_xF_y$ 中的一种或更多种的等离子体蚀刻气体化学物质执行蚀刻基底。图3D是示出图3B中所示的工艺的结果的实施方案的截面x射线图像。

[0059] 图4A是示出用于在基底200中物理特征306的增强形成的间隔件处理工艺402的一个实施方案的示意性截面图。在一个实施方案中,间隔件处理工艺402包括钝化处理404和间隔件整形处理406。在钝化处理404中,间隔件216覆盖有钝化层408。在一个实施方案中,钝化层408可以是氧化物层或氮化物层。如果在一个实施方案中,间隔件材料是氮化物材料,则钝化层408可以是氧化物材料。可替选地,如果间隔件材料是氧化物材料,则钝化层408可以是氮化物材料。在一些实施方案中,钝化层408可以通过化学气相沉积(CVD)形成。在另一实施方案中,CVD工艺可以是等离子体辅助CVD。在这种实施方案中,使用包括 $N_2$ 、 $O_2$ 、CO、 $CO_2$ 、 $H_2$ 、 $C_xH_y$ 、 $C_xH_yF_z$ 、Ar、He和其他合适气体中的一种或更多种的等离子体气体化学物质执行钝化处理。

[0060] 在实施方案中,使用等离子体蚀刻来执行间隔件整形处理406。在间隔件整形处理406中,将蚀刻气体化学物质选择成蚀刻间隔件材料快于蚀刻钝化材料。例如,使用包括 $N_2$ 、 $O_2$ 、CO、 $CO_2$ 、 $H_2$ 、HBr、 $Cl_2$ 、 $C_xH_y$ 、Ar、He、 $C_xH_yF_z$ 、 $C_xF_y$ 和其他合适气体的等离子体蚀刻气体化学物质执行等离子体蚀刻。因此,可以根据预定的整形轮廓对间隔件216进行整形。在一个实施方案中,间隔件处理包括使间隔件216的远离基底200的端部410平坦化。本实施方案利用 $CHF_3$ 、 $O_2$ 和Ar的混合物进行了具体测试,其产生了与图3A至图3B所示的结果相比有利的结果。

[0061] 本文所述的各种不同气体的流量范围列于表1中。表1中的所有流量以标准立方厘米每分钟(sccm)测量。

[0062] 表1:离子气体的流量范围。

[0063]	气体	范围
--------	----	----

$\text{CHF}_3$	14~250sccm
$\text{O}_2$	3~390sccm
Ar	70~1400sccm
$\text{CH}_3\text{F}$	4~90sccm
$\text{N}_2$	15~300sccm
$\text{CH}_4$	3~65sccm
$\text{SO}_2$	12~250sccm
HBr	30~600sccm
$\text{CF}_4$	10~400sccm

[0064] 在实施方案中,表1中气体的室压力范围可以是3mT至300mT。在实施方案中,由RF发生器172产生的高频功率可以在0W至1500W的范围内,并且由电源130产生的低频功率可以在0W至1000W的范围内。在实施方案中,处理室110内的温度可以在-10°C至110°C的范围内。图4B是间隔件处理工艺402的一个实施方案的结果的截面x射线图像。

[0065] 图5A至图5B示出了示出用于在基底中特征的增强形成工件的一个实施方案的示意性截面图。图5A至图5B的实施方案示出了响应于图4A中所示的间隔件处理工艺402的形成工艺的结果。整形的间隔件216和钝化层408可以提供用于形成如图3A所示的图案化掩模302的图案化层。然而,在图5A的实施方案中,当与图3A的结果相比时,硬掩模的轮廓502大大改善。图5C的截面x射线图像证实了图5A所示的工艺的结果。因此,CD节距移动问题基本上得到解决。类似地,与图3B的结果相比,基底200中形成的物理特征306可以相对于节距移动、基底轮廓偏移和深度加载而显著改善。这些结果通过与图5B的图示相对应的图5D所示的x射线图像证实。

[0066] 钝化处理404的更多细节在图6A至图6B中示出。如图6A所示,工件可以包括通过图2B中描述的蚀刻和芯拉伸工艺产生的一个或更多个间隔件216。如图6B所示,邻近工件可以形成等离子体场602。在各种不同的实施方案中,根据间隔件材料的组成,可以用 $\text{N}_2$ 或 $\text{O}_2$ 气体形成等离子体场602,从而在邻近间隔件216的区域中引入氮离子或氧离子604。因此,氮化物或氧化物钝化层408可以形成在间隔件216上。

[0067] 图7A至图7B示出了间隔件自由基成分706的进一步的细节。如图7A所示,等离子体场702可以形成在邻近工件的区域中。等离子体场702可以包括离子成分704和自由基成分706。离子成分704可以撞击到(strike into)间隔件216中,破坏钝化层408的尖端并进入间隔件材料。在这种实施方案中,如图8A至图8C进一步所示,对于工件的框708内的部分,可以比蚀刻钝化材料更快地蚀刻间隔件材料。图7B示出了图7A所示的整形工艺的后整形结果。如图所示,间隔件216可以具有整形区域410。例如,在一个实施方案中,整形区域410可以是在间隔件216的顶部上的平坦化部分,如图7B的图中所指。

[0068] 图8A至图8C示出了图4所示的整形处理406的实施方案的机制的进一步细节。如图所示,等离子体场702的离子成分704可以在如图7所示的各种不同位置上撞击间隔件216。撞击第一位置802(其可以是间隔件216的倾斜或成角度的区域)的离子成分704可以如图所示简单地从间隔件弹开。然而,撞击第二区域804(例如间隔件216的尖端)的离子成分704可以穿透钝化层408并开始蚀刻间隔件材料。如图8B所示,由于所选择的蚀刻气体化学物质,可以比蚀刻钝化材料更快地蚀刻间隔件材料。因此,结果如图8C所示可以是具有基本平坦

化的远端的间隔件216。

[0069] 图9是示出用于自对准多重图案化的原位间隔件整形的方法900的一个实施方案的示意性流程图。在实施方案中，在基底上形成间隔件图案的方法900可以包括提供具有间隔件的基底，如框902所示。在框904处，方法900还可以包括执行钝化处理以在间隔件上形成钝化层。此外，方法900可以包括执行间隔件整形处理以对间隔件进行整形，如框906所示。方法900还可以包括控制钝化处理和间隔件整形处理以实现间隔件形成目的，如框908所示。

[0070] 本文描述的工艺和方法的实施方案可以用于制造用于包含在商业产品中的基于半导体的产品的商业方法。例如，图10示出了包括印刷电路板(PCB)的电子设备1002。电子设备1002可以是数种可商购产品之一，包括例如计算机、计算机监视器、电视机、音频放大器、照相机、智能电话和个人数据助理、平板计算设备、智能手表、专用处理设备、传感器装置、医疗器械等。普通技术人员将认识到，根据本实施方案制造的器件不限于任何特定领域。

[0071] 电子设备1002可以包括一个或更多个PCB 1004，PCB 1004包括一个或更多个基于半导体的电气部件，例如芯片封装件1006。芯片封装件1006可以包括具有一个或更多个特征的晶片的分段芯片，例如设置在其上的根据图2A至图9所述的工艺制造的FinFET器件。芯片可以包括例如基底200。芯片可以被封装在耐久的封装件中，以保护设置在其上的特征。芯片封装件1006还可以包括一个或更多个接触引脚，其被配置成提供对芯片上某些接触点的外部访问。

[0072] 有利地，相对于以前的方法，设置在芯片封装件1006中芯片上的特征的尺寸和密度相对于用其他技术制造的器件可能是小的，因为钝化处理404和间隔件整形处理406的使用允许半导体器件的高分辨率图案化。

[0073] 本领域技术人员将容易看到另外的优点和修改。因此，本发明的更广泛的方面不限于具体细节、代表性的设备和方法以及示出和描述的说明性示例。因此，在不脱离本发明总体构思的范围的情况下，可以从这些细节偏离。

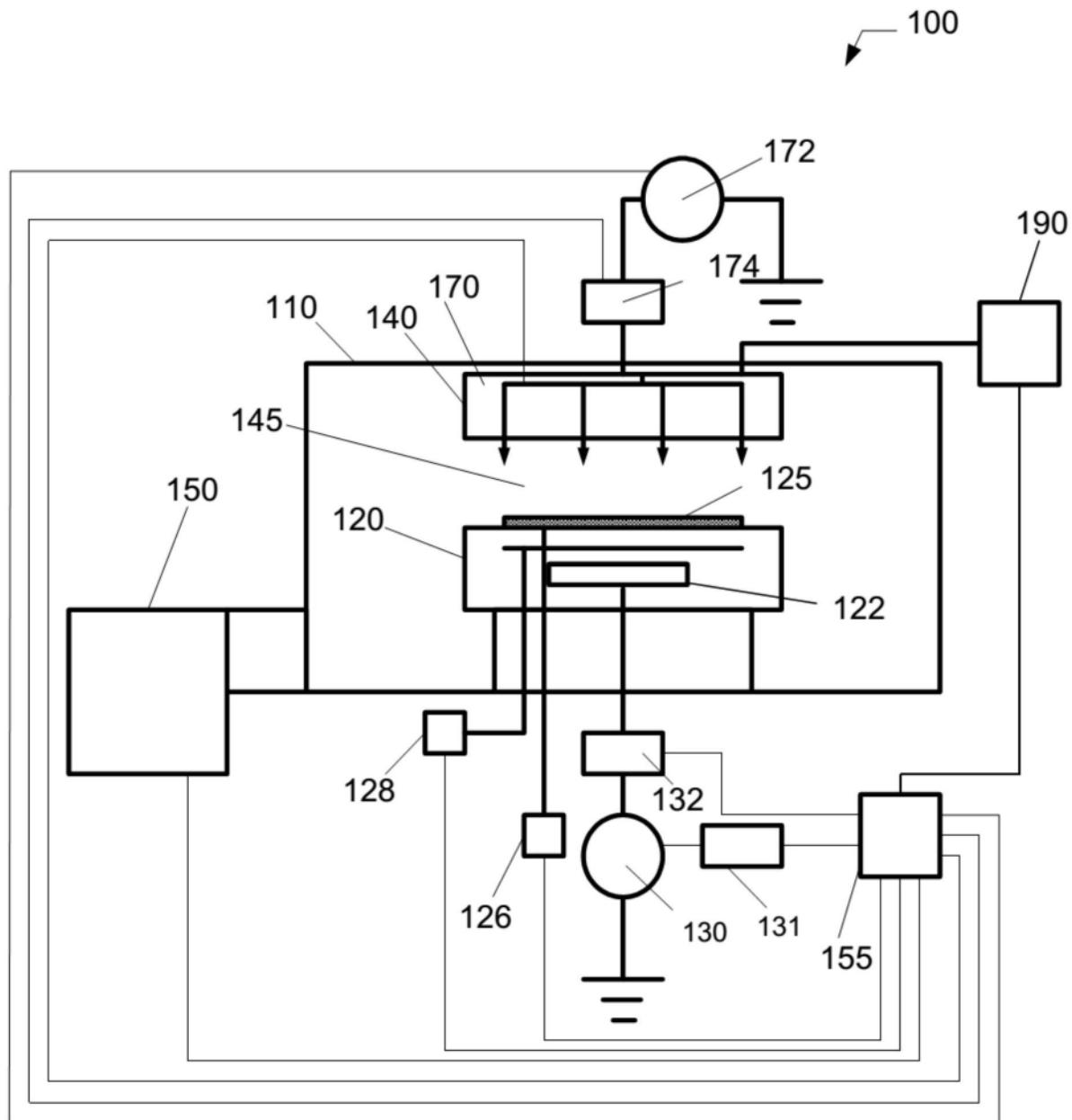


图1

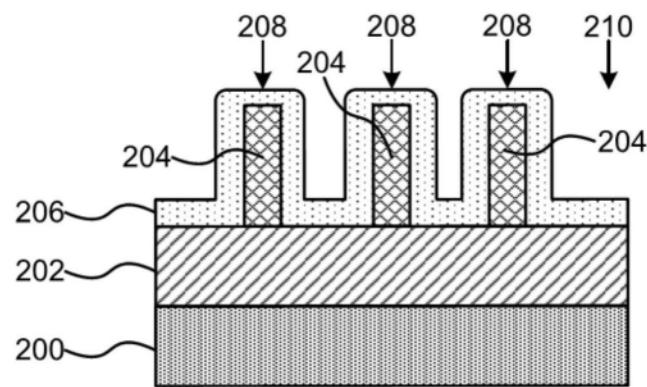


图2A

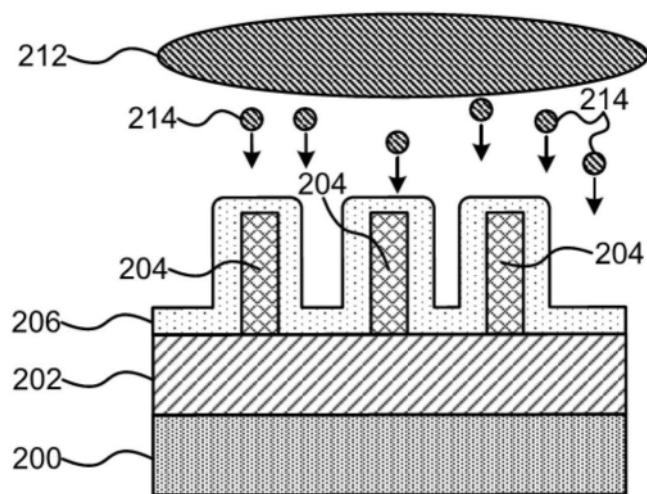


图2B

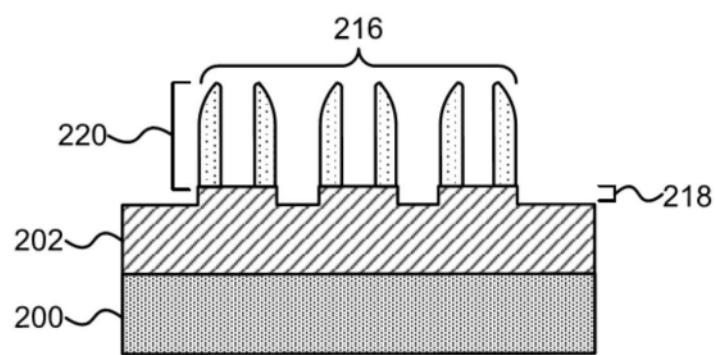


图2C

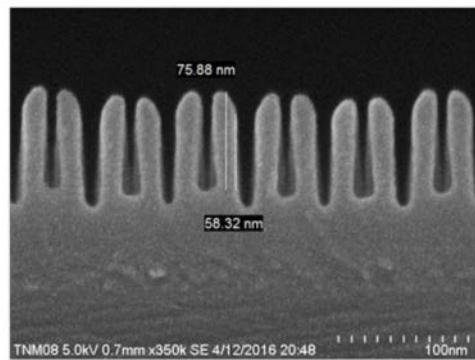


图2D

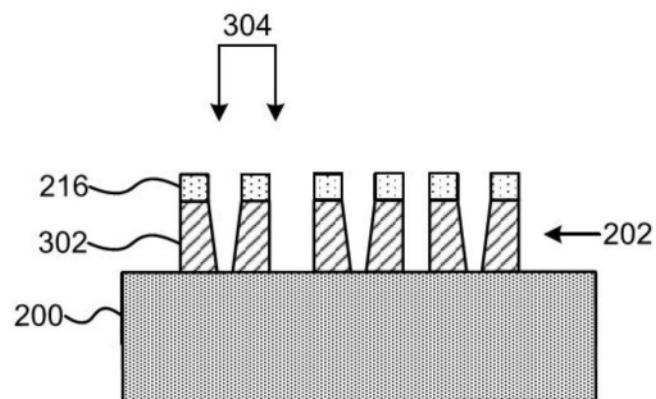


图3A

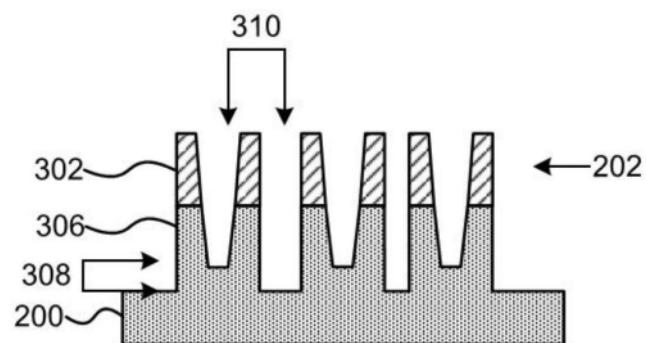


图3B

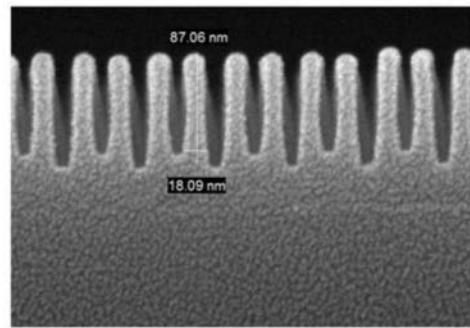


图3C

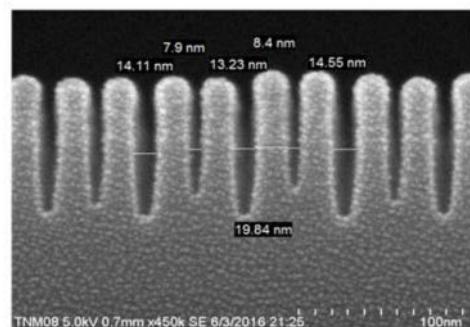


图3D

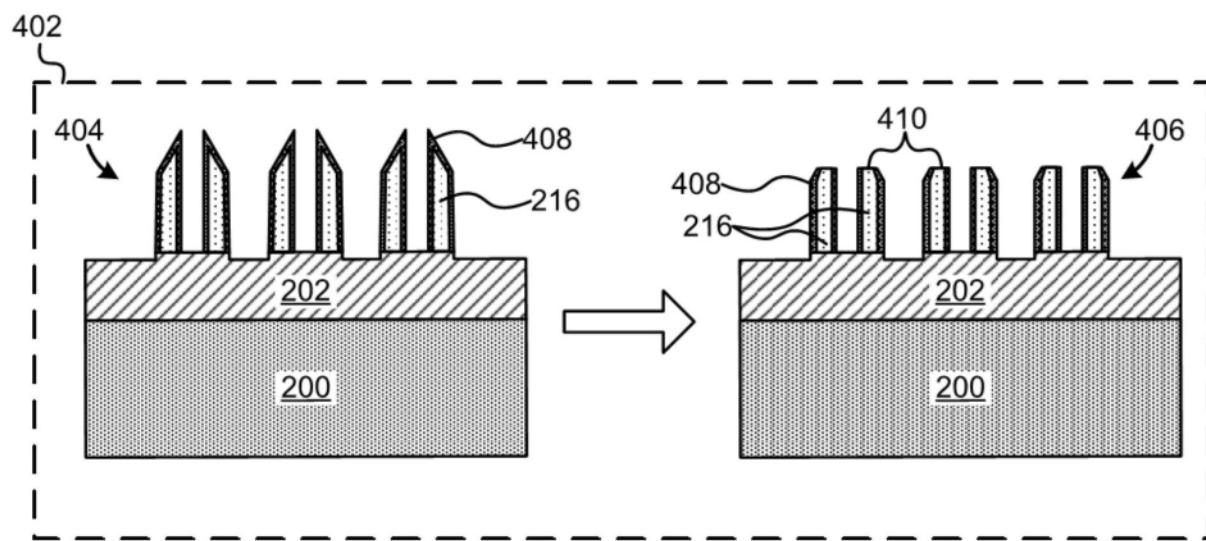


图4A

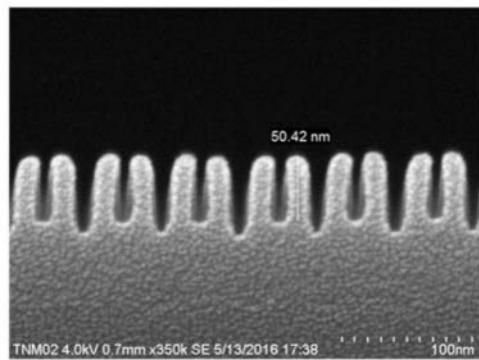


图4B

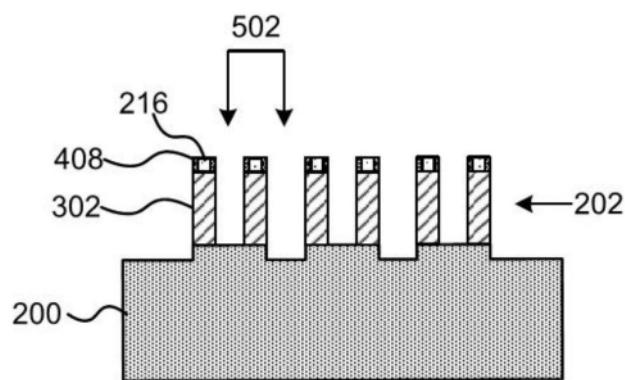


图5A

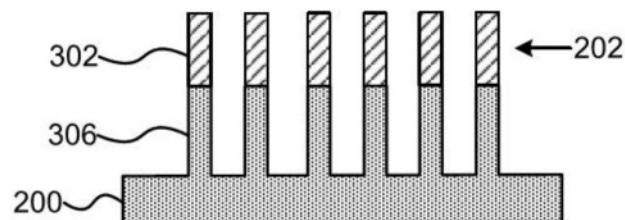


图5B

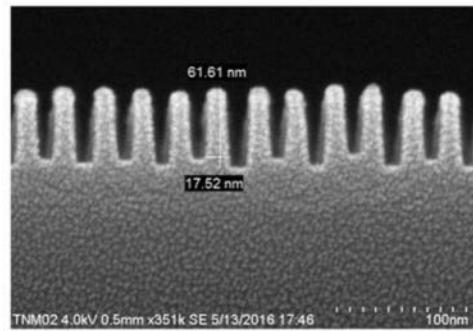


图5C

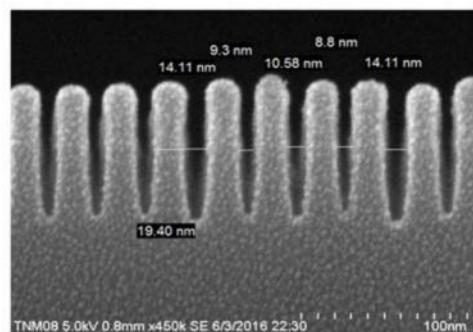


图5D

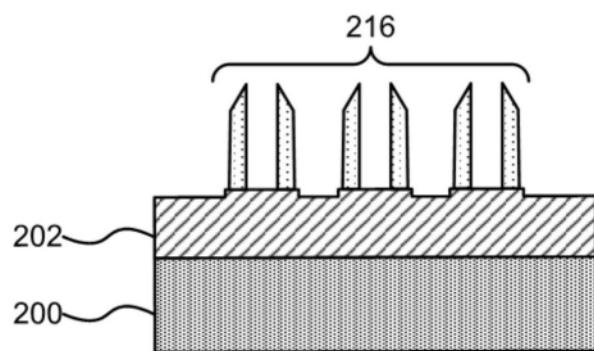


图6A

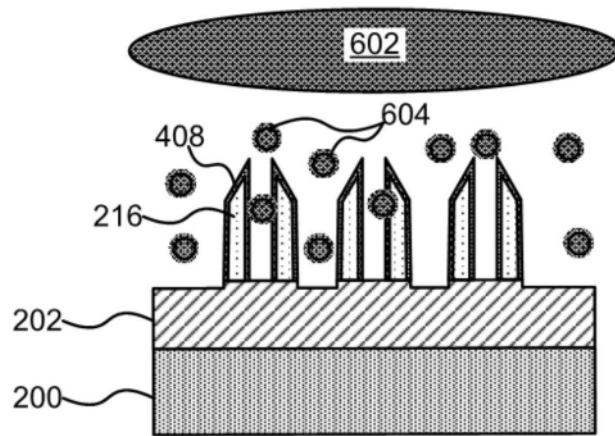


图6B

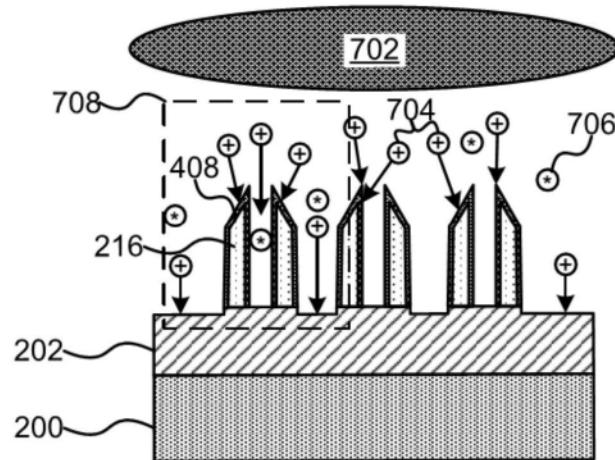


图7A

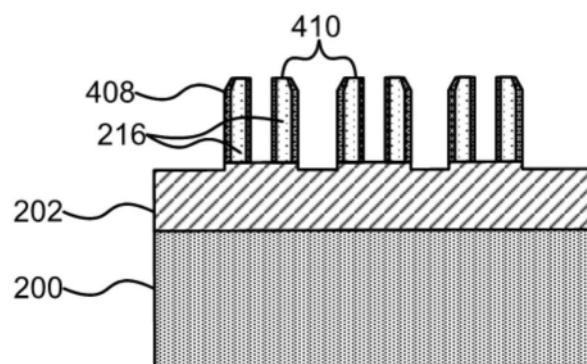


图7B

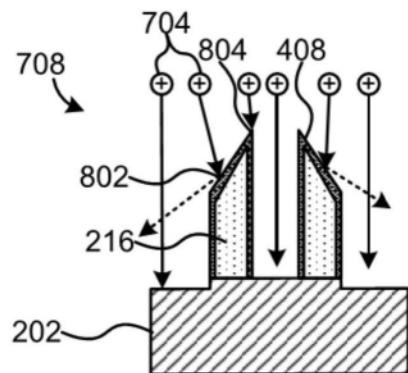


图8A

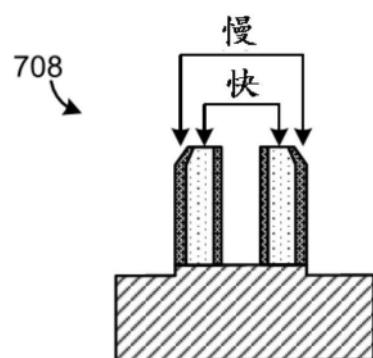


图8B

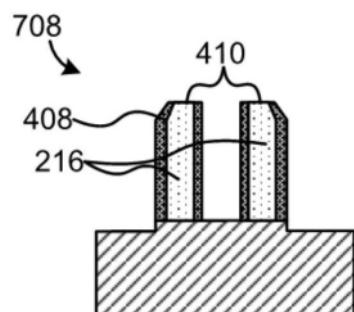


图8C

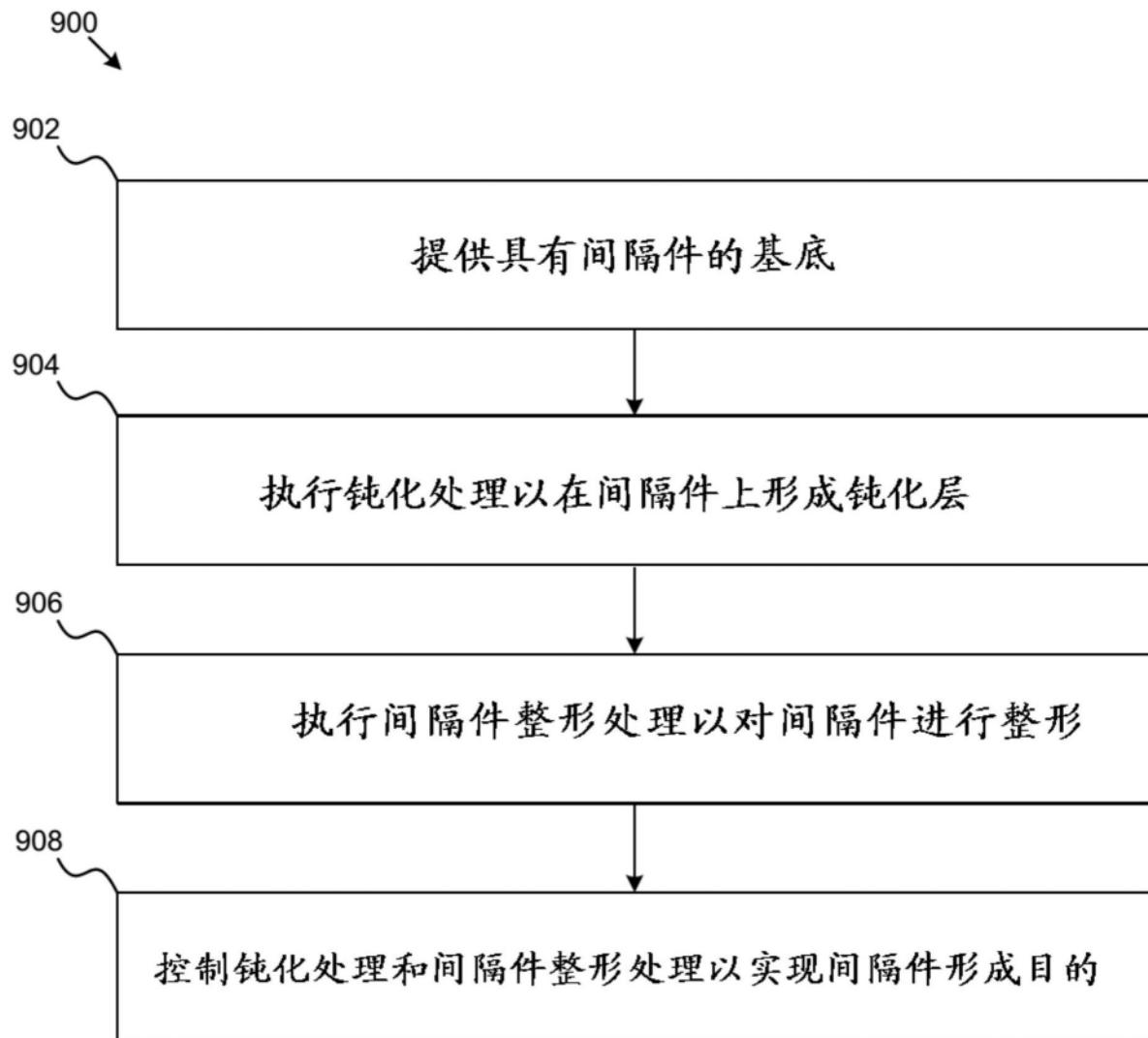


图9

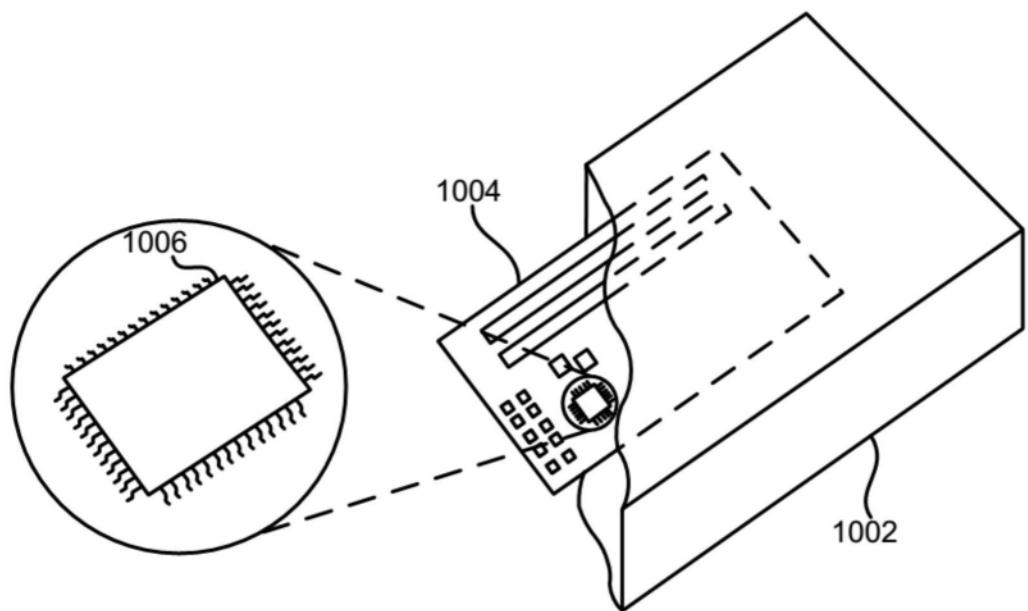


图10