

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200580039883.6

[51] Int. Cl.

G01S 7/521 (2006.01)

G01S 15/89 (2006.01)

G10K 11/34 (2006.01)

[43] 公开日 2007年10月24日

[11] 公开号 CN 101061392A

[22] 申请日 2005.11.17

[21] 申请号 200580039883.6

[30] 优先权

[32] 2004.11.22 [33] US [31] 60/630,090

[86] 国际申请 PCT/IB2005/053803 2005.11.17

[87] 国际公布 WO2006/054260 英 2006.5.26

[85] 进入国家阶段日期 2007.5.22

[71] 申请人 皇家飞利浦电子股份有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 S·施韦策 S·施米德特

M·巴茨

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 张雪梅 王忠忠

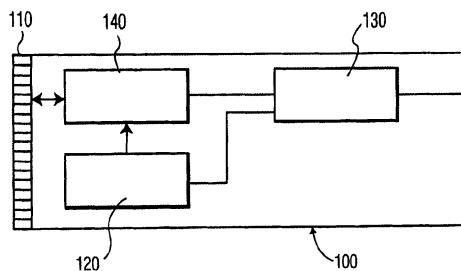
权利要求书2页 说明书6页 附图4页

[54] 发明名称

用于超声束形成器探头的混合集成电路

[57] 摘要

一种用于超声探头中微束形成器的混合集成电路封装体，包括：基板；用于产生发射脉冲的驱动器电路，该发射脉冲将被传送到换能器元件以产生发射束；以及，束形成器电路，包括延时电路和求和电路，延时电路可操作地设置成从换能器元件接收多个反射脉冲并延迟反射脉冲，求和电路可操作地设置成对延迟反射脉冲组求和以产生经束形成的信号。驱动电路为包括所述驱动电路的高压集成电路装置的一部分。该束形成器电路的至少一部分为低压集成电路装置的一部分，其中高压集成电路和低压集成电路安装在基板上。



1. 一种用于超声探头中微束形成器的混合集成电路封装体, 所述超声探头具有用于发射和接收脉冲的换能器元件阵列, 所述电路封装体包括:

基板;

用于产生聚焦发射脉冲的驱动电路, 该聚焦发射脉冲将被传送到所述换能器元件用于产生发射束;

束形成器电路, 包括延时电路和求和电路, 所述延时电路可操作地设置成从所述换能器元件接收多个反射脉冲并延迟所述反射脉冲, 所述求和电路可操作地设置成对所述延迟的反射脉冲的组进行求和以产生经束形成的信号;

高压集成电路装置, 包括所述驱动电路; 以及

低压集成电路装置, 包括所述束形成器电路的至少一部分, 所述高压集成电路和所述低压集成电路安装在所述基板上。

2. 权利要求 1 所述的电路封装体, 其中所述高压集成电路装置包括用于将所述发射脉冲与所述反射脉冲隔离的开关。

3. 权利要求 1 所述的电路封装体, 其中所述低压集成电路装置包括整个束形成器电路。

4. 权利要求 1 所述的电路封装体, 其中所述高压集成电路包括双极晶体管 (BPT) 或场效应晶体管 (FET)。

5. 权利要求 1 所述的电路封装体, 其中所述低压集成电路包括互补金属氧化物半导体 (CMOS)。

6. 权利要求 1 所述的电路封装体, 还包括换能器元件阵列, 其中所述阵列直接连接到所述基板。

7. 权利要求 1 所述的电路封装体, 其中所述基板是刚性的, 所述封装体还包括连接到所述基板的柔性材料。

8. 权利要求 7 所述的电路封装体, 还包括换能器元件阵列, 其中所述阵列连接到所述柔性材料。

9. 权利要求 1 所述的电路封装体, 其中所述基板包括柔性材料。

10. 权利要求 9 所述的电路封装体, 其中所述高压集成电路装置和所述低压集成电路装置使用球栅阵列连接到所述柔性材料。

11. 权利要求 1 所述的电路封装体, 其中所述高压集成电路装置

和所述低压集成电路装置分别使用球栅阵列连接到所述基板。

12. 权利要求 1 所述的电路封装体, 其中所述高压集成电路装置、所述低压集成电路装置、以及所述基板以层叠布置连接。

用于超声束形成器探头的混合集成电路

技术领域

本发明涉及用于超声束形成器探头的混合集成电路(IC),其同时提供了换能器元件接口的高压要求以及控制和束形成功能的高密度功能要求。

背景技术

医学超声成像系统用于非侵入实时察看人体的内部结构。超声成像系统包括用于发射和接收超声脉冲的换能器阵列。各个换能器为压电元件。发射束形成器电路按照特定时序对换能器阵列内的各个换能器施加电脉冲以产生发射束。发射束被具有完全不同声学性能的组织结构反射。反射束被接收换能器转换成电脉冲,电脉冲转换成可由显示器显示的图像信号。每个换能器既可作为发射换能器也可以用作接收换能器。

为了实现高分辨率,换能器阵列制成包括几百至几千个换能器元件。这些换能器连接到微束形成器电子电路,后者将来自换能器的大量信号转换成可以由超声处理台中另外束形成器管理的一些信号。该微束形成器电子电路需要与换能器一起布置在探头内,因为通过电缆难以将来自换能器的所有信号传送到超声处理台。

探头内的电路需要提供足够的电压和功率以操作用于发射束的驱动器,且必须同时限制探头处产生的热。探头通常需要60-200V_{r-p},较新的探头位于该范围的下端。为了产生这些电压,需要用于脉动这些元件的驱动器以及将接收器与发射脉冲连接或断开的开关。然而,控制及束形成功能需要高密度集成以处理来自换能器的大量信号。提供高压的IC装置形体庞大,消耗更多的能量,并因此产生更多的热。然而,提供高密度的IC装置限制了工作电压。

发明内容

本发明的目标时提供一种同时满足微束形成器超声探头的高压和高密度要求的混合IC。

本发明的目标通过用于超声探头中微束形成器的混合集成电路封装体实现，该超声探头具有用于发射和接收脉冲的换能器阵列。该电路封装体包括：基板；高压集成电路装置，包括用于产生发射脉冲的驱动器，该发射脉冲将被传送到换能器元件用以产生发射束；以及低压集成电路装置，包括用于从换能器元件接收反射脉冲并延迟反射脉冲的延时电路，以及对延迟的反射脉冲组求和以产生经束形成的（beamformed）信号的求和电路。该高压电压集成电路装置还可包括用于将发射脉冲与反射脉冲隔离的开关以及用于实现接收器增益的放大器。

该高压集成电路可以是 CMOS 或 BiCMOS，低压集成电路包括互补金属氧化物半导体（CMOS）。

在某些情形中，换能器元件阵列可以直接连接到所述基板。

该基板可以是刚性或者柔性的。此外，该基板可包括连接到柔性材料的刚性元件。

该高压集成电路装置和低压集成电路装置可以采用球栅阵列连接到基板。

此外，该高压集成电路装置、低压集成电路装置、以及基板可以以层叠布置连接。

附图说明

通过结合附图进行的下述详细描述，本发明的其他目标和特征将变得显而易见。然而，应该理解，附图纯粹是出于说明的目的，而不是定义对本发明的限制，本发明仅由所附权利要求界定。还应该理解，附图不一定按比例绘制，除非另外指出，附图仅仅概念性地示出此处所述的结构和过程。

在附图中，相同的参考符号在所有视图中都表示相似的元件。

图 1 为根据本发明的超声探头的方框图；

图 2 为示出了束形成器概念的简化示意图；

图 3 为根据本发明的混合 IC 的示意图；

图 4 为示出了图 3 的混合 IC 的一个通道的示意图；

图 5 为根据本发明的多封装体模块（MPM）的剖面视图；

图 6 为本发明的另一种 MPM 的剖面视图；

图 7 为本发明的又一种 MPM 的剖面视图；
图 8 为本发明的再一种 MPM 的剖面视图；以及
图 9a 和 9b 为根据本发明的 MPM 的剖面视图。

具体实施方式

图 1 为包括换能器 110 的超声探头 100 的方框图。发射电路 120 布置在探头 100 内以产生电脉冲，该电脉冲施加到换能器 110 从而在对象内产生发射束。发射电路 120 响应于从束形成器电路 130 接收的信号产生所述电脉冲，该束形成器电路 130 根据需要施加用于聚焦发射脉冲的时间延迟。束形成器电路 130 设置成从换能器 110 接收反射脉冲。束形成器电路 130 也可以施加时间延迟与/或增益控制，以设置反射束的功率水平。发射/接收 (T/R) 开关 120 连接到换能器 110、发射电路 120、以及束形成器电路 130，用于将发射脉冲与反射脉冲隔离。在优选实施例中，超声探头 100 为微束形成器超声探头，其具有数千个换能器以实现三维成像。或者，超声探头可包括 $1 \times D$ 类型探头，其具有扩大的仰角孔 (elevation aperture) 以提供增强的 2D 图像。这些 $1 \times D$ 探头也称为 1.125D、1.25D、...1.75D 探头，其中数字表示所使用的聚焦方法的类型。

图 2 为示出了用于处理反射信号的束形成器概念的简化示意图。束形成器 130 包括延时电路 210 和信号求和电路 (signal summation circuit) 220。如前所述，延时电路 210 可以用于聚焦发射脉冲。在施加发射脉冲之后，各个换能器 110 接收反射脉冲，并基于反射脉冲产生信号。延时电路 210 可以对反射脉冲信号施加时间延迟，所述反射脉冲信号随后在求和电路 220 内被求和以产生形成束 (formed beam)。为了简化，图 2 示出了 6 个换能器用于形成一个形成束。探头 100 可具有数千个换能器，束形成器 130 可将来自换能器的这些数千个信号减少到几百个信号，这几百个信号发送到超声处理器以进一步进行束形成。美国专利 No. 6,491,634 和 6,103,032 披露了这种类型的探头，其全部内容引入于此作为参考。

图 3 的示意图示出了低压集成电路 (LVIC) 310 和高压集成电路 (HVIC) 320 以及将在下文描述的用于各种信号的引脚编号列表。具有大量换能器的微束形成器探头需要高密度集成电路以管理数千个换

能器信号。同时，驱动器需要高压来为换能器产生发射脉冲。提供所需电压水平的 HVIC 通常不具有微束形成器所需的密度。此外，这些 HVIC 消耗大量能量，产生热。热的产生对于超声探头是有害的，因为超声探头必须工作在限制可产生的热量的准则以内。根据本发明，混合集成电路封装体包括 LVIC 310 和 HVIC 320，以提供形成发射脉冲所需的高压以及管理来自换能器的反射脉冲所需的密度。HVIC 320 提供发射电路 120，且还包括开关 140。LVIC 310 包括束形成器 130。信号 EL 代表与换能器元件的连接。模拟信号为来自换能器的信号，这些信号通过 T/R 开关传送到 LVIC。HV 和 RTN 向 HVIC 提供高压信号以产生脉冲。SUM 信号为束形成器的输出，该信号被发送到外部超声处理器。VDDA、VCORE、VDDD 为电压源连接。GNDD 和 GNDA 为接地连接。CTRL 线为控制线，控制发射脉冲和反射脉冲的延迟和偏置功能。

在优选实施例中，图 1 所示电路为模拟电路。目前，技术上的限制使得无法在探头内包含到数字信号的转换。然而将来，束形成器电路 130 也可包括含有 A/D 转换器的数字电路，其中从反射脉冲接收的信号在它们被施加时间延迟和求和之前，从模拟信号转换成数字信号。

在一个实施例中，使用 CMOS 技术制造 LVIC 310，使用双极或者场效应晶体管技术制造 HVIC 320。尽管目前 CMOS 技术是优选的，但是 LVIC 310 备选地可以使用现场可编程门阵列 (FPGA) 制造。

图 4 示出了到一个换能器元件的用于发射和接收的 LVIC 310 和 HVIC 320 的单个通道。LVIC 310 包括具有延迟线的 RAM 311、驱动器 312 和前置放大器 313。HVIC 320 包括改进的运算跨导放大器 (OTA) 322，且可以还包括用于放大反射脉冲的放大器 313a。针对本申请的对 OTA 的改进包括：偏置调整，允许用户用功耗换取谐波失真；禁止功能，用于在接收模式下降低功率；固定增益的低噪声放大器；以及与发射/接收开关的连接。尽管优选实施例使用 OTA 322，但其他类型的放大器也可以采用。

在发射模式中，延迟线 311 通过开关 315 被反转，延迟线 311 的电容器被预充电。HV 放大器 322 通过开关 326 连接到 RAM，HV 发射接收开关 324 断开，阻止高压施加到 LVIC 310。在该模式中，来自 HV 放大器的脉冲 322 施加到负载，即换能器元件 EL。

在接收模式中，延迟线 311 被设置成接收输入。开关 326 断开，从而将 HV 放大器 322 与 RAM 311 断开连接。HV 发射/接收开关 324 闭合，响应于来自 HV 放大器 322 的脉冲在换能器元件产生的信号被允许传递到 LVIC 310 的延迟线 311。被延迟的信号随后发送到求和器供进一步处理。

LVIC 310 和 HVIC 320 可以布置成本领域中目前已知或者将来已知的任何混合 IC 配置。通过非限制性的示例，图 5 至 9b 示出了可以使用的各种示范性配置。然而，这些示例并非旨在限制可用于产生混合 IC 封装体的各种技术，其中该混合 IC 封装体包括使用不同工艺技术制作的两个或更多个互连的 IC。图 5 示出了布置在用于互连的高密度基板 410 上的 LVIC 310 和 HVIC 320。这种配置成为多封装体模块 (MPM)。基板介质优选允许倒装连接和引线接合连接。然而，所述连接可以只是倒装连接或引线接合连接。如图 5 所示，基板 410 可以布置成标准的球栅阵列 420。例如 Amokr Technology, Inc. Chandler AZ. 使用这种基板上芯片配置。

图 6 示出了另一个实施例，其中 LVIC 310 和 HVIC 320 连接到基板 510。此外，包括换能器 110 的传感器 520 也连接到基板 510。图 6 还示出了，柔性连接器 530 可以连接到基板用于将信号从探头传送到超声处理器。图 7 示出了又一个实施例，其中传感器 620 直接连接到柔性连接器 630，基板 610 连接到柔性传感器 630。在图 7 实施例中，基板连接到 LVIC 310 和 HVIC 320。在图 8 所示另一配置中，LVIC 310、HVIC 320、以及传感器 520 分别连接到柔性基板 710。在本实施例中，可以使用微球栅阵列制作连接。柔性连接材料例如由 Dyconex AG, Bassersdorf, Switzerland 和 Tessera, Inc., San Jose, CA 制作。

图 9a 和 9b 示出了层叠管芯概念也可以用于组装混合 IC。在所示实施例中，LVIC 310 和 HVIC 320 布置在微球栅阵列基板 810 内。LVIC 310 和 HVIC 320 的层叠可以使用 Irving Sensors, Inc., Costa Mesa, CA 的新层叠 (neo-stacking) 技术实现，其中通过侧镀 (side plating) 形成互连。或者，采用例如 ChipPAK, Inc., Korea 的接合引线在封装体级产生互连。

因此，尽管已经示出了和描述并指出了应用于其优选实施例的本发明基本新颖特征，但是应该理解，本领域技术人员在不背离本发明

精神的情况下，可以对所示装置的形式和细节以及其操作进行各种省略和替代及变化。例如，以基本上相同的方式执行基本上相同的功能以实现相同结果的所有元件组合都明确地落在本发明的范围之内。此外，应该认识到，结合本发明的任何所披露的形式或实施例而示出与/或描述的结构与/或元件可以作为一般设计选择而并入到任何其他所披露的或描述或暗示的形式或实施例。因此本发明仅由所附权利要求的范围界定。

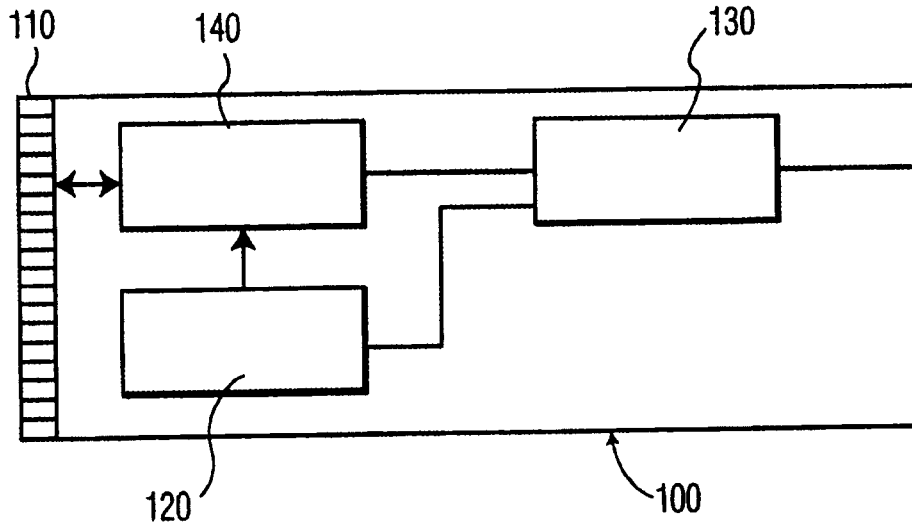


图 1

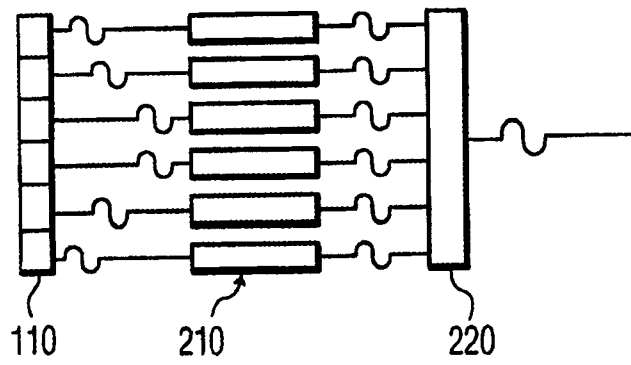


图 2

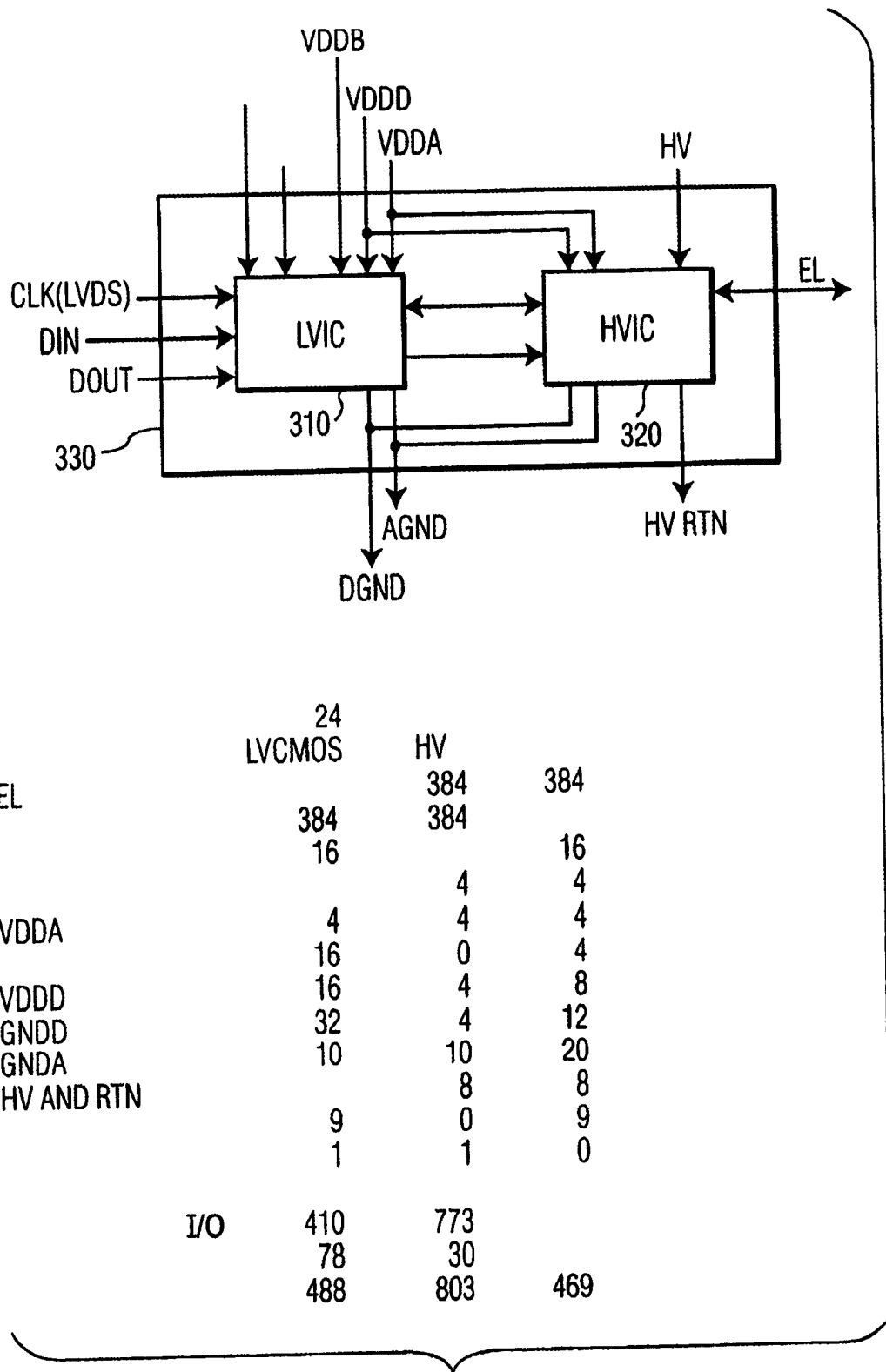


图 3

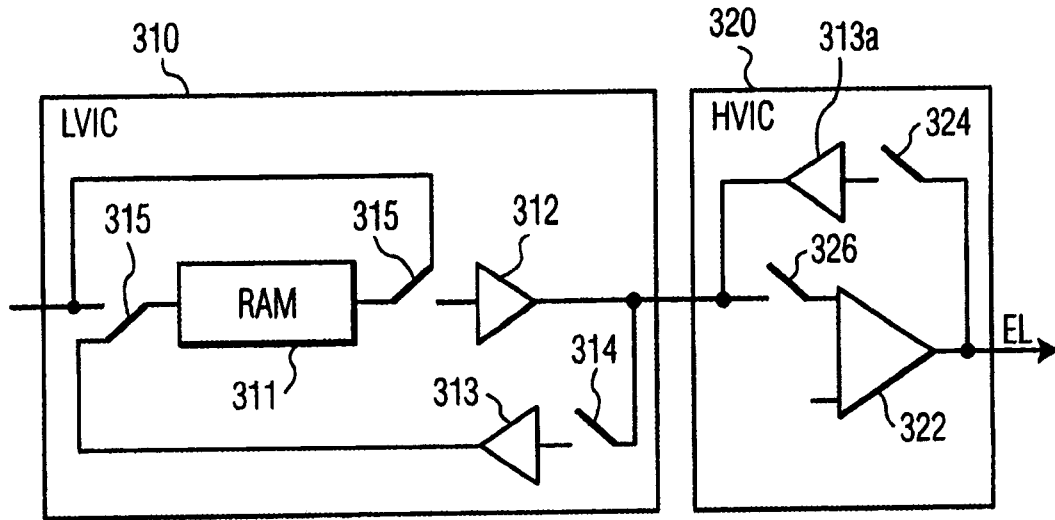


图 4

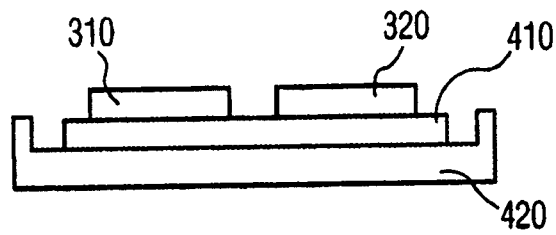


图 5

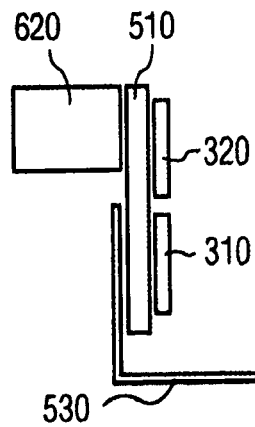


图 6

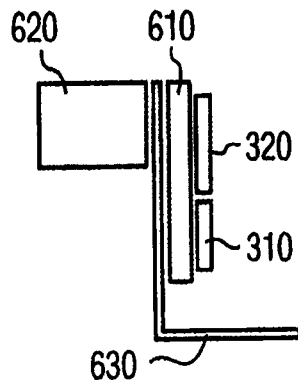


图 7

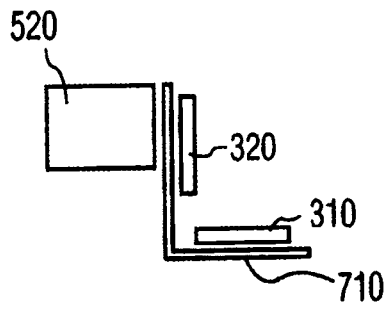


图 8

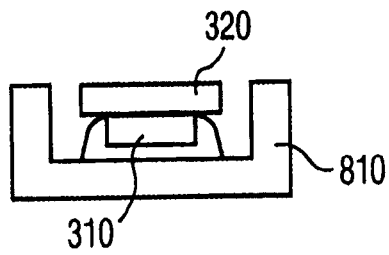


图 9A

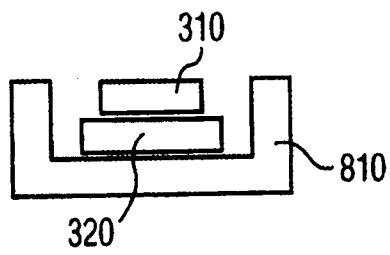


图 9B