

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 9 月 12 日 (12.09.2008)

PCT

(10) 国際公開番号
WO 2008/108299 A1

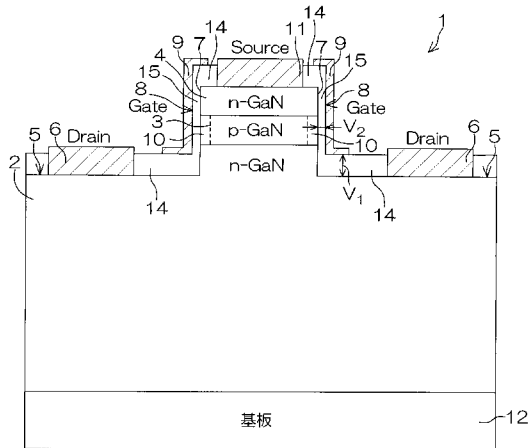
- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
- (21) 国際出願番号: PCT/JP2008/053666
- (22) 国際出願日: 2008 年 2 月 29 日 (29.02.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2007-056428 2007 年 3 月 6 日 (06.03.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 大嶽 浩隆 (OTAKE, Hirotaka) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町 2 丁目 6 番 1 2 号 サンマリオン NBF タワー 2 1 階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,

[続葉有]

(54) Title: NITRIDE SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING NITRIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 窒化物半導体素子および窒化物半導体素子の製造方法

図1



12 SUBSTRATE

(57) Abstract: Disclosed is a nitride semiconductor device comprising a nitride semiconductor multilayer structure, a gate insulating film and a gate electrode. The nitride semiconductor multilayer structure comprises an n-type first layer composed of a group III nitride semiconductor, a second layer arranged on the first layer and containing a p-type impurity, and an n-type third layer arranged on the second layer, while having a wall surface extending over the first, second and third layers. The gate insulating film is formed over the wall surface ranging over the first, second and third layers and an exposed surface of the first layer which is continuous with the wall surface. In this gate insulating film, a second portion in contact with the exposed surface of the first layer is formed thicker than a first portion which is in contact with the wall surface. The gate electrode is so formed as to face the wall surface of the second layer through the gate insulating film.

(57) 要約: 本発明の窒化物半導体素子は、III族窒化物半導体からなる、n型の第1層、この第1層に積層されたp型不純物を含む第2層、およびこの第2層に積層されたn型の第3層を備え、前記第1、第2および第3層に跨る壁面を有する窒化物半導体積層構造と、前記壁面およびこの壁面に連続する前記第1層の露出面に、前記第1、第2および

[続葉有]



WO 2008/108299 A1



ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG,
SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:

— 国際調査報告書

び第3層に跨るように、かつ、前記壁面に接する第1部分より前記第1層の露出面に接する第2部分が厚くなるように、形成されたゲート絶縁膜と、前記ゲート絶縁膜を挟んで前記第2層における前記壁面に対向するように形成されたゲート電極と、を含む。

明 細 書

窒化物半導体素子および窒化物半導体素子の製造方法

技術分野

[0001] 本発明は、III族窒化物半導体を用いた窒化物半導体素子およびその製造方法に関する。

背景技術

[0002] 従来、パワーアンプ回路、電源回路、モータ駆動回路などには、シリコン半導体を用いたパワーデバイスが用いられている。

しかし、シリコン半導体の理論限界から、シリコンデバイスの高耐圧化、低抵抗化および高速化は限界に達しつつあり、市場の要求に応えることが困難になりつつある。

そこで、高耐圧、高温動作、大電流密度、高速スイッチングおよび低オン抵抗といった特徴を有するGaNデバイスの開発が検討されている(たとえば、非特許文献1参照)。

[0003] これまでに提案されているGaNデバイスとしては、たとえば、n型の窒化物半導体層(ドレイン領域)、p型の窒化物半導体層(ゲート領域)およびn型の窒化物半導体層(ソース領域)からなる積層構造を有する、縦型nチャネル型のMIS (Metal Insulator Semiconductor) 型の電界効果トランジスタ(MISFET)を例示できる。

このようなMISFETにおいては、ドレイン領域にドレイン電極が接続され、ソース領域にソース電極が接続されている。また、ドレイン領域、ゲート領域およびソース領域に跨るようにゲート絶縁膜が形成され、このゲート絶縁膜を挟んでゲート領域に対向するようにゲート電極が形成されている。

[0004] そして、このMISFETの動作を説明すると、たとえば、まず、ソース電極が接地され、ソースドレイン間に、ドレイン側が正となるバイアスが与えられる。このとき、ドレイン領域およびゲート領域の界面のpn接合部には、逆方向電圧が印加されることになるから、これにより、ソースドレイン間は遮断状態となる。この状態から、ゲート電極に、ソース電極を基準電位として正となる所定の電圧値(ゲート閾値電圧)以上のバイアスが印加されると、ゲート領域におけるゲート絶縁膜との界面付近に電子が誘起

され、反転層(チャンネル)が形成される。そして、この反転層を介して、ソースドレイン間が導通することにより、MISFETのトランジスタ動作が実現される。

非特許文献1:大久保聡著、「もう光るだけじゃない 機器の進化の裏にGaN」、2006年6月5日、日経エレクトロニクス、p. 51-60

発明の開示

発明が解決しようとする課題

[0005] ところで、従来のMISFETにおけるゲート絶縁膜は、ゲート閾値電圧の低減化を図るべく、薄く設計されている。

ところが、このように設計された膜厚のゲート絶縁膜では、ゲート電極がド레인側のn型窒化物半導体層に対向した場合に、ド레인電極に高電圧が印加されることなどにより、ド레인電極に印加された電圧とゲート電極に印加された電圧との差が生じると、その高電圧に耐えることができずに絶縁破壊を起こすおそれがある。

[0006] そこで、ゲート絶縁膜の膜厚を厚くして耐圧性を向上させる対策が考えられるが、一様に膜厚を厚くすると、ゲート閾値電圧が高くなるという不具合が発生してしまう。

そこで、本発明の目的は、ゲートド레인間のブレイクダウン電圧を向上させることができ、パワーデバイスへの適用に適した窒化物半導体素子およびその製造方法を提供することにある。

課題を解決するための手段

[0007] 本発明の窒化物半導体素子は、III族窒化物半導体からなる、n型の第1層、この第1層に積層されたp型不純物を含む第2層、およびこの第2層に積層されたn型の第3層を備え、前記第1、第2および第3層に跨る壁面を有する窒化物半導体積層構造部と、前記壁面およびこの壁面に連続する前記第1層の露出面に、前記第1、第2および第3層に跨るように、かつ、前記壁面に接する第1部分より前記第1層の露出面に接する第2部分が厚くなるように、形成されたゲート絶縁膜と、前記ゲート絶縁膜を挟んで前記第2層における前記壁面に対向するように形成されたゲート電極と、を含む。

[0008] この構成によれば、n型の第1層、p型不純物を含む第2層、およびn型の第3層を積層することによって、npn構造の窒化物半導体積層構造部が形成されている。窒

化物半導体積層構造部には、第1、第2および第3層に跨る壁面およびこの壁面に連続する第1層の露出面が形成されている。壁面および第1層の露出面には、第1、第2および第3層に跨るようにゲート絶縁膜が形成されている。また、ゲート絶縁膜を挟んで第2層における壁面に対向するようにゲート電極が形成されている。

[0009] こうして、たとえば、第1層に電氣的に接続されるようにドレイン電極が形成され、さらに第3層に電氣的に接続されるようにソース電極が形成されることによって、縦型のMIS (Metal Insulator Semiconductor) 型電界効果トランジスタ(以下、このトランジスタを単に「MISFET」という。)の構成にすることができる。

そして、このMISFETでは、ゲート絶縁膜における、壁面に接する第1部分より第1層の露出面に接する第2部分が厚く形成されている。たとえば、第1部分が、ゲート閾値電圧の低減化を図るために薄く形成されている場合に、第2部分は、MISFETの最大電圧に対する耐圧性の実現するために第1部分より厚く形成されている。これによって、ドレイン電極に高電圧が印加されて、第2部分に高電圧が掛かった場合であっても、ゲート絶縁膜の絶縁破壊を防止することができると共に、ゲート閾値電圧を低く抑えることもできる。その結果、低ゲート閾値電圧などのトランジスタ特性を損なうことなく、ゲートドレイン間のブレイクダウン電圧を向上させることができ、良好なパワーデバイスを実現することができる。

[0010] さらに、窒化物半導体素子を縦型MISFETとしての基本構造にすることにより、ノーマリオフ動作、すなわち、ゲート電極にバイアスを印加しないときにソースドレイン間をオフ状態とする動作を、容易に実現することもできる。また、当該MISFETは、縦型構造であるので、集積によって大電流を容易に流すことができ、かつ、第1層の膜厚を厚くすることによって、容易に高耐圧性を確保することもできる。そのため、有効なパワーデバイスを提供することもできる。むろん、III族窒化物半導体層によって電界効果トランジスタを構成していることにより、シリコン半導体を用いたデバイスと比較して、高耐圧、高温動作、大電流密度、高速スイッチングおよび低オン抵抗といった特徴を享受することもできる。特に、高耐圧で低損失な動作が可能であるから、良好なパワーデバイスを実現することができる。

[0011] なお、III族窒化物半導体とは、III族元素と窒素とを化合させた半導体であり、窒化

アルミニウム (AlN)、窒化ガリウム (GaN)、窒化インジウム (InN) が代表例である。一般には、 $\text{Al}_x\text{In}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x + y \leq 1$) と表すことができる。

次に、このMISFETの動作について説明する。まず、ソース電極が接地され、ソースドレイン間には、ドレイン側が正となるバイアスが与えられる。このとき、第1および第2層の界面のpn接合部には、逆方向電圧が印加されることになるから、これにより、ソースドレイン間は遮断状態となる。この状態から、ゲート電極に、第2層に対して正となる所定の電圧値 (ゲート閾値電圧) 以上のバイアス電圧を印加すると、第2層においてゲート電極に対向する表面付近の領域 (チャネル領域) に電子が誘起され、反転層 (チャネル) が形成される。この反転層を介して、第1および第3層間が導通し、ソースドレイン間が導通することになる。こうして、ゲート電極に適切なバイアスを与えたときにソースドレイン間が導通する一方で、ゲート電極にバイアスを与えないときにはソースドレイン間が遮断状態となる。つまり、ノーマリオフ動作が実現される。

[0012] また、前記窒化物半導体素子は、前記第2層における前記壁面に形成され、前記第2層とは異なる伝導特性を有する第4層をさらに含むことが好ましい。

この構成によれば、第2層における壁面には、第2層とは伝導特性の異なる領域である第4層が形成されている。そして、この第4層に接するようにゲート絶縁膜が形成され、ゲート絶縁膜を挟んで第4層に対向するようにゲート電極が形成されている。

[0013] これによって、上記したMISFETの動作時において、反転層 (チャネル) が形成される領域が第4層となる。そのため、この第4層が、たとえば第2層のアクセプタ濃度より低いアクセプタ濃度を有するp型半導体であると、反転層が形成される領域の伝導特性が第2層の伝導特性と同じである場合と比較して、反転層を形成するために必要なゲート閾値電圧を低く抑えることができる。リーチスルーブレークダウン電圧の値を決定する主たる要因は第2層全体のアクセプタ濃度であり、この構成では第2層全体のアクセプタ濃度を低くしているわけではない。したがって、MISFETの高耐圧性を確保しつつ、ゲート閾値電圧を小さくでき、良好なパワーデバイスを実現することができる。

[0014] なお、第4層は、上記した第2層のアクセプタ濃度より低いアクセプタ濃度を有するp

型半導体であってもよいし、たとえば、n型半導体、i型半導体、ならびにn型不純物およびp型不純物を含む半導体のうちのいずれかであってもよい。第4層をn型半導体とする場合には、電界効果トランジスタのノーマリオフ動作を実現するため、n型不純物の濃度を適宜制御することができる。

[0015] また、前記窒化物半導体素子では、前記ゲート絶縁膜における前記第1部分が、酸化シリコン、窒化シリコンまたはこれらの組み合わせを含むことが好ましい。

ゲート絶縁膜における第1部分が、酸化シリコンなどのバンドギャップの大きく絶縁破壊電圧の大きい絶縁膜であれば、ゲート電極と第2層との間を良好に絶縁することができ、これらの間にリーク電流が流れることを抑制することができる。また、ゲート絶縁膜における第1部分が窒化シリコンであれば、つまり、窒化シリコンが壁面に直接接触するように形成されていれば、壁面とゲート絶縁膜との界面準位を低減することができるので、MISFETがオフのときのソースドレイン間のリーク電流を抑制することができる。なお、酸化シリコンのようにバンドギャップの大きい絶縁膜としては、これらの他に、たとえば、酸化ガリウム(Ga_2O_3)、シリコン酸窒化物(SiON)、酸化マグネシウム(MgO)、酸化ジルコニウム(ZrO_2)、酸化アルミニウム(Al_2O_3)、酸化チタン(TiO_2)、酸化ガドリニウム(Gd_2O_3)などが例示される。

[0016] また、前記ゲート絶縁膜における前記第2部分は、窒化シリコン(SiN)など、バンドギャップが酸化シリコンに比べて低い材料を含んでいることが好ましい。むろん、上記例示した SiO_2 、 Ga_2O_3 、 SiON 、 MgO 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 Gd_2O_3 などであってもよい。

また、前記ゲート絶縁膜は、前記第1、第2および第3層に接する下側絶縁膜と、前記下側絶縁膜の上に形成された上側絶縁膜と、を含み、前記下側絶縁膜が窒化シリコンからなり、前記上側絶縁膜が酸化シリコンからなることが好ましい。

[0017] この構成によれば、第1、第2および第3層に接するように窒化シリコンからなる下側絶縁膜が形成されているので、壁面とゲート絶縁膜との界面準位を低減することができる。その結果、MISFETがオフのときのソースドレイン間のリーク電流を抑制することができる。さらに、下側絶縁膜の上に酸化シリコンからなる上側絶縁膜が形成されているので、ゲート電極と第2層との間を良好に絶縁することができ、これらの間にリ

ーク電流が流れることを抑制することもできる。

[0018] また、本発明の窒化物半導体素子の製造方法は、III族窒化物半導体からなる、n型の第1層、p型不純物を含む第2層、およびn型の第3層を含む積層構造を有する窒化物半導体積層構造部を形成する積層工程と、前記第1、第2および第3層に跨る壁面を形成すると共に、この壁面に連続するように、前記第1層の一部を露出させる、壁面形成工程と、前記壁面および露出した前記第1層の露出面に、前記第1、第2および第3層に跨るように、かつ、前記壁面に接する第1部分より前記第1層の露出面に接する第2部分が厚くなるように、ゲート絶縁膜を形成するゲート絶縁膜形成工程と、前記ゲート絶縁膜を挟んで前記第2層における前記壁面に対向するように、ゲート電極を形成するゲート電極形成工程と、前記第1層に電氣的に接続するようにドレイン電極を形成するドレイン電極形成工程と、前記第3層に電氣的に接続するようにソース電極を形成するソース電極形成工程と、を含む。この方法により、上述した構成のMISFETを作製することができる。

[0019] また、前記ゲート絶縁膜形成工程は、ECR成膜法またはマグネトロンスパッタ成膜法で絶縁膜を成膜する工程を含むことが好ましい。

この方法によれば、ゲート絶縁膜がECR(電子サイクロトロン共鳴)成膜法またはマグネトロンスパッタ成膜法で成膜される。これらの成膜法は、異方性の成膜法であるため、たとえば、窒化物半導体積層構造部の壁面に直交する方向の成膜性より、第1層の露出面に直交する方向の成膜性が高くなるように、これらの成膜法でゲート絶縁膜を成膜することによって、ゲート絶縁膜における第2部分を第1部分より厚くすることができる。

[0020] さらに、前記壁面形成工程は、前記窒化物半導体積層構造部の前記壁面の面方位が、前記窒化物半導体積層構造部の積層界面に対して 45° ～ 90° の角度で傾斜した面となるように、前記第1、第2および第3層をエッチングする工程を含むことが好ましい。

この方法により、たとえば、窒化物半導体積層構造部がc面(0001)を主面として積層されていれば、壁面の面方位は、(10-11)、(10-13)、(11-22)などのセミポーラ面や、m面(10-10)またはa面(11-20)などの非極性面などとなる。壁面の面方位

を、c面(0001)と異なる面方位とすることにより、第2層とゲート絶縁膜との界面付近に、第2層の自然分極に起因する余計な分極電荷が発生することを抑制することができる。また、壁面の面方位が、窒化物半導体積層構造部の積層界面に対して45°～90°の角度で傾斜した面であれば、異方性成膜の特徴が顕著に現われるので、ゲート絶縁膜を異方性の成膜法で成膜した場合に、ゲート絶縁膜における第2部分を、第1部分より一層厚く形成することができる。

[0021] 本発明における前述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0022] [図1]本発明の第1の実施形態に係る電界効果トランジスタの構造を説明するための図解的な断面図である。

[図2A]図1の電界効果トランジスタの製造方法を工程順に示す図解的な断面図である。

[図2B]図2Aの次の工程を示す図である。

[図2C]図2Bの次の工程を示す図である。

[図2D]図2Cの次の工程を示す図である。

[図2E]図2Dの次の工程を示す図である。

[図3]本発明の第2の実施形態に係る電界効果トランジスタの構造を説明するための図解的な断面図である。

[図4]本発明の第3の実施形態に係る電界効果トランジスタの構造を説明するための図解的な断面図である。

[図5]本発明の第4の実施形態に係る電界効果トランジスタの構造を説明するための図解的な断面図である。

符号の説明

[0023] 1・・・窒化物半導体積層構造部、2・・・n型GaN層、3・・・p型GaN層、4・・・n型GaN層、5・・・引き出し部、6・・・ドレイン電極、7・・・壁面、8・・・ゲート絶縁膜、9・・・ゲート電極、10・・・領域、11・・・ソース電極、14・・・第2部分、15・・・第1部分、16・・・絶縁膜、20・・・底面、21・・・下側ゲート絶縁膜、22・・・上側ゲート絶縁膜

発明を実施するための最良の形態

[0024] 図1は、本発明の第1の実施形態に係る電界効果トランジスタの構造を説明するための図解的な断面図である。

この電界効果トランジスタ(窒化物半導体素子)は、基板12と、この基板12の上に成長させられたGaN化合物半導体層からなる窒化物半導体積層構造部1を備えている。

基板12としては、たとえば、サファイア基板などの絶縁性基板や、GaN基板、ZnO基板、Si基板、GaAs基板およびSiC基板などの導電性基板を適用することができる。

[0025] 窒化物半導体積層構造部1は、n型GaN層2(第1層)と、p型GaN層3(第2層)と、n型GaN層4(第3層)とを備え、これら各GaN層は、この順に積層されている。なお、窒化物半導体積層構造部1は、少なくともn型のIII族窒化物半導体層、p型のIII族窒化物半導体層、およびn型のIII族窒化物半導体層を備えていればよく、たとえば、n型GaN層2、p型GaN層3およびn型GaN層4に加え、基板12とn型GaN層2との間にi型GaN層などが積層して形成される構成であってもよい。

[0026] 窒化物半導体積層構造部1は、断面矩形となるようにn型GaN層4からn型GaN層2が露出する深さまで積層界面を横切る方向にエッチングされている。そして、n型GaN層2は、窒化物半導体積層構造部1の両側から、窒化物半導体積層構造部1の積層界面に沿う横方向(以下、この方向を「幅方向」とする。)に引き出された引き出し部5を有している。すなわち、窒化物半導体積層構造部1から幅方向に引き出された引き出し部5は、この実施形態では、n型GaN層2の延長部で構成されており、その上面が壁面7(後述)と連続するn型GaN層2の露出面となっている。

[0027] そして、この引き出し部5の上面(n型GaN層2の露出面)には、ドレイン電極6が接触して形成されている。これによって、ドレイン電極6は、n型GaN層2と電氣的に接続されることになる。

一方、窒化物半導体積層構造部1の幅方向中間付近には、引き出し部5が形成されるにともない、n型GaN層2、p型GaN層3およびn型GaN層4に跨る壁面7が形成されている。

[0028] p型GaN層3における壁面7付近の領域10は、p型GaN層3とは異なる伝導特性を有する半導体、たとえば、p型GaN層3のアクセプタ濃度より低いアクセプタ濃度を有するp⁻型半導体からなる。また、領域10の、壁面7と直交する方向の厚みは、たとえば、数nm～100nmである。なお、領域10は、p型GaN層3とは異なる伝導特性を有する半導体であれば、p⁻型半導体に限られず、たとえば、n型不純物を含むn型半導体、不純物をほとんど含まないi型半導体、およびn型およびp型の不純物を含む半導体などであってもよい。この領域10の表面近傍には、ゲート電極9に適切なバイアス電圧が与えられることにより、n型GaN層2、4間を電氣的に導通させる反転層（チャネル）が形成される。

[0029] n型GaN層4の上には、ソース電極11が形成されている。ソース電極11は、n型GaN層4と電氣的に接続されることになる。また、ソース電極11は、図示しない位置でp型GaN層3と短絡されていることもある。

さらに、n型GaN層4の上面（ソース電極11形成部分を除く）、壁面7および引き出し部5の上面（ドレイン電極6形成部分を除く）には、n型GaN層2、p型GaN層3およびn型GaN層4に跨るように、ゲート絶縁膜8が形成されている。

[0030] ゲート絶縁膜8は、形成される位置により、n型GaN層4の上面および引き出し部5の上面（n型GaN層2の露出面）に形成された第2部分14と、壁面7に形成された第1部分15とに区別される。

第2部分14は、たとえば、窒化シリコン（SiN）、酸化シリコン（SiO₂）、酸化ガリウム（Ga₂O₃）、シリコン酸窒化物（SiON）、酸化マグネシウム（MgO）、酸化ジルコニウム（ZrO₂）、酸化アルミニウム（Al₂O₃）、酸化チタン（TiO₂）、酸化ガドリニウム（Gd₂O₃）などを用いて構成できる。

[0031] また、第2部分14の厚みは、たとえば、第2部分14が酸化シリコンを用いて構成される場合には、0.2 μm～0.3 μmの範囲であることが好ましい。通常、酸化シリコン膜は、0.1 μmの厚みで約90Vの電圧に耐えることができる。そのため、酸化シリコンからなる第2部分14は、その厚みが0.2 μm～0.3 μmの範囲であれば、約180V～約270Vの電圧に対しても絶縁破壊を起こすことなく絶縁膜としての機能を保持することができる。

[0032] 一方、第1部分15は、たとえば、酸化シリコン(SiO_2)、窒化シリコン(SiN)、酸化ガリウム(Ga_2O_3)、シリコン酸窒化物(SiON)、酸化マグネシウム(MgO)、酸化ジルコニウム(ZrO_2)、酸化アルミニウム(Al_2O_3)、酸化チタン(TiO_2)、酸化ガドリニウム(Gd_2O_3)またはこれらの組み合わせなどを用いて構成できる。第1部分15が酸化シリコンなどのバンドギャップが大きく絶縁破壊電圧の大きい絶縁膜であれば、ゲート電極9(後述)とp型GaN層3との間を良好に絶縁することができ、これらの間にリーク電流が流れることを抑制することができる。また、第1部分15が窒化シリコンであれば、壁面7とゲート絶縁膜8との界面準位を低減することができるので、この電界効果トランジスタがオフのときのソースドレイン間のリーク電流を抑制することができる。

[0033] また、第1部分15の厚みは、第2部分14の厚みの $1/5 \sim 1/2$ であることが好ましく、たとえば、第1部分15が酸化シリコンを用いて構成される場合には、 $0.05 \mu\text{m} \sim 0.1 \mu\text{m}$ の範囲であることが好ましい。第1部分15の厚みが $0.05 \mu\text{m} \sim 0.1 \mu\text{m}$ の範囲であれば、ゲート閾値電圧を低くすることができると共に、約45V～約90Vの電圧に対しても絶縁破壊を起こすことなく絶縁膜としての機能を保持することができる。すなわち、通常のパワーデバイスで印加されるゲート電圧によって絶縁破壊することがない。

[0034] このように、この電界効果トランジスタでは、第2部分14の厚みが第1部分15の厚みより厚くなるように構成されている。なお、例示した第2部分14および第1部分15の厚みは、ゲート絶縁膜8を構成する材料や電界効果トランジスタの最大電圧の大きさなどに応じて、適宜変更される。

そして、ゲート絶縁膜8の上には、ゲート絶縁膜8を挟んで領域10に対向するようにゲート電極9が形成されている。

[0035] また、窒化物半導体積層構造部1は、基板12の上に、たとえば、いわゆるMOCVD成長(Metal Oxide Chemical Vapor Deposition:有機金属化学気相成長)によって形成されている。

たとえば、主面がc面(0001)の基板12を用いると、この基板12の上にエピタキシャル成長によって成長させられる窒化物半導体積層構造部1、すなわち、n型GaN層2、p型GaN層3およびn型GaN層4は、やはりc面(0001)を主面として積層されること

になる。また、断面矩形の窒化物半導体積層構造部1の壁面7の面方位は、m面(10-10)またはa面(11-20)などの非極性面となる。

[0036] ゲート電極9としては、たとえば、白金(Pt)、アルミニウム(Al)、ニッケル-金合金(Ni-Au合金)、ニッケル-チタン-金合金(Ni-Ti-Au合金)、パラジウム-金合金(Pd-Au合金)、パラジウム-チタン-金合金(Pd-Ti-Au合金)、パラジウム-白金-金合金(Pd-Pt-Au合金)、ポリシリコンなどの導電性材料を適用することができる。

[0037] ドレイン電極6は、少なくともAlを含む金属で構成することが好ましく、たとえば、Ti-Al合金で構成することができる。ソース電極11もドレイン電極6と同様に、Alを含む金属で構成することが好ましく、たとえば、Ti-Al合金で構成することができる。Alを含む金属でドレイン電極6およびソース電極11を構成しておくことにより、配線層(図示せず)との良好なコンタクトをとることができる。その他、ドレイン電極6およびソース電極11は、MoもしくはMo化合物(たとえば、モリブデンシリサイド)、TiもしくはTi化合物(たとえば、チタンシリサイド)、またはWもしくはW化合物(たとえば、タングステンシリサイド)で構成してもよい。

[0038] 次に上記の電界効果トランジスタの動作について説明する。

ソース電極11がグランド電位に接地された状態(このとき、p型Ga_N層3もグランド電位となる。)で、ソース電極11とドレイン電極6との間に、ドレイン電極6側が正となるバイアス電圧(この実施形態では200V)が与えられる。これにより、n型Ga_N層2とp型Ga_N層3との界面のpn接合には逆方向電圧が与えられ、その結果、n型Ga_N層4とn型Ga_N層2との間、すなわち、ソースドレイン間は、遮断状態となる。

[0039] この状態から、ゲート電極9に対して、ゲート電極9側が正となる所定の電圧(ゲート閾値電圧)以上のバイアス電圧(この実施形態では30V)を印加すると、領域10の表面近傍に電子が誘起されて、反転層が形成される。この反転層を介して、n型Ga_N層2とn型Ga_N層4との間が導通する。こうして、ソースドレイン間が導通することになる。このとき、ゲート絶縁膜8の第2部分14の膜厚方向 V_1 には、ドレイン電極に印加された電圧(200V)とゲート電極9に印加された電圧(30V)との差である170Vの電圧が掛かる。一方、第1部分15の膜厚方向 V_2 には、ゲート電極9に印加された30V

の電圧が掛かる。このように、第2部分14および第1部分15に対してそれぞれ上記した電圧が掛かる場合であっても、上述したように、第2部分14および第1部分15が、それぞれが適切な膜厚に形成されているので、ゲート絶縁膜8の絶縁破壊が防止される。

[0040] また、領域10がp型GaN層3よりアクセプタ濃度の低いp⁻型半導体からなるため、より低いゲート閾値電圧で領域10に電子を誘起させることができる。領域10のp型不純物濃度を適切に定めておけば、ゲート電極9に適切なバイアスを与えたときにソースドレイン間が導通する一方で、ゲート電極9にバイアスを与えないときにはソースドレイン間が遮断状態となる。つまり、ノーマリオフ動作が実現される。

[0041] 図2A～図2Eは、図1の電界効果トランジスタの製造方法を工程順に示す図解的な断面図である。

この電界効果トランジスタの製造に際しては、まず、図2Aに示すように、基板12の上に、たとえば、MOCVD成長法によって、順に、n型GaN層2、p型GaN層3およびn型GaN層4が成長させられる。こうして、基板12上に、窒化物半導体積層構造部1が形成される(積層工程)。なお、n型GaN層2およびn型GaN層4を成長させるときのn型不純物としては、たとえばSiを用いればよい。また、p型GaN層3を成長させるときのp型不純物としては、たとえば、Mg、Cなどを用いればよい。また、n型GaN層2およびp型GaN層3を形成するための成長法としては、液相エピタキシャル成長法(LPE法)、気相エピタキシャル成長法(VPE法)または分子線エピタキシャル成長法(MBE法)のいずれの方法が適用されてもよい。

[0042] 窒化物半導体積層構造部1が形成された後には、図2Bに示すように、m面(10-10)またはa面(11-20)などの非極性面である壁面7が切り出されるように、窒化物半導体積層構造部1がストライプ状にエッチングされる(壁面形成工程)。このように、壁面7が、窒化物半導体積層構造部1の積層界面であるc面(0001)に対して傾斜したm面(10-10)またはa面(11-20)であれば、後述するマグネトロンスパッタ成膜法やECR(電子サイクロトン共鳴)成膜法などの異方性成膜の特徴が顕著に現われるので、ゲート絶縁膜8をこれらの異方性成膜法で成膜した場合に、ゲート絶縁膜8における第2部分14を、第1部分15より一層厚く形成することができる。

[0043] こうして、n型Ga₂N層4から、p型Ga₂N層3を貫通して、n型Ga₂N層2の層厚中間部に至る断面矩形の溝13が形成されて、基板12上に、複数本(図2Bでは2本のみ示す)の窒化物半導体積層構造部1がストライプ状に整形されると共に、n型Ga₂N層2の延長部からなる引き出し部5、ならびに、n型Ga₂N層2、p型Ga₂N層3およびn型Ga₂N層4からなる壁面7が同時に形成される。

[0044] 溝13の形成(壁面7の形成)は、たとえば、塩素系ガスを用いたドライエッチング(異方性エッチング)によって行なうことができる。さらに、その後必要に応じて、ドライエッチングによってダメージを受けた溝13内の壁面7を改善するためのウェットエッチング処理を行なってもよい。ウェットエッチング処理には、水酸化カリウム(KOH)やアンモニア水などを用いることが好ましい。このウェットエッチング処理を施すことにより、ダメージを受けた壁面7の表層が除去され、ダメージの少ない壁面7を得ることができる。壁面7のダメージを低減しておくことにより、領域10の結晶状態を良好に保つことができ、また、壁面7とゲート絶縁膜8との界面を良好な界面とすることができるので、界面準位を低減することができる。これにより、チャネル抵抗を低減することができると共に、リーク電流を抑制することができる。なお、ウェットエッチング処理に代えて、低ダメージのドライエッチング処理を適用することもできる。

[0045] 次いで、窒化物半導体積層構造部1上に、ゲート絶縁膜8が形成される(ゲート絶縁膜形成工程)。

ゲート絶縁膜8の形成は、たとえば、マグネトロンスパッタ成膜法やECR成膜法など、異方性の成膜方法で行なわれる。これらのうち、この実施形態では、マグネトロンスパッタ成膜法で行なわれ、より具体的には、まず、窒化物半導体積層構造部1が形成された基板12が、対向電極型の成膜装置に入れられ、その対向電極型の装置内にAr⁺プラズマを発生させる。

[0046] 次いで、ターゲット(たとえば酸化シリコンなど)に所定の電圧(たとえば300V)の電圧が印加され、発生したAr⁺プラズマがターゲットに照射される。これにより、図2Cに示すように、酸化シリコンが窒化物半導体積層構造部1にスパッタリングされて、絶縁膜16が形成される。

マグネトロンスパッタ成膜法では、たとえば、壁面7が引き出し部5の上面(n型Ga₂N

層2の露出面)に対して75°の傾斜角度で傾斜した面であれば、引き出し部5の上面(n型Ga_N層2の露出面)およびn型Ga_N層4の上面に対する壁面7の成膜比は、1/5~1/2である。そのため、この実施形態のように上記した傾斜角度が90°である場合には、引き出し部5の上面(n型Ga_N層2の露出面)およびn型Ga_N層4の上面に対する壁面7の成膜比が1/2未満となるので、絶縁膜16は、引き出し部5の上面(n型Ga_N層2の露出面)およびn型Ga_N層4での上面(第2部分14となる部分)の厚みが壁面7(第1部分15となる部分)での厚みより厚くなるように形成される。また、このとき、絶縁膜16の形成と並行して、ターゲット(酸化シリコン)中の酸素などのスパッタ粒子が弾き出されてp型Ga_N層にインプラネーションされる。これにより、p型Ga_N層3とは異なる伝導特性を有する、たとえばp型Ga_N層3よりアクセプタ濃度の低いp⁻型半導体の領域10が形成される。

[0047] そして、絶縁膜16が形成された後、図2Dに示すように、絶縁膜16の不要部分(ゲート絶縁膜8以外の部分)がエッチングにより除去されることにより、第2部分14と第1部分15とを有するゲート絶縁膜8が形成される(ゲート絶縁膜形成工程)。

次に、公知のフォトリソグラフィ技術により、ゲート絶縁膜8の上に、ドレイン電極6およびソース電極11を形成すべき領域に開口部を有するフォトレジスト(図示せず)が形成され、これらの電極(6、11)の材料として用いられるメタル(たとえば、白金、アルミニウムなど)がスパッタリング法などにより形成される。その後は、フォトレジストが除去されることにより、メタルの不要部分(電極(6、11)以外の部分)がフォトレジストと共にリフトオフされる。これにより、引き出し部5の上面(n型Ga_N層2の露出面)に接触するようにドレイン電極6が、また、n型Ga_N層4の上面に接触するようにソース電極11が形成される(図2E参照)。

[0048] そして、ドレイン電極6およびソース電極11が形成された後には、熱アロイ(アニール処理)が行なわれ、ドレイン電極6およびソース電極11の場合と同様の方法により、ゲート絶縁膜8を挟んで領域10と対向するゲート電極9が形成される(図2E参照)。

以上により、図1に示す構造の電界効果トランジスタを得ることができる。

なお、図1および図2~図2Eにおいては、p型Ga_N層3における壁面7にのみ、領域10が示されているが、実際にはn型Ga_N層2やn型Ga_N層4における壁面7にも変

質領域が形成されている。ただ、これらn型Ga_N層2やn型Ga_N層4における壁面7に変質領域が形成されても、デバイスとしての効果に変化がないので、図1では変質領域を省略している。

[0049] また、基板12上にストライプ状に形成された複数の窒化物半導体積層構造部1は、それぞれ単位セルを形成している。複数の窒化物半導体積層構造部1のゲート電極9、ドレイン電極6およびソース電極11は、それぞれ、図示しない位置で共通接続されている。ドレイン電極6は、隣接する窒化物半導体積層構造部1間で共有することができる。

以上のように、この実施形態によれば、ゲート絶縁膜8の第1部分15は、ゲート閾値電圧の低減化を図るために薄く(たとえば、ゲート閾値電圧:30V、ゲート絶縁膜8の構成材料:酸化シリコンの場合には、膜厚が0.05 μm ~0.1 μm)形成されている。一方、第2部分14は、この電界効果トランジスタの最大電圧に対する耐圧性を実現するために、第1部分15より厚く(たとえば、最大電圧:200V、ゲート絶縁膜8の構成材料:酸化シリコンの場合には、膜厚が0.2 μm ~0.3 μm)形成されている。

[0050] これによって、ドレイン電極6に最大電圧が印加されて、第2部分14に高電圧が掛かった場合であっても、ゲート絶縁膜8の絶縁破壊を防止することができると共に、領域10に反転層を形成するために必要なゲート閾値電圧を低く抑えることもできる。その結果、低ゲート閾値電圧などのトランジスタ特性を損なうことなく、ゲートドレイン間のブレイクダウン電圧を向上させることができ、良好なパワーデバイス動作(高温動作、大電流密度、高速スイッチングなど)を実現することができる。

[0051] また、p型Ga_N層3における壁面7に露出した表面に形成した領域10に接するようにゲート絶縁膜8を形成する構造を採用することにより、反転層の形成に必要なゲート閾値電圧を小さくすることができる。その結果、リーチスルーブレイクダウンが起こらないようにp型Ga_N層3のアクセプタ濃度を高くしたまま、ゲート閾値電圧を下げ、良好なトランジスタ動作を行なうことができ、良好なパワーデバイスを実現することができる。

[0052] さらに、領域10の不純物濃度と膜厚の制御によってノーマリオフ動作が可能であり、n型Ga_N層2、p型Ga_N層3およびn型Ga_N層4を積層した縦型のトランジスタ構造

なので、集積によって大電流を流すことができ、かつ、高耐圧の電界効果トランジスタを実現することもできる。

以上、本発明の実施形態について説明したが、本発明はさらに他の実施形態で実施することもできる。

[0053] たとえば、上述の実施形態では、壁面7は、m面(10-10)またはa面(11-20)などの非極性面となるように形成されているとしたが、図3に示すように、窒化物半導体積層構造部1の積層界面に対して45°～90°の角度で傾斜した面、たとえば、(10-13)、(10-11)、(11-22)などのセミポーラ面となるように形成されてもよい。

[0054] また、上述の実施形態では、ドレイン電極6は、引き出し部5の上面(n型Ga_N層2の露出面)に接触して形成されているとしたが、たとえば、基板12として導電性基板を適用し、この導電性基板の窒化物半導体積層構造部1が形成された表面と反対側の表面全域を覆うように、接触して形成されてもよい。また、電界効果トランジスタの製造工程において、n型Ga_N層2に溝13とは別の溝を設け、この溝にドレイン電極6を埋め込むことによって、ドレイン電極6とn型Ga_N層2とを電氣的に接続してもよい。さらに、電界効果トランジスタの製造工程において、基板12を、たとえば、レーザリフトオフ法、CMP(化学的機械的研磨)処理、エッチング処理などの方法によって除去し、この除去によって露出したn型Ga_N層2の表面全域を覆うように、接触して形成されてもよい。

[0055] また、上述の実施形態では、ゲート絶縁膜8をマグネトロンスパッタ成膜法などの異方性成膜法によってのみ形成したが、たとえば、窒化物半導体積層構造部1上に絶縁膜16を形成した後、絶縁膜16における引き出し部5の上面およびn型Ga_N層4の上面に形成された部分以外の膜をエッチングにより除去し、この残った絶縁膜の上に、プラズマCVD(化学気相成長)成膜法など、等方性の成膜方法によってさらに絶縁膜を形成することによってゲート絶縁膜8を形成してもよい。こうすることによって、ゲート絶縁膜8における第2部分14を、第1部分15より一層厚く形成することができる。

[0056] また、ゲート絶縁膜8は、窒化シリコンからなる絶縁膜および酸化シリコンからなる絶縁膜を、たとえば、異方性成膜法によってこの順に形成することによって、図4に示すように、窒化シリコンからなる下側ゲート絶縁膜21(下側絶縁膜)が、酸化シリコンから

なる上側ゲート絶縁膜22(上側絶縁膜)および各Ga_N層2, 3, 4の表面によって挟まれる構成であってもよい。

[0057] また、上述の実施形態では、ソース電極11およびドレイン電極6は、各n型Ga_N層(2, 4)に接触して形成されとしたが、各n型Ga_N層(2, 4)と導通していれば接触していなくてもよく、たとえば、ソース電極11およびドレイン電極6と各n型Ga_N層(2, 4)との間に、さらにn型の半導体層(たとえばn型Ga_N層)を介在させてもよい。

[0058] また、上述の実施形態では、n型Ga_N層2、p型Ga_N層3およびn型Ga_N層4は、それぞれ1層として形成されているとしたが、III族窒化物半導体からなる層であれば、たとえば、組成や不純物濃度の異なる半導体層が2層以上積層されて構成される層であってもよい。

さらに、上述の実施形態では、壁面7は、引き出し部5が形成されるにともない形成されているとしたが、たとえば、図5に示すように、窒化物半導体積層構造1の幅方向中間付近に、n型Ga_N層4からp型Ga_N層3を貫通してn型Ga_N層2の層厚方向途中に至る深さのトレンチ17を形成し、このトレンチ17の形成にともない形成されるトレンチ17の側面であってもよい。なお、この場合には、トレンチ17の底面20が、壁面7と連続するn型Ga_N層2の露出面となる。また、トレンチ17の内面(壁面7および底面20)を含む各Ga_N層2, 3, 4の表面には、ゲート絶縁膜8が形成されており、このゲート絶縁膜8のうち、壁面7に接する部分は第1部分15であり、底面20に接する部分は第2部分14である。

[0059] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

この出願は、2007年3月6日に日本国特許庁に提出された特願2007-56428号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

請求の範囲

- [1] III族窒化物半導体からなる、n型の第1層、この第1層に積層されたp型不純物を含む第2層、およびこの第2層に積層されたn型の第3層を備え、前記第1、第2および第3層に跨る壁面を有する窒化物半導体積層構造部と、
前記壁面およびこの壁面に連続する前記第1層の露出面に、前記第1、第2および第3層に跨るように、かつ、前記壁面に接する第1部分より前記第1層の露出面に接する第2部分が厚くなるように、形成されたゲート絶縁膜と、
前記ゲート絶縁膜を挟んで前記第2層における前記壁面に対向するように形成されたゲート電極と、を含む、窒化物半導体素子。
- [2] 前記第2層における前記壁面に形成され、前記第2層とは異なる伝導特性を有する第4層をさらに含む、請求項1に記載の窒化物半導体素子。
- [3] 前記ゲート絶縁膜における前記第1部分が、酸化シリコン、窒化シリコン、酸窒化シリコンまたはこれらの組み合わせを含む、請求項1または2に記載の窒化物半導体素子。
- [4] 前記ゲート絶縁膜における前記第2部分が、窒化シリコンを含む、請求項1～3のいずれか一項に記載の窒化物半導体素子。
- [5] 前記ゲート絶縁膜は、前記第1、第2および第3層に接する下側絶縁膜と、
前記下側絶縁膜の上に形成された上側絶縁膜と、を含み、
前記下側絶縁膜が窒化シリコンからなり、前記上側絶縁膜が酸化シリコンからなる、請求項1～4のいずれか一項に記載の窒化物半導体素子。
- [6] III族窒化物半導体からなる、n型の第1層、p型不純物を含む第2層、およびn型の第3層を含む積層構造を有する窒化物半導体積層構造部を形成する積層工程と、
前記第1、第2および第3層に跨る壁面を形成すると共に、この壁面に連続するように、前記第1層の一部を露出させる、壁面形成工程と、
前記壁面および露出した前記第1層の露出面に、前記第1、第2および第3層に跨るように、かつ、前記壁面に接する第1部分より前記第1層の露出面に接する第2部分が厚くなるように、ゲート絶縁膜を形成するゲート絶縁膜形成工程と、
前記ゲート絶縁膜を挟んで前記第2層における前記壁面に対向するように、ゲート

電極を形成するゲート電極形成工程と、

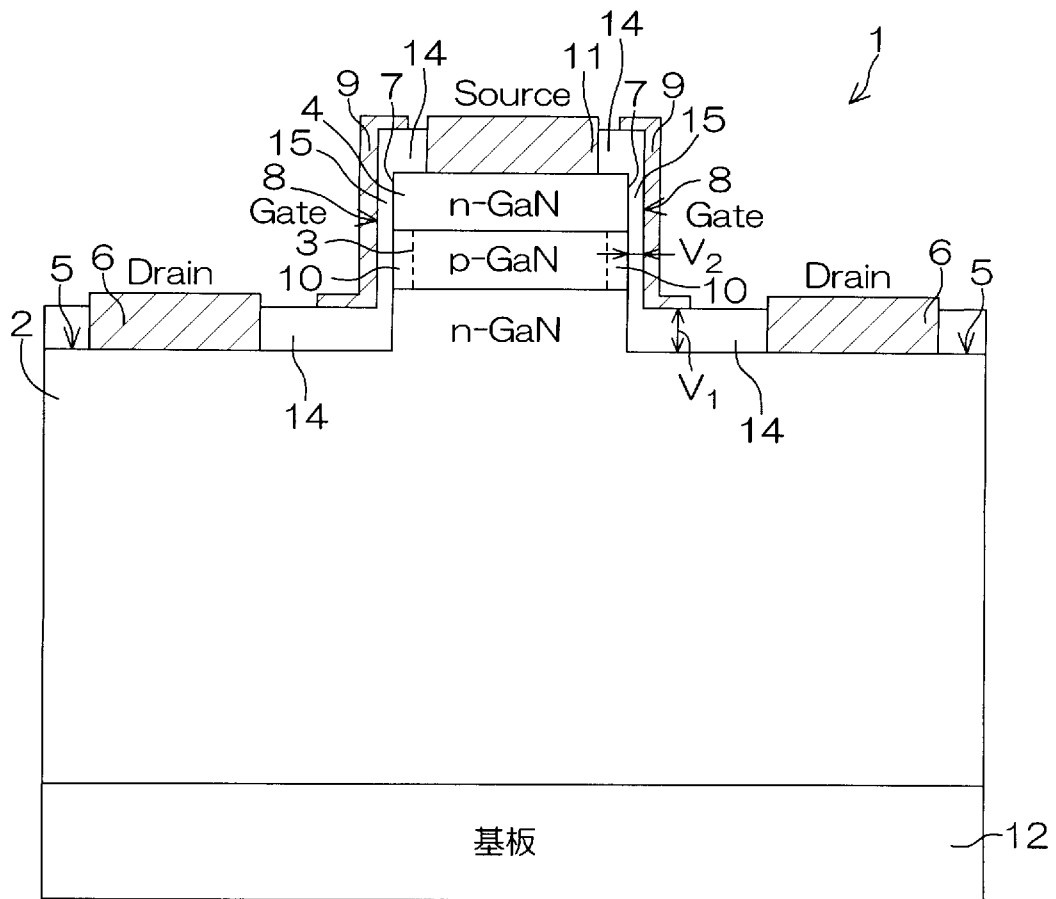
前記第1層に電氣的に接続するようにドレイン電極を形成するドレイン電極形成工程と、

前記第3層に電氣的に接続するようにソース電極を形成するソース電極形成工程と、を含む、窒化物半導体素子の製造方法。

- [7] 前記ゲート絶縁膜形成工程は、ECR成膜法またはマグネトロンスパッタ成膜法で絶縁膜を成膜する工程を含む、請求項6に記載の窒化物半導体素子の製造方法。
- [8] 前記壁面形成工程は、前記窒化物半導体積層構造部の前記壁面の面方位が、前記窒化物半導体積層構造部の積層界面に対して 45° ～ 90° の角度で傾斜した面となるように、前記第1、第2および第3層をエッチングする工程を含む、請求項6または7に記載の窒化物半導体素子の製造方法。

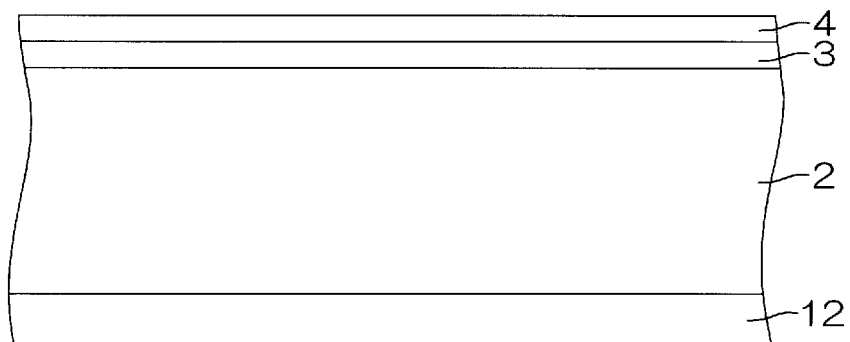
[図1]

图 1



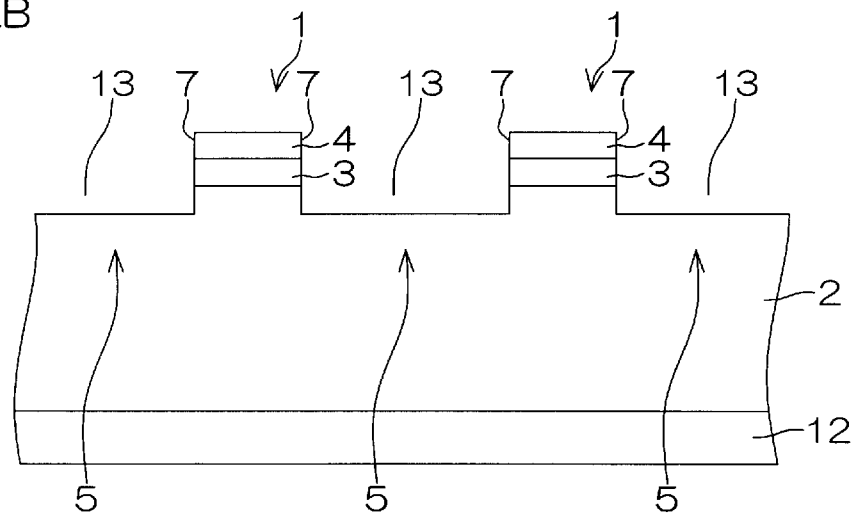
[図2A]

図2A



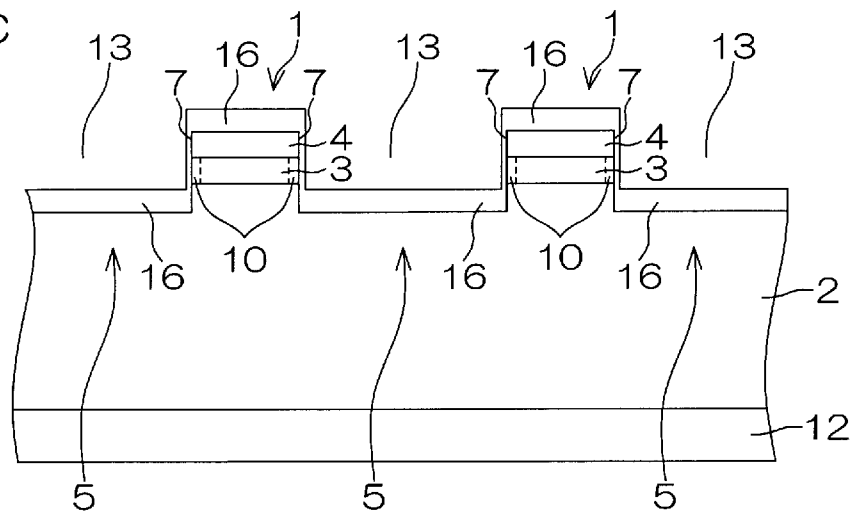
[図2B]

図2B



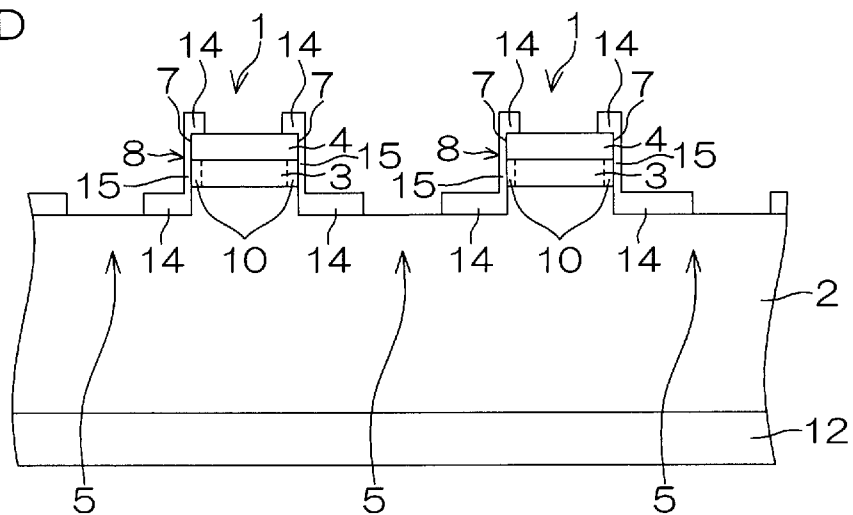
[図2C]

図2C



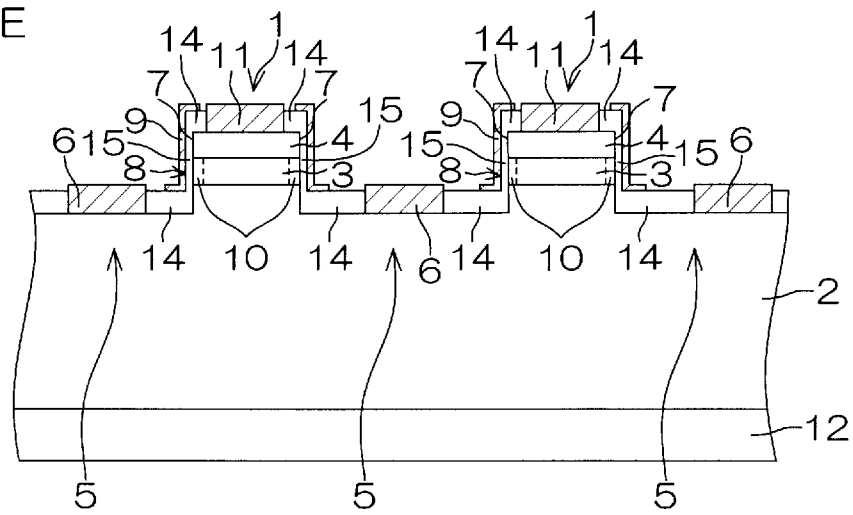
[図2D]

図2D



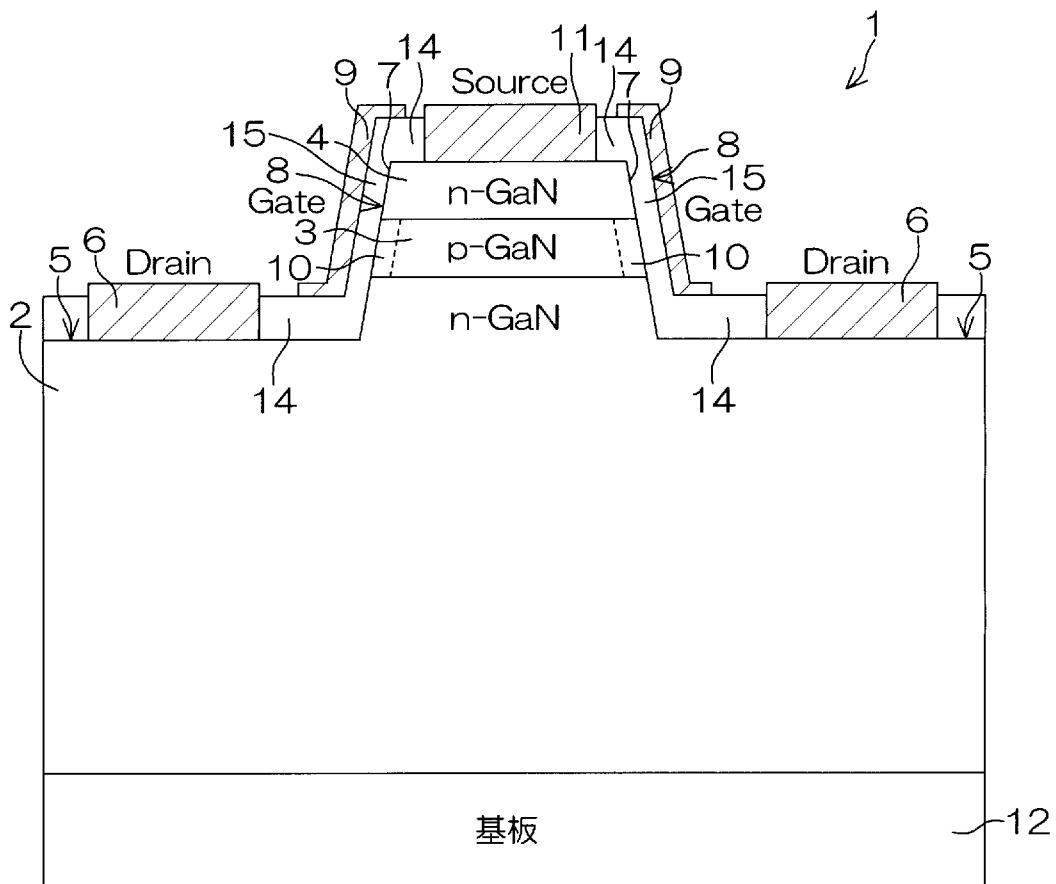
[図2E]

図2E



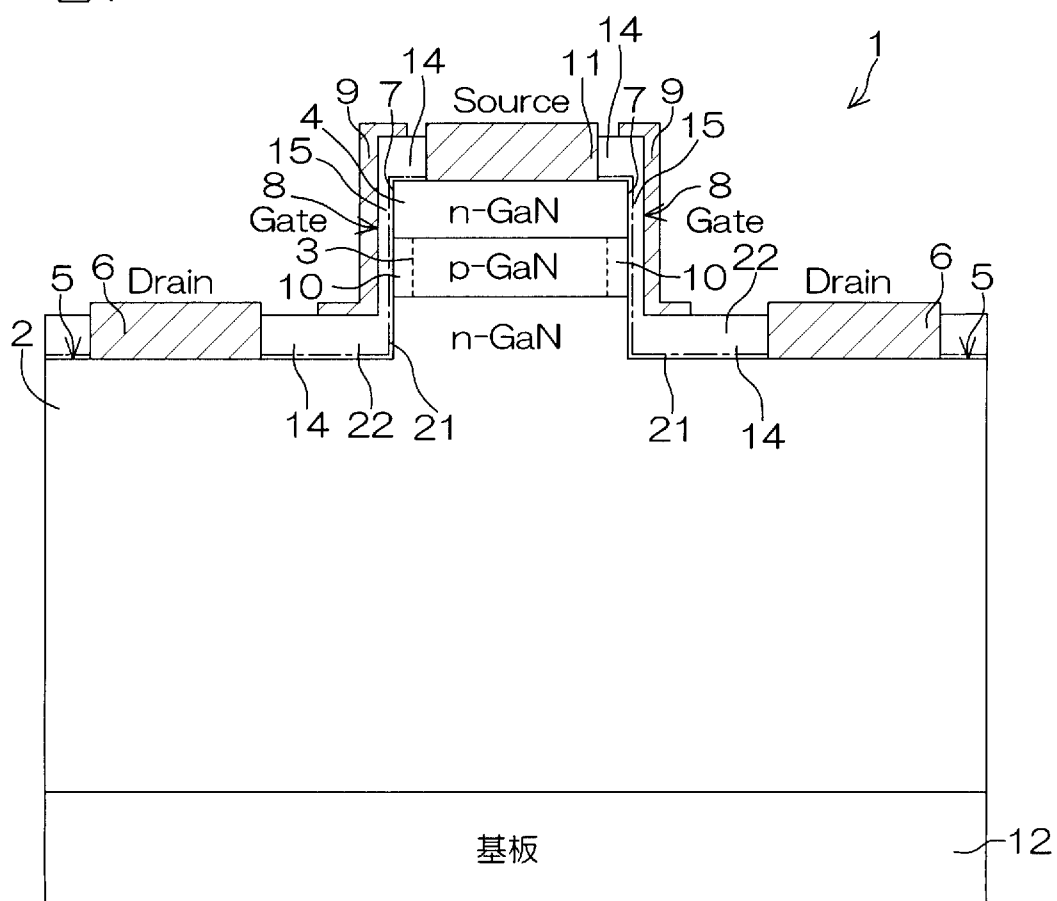
[図3]

図3

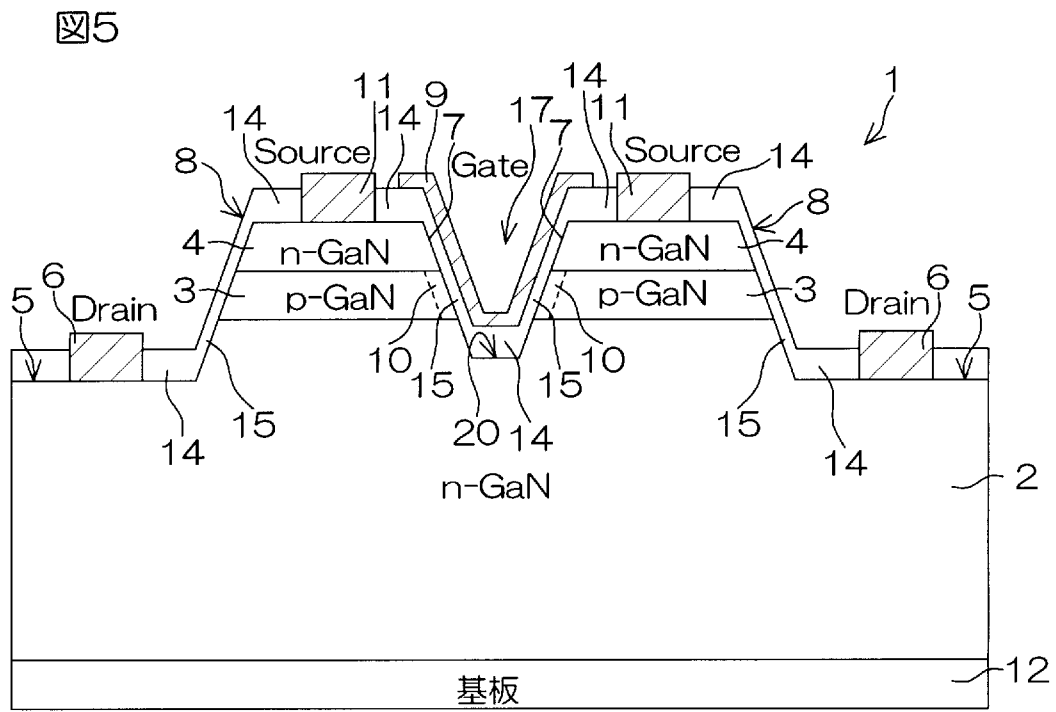


[図4]

図4



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/053666

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/336, H01L29/12, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-208760 A (The Furukawa Electric Co., Ltd.), 28 July, 2000 (28.07.00), Par. Nos. [0018] to [0020]; Fig. 1 (Family: none)	1-8
Y	JP 2003-163354 A (The Furukawa Electric Co., Ltd.), 06 June, 2003 (06.06.03), Figs. 1 to 14 & US 2003/0082860 A1 & DE 10248017 A	1-8
Y	JP 2001-102576 A (Sanyo Electric Co., Ltd.), 13 April, 2001 (13.04.01), Par. No. [0052] (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 May, 2008 (23.05.08)

Date of mailing of the international search report
03 June, 2008 (03.06.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/053666

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-326755 A (Nippondenso Co., Ltd.), 12 December, 1995 (12.12.95), Par. No. [0044] & US 5915180 A & EP 676814 A2 & DE 69534888 D & KR 10-0261660 B	1-8
Y	JP 2006-222191 A (Nippon Telegraph And Telephone Corp.), 24 August, 2006 (24.08.06), Par. Nos. [0057], [0061] (Family: none)	4, 5
Y	JP 10-150188 A (NEC Corp.), 02 June, 1998 (02.06.98), Par. No. [0012]; Fig. 1 (Family: none)	7
A	JP 62-22482 A (Oki Electric Industry Co., Ltd.), 30 January, 1987 (30.01.87), Fig. 2 (Family: none)	1-8
A	JP 2006-245317 A (Fujitsu Ltd.), 14 September, 2006 (14.09.06), Fig. 10 & US 2006/0197107 A1 & EP 1699085 A2	1-8
A	JP 2005-183597 A (NEC Corp.), 07 July, 2005 (07.07.05), Par. Nos. [0044] to [0045]; Fig. 10 (Family: none)	1-8
A	Kow-Ming Chang et al., Electrical properties of SiN/GaN MIS diodes formed by ECR-CVD, Solid-State Electronics, 2002, Volume 46, Issue 9, pp.1399-1403	7

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/78(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/78, H01L21/336, H01L29/12, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-208760 A (古河電気工業株式会社) 2000. 07. 28 【0018】 - 【0020】、図 1 (ファミリーなし)	1-8
Y	JP 2003-163354 A (古河電気工業株式会社) 2003. 06. 06 図 1-14 &US 2003/0082860 A1 & DE 10248017 A	1-8

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 5 . 2 0 0 8

国際調査報告の発送日

0 3 . 0 6 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

松嶋 秀忠

4 M

9 8 3 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-102576 A (三洋電機株式会社) 2001. 04. 13 【0052】 (ファミリーなし)	1-8
Y	JP 7-326755 A (日本電装株式会社) 1995. 12. 12 【0044】 &US 5915180 A &EP 676814 A2 &DE 69534888 D &KR 10-0261660 B	1-8
Y	JP 2006-222191 A (日本電信電話株式会社) 2006. 08. 24 【0057】、【0061】 (ファミリーなし)	4, 5
Y	JP 10-150188 A (日本電気株式会社) 1998. 06. 02 【0012】、図 1 (ファミリーなし)	7
A	JP 62-22482 A (沖電気工業株式会社) 1987. 01. 30 第 2 図 (ファミリーなし)	1-8
A	JP 2006-245317 A (富士通株式会社) 2006. 09. 14 図 10 &US 2006/0197107 A1 &EP 1699085 A2	1-8
A	JP 2005-183597 A (日本電気株式会社) 2005. 07. 07 【0044】 - 【0045】、図 10 (ファミリーなし)	1-8
A	Kow-Ming Chang et al., Electrical properties of SiN/GaN MIS diodes formed by ECR-CVD, Solid-State Electronics, 2002, Volume 46, Issue 9, pp.1399-1403	7