

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-141965

(P2018-141965A)

(43) 公開日 平成30年9月13日(2018.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 5/00 (2006.01)	G09G 5/00 550C	2H192
A63F 13/323 (2014.01)	A63F 13/323	2H193
A63F 13/213 (2014.01)	A63F 13/213	3K107
A63F 13/428 (2014.01)	A63F 13/428	5B011
A63F 13/25 (2014.01)	A63F 13/25	5C080

審査請求 未請求 請求項の数 7 O L (全 55 頁) 最終頁に続く

(21) 出願番号 特願2018-27686 (P2018-27686)
 (22) 出願日 平成30年2月20日 (2018.2.20)
 (31) 優先権主張番号 特願2017-33679 (P2017-33679)
 (32) 優先日 平成29年2月24日 (2017.2.24)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 深井 修次
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H192 AA24 CB37 GB61 GD61
 2H193 ZA04 ZB02 ZC25 ZC34 ZD36
 ZF23 ZJ02 ZR12
 3K107 AA01 AA05 BB01 CC14 CC41
 EE04 EE65

最終頁に続く

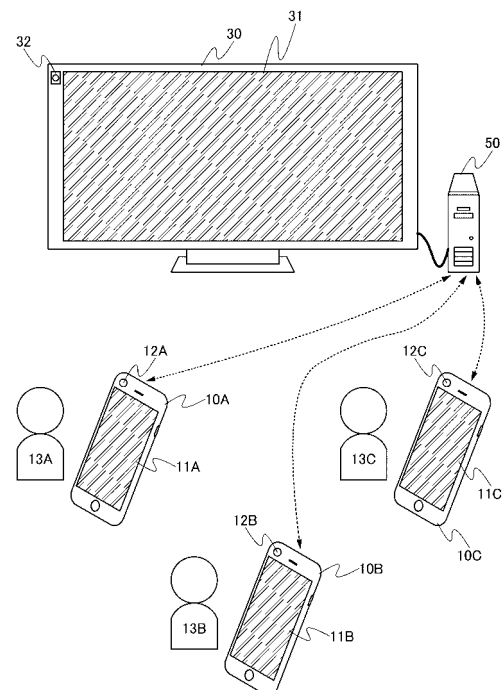
(54) 【発明の名称】 情報端末、表示装置、および画像処理システム

(57) 【要約】

【課題】携帯型情報端末と据置型表示装置を用いたゲームシステム等において、消費電力を低減する手段を提供する。

【解決手段】携帯型情報端末と据置型表示装置を用いたゲームシステム等において、携帯型情報端末はユーザーの画像を取り込み、ユーザーの注視方向が携帯型情報端末の表示部でないと判断された場合に、表示部の動作モードを低消費電力に設定する。また、据置型表示装置もユーザーの画像を取り込み、ユーザーの注視方向が据置型表示装置の表示部でないと判断された場合に、表示部の動作モードを低消費電力に設定する。さらに、据置型表示装置は、ユーザーの注視方向が据置型表示装置の表示部であると判断された場合に、表示画像を解析し、その結果に応じて表示部の少なくとも一部の動作モードを低消費電力に設定する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

カメラと、
プロセッサと、
表示部と、を有する情報端末であって、
前記カメラは、前記情報端末のユーザーの少なくとも一部分の画像を取り込み、
前記プロセッサは、前記画像を解析して前記ユーザーの注視方向を検出し、
前記ユーザーの注視方向が、前記表示部でないと判断された場合に、前記表示部の動作モードを低消費電力に設定する、情報端末。

【請求項 2】

10

情報端末と、
表示装置と、
情報処理装置と、を有し、
前記情報端末は、カメラと、プロセッサと、表示部と、を有し、
前記カメラは、前記情報端末のユーザーの少なくとも一部分の画像を取り込み、
前記プロセッサは、前記画像を解析して前記ユーザーの注視方向を検出し、
前記ユーザーの注視方向が、前記表示部でないと判断された場合に、前記情報端末は、
前記表示部の動作モードを低消費電力に設定する、画像処理システム。

【請求項 3】

20

情報端末と、
表示装置と、
情報処理装置と、を有し、
前記情報端末は、第一のカメラと、第一のプロセッサと、第一の表示部と、を有し、
前記表示装置は、第二のカメラと、第二のプロセッサと、第二の表示部と、を有し、
前記第一のカメラは、前記情報端末のユーザーの少なくとも一部分の画像を取り込み、
前記第一のプロセッサは、前記第一のカメラが取り込んだ画像を解析して前記ユーザーの注視方向を検出し、
前記第二のカメラは、前記ユーザーの少なくとも一部分の画像を取り込み、
前記第二のプロセッサは、前記第二のカメラが取り込んだ画像を解析して前記ユーザーの注視方向を検出し、
前記ユーザーの注視方向が、前記第一の表示部でないと判断された場合に、前記情報端末は、前記第一の表示部の動作モードを低消費電力に設定し、
前記ユーザーの注視方向が、前記第二の表示部でないと判断された場合に、前記表示装置は、前記第二の表示部の動作モードを低消費電力に設定する、画像処理システム。

30

【請求項 4】

情報端末と、
表示装置と、
情報処理装置と、を有し、
前記情報端末は、第一のカメラと、第一のプロセッサと、第一の表示部と、を有し、
前記表示装置は、第二のカメラと、第二のプロセッサと、第二の表示部と、を有し、
前記第一のカメラは、前記情報端末のユーザーの少なくとも一部分の画像を取り込み、
前記第一のプロセッサは、前記第一のカメラが取り込んだ画像を解析して前記ユーザーの注視方向を検出し、
前記第二のカメラは、前記ユーザーの少なくとも一部分の画像を取り込み、
前記第二のプロセッサは、前記第二のカメラが取り込んだ画像を解析して前記ユーザーの注視方向を検出し、
前記ユーザーの注視方向が、前記第一の表示部でないと判断された場合に、前記情報端末は、前記第一の表示部の動作モードを低消費電力に設定し、
前記ユーザーの注視方向が、前記第二の表示部でないと判断された場合に、前記表示装置は、前記第二の表示部の動作モードを低消費電力に設定し、

40

50

前記ユーザーの注視方向が、前記第二の表示部であると判断された場合に、前記第二のプロセッサは、前記第二の表示部の表示画像を解析し、

前記表示装置は、前記表示画像の解析結果に応じて、前記第二の表示部の少なくとも一部の動作モードを低消費電力に設定する、画像処理システム。

【請求項 5】

請求項 1 において、

前記表示部は、チャンネル形成領域に金属酸化物を含むトランジスタを有する、情報端末。

【請求項 6】

請求項 2 乃至請求項 4 のいずれか一項において、

10

前記情報端末は、チャンネル形成領域に金属酸化物を含むトランジスタを有する、画像処理システム。

【請求項 7】

請求項 2 乃至請求項 4 のいずれか一項において、

前記表示装置は、チャンネル形成領域に金属酸化物を含むトランジスタを有する、画像処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一形態は、情報端末、表示装置、および、これらを使用した画像処理システムに関する。

20

【背景技術】

【0002】

表示部を備える携帯型情報端末によって行われるゲームシステム等が普及している。1人または複数人で行われるゲームにおいて、各プレイヤーが視認する画像は、それぞれが操作する携帯型情報端末に表示される。特許文献 1 は、画像を見やすくするため、各プレイヤーの携帯型情報端末に加えて、据置型表示装置にも画像を表示する構成について開示している。

【0003】

特許文献 2 は、ユーザーの画像情報を取り込み、ユーザーがデバイスを注視していないと判断された場合に、入力をロックするコンピューティングデバイスについて開示している。ユーザーの注視を検出するためにはユーザーの眼を認知する必要があるが、この認知能力を訓練する方法については、非特許文献 1 に記されている。また、画像や映像の内容から、ユーザーが注視しやすい領域を特定するための研究がなされている（非特許文献 2）。

30

【0004】

また、表示装置の画素に、酸化物半導体を用いたトランジスタを適用することができる。酸化物半導体を用いたトランジスタは、オフ電流が非常に小さいため、表示ユニットが静止画を表示する際のリフレッシュ頻度を少なくすることができる。本明細書等において、上述のリフレッシュ頻度を少なくする技術を、「アイドリングストップ」または「IDS 駆動」と呼称する（特許文献 3、特許文献 4）。IDS 駆動は、表示ユニットの消費電力を低減することができる。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2015 - 229002 号公報

【特許文献 2】特表 2015 - 525918 号公報

【特許文献 3】特開 2011 141522 号公報

【特許文献 4】特開 2011 141524 号公報

【非特許文献】

50

【0006】

【非特許文献1】Ashish Shrivastava, "Learning from Simulated and Unsupervised Images through Adversarial Training", [online], [平成29年2月23日検索], インターネット<URL: <https://arxiv.org/pdf/1612.07828.pdf>>

【非特許文献2】木村昭悟, "人間の視覚的注意を予測するモデル: 動的ベイジアンネットワークに基づく最新のアプローチ", [online], 平成22年11月25日, 信号処理シンポジウム, [平成29年2月23日検索], インターネット<URL: <http://www.kecl.ntt.co.jp/people/kimura.akisato/pdf/sip2010stochastic saliency.pdf>>

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

例えば、携帯型情報端末と据置型表示装置を同時に使ってゲームを行う場合など、2つ以上の表示装置を同時に使用する場合、少なくとも1つの表示装置は、誰にも注視されていない状況が発生する。また、据置型表示装置の大画面化や高精細化がすすむと、使用者は表示部の一部しか注視していない状況が発生する。

【0008】

一方、携帯型情報端末において、バッテリーの連続駆動時間は大きな問題となっており、消費電力の低減が求められている。また、据置型表示装置に対しても低消費電力化が求められている。

20

【0009】

本発明の一形態は、消費電力の低い情報端末、消費電力の低い表示装置を提供することを課題の一つとする。また、携帯型情報端末と据置型表示装置を使ったゲームシステム等において、消費電力の低い画像処理システムを提供することを課題の一つとする。

【0010】

なお、本発明の一形態は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一つの課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面などの記載から自ずと明らかになるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の課題を抽出することが可能である。

30

【課題を解決するための手段】

【0011】

本発明の一形態は、カメラと、プロセッサと、表示部と、を有する情報端末である。カメラは、情報端末のユーザーの少なくとも一部分の画像を取り込み、プロセッサは、画像を解析してユーザーの注視方向を検出する。ユーザーの注視方向が、表示部でないと判断された場合に、表示部の動作モードを低消費電力に設定する。

【0012】

また、本発明の一形態は、情報端末と、表示装置と、情報処理装置と、を有する画像処理システムである。情報端末は、カメラと、プロセッサと、表示部とを有し、カメラは、情報端末のユーザーの少なくとも一部分の画像を取り込み、プロセッサは、画像を解析してユーザーの注視方向を検出する。ユーザーの注視方向が、表示部でないと判断された場合に、情報端末は、表示部の動作モードを低消費電力に設定する。

40

【0013】

また、本発明の一形態は、情報端末と、表示装置と、情報処理装置と、を有する画像処理システムである。情報端末は、第一のカメラと、第一のプロセッサと、第一の表示部とを有し、表示装置は、第二のカメラと、第二のプロセッサと、第二の表示部とを有する。第一のカメラは、情報端末のユーザーの少なくとも一部分の画像を取り込み、第一のプロセッサは、第一のカメラが取り込んだ画像を解析してユーザーの注視方向を検出する。第二

50

のカメラは、ユーザーの少なくとも一部分の画像を取り込み、第二のプロセッサは、第二のカメラが取り込んだ画像を解析してユーザーの注視方向を検出する。ユーザーの注視方向が、第一の表示部でないと判断された場合に、情報端末は、第一の表示部の動作モードを低消費電力に設定し、ユーザーの注視方向が、第二の表示部でないと判断された場合に、表示装置は、第二の表示部の動作モードを低消費電力に設定する。

【0014】

また、本発明の一形態は、情報端末と、表示装置と、情報処理装置と、を有する画像処理システムである。情報端末は、第一のカメラと、第一のプロセッサと、第一の表示部とを有し、表示装置は、第二のカメラと、第二のプロセッサと、第二の表示部とを有する。第一のカメラは、情報端末のユーザーの少なくとも一部分の画像を取り込み、第一のプロセッサは、第一のカメラが取り込んだ画像を解析してユーザーの注視方向を検出する。第二のカメラは、ユーザーの少なくとも一部分の画像を取り込み、第二のプロセッサは、第二のカメラが取り込んだ画像を解析してユーザーの注視方向を検出する。ユーザーの注視方向が、第一の表示部でないと判断された場合に、情報端末は、第一の表示部の動作モードを低消費電力に設定し、ユーザーの注視方向が、第二の表示部でないと判断された場合に、表示装置は、第二の表示部の動作モードを低消費電力に設定する。ユーザーの注視方向が、第二の表示部であると判断された場合に、第二のプロセッサは、第二の表示部の表示画像を解析し、表示装置は、表示画像の解析結果に応じて、第二の表示部の少なくとも一部の動作モードを低消費電力に設定する。

10

【0015】

また、上記形態において、表示部は、チャンネル形成領域に金属酸化物を含むトランジスタを有する。

20

【0016】

また、上記形態において、情報端末は、チャンネル形成領域に金属酸化物を含むトランジスタを有する。

【0017】

また、上記形態において、表示装置は、チャンネル形成領域に金属酸化物を含むトランジスタを有する。

【発明の効果】

【0018】

ユーザーの注視方向を検出または予測し、注視されていない情報端末や表示装置において、輝度や駆動周波数を下げることで、低消費電力化が可能となる。また、ユーザーが、表示部のどの領域を注視しているかを検出または予測し、注視していない領域の輝度や駆動周波数を下げることで、低消費電力化が可能となる。

30

【0019】

本発明により、ユーザーに画質の低下を認識させることなく、低消費電力化が可能な情報端末や表示装置を提供することができる。

【0020】

本発明の一形態は、新規な構成の情報端末を提供することができる。または、新規な構成の表示装置を提供することができる。または、新規な構成の情報端末や表示装置を使用した画像処理システムを提供することができる。

40

【0021】

なお、本発明の一形態の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一形態は、上記列挙した効果、および他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一形態は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

50

【 0 0 2 2 】

【図 1】ゲームシステムの構成例を説明する外觀図。

【図 2】ゲームシステムの構成例を説明するブロック図。

【図 3】携帯型情報端末のフローチャート。

【図 4】据置型表示装置のフローチャート。

【図 5】タッチセンサユニットの構成例を示すブロック図。

【図 6】タッチセンサユニットの構成例を示す上面図および投影図。

【図 7】タッチセンサユニットの構成例を示す上面図および投影図。

【図 8】表示ユニットの構成例を示すブロック図。

【図 9】表示ユニットの構成例を示すブロック図。

10

【図 10】ゲートドライバの構成例を示すブロック図。

【図 11】シフトレジスタの構成例を示す回路図。

【図 12】シフトレジスタの構成例を示す回路図。

【図 13】シフトレジスタの構成例を示す回路図。

【図 14】レジスタの構成例を示す回路図。

【図 15】レジスタの構成例を示す回路図。

【図 16】レジスタの構成例を示す回路図。

【図 17】レジスタの構成例を示す回路図。

【図 18】ゲートドライバの動作に関するタイミングチャート。

【図 19】ゲートドライバの動作に関するタイミングチャート。

20

【図 20】ゲートドライバの動作に関するタイミングチャート。

【図 21】ゲートドライバの動作に関するタイミングチャート。

【図 22】ゲームシステムが有する積和演算回路の構成例を説明する図。

【図 23】ゲームシステムが有する積和演算回路の構成例を説明する図。

【図 24】ゲームシステムが有する積和演算回路の動作例を説明するタイミングチャート

。

【図 25】階層型ニューラルネットワークの一例を示す図。

【図 26】階層型ニューラルネットワークの一例を示す図。

【図 27】階層型ニューラルネットワークの一例を示す図。

【図 28】回路の構成例を説明する図。

30

【発明を実施するための形態】

【 0 0 2 3 】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる形態で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。また、以下に示される複数の実施の形態は、適宜組み合わせることが可能である。

【 0 0 2 4 】

なお、実施の形態において説明するゲームシステムは、携帯型情報端末と、据置型表示装置と、情報処理装置等によって構成される。本明細書等において、本発明の一形態である携帯型情報端末、据置型表示装置および情報処理装置は、信号処理部、カメラ部、表示部等によって構成された半導体装置である。したがって、携帯型情報端末、据置型表示装置および情報処理装置を半導体装置、電子機器などと言い換える場合がある。

40

【 0 0 2 5 】

また、図面等において、大きさ、層の厚さ、領域等は、明瞭化のため誇張されている場合がある。よって、必ずしもそのスケールに限定されない。図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。

【 0 0 2 6 】

また、図面等において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明

50

は省略する場合がある。

【 0 0 2 7 】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【 0 0 2 8 】

また、本明細書等において、「上」や「下」などの配置を示す用語は、構成要素の位置関係が、「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

10

【 0 0 2 9 】

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

【 0 0 3 0 】

また、本明細書等において、「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。

【 0 0 3 1 】

20

また、本明細書等において、「電氣的に接続」とは、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、容量素子、その他の各種機能を有する素子などが含まれる。

【 0 0 3 2 】

また、本明細書等において、「電圧」とは、ある電位と基準の電位（例えば、グラウンド電位）との電位差のことを示す場合が多い。よって、電圧と電位差とは言い換えることができる。

30

【 0 0 3 3 】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む、少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域、またはドレイン電極）とソース（ソース端子、ソース領域、またはソース電極）の間にチャンネル領域を有しており、チャンネル領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

【 0 0 3 4 】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

40

【 0 0 3 5 】

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。つまり、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流、という場合がある。

50

【 0 0 3 6 】

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソース電流をいう場合がある。

【 0 0 3 7 】

また、本明細書等では、オフ電流と同じ意味で、リーク電流と記載する場合がある。また、本明細書等において、オフ電流とは、トランジスタがオフ状態にあるときに、ソースとドレインの間に流れる電流を指す場合がある。

【 0 0 3 8 】

また、本明細書等において、金属酸化物 (metal oxide) とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう) などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも 1 つを有する場合、当該金属酸化物を、金属酸化物半導体 (metal oxide semiconductor)、略して OS と呼ぶことができる。また、OS トランジスタ、または OS FET と記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

10

【 0 0 3 9 】

(実施の形態 1)

本実施の形態では、携帯型情報端末と、据置型表示装置と、情報処理装置とを有するゲームシステムについて説明する。

20

【 0 0 4 0 】

< ゲームシステム >

図 1 は、ゲームシステムの構成例を説明する外観図である。

【 0 0 4 1 】

ゲームシステムは、携帯型情報端末 10 A 乃至 10 C、据置型表示装置 30、情報処理装置 50 を有する。図 1 では、ゲームのプレイヤーとして、携帯型情報端末 10 A 乃至 10 C を操作するユーザー 13 A 乃至 13 C を図示している。図 1 では、ユーザーが 3 人の場合を示しているが、1 人や 2 人であってもよいし、3 人より多人数であってもよい。

30

【 0 0 4 2 】

携帯型情報端末 10 A 乃至 10 C は、それぞれ、表示部 11 A 乃至 11 C、カメラ部 12 A 乃至 12 C を有する。また、据置型表示装置 30 は、表示部 31、カメラ部 32 を有する。

【 0 0 4 3 】

携帯型情報端末 10 A 乃至 10 C と、情報処理装置 50 とは、無線通信により接続されている。無線通信には、例えば、通信プロトコル又は通信技術として、LTE (Long Term Evolution)、GSM (Global System for Mobile Communication: 登録商標)、EDGE (Enhanced Data Rates for GSM Evolution)、CDMA 2000 (Code Division Multiple Access 2000)、W-CDMA (Wideband Code Division Multiple Access) などの通信規格、または Wi-Fi (Wireless Fidelity: 登録商標)、Bluetooth (登録商標)、ZigBee (登録商標) 等の IEEE により規格化された仕様、または IrDA (Infrared Data Association) 等の光無線通信を用いることができる。

40

【 0 0 4 4 】

情報処理装置 50 と、据置型表示装置 30 とは、有線通信により接続されている。情報処理装置 50 は、据置型表示装置 30 で表示を行うための画像データを生成し、据置型表示装置 30 へ出力する機能を有する。

【 0 0 4 5 】

50

図 2 は、ゲームシステムの構成例を説明するブロック図である。

【 0 0 4 6 】

< 携帯型情報端末 >

携帯型情報端末 1 0 A 乃至 1 0 C は、それぞれ、カメラ部 1 2 A 乃至 1 2 C に加えて、表示装置 1 4 A 乃至 1 4 C、信号処理部 1 5 A 乃至 1 5 C、通信部 1 6 A 乃至 1 6 C、タッチセンサ 1 7 A 乃至 1 7 C、操作部 1 8 A 乃至 1 8 C、バッテリー 1 9 A 乃至 1 9 C、アンテナ 2 0 A 乃至 2 0 C を有する。

【 0 0 4 7 】

表示装置 1 4 A 乃至 1 4 C は、それぞれ、タッチセンサ 1 7 A 乃至 1 7 C と重畳する領域を有し、表示部 1 1 A 乃至 1 1 C を形成する。表示装置 1 4 A 乃至 1 4 C は、表示部 1 1 A 乃至 1 1 C に画像を表示する機能を有する。また、表示装置 1 4 A 乃至 1 4 C は、それぞれ、ディスプレイコントローラ等制御部を有し、信号処理部 1 5 A 乃至 1 5 C と、画像データや制御信号等について通信を行っている。

10

【 0 0 4 8 】

表示装置 1 4 A 乃至 1 4 C を構成する表示素子には、例えば、液晶素子、電子ペーパー、有機 E L (E l e c t r o L u m i n e s c e n t) 素子、無機 E L 素子、Q L E D (Q u a n t u m - d o t L i g h t E m i t t i n g D i o d e)、L E D (L i g h t E m i t t i n g D i o d e) 等を適用することができる。

【 0 0 4 9 】

タッチセンサ 1 7 A 乃至 1 7 C は、タッチを検出できる領域を形成し、ユーザー 1 3 A 乃至 1 3 C は、この領域に指やスタイラス等を用いて入力を行うことができる。タッチセンサ 1 7 A 乃至 1 7 C として、投影型静電容量方式 (相互容量方式)、表面型静電容量方式、抵抗膜方式、超音波表面弾性波方式、光学方式、電磁誘導方式など、任意の検出方式を利用することができる。

20

【 0 0 5 0 】

タッチセンサ 1 7 A 乃至 1 7 C は、それぞれ、タッチセンサコントローラ等制御部を有し、信号処理部 1 5 A 乃至 1 5 C と、タッチの有無、タッチ位置の情報等について通信を行っている。信号処理部 1 5 A 乃至 1 5 C は、ユーザー 1 3 A 乃至 1 3 C がどの位置をタッチしたかを情報として得ることができる。なお、タッチセンサ 1 7 A 乃至 1 7 C の構成例については、実施の形態 2 にて説明する。

30

【 0 0 5 1 】

カメラ部 1 2 A 乃至 1 2 C は、それぞれ、表示装置 1 4 A 乃至 1 4 C の表示方向を撮影する機能を有する。カメラ部 1 2 A 乃至 1 2 C を用いて、携帯型情報端末 1 0 A 乃至 1 0 C のユーザー 1 3 A 乃至 1 3 C を撮影することができる。

【 0 0 5 2 】

操作部 1 8 A 乃至 1 8 C は、ハードウェアボタン、ポインティングデバイス、キーボード、マウス、キーパッド等の入力装置である。また、操作部 1 8 A 乃至 1 8 C に、音声入力装置、視線入力装置などを用いてもよい。

【 0 0 5 3 】

通信部 1 6 A 乃至 1 6 C は、アンテナ 2 0 A 乃至 2 0 C を介して、他の電子機器または通信網と無線接続し、情報を送受信する機能を備える。アンテナ 2 0 A 乃至 2 0 C は、図 1 では携帯型情報端末 1 0 A 乃至 1 0 C 内に内蔵されている。また、場合によっては、アンテナ 2 0 A 乃至 2 0 C を使用せず、有線通信を行ってもよい。

40

【 0 0 5 4 】

携帯型情報端末 1 0 A 乃至 1 0 C は、バッテリー 1 9 A 乃至 1 9 C を有する。図 2 では、主な情報の流れを矢印で図示しているが、各機能ブロックに電力を供給する流れは省略している。また、バッテリー 1 9 A 乃至 1 9 C は、バッテリーコントローラ等を有し、信号処理部 1 5 A 乃至 1 5 C と、バッテリー 1 9 A 乃至 1 9 C の充電状態、充放電回数、温度等について通信を行っている。

【 0 0 5 5 】

50

信号処理部 15 A 乃至 15 C には、CPU (Central Processing Unit) やメモリ等を適用することができる。信号処理部 15 A 乃至 15 C は、ユーザー 13 A 乃至 13 C による、操作部 18 A 乃至 18 C やタッチセンサ 17 A 乃至 17 C の操作データを取得し、ゲームのプログラムに応じた画像データを生成する機能、および表示装置 14 A 乃至 14 C の制御信号を生成する機能を有する。画像データは、表示装置 14 A 乃至 14 C に送られ、表示部 11 A 乃至 11 C に表示される。

【0056】

信号処理部 15 A は、通信部 16 A およびアンテナ 20 A を介して、ユーザー 13 A による操作データやユーザー 13 A のパラメータ等を、情報処理装置 50、携帯型情報端末 10 B および携帯型情報端末 10 C に送信する。また、信号処理部 15 A は、通信部 16 A およびアンテナ 20 A を介して、ユーザー 13 B および 13 C による操作データ、ユーザー 13 B および 13 C のパラメータ等、および、情報処理装置 50 が有するゲームのプログラムやデータ等を受信する。信号処理部 15 B および 15 C についても同様である。また、ユーザー 13 A 乃至 13 C のパラメータには、ゲーム内での位置情報、ステータス情報、装備品情報、および行動の経緯情報等がある。

10

【0057】

また、信号処理部 15 A 乃至 15 C は、カメラ部 12 A 乃至 12 C を用いて撮影した画像データを解析する機能を有する。信号処理部 15 A 乃至 15 C は、撮影した画像データから、ユーザー 13 A 乃至 13 C が表示部 11 A 乃至 11 C を注視しているか否かを判断する機能を有する。ユーザー 13 A 乃至 13 C が表示部 11 A 乃至 11 C を注視しているか否かに応じて、表示装置 14 A 乃至 14 C の制御信号を変更することができる。

20

【0058】

例えば、信号処理部 15 A 乃至 15 C は、撮影した画像データからユーザー 13 A 乃至 13 C の頭に対する眼の位置を認知し、顔の向きを推測する。さらに、眼の中の黒眼の位置を認知し、視線の方向を推測する。また、視線の方向が通過した程度の一時的なものなのか、しばらくとどまって注視しているものなのかを推測し、ユーザー 13 A 乃至 13 C の注視方向を判断する。

【0059】

信号処理部 15 A 乃至 15 C には、CPUに加えて、DSP (Digital Signal Processor) やGPU (Graphics Processing Unit) 等、他のマイクロプロセッサを併用してもよい。さらに、画像データを生成または解析するために、GPUやFPGA (Field Programmable Gate Array) 等を利用することができる。

30

【0060】

また、カメラ部 12 A 乃至 12 C を用いて撮影した画像データから、ユーザー 13 A 乃至 13 C が表示部 11 A 乃至 11 C を注視するか否かを予測するために、人工知能 (Artificial Intelligence: AI) を利用することができる。

【0061】

例えば、ゲームの内容に応じて異なるが、ある特定の動作やイベントがあるとき、もしくはあったときに、ユーザー 13 A 乃至 13 C が表示部 11 A 乃至 11 C を注視すると予測することができる。例えば、個人プレイ型のゲームの場合、難易度が高くタイミングが重要な局面では表示部 11 A 乃至 11 C が注視されると予測でき、その後、ゲームを最初にクリアしたユーザーは据置型表示装置 30 の表示部 31 を注視し、他のユーザーの状況を確認すると予測できる。

40

【0062】

ユーザー 13 A 乃至 13 C の注視方向を判断し、さらに予測することで、ユーザーに画質の低下を認識させることなく、携帯型情報端末 10 A 乃至 10 C や据置型表示装置 30 を、低消費電力化することができる。低消費電力化の方法については、後述する。

【0063】

人工知能とは、人工ニューラルネットワーク (Artificial Neural N

50

network: ANN。以下、ニューラルネットワークと略記する)等を利用した、人間の知能を模した計算機のことである。ニューラルネットワークは、ニューロンとシナプスで構成する神経網を模した回路構成のことであり、人工知能は、ニューラルネットワークを利用することで学習に応じた演算を行うことができる。なお、ニューラルネットワークの構成例については、実施の形態4にて説明する。

【0064】

また、信号処理部15A乃至15Cに適用できるメモリには、DRAM(Dynamic Random Access Memory)やSRAM(Static RAM)などの揮発性の記憶素子を用いた記憶装置、フラッシュメモリ、MRAM(Magnetoresistive RAM)、PRAM(Phase change RAM)、ReRAM(Resistance RAM)、FeRAM(Ferroelectric RAM)などの不揮発性の記憶素子を用いた記憶装置、または、ハードディスクドライブ(Hard Disc Drive: HDD)やソリッドステートドライブ(Solid State Drive: SSD)などの記憶装置等がある。

10

【0065】

< 情報処理装置 >

情報処理装置50は、信号処理部55、通信部56、操作部58、アンテナ60、映像出力部61、情報入出力部63を有する。

【0066】

通信部56、操作部58、アンテナ60は、携帯型情報端末10A乃至10Cが有する、通信部16A乃至16C、操作部18A乃至18C、アンテナ20A乃至20Cと同様のため、説明を援用する。

20

【0067】

映像出力部61は、据置型表示装置30で表示を行うための画像データを出力する機能を有する。図1では、情報処理装置50と据置型表示装置30とは、映像出力部61を介して有線通信により接続されている例を示したが、無線通信によって接続してもよい。

【0068】

情報入出力部63には、CD-ROM、DVD(Digital Versatile Disk)、ブルーレイディスク、フラッシュメモリ、または、外部インターフェースを介してコネクタにより脱着可能なハードディスクドライブやソリッドステートドライブ等の記憶装置を適用することができる。

30

【0069】

信号処理部55には、信号処理部15A乃至15Cと同様、CPUやメモリ等を適用することができる。信号処理部55は、信号処理部55が有する不揮発性の記憶素子を用いた記憶装置、ハードディスクドライブ、ソリッドステートドライブ、または情報入出力部63等から、ゲームのプログラムを読み込み、実行する機能、および、据置型表示装置30で表示を行うための画像データを生成する機能を有する。

【0070】

信号処理部55は、通信部56およびアンテナ60を介して、ユーザー13A乃至13Cによる操作データやユーザー13A乃至13Cのパラメータ等を受信し、随時、ゲームのプログラムに反映する。そして、ゲームのプログラムに反映した結果は、必要に応じて、携帯型情報端末10A乃至10Cに送信される。

40

【0071】

また、信号処理部55は、ゲームの内容に応じて、表示部11A乃至11Cおよび表示部31に表示する表示内容を調整する機能を有する。例えば、個人プレイ型のゲームの場合、表示部11A乃至11Cにはユーザー13A乃至13Cそれぞれの画像を表示し、表示部31にはユーザー13A乃至13C全員分の画像を表示することができる。

【0072】

例えば、ユーザー13A乃至13Cが協力して問題を解決するゲームの場合、表示部11A乃至11Cにはユーザー13A乃至13Cそれぞれの視点からの画像を表示し、表示部

50

31にはユーザー13A乃至13C全員分の位置情報、ステータス情報、および装備品情報を表示して、お互いの状況を確認することができる。

【0073】

逆に、ユーザー13A乃至13Cがお互いライバルとなるゲームの場合、表示部11A乃至11Cにはユーザー13A乃至13Cそれぞれの視点からの画像を表示するが、ユーザー13Aが仕掛けた罠については表示部11Aのみに表示し、表示部11B、11C、および31には表示しないといったことができる。

【0074】

< 据置型表示装置 >

据置型表示装置30は、カメラ部32に加えて、表示装置34、信号処理部35、映像入力部42を有する。

【0075】

表示装置34は表示部31を形成し、表示装置34は表示部31に画像を表示する機能を有する。また、表示装置34は、ディスプレイコントローラ等制御部を有し、信号処理部35と画像データや制御信号等について通信を行っている。表示装置34を構成する表示素子には、表示装置14A乃至14Cと同様、例えば、液晶素子、電子ペーパー、有機EL素子、無機EL素子、QLED、LED等を適用することができる。

【0076】

カメラ部32は、表示装置34の表示方向を撮影する機能を有する。カメラ部32を用いて、表示部31を見ることができるユーザーを撮影することができる。

【0077】

映像入力部42には、表示装置34が表示を行う画像データが入力される。映像入力部42に入力された画像データは、信号処理部35を経て、表示装置34に出力される。

【0078】

信号処理部35には、信号処理部15A乃至15Cと同様、CPUやメモリ等を適用することができる。信号処理部35は、表示装置34の制御信号を生成する機能、カメラ部32を用いて撮影した画像データを解析する機能、および、映像入力部42に入力された画像データを解析する機能を有する。

【0079】

信号処理部35は、カメラ部32を用いて撮影した画像データから、表示部31を見ることができるユーザーが表示部31を注視しているか否かを判断する機能を有する。ユーザーが表示部31を注視しているか否かに応じて、表示装置34の制御信号を変更することができる。注視方向を判断する方法の例に関しては、信号処理部15A乃至15Cと同様のため、省略する。

【0080】

同様に、カメラ部32を用いて撮影した画像データから、表示部31を見ることができるユーザーが表示部31を注視するか否かを予測するために、人工知能を利用することができる。

【0081】

また、信号処理部35は、映像入力部42に入力された画像データの内容から、ユーザーが注目しやすい領域（非特許文献2）が存在するかを解析する機能を有する。画像データの内容に、ユーザーが注目しやすい領域が存在するか否かに応じて、表示装置34の制御信号を変更することができる。

【0082】

信号処理部35には、CPUに加えてDSPやGPU等他のマイクロプロセッサを併用してもよく、また、画像データを解析するためにGPUやFPGA等を利用することができる。さらに、カメラ部32を用いて撮影した画像データから、表示部31を見ることができるユーザーが表示部31を注視するか否かを予測するために、人工知能を利用することができる。

【0083】

10

20

30

40

50

<フローチャート>

ゲームの開始から終了まで、携帯型情報端末 10 A 乃至 10 C の表示装置 14 A 乃至 14 C に関するフローチャートを、図 3 に示す。

【0084】

ゲームが開始（ステップ S 11）されると、カメラ部 12 A 乃至 12 C は、それぞれ、ユーザー 13 A 乃至 13 C を撮影する（ステップ S 12）。なお、図 3 では、撮影した画像データを、「撮影データ」と表現している。

【0085】

信号処理部 15 A 乃至 15 C は、それぞれ、撮影データを解析し、ユーザー 13 A 乃至 13 C の注視方向を検出する（ステップ S 13）。携帯型情報端末 10 A について、ユーザー 13 A が、携帯型情報端末 10 A の表示部 11 A を注視していると判断された場合（ステップ S 14）、信号処理部 15 A は表示装置 14 A の動作モードを通常動作に設定する（ステップ S 16）。ユーザー 13 A が、携帯型情報端末 10 A の表示部 11 A を注視していないと判断された場合（ステップ S 14）、信号処理部 15 A は表示装置 14 A の動作モードを低消費電力に設定する（ステップ S 15）。

【0086】

携帯型情報端末 10 B および 10 C に対しても、同様にステップ S 14 乃至 S 16 が行われる。

【0087】

表示装置 14 A 乃至 14 C は、それぞれ、信号処理部 15 A 乃至 15 C から送られる画像データを表示する（ステップ S 17）。引き続き、表示する画像データが存在する場合（ステップ S 18）、ステップ S 12 に戻って、カメラ部 12 A 乃至 12 C は撮影する。表示する画像データが存在せず（ステップ S 18）、ゲーム終了の場合（ステップ S 19）、一連の動作が終了する。

【0088】

次に、ゲームの開始から終了まで、据置型表示装置 30 の表示装置 34 に関するフローチャートを、図 4 に示す。

【0089】

ゲームが開始（ステップ S 21）されると、カメラ部 32 は、表示部 31 を見ることができるユーザーを撮影する（ステップ S 22）。図 4 では、撮影した画像データを、「撮影データ」と表現している。

【0090】

信号処理部 35 は、撮影データを解析し、表示部 31 を見ることができるユーザーの注視方向を検出する（ステップ S 23）。ユーザーが表示部 31 を注視していると判断された場合（ステップ S 24）、信号処理部 35 は、映像入力部 42 に入力された画像データを解析する（ステップ S 26）。画像データの内容に、ユーザーが注目しやすい領域が存在しないと判断された場合（ステップ S 27）、信号処理部 35 は表示装置 34 の動作モードを通常動作に設定する（ステップ S 29）。

【0091】

ステップ S 24 において、ユーザーが表示部 31 を注視していないと判断された場合、信号処理部 35 は表示装置 34 の動作モードを低消費電力に設定する（ステップ S 25）。また、ステップ S 27 において、画像データの内容に、ユーザーが注目しやすい領域が存在すると判断された場合（ステップ S 27）、ユーザーが注目しやすい領域以外の領域を低消費電力に設定する（ステップ S 28）。

【0092】

表示装置 34 は、信号処理部 35 から送られる画像データを表示する（ステップ S 30）。引き続き、表示する画像データが存在する場合（ステップ S 31）、ステップ S 22 に戻って、カメラ部 32 は撮影する。表示する画像データが存在せず（ステップ S 31）、ゲーム終了の場合（ステップ S 32）、一連の動作が終了する。

【0093】

10

20

30

40

50

なお、表示装置 14 A 乃至 14 C および表示装置 34 において、動作モードが低消費電力に設定されると、表示装置 14 A 乃至 14 C および表示装置 34 は表示輝度を暗くする、I D S 駆動を行う等の方法で消費電力を低減する。また、表示装置 34 において、ユーザーが注目しやすい領域以外の領域を低消費電力に設定されると、表示装置 34 は表示部 31 の一部領域の表示輝度を暗くする、部分 I D S 駆動を行う等の方法で消費電力を低減する。

【0094】

表示装置 14 A 乃至 14 C および表示装置 34 の構成例と、I D S 駆動および部分 I D S 駆動については、実施の形態 3 にて説明する。

【0095】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせる実施することができる。

【0096】

(実施の形態 2)

本実施の形態では、上記実施の形態に記載のタッチセンサ 17 A 乃至 17 C に適用可能なタッチセンサユニット 400 について、図 5 乃至図 7 を用いて説明を行う。

【0097】

<タッチセンサユニット>

図 5 は、タッチセンサユニット 400 の構成例を示すブロック図である。ここでは、タッチセンサユニット 400 が投影型静電容量方式のタッチセンサユニットである例を示す。

【0098】

センサアレイ 401 は、配線 C L および配線 M L を有し、配線 C L および配線 M L が重畳すること、または、配線 C L および配線 M L が近接して配置されること、で形成される複数の容量 404 を有する。

【0099】

図 5 は、一例として、配線 C L を C L (1) 乃至 C L (6) の 6 本の配線、配線 M L を M L (1) 乃至 M L (6) の 6 本の配線として示しているが、配線の数はいかに限定されない。なお、配線 C L はパルス電圧が与えられる配線であり、配線 M L は電流の変化を検知する配線である。

【0100】

センサアレイ 401 に、被検知体（指やスタイラス等）の近接または接触を検知すると、容量 404 の容量値が変化し、タッチセンサユニット 400 はタッチを検出する。

【0101】

センサアレイ 401 は、配線 C L および配線 M L を介して、タッチセンサ I C 402 に電氣的に接続されている。タッチセンサ I C 402 は、駆動回路 405 と検出回路 406 を有する。

【0102】

駆動回路 405 は、配線 C L を介して、センサアレイ 401 に電氣的に接続される。駆動回路 405 は、信号 T x を出力する機能を有する。駆動回路 405 としては、例えばシフトレジスタ回路とバッファ回路を組み合わせた構成を用いることができる。

【0103】

検出回路 406 は、配線 M L を介して、センサアレイ 401 に電氣的に接続される。検出回路 406 は、信号 R x を検出し、タッチセンサユニット 400 でタッチが行われたことを検出する。例えば、検出回路 406 として、増幅回路と、アナログデジタル変換回路（Analog-Digital Converter：ADC）を有する構成を用いることができる。検出回路 406 は、センサアレイ 401 から出力されるアナログ信号を、デジタル信号に変換して、信号処理部 15 A 乃至 15 C に出力する機能を有する（図 2 参照）。

【0104】

次に、タッチセンサユニット 400 のより具体的な構成例について、図 6 および図 7 を用

10

20

30

40

50

いて説明する。

【0105】

図6(A)はタッチセンサユニット400の上面図である。図6(B)および図6(C)は、図6(A)の一部を説明する投影図である。

【0106】

図7(A)は、制御線および検知信号線の隣接部の上面図である。図7(B)は、隣接部に生じる電界を模式的に説明する投影図である。

【0107】

タッチセンサユニット400はセンサレイ401を有する。センサレイ401は、配線CL(g)、配線ML(h)および導電膜を備える(図6(A)参照)。なお、gおよびhは2以上の整数である。

10

【0108】

例えば、複数の領域に分割された導電膜をセンサレイ401に用いることができる(図6(A)参照)。これにより、同一の電位または異なる電位を、複数の領域のそれぞれに供給することができる。

【0109】

具体的には、配線CL(g)に用いることができる導電膜と、配線ML(h)に用いることができる導電膜と、に分割された導電膜をセンサレイ401に用いることができる。また、複数の領域に分割された導電膜のそれぞれに、例えば、櫛歯状の形状を備える導電膜を用いることができる(図7、電極CE(1)、電極ME(1)および電極ME(2)参照)。これにより、分割された導電膜を検知素子の電極に用いることができる。

20

【0110】

例えば、配線CL(1)に用いることができる導電膜と、配線ML(1)に用いることができる導電膜と、配線ML(2)に用いることができる導電膜と、に分割された導電膜は、隣接部X0において互いに隣接する(図6(A)、図6(C)、または図7参照)。

【0111】

検知素子475(g, h)は、配線CL(g)および配線ML(h)と電氣的に接続される(図6(A)参照)。

【0112】

配線CL(g)は信号Txを供給する機能を備え、配線ML(h)は信号Rxを供給される機能を備える。

30

【0113】

配線ML(h)は、導電膜BR(g, h)を含む(図6(B)参照)。導電膜BR(g, h)は、配線CL(g)と重なる領域を備える。

【0114】

なお、検知素子475(g, h)は絶縁膜を備える。絶縁膜は、配線ML(h)および導電膜BR(g, h)の間に挟まれる領域を備える。これにより、配線ML(h)および導電膜BR(g, h)の短絡を防止することができる。

【0115】

電極CE(1)は、配線CL(1)に電氣的に接続され、電極ME(1)は、配線ML(1)に電氣的に接続される(図7参照)。

40

【0116】

同様に、電極CE(g)は、配線CL(g)に電氣的に接続され、電極ME(h)は、配線ML(h)に電氣的に接続される。

【0117】

検知素子475(1, 1)は、電極CE(1)と電極ME(1)の間に形成される容量値の変化を読み取ることで、タッチを検出する(図6及び図7参照)。

【0118】

同様に、検知素子475(g, h)は、電極CE(g)と電極ME(h)の間に形成される容量値の変化を読み取ることで、タッチを検出する。

50

【0119】

同一の工程で形成することができる導電膜を、配線CL(1)および電極CE(1)に用いることができる。同一の工程で形成することができる導電膜を、配線ML(1)および電極ME(1)に用いることができる(図7参照)。

【0120】

同様に、同一の工程で形成することができる導電膜を、配線CL(g)および電極CE(g)に用いることができる。同一の工程で形成することができる導電膜を、配線ML(h)および電極ME(h)に用いることができる。

【0121】

例えば、透光性を備える導電膜を、電極CE(g)および電極ME(h)に用いることができる。または、画素と重なる領域に開口部や櫛歯状の形状を備える導電膜を、電極CE(g)および電極ME(h)に用いることができる。これにより、表示パネルの表示を遮ることなく、表示パネルと重なる領域に近接するものを検知することができる。

10

【0122】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせる実施することができる。

【0123】

(実施の形態3)

本実施の形態では、上記実施の形態に記載の表示装置14A乃至14Cおよび表示装置34に適用可能な、表示ユニット200について、図8乃至図21を用いて説明を行う。

20

【0124】

<表示ユニット>

図8は、表示ユニットの構成例を示すブロック図である。表示ユニット200は、画素アレイ201、ゲートドライバ202、ゲートドライバ203、およびコントローラIC204を有する。

【0125】

画素アレイ201は、複数の画素210を有し、それぞれの画素210はトランジスタを用いて駆動されるアクティブ型の素子である。また、画素アレイ201は、表示ユニット200の表示部を形成し、画像を表示する機能を有する。

30

【0126】

ゲートドライバ202およびゲートドライバ203(以下、「ゲートドライバ202、203」と表記する)は、画素210を選択するためのゲート線を駆動する機能を有する。ゲートドライバ202、203は、どちらか一方のみでもよい。なお、図8の例では、ゲートドライバ202、203は、画素アレイ201と共に同一基板上に設けられている例を示しているが、ゲートドライバ202、203を専用ICとすることもできる。

【0127】

コントローラIC204は、画素210にデータ信号を供給するためのソース線を駆動する、ソースドライバの機能を有する。ここでは、コントローラIC204の実装方式は、COG(Chip on Glass)方式としているが、実装方式に特段の制約はなく、COF(Chip on Flexible)方式、TAB(Tape Automated Bonding)方式などでもよい。

40

【0128】

なお、画素210に使用されるトランジスタはOSトランジスタであり、Siトランジスタに比べてオフ電流が低いトランジスタである。

【0129】

OSトランジスタは、チャネル形成領域に金属酸化物を有することが好ましい。また、OSトランジスタに適用される金属酸化物は、インジウム(In)および亜鉛(Zn)の少なくとも一方を含む酸化物であることが好ましい。

【0130】

このような酸化物としては、In-M-Zn酸化物、In-M酸化物、Zn-M酸化物、

50

In - Zn 酸化物（元素 M は、例えば、アルミニウム（Al）、ガリウム（Ga）、イットリウム（Y）、スズ（Sn）、ホウ素（B）、シリコン（Si）、チタン（Ti）、鉄（Fe）、ニッケル（Ni）、ゲルマニウム（Ge）、ジルコニウム（Zr）、モリブデン（Mo）、ランタン（La）、セリウム（Ce）、ネオジム（Nd）、バナジウム（V）、ベリリウム（Be）、ハフニウム（Hf）、タンタル（Ta）またはタングステン（W）など）が代表的である。

【0131】

OS トランジスタは、チャネル幅 $1\ \mu\text{m}$ あたりのオフ電流を $1\ \text{yA}/\mu\text{m}$ （y；ヨクト、 10^{-24} ）以上 $1\ \text{zA}/\mu\text{m}$ （z；zepto、 10^{-21} ）以下程度に低くすることができる。

10

【0132】

また、OS トランジスタには、CAC（Cloud - Aligned Composite）- OS を用いることが好ましい。CAC - OS の詳細については、実施の形態 5 で説明する。

【0133】

もしくは、画素 210 に使用されるトランジスタとして、オフ電流が低ければ OS トランジスタを適用しないことができる。例えば、バンドギャップが大きい半導体を用いたトランジスタを適用してもよい。バンドギャップが大きい半導体とは、バンドギャップが $2.2\ \text{eV}$ 以上の半導体を指す場合がある。例えば、炭化ケイ素、窒化ガリウム、ダイヤモンドなどが挙げられる。

20

【0134】

画素 210 に、オフ電流が低いトランジスタを用いることで、表示部を書き換える必要がない場合（すなわち静止画を表示する場合）、一時的にゲートドライバ 202、203、およびソースドライバの機能を停止することができる（「アイドルングストップ」または「IDS 駆動」）。IDS 駆動によって、表示ユニット 200 の消費電力を低減することができる。

【0135】

すなわち、例えば、通常動作時に表示部を 1 秒間に 60 回書き換えていたものを、IDS 駆動時には 1 秒間に 1 回とすることができる。さらに好ましくは、1 分間に 1 回の書き換えとすることができる。このように表示部の書き換え（リフレッシュ、ともいう）頻度を少なくすることで、表示ユニット 200 の消費電力を低減することができる。

30

【0136】

図 9 は、表示ユニット 200 の構成例を示すブロック図である。

【0137】

画素アレイ 201 は、複数の画素 210（1，1）乃至画素 210（m，n）と、ソース線 SL（1）乃至ソース線 SL（m）と、ゲート線 GL（1）乃至ゲート線 GL（n）を有する。ここで、m および n は 1 以上の整数であり、i は 1 以上 m 以下の整数であり、j は 1 以上 n 以下の整数である。なお、図 9 において、電源線や容量を形成するための定電位線等は省略している。

40

【0138】

ゲートドライバ 202、203 は、ゲート線 GL（1）乃至ゲート線 GL（n）を介して画素アレイ 201 と電氣的に接続され、コントローラ IC 204 は、ソース線 SL（1）乃至ソース線 SL（m）を介して画素アレイ 201 と電氣的に接続される。

【0139】

また、矢印 C1 で示す方向に配設される一群の画素 210（i，1）乃至画素 210（i，n）は、ソース線 SL（i）と電氣的に接続され、矢印 R1 で示す方向に配設される一群の画素 210（1，j）乃至画素 210（m，j）は、ゲート線 GL（j）と電氣的に接続される。

【0140】

ゲートドライバ 202、203 は、ゲート線 GL（j）を駆動し、画素 210（1，j）

50

乃至画素 210 (m, j) を選択する。コントローラ IC204 は、ソース線 SL(1) 乃至ソース線 SL(m) を介して、信号処理部 15A 乃至 15C および信号処理部 35 から供給された画像データのデータ信号を、画素 210(1, j) 乃至画素 210(m, j) に供給する。この動作を、ゲート線 GL(1) からゲート線 GL(n) まで繰り返すことで、表示ユニット 200 は、画素アレイ 201 に画像を表示することができる。

【0141】

なお、画素 210 には、上述した、液晶素子、電子ペーパー、有機 EL 素子、無機 EL 素子、QLED、LED 等、様々な表示素子を適用することができる。

【0142】

< ゲートドライバ >

部分 IDS 駆動は、表示部の一部領域に対して、上述の IDS 駆動を行う駆動方法である。ここでは、部分 IDS 駆動を行うために、表示ユニット 200 の表示部を複数の領域に分割して駆動することができるゲートドライバの構成例について説明する。

【0143】

ゲートドライバ 202、203 は、表示ユニット 200 の表示部を複数の領域に分割して駆動する機能を有する。すなわち、ゲートドライバ 202、203 は、画素アレイ 201 を複数の画素群に分割して駆動する機能を有する。

【0144】

ゲートドライバ 202、203 は、第 1 の回路と、第 2 の回路を有する。第 2 の回路は、第 1 乃至第 N (N は 2 以上の整数) のシフトレジスタを有し、第 K (K は 1 以上 N 以下の整数) のシフトレジスタは、第 K の画素群と電氣的に接続されるゲート線 GL に信号を出力する。

【0145】

第 2 の回路において、第 K のシフトレジスタのみゲート線 GL に信号を出力すること、および、第 1 乃至第 N のシフトレジスタを 1 つのシフトレジスタとしてゲート線 GL に信号を出力することが可能である。第 2 の回路において、第 K のシフトレジスタのみゲート線 GL に信号を出力する場合、K の値は、第 1 の回路が出力する信号に従って決定される。

【0146】

なお、説明をわかりやすくするため、図 9 において n = 1024、m = 768 とし、矢印 C1 で示す方向に 16 の画素群に分割して駆動する例を説明する。また、16 の画素群は均等であり、それぞれ 64 × 768 個の画素 210 を有する。

【0147】

ここで、第 1 の画素群はゲート線 GL(1) 乃至ゲート線 GL(64) と電氣的に接続され、第 2 の画素群はゲート線 GL(65) 乃至ゲート線 GL(128) と電氣的に接続され、以下同様であり、第 16 の画素群はゲート線 GL(961) 乃至ゲート線 GL(1024) と電氣的に接続される。

【0148】

図 10 は、ゲートドライバ 202、203 に適用可能な、ゲートドライバの構成例を示すブロック図である。ゲートドライバ 202、203 は、シフトレジスタ 71 を 15 個と、シフトレジスタ 72、およびシフトレジスタ 73 を有する。ここで、15 個のシフトレジスタ 71 とシフトレジスタ 72 は、前述の第 2 の回路に相当し、シフトレジスタ 73 は第 1 の回路に相当する。

【0149】

ゲートドライバ 202、203 には、スタートパルス G__SP、クロック信号 G__CLK [1:4]、パルス幅制御信号 G__PWC [1:4]、リセット信号 G__INI__RES、選択制御信号 G__SEL、スタートパルス U__SP、クロック信号 U__CLK [1:2] が入力される。なお、本明細書等において、G__CLK [1:4] のように、コロンで区切られた角括弧内の 2 つの数字は、配列の範囲を表す。例えば、G__CLK [1:4] は、G__CLK [1] 乃至 G__CLK [4] と同義である。同様に、コロンで区切られた丸括弧内の 2 つの数字も、配列の範囲を表す。例えば、GL(1:64) は、GL(1)

10

20

30

40

50

乃至 G L (6 4) と同義である。

【 0 1 5 0 】

また、ゲートドライバ 2 0 2、2 0 3 は、上述したゲート線 G L (1) 乃至ゲート線 G L (1 0 2 4) に信号を出力し、ゲート線 G L を駆動する。なお、ゲートドライバ 2 0 2、2 0 3 に入出力される信号はデジタル信号であり、H i g h または L o w のどちらかの状態をとる。

【 0 1 5 1 】

シフトレジスタ 7 3 には、スタートパルス U __ S P、クロック信号 U __ C L K [1 : 2]、リセット信号 G __ I N I __ R E S が入力される。シフトレジスタ 7 3 は、シフトレジスタ 7 1 およびシフトレジスタ 7 2 に、信号 U [0 1] 乃至 U [1 6] を出力する。

10

【 0 1 5 2 】

シフトレジスタ 7 1 およびシフトレジスタ 7 2 には、スタートパルス G __ S P、クロック信号 G __ C L K [1 : 4]、パルス幅制御信号 G __ P W C [1 : 4]、リセット信号 G __ I N I __ R E S、選択制御信号 G __ S E L、および、信号 U [0 1] 乃至 U [1 6] が入力される。シフトレジスタ 7 1 およびシフトレジスタ 7 2 は、それぞれ 6 4 本のゲート線 G L に電氣的に接続され、ゲート線 G L を駆動する。

【 0 1 5 3 】

1 5 個のシフトレジスタ 7 1 とシフトレジスタ 7 2 は、スタートパルス G __ S P をトリガーとして、1 つのシフトレジスタとして動作することが可能である。すなわち、後述する図 1 8 に示すように、スタートパルス G __ S P をトリガーに、ゲート線 G L (1) 乃至ゲート線 G L (1 0 2 4) に信号を出力し、ゲート線 G L を駆動することができる。

20

【 0 1 5 4 】

また、1 5 個のシフトレジスタ 7 1 とシフトレジスタ 7 2 のうち、いずれか 1 つのシフトレジスタのみゲート線 G L に信号を出力することが可能である。この場合、どのシフトレジスタが信号を出力するかは、シフトレジスタ 7 3 が出力する信号 U [0 1] 乃至 U [1 6] に従って決定される。

【 0 1 5 5 】

図 1 1 乃至図 1 3 は、シフトレジスタの構成例を示す回路図である。図 1 1 はシフトレジスタ 7 1 の構成例を、図 1 2 はシフトレジスタ 7 2 の構成例を、図 1 3 はシフトレジスタ 7 3 の構成例を、それぞれ示している。

30

【 0 1 5 6 】

図 1 1 (A) は、シフトレジスタ 7 1 のシンボルであり、シフトレジスタ 7 1 の入出力の様子を示している。シフトレジスタ 7 1 は、入力端子 U __ I N、S P __ I N、C L K __ I N [1 : 4]、P W C __ I N [1 : 4]、I N I __ R E S __ I N、S E L __ I N、R __ I N [1 : 2] を有し、出力端子 S P __ O U T、C L K __ O U T [1 : 4]、P W C __ O U T [1 : 4]、I N I __ R E S __ O U T、S E L __ O U T、R __ O U T [1 : 2]、および、S R __ O U T [1 : 6 4] を有する。ここで、S R __ O U T [1 : 6 4] からは、6 4 本のゲート線 G L に信号が出力される。

【 0 1 5 7 】

図 1 1 (B) は、シフトレジスタ 7 1 のシンボルに対する回路図である。シフトレジスタ 7 1 は、レジスタ 8 1 と 6 3 個のレジスタ 8 2 を有する。レジスタ 8 1 と 6 3 個のレジスタ 8 2 は、それぞれ、C L K __ I N [1] 乃至 C L K __ I N [4] のいずれか 3 つ、P W C __ I N [1] 乃至 P W C __ I N [4] のいずれか 1 つ、および I N I __ R E S __ I N と電氣的に接続され、信号が入力される。また、S R __ O U T [1] はレジスタ 8 1 と電氣的に接続され、S R __ O U T [2] 乃至 S R __ O U T [6 4] は、それぞれ、6 3 個のレジスタ 8 2 の 1 つと、順に電氣的に接続される。レジスタ 8 1 は、U __ I N、S P __ I N、S E L __ I N と電氣的に接続され、信号が入力される。

40

【 0 1 5 8 】

図 1 2 (A) は、シフトレジスタ 7 2 のシンボルであり、シフトレジスタ 7 2 の入出力の様子を示している。シフトレジスタ 7 2 は、入力端子 U __ I N、S P __ I N、C L K __ I

50

N[1:4]、PWC_IN[1:4]、INI_RES_IN、SEL_INを有し、出力端子R_OUT[1:2]、および、SR_OUT[1:64]を有する。

【0159】

図12(B)は、シフトレジスタ72のシンボルに対する回路図である。シフトレジスタ72は、レジスタ81と63個のレジスタ82、および2個のレジスタ83を有する。レジスタ81とレジスタ82およびレジスタ83は、それぞれ、CLK_IN[1]乃至CLK_IN[4]のいずれか3つ、PWC_IN[1]乃至PWC_IN[4]のいずれか1つ、およびINI_RES_INと電氣的に接続され、信号が入力される。また、SR_OUT[1]はレジスタ81と電氣的に接続され、SR_OUT[2]乃至SR_OUT[64]は、それぞれ、63個のレジスタ82の1つと、順に電氣的に接続される。レジスタ81は、U_IN、SP_IN、SEL_INと電氣的に接続され、信号が入力される。

10

【0160】

図13(A)は、シフトレジスタ73のシンボルであり、シフトレジスタ73の入出力の様子を示している。シフトレジスタ73は、入力端子SP_IN、CLK_IN[1:2]、INI_RES_INを有し、出力端子SR_OUT[1]乃至SR_OUT[16]を有する。

【0161】

図13(B)は、シフトレジスタ73のシンボルに対する回路図である。シフトレジスタ73は、16個のレジスタ85を有する。レジスタ85は、それぞれ、CLK_IN[1]またはCLK_IN[2]、およびINI_RES_INと電氣的に接続され、信号が入力される。また、レジスタ85は、それぞれ、SR_OUT[1]乃至SR_OUT[16]のいずれかと電氣的に接続され、信号を出力する。

20

【0162】

図14乃至図17は、レジスタの構成例を示す回路図である。図14はレジスタ81の構成例を、図15はレジスタ82の構成例を、図16はレジスタ83の構成例を、図17はレジスタ85の構成例を、それぞれ示している。

【0163】

図14(A)は、レジスタ81のシンボルであり、レジスタ81の入出力の様子を示している。レジスタ81は、入力端子U_IN、L_IN、CLK_IN[1]乃至CLK_IN[3]、PWC_IN、RES_IN、SEL_IN、R_INを有し、出力端子R_OUT[1]、R_OUT[2]を有する。ここで、L_INにはスタートパルスが入力され、R_INには2つ後段のレジスタの出力が入力され、U_INにはシフトレジスタ73が出力する信号U[01]乃至U[16]のいずれかが入力される(図10乃至図12、参照)。

30

【0164】

図14(B)は、レジスタ81のシンボルに対する回路図である。レジスタ81は、トランジスタTr1乃至トランジスタTr19と、容量素子C3を有する。なお、VDDは高電位電源であり、VSSは低電位電源である。

【0165】

40

図15(A)は、レジスタ82のシンボルであり、レジスタ82の入出力の様子を示している。レジスタ82は、入力端子L_IN、CLK_IN[1]乃至CLK_IN[3]、PWC_IN、RES_IN、R_INを有し、出力端子R_OUT[1]、R_OUT[2]を有する。ここで、L_INには前段のレジスタの出力が入力され、R_INには2つ後段のレジスタの出力が入力される(図11および図12、参照)。

【0166】

図15(B)は、レジスタ82のシンボルに対する回路図である。レジスタ82は、トランジスタTr20乃至トランジスタTr34と、容量素子C4を有する。なお、VDDは高電位電源であり、VSSは低電位電源である。

【0167】

50

図 16 (A) は、レジスタ 83 のシンボルであり、レジスタ 83 の入出力の様子を示している。レジスタ 83 は、入力端子 L_IN 、 $CLK_IN[1]$ 乃至 $CLK_IN[3]$ 、 PWC_IN 、 RES_IN を有し、出力端子 $R_OUT[1]$ 、 $R_OUT[2]$ を有する。 L_IN には前段のレジスタの出力が入力される。なお、レジスタ 83 は、シフトレジスタ 72 の最後の 2 段に使用されるため、入力端子 R_IN は有さない (図 12 参照)。

【0168】

図 16 (B) は、レジスタ 83 のシンボルに対する回路図である。レジスタ 83 は、トランジスタ $Tr35$ 乃至トランジスタ $Tr48$ と、容量素子 $C5$ を有する。なお、 VDD は高電位電源であり、 VSS は低電位電源である。

10

【0169】

図 17 (A) は、レジスタ 85 のシンボルであり、レジスタ 85 の入出力の様子を示している。レジスタ 85 は、入力端子 L_IN 、 CLK_IN 、 RES_IN 、 R_IN を有し、出力端子 R_OUT を有する。ここで、 L_IN には前段のレジスタの出力またはスタートパルスが入力され、 R_IN には後段のレジスタの出力が入力される (図 13 参照)。

【0170】

図 17 (B) は、レジスタ 85 のシンボルに対する回路図である。レジスタ 85 は、トランジスタ $Tr49$ 乃至トランジスタ $Tr58$ と、容量素子 $C6$ を有する。なお、 VDD は高電位電源であり、 VSS は低電位電源である。

20

【0171】

なお、トランジスタ $Tr1$ 乃至トランジスタ $Tr58$ は OS トランジスタを用いることが好ましい。トランジスタ $Tr1$ 乃至トランジスタ $Tr58$ は、図 14 乃至図 17 ではシングルゲートトランジスタとして図示したが、バックゲートを有するデュアルゲートトランジスタでもよい。トランジスタ $Tr1$ 乃至トランジスタ $Tr58$ が OS トランジスタであることで、トランジスタのオフ電流が低くなり、ゲートドライバの消費電流を低減することができる。

【0172】

< タイミングチャート >

図 18 乃至図 21 は、ゲートドライバ 202、203 の動作に関するタイミングチャートである。

30

【0173】

なお、上述したように、表示ユニット 200 が設定される動作モードに通常動作と低消費電力があり、動作モードが低消費電力の場合、表示ユニット 200 は IDS 駆動、または部分 IDS 駆動を行うことができる。 IDS 駆動は、表示部の全領域の書き換え頻度を少なくする駆動方法であり、部分 IDS 駆動は、表示部の一部領域の書き換え頻度を少なくする駆動方法である。以下、通常動作と部分 IDS 駆動のタイミングチャートについて説明する。

【0174】

図 18 は、通常動作におけるタイミングチャートであり、ゲートドライバ 202、203 に入力されるスタートパルス G_SP 、クロック信号 $G_CLK[1]$ 乃至 $G_CLK[4]$ 、パルス幅制御信号 $G_PWC[1]$ 乃至 $G_PWC[4]$ と、ゲートドライバ 202、203 が信号を出力するゲート線 $GL(1)$ 乃至ゲート線 $GL(1024)$ の関係を示している。

40

【0175】

図 18 において、ゲートドライバ 202、203 は、スタートパルス G_SP をトリガーとして、クロック信号 $G_CLK[1]$ 乃至 $G_CLK[4]$ に従い、ゲート線 $GL(1)$ 乃至ゲート線 $GL(1024)$ に順に信号を出力する。ゲートドライバ 202、203 が、ゲート線 $GL(1)$ 乃至ゲート線 $GL(1024)$ に順に信号を出力することで、表示ユニット 200 は、表示部の全領域を書き換えることができる。

50

【 0 1 7 6 】

図 1 9 乃至図 2 1 は、部分 I D S 駆動におけるタイミングチャートである。部分 I D S 駆動では、15 個のシフトレジスタ 7 1 とシフトレジスタ 7 2 のうち、いずれか 1 つのシフトレジスタのみゲート線 G L に信号を出力することが可能である。この場合、どのシフトレジスタが信号を出力するかは、シフトレジスタ 7 3 が出力する信号 U [0 1] 乃至 U [1 6] に従って決定される。

【 0 1 7 7 】

図 1 9 および図 2 0 は、スタートパルス U __ S P、クロック信号 U __ C L K [1] 乃至 U __ C L K [2]、リセット信号 G __ I N I __ R E S と、シフトレジスタ 7 3 が出力する信号 U [0 1] 乃至 U [1 6] の関係を示している。さらに、図 1 9 は、一部領域として第 2 の画素群（ゲート線 G L (6 5) 乃至ゲート線 G L (1 2 8) と電氣的に接続されている）を書き換える場合、図 2 0 は、第 9 の画素群（ゲート線 G L (5 1 3) 乃至ゲート線 G L (5 7 6) と電氣的に接続されている）を書き換える場合のタイミングチャートである。

【 0 1 7 8 】

図 1 9 においては、シフトレジスタ 7 3 は、スタートパルス U __ S P をトリガーとして、クロック信号 U __ C L K [1] 乃至 U __ C L K [2] に従い動作を開始するが、信号 U [0 2] に H i g h の信号を出力したタイミングで、クロック信号 U __ C L K [1] 乃至 U __ C L K [2] は停止する。クロック信号 U __ C L K [1] 乃至 U __ C L K [2] が停止することで、シフトレジスタ 7 3 は、信号 U [0 2] を H i g h の状態に保持している。

【 0 1 7 9 】

図 2 0 においては、シフトレジスタ 7 3 は、スタートパルス U __ S P をトリガーとして、クロック信号 U __ C L K [1] 乃至 U __ C L K [2] に従い、信号 U [0 1] 乃至信号 U [0 8] に順に信号を出力するが、信号 U [0 9] に H i g h の信号を出力したタイミングで、クロック信号 U __ C L K [1] 乃至 U __ C L K [2] は停止する。クロック信号 U __ C L K [1] 乃至 U __ C L K [2] が停止することで、シフトレジスタ 7 3 は、信号 U [0 9] を H i g h の状態に保持している。

【 0 1 8 0 】

図 2 1 は、第 2 の画素群を書き換える場合であり、信号 U [0 2]、選択制御信号 G __ S E L、クロック信号 G __ C L K [1] 乃至 G __ C L K [4]、パルス幅制御信号 G __ P W C [1] 乃至 G __ P W C [4] と、ゲート線 G L (6 4) 乃至ゲート線 G L (1 2 9) の関係を示している。

【 0 1 8 1 】

信号 U [0 2] は、図 1 9 におけるシフトレジスタ 7 3 の動作により、H i g h の状態を保持している。そこへ、選択制御信号 G __ S E L に信号が入力されると、シフトレジスタ 7 1 およびシフトレジスタ 7 2 のうち、信号 U [0 2] が入力されるシフトレジスタへ、スタートパルスが入力されたのと、同じ状態とすることができ。すなわち、ゲート線 G L (6 5) 乃至ゲート線 G L (1 2 8) に電氣的に接続されたシフトレジスタ 7 1 が、動作を開始する。

【 0 1 8 2 】

ゲート線 G L (6 5) 乃至ゲート線 G L (1 2 8) に電氣的に接続されたシフトレジスタ 7 1 は、選択制御信号 G __ S E L をトリガーとして、クロック信号 G __ C L K [1] 乃至 G __ C L K [4] に従い、ゲート線 G L (6 5) 乃至ゲート線 G L (1 2 8) に順に信号を出力する。ゲート線 G L (6 5) 乃至ゲート線 G L (1 2 8) に順に信号を出力することで、表示ユニット 2 0 0 は、第 2 の画素群を書き換えることができる。

【 0 1 8 3 】

なお、シフトレジスタ 7 1 が有するレジスタ 8 2 は、入力端子 R __ I N に 2 つ後段のレジスタの出力が入力されるため、図 2 1 において、ゲート線 G L (1 2 9) 乃至ゲート線 G L (1 9 2) に電氣的に接続されたシフトレジスタ 7 1 が有する最初の 2 つのレジスタが、動作を行うためのクロック信号 G __ C L K [1] 乃至 G __ C L K [4] も入力する必要

10

20

30

40

50

がある。前記クロック信号 $G_CLK[1]$ 乃至 $G_CLK[4]$ が入力されることによって、ゲート線 $GL(129)$ 乃至ゲート線 $GL(192)$ に電氣的に接続されたシフトレジスタ 71 も一部動作を行うが、パルス幅制御信号 $G_PWC[1]$ 乃至 $G_PWC[4]$ を Low の状態に保持することで、ゲート線 $GL(129)$ 乃至ゲート線 $GL(192)$ に信号を出力することはない。

【0184】

第9の画素群を書き換える場合も、シフトレジスタ 71 の動作は同様のため、説明を省略する。なお、図 19 および図 20 に示すシフトレジスタ 73 が動作する期間を「期間 Fa」とし、図 21 に示すシフトレジスタ 71 またはシフトレジスタ 72 が動作する期間を「期間 Fb」とすると、期間 Fa で一部領域を選択し、選択した領域を期間 Fb で書き換えることで、表示部の一部領域を書き換えることができる。また、シフトレジスタ 73 が有するレジスタ 85 は 16 個であり、シフトレジスタ 71 やシフトレジスタ 72 が有するレジスタの個数よりも少ないため、期間 Fa は期間 Fb より短く、シフトレジスタ 73 を配置するためのレイアウト面積も小さくすることができる。

10

【0185】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせて実施することができる。

【0186】

(実施の形態 4)

本実施の形態では、上記実施の形態に記載の信号処理部 15 A 乃至 15 C および信号処理部 35 に適用可能な、ニューラルネットワークの構成例について図 22 乃至図 28 を用いて説明を行う。

20

【0187】

なお、ここでは、ニューラルネットワークの演算処理や、画像データの画像処理に用いられる、積和演算回路の説明から行う。

【0188】

< 積和演算回路 >

積和演算回路の構成の一例を図 22 に示す。図 22 に示す積和演算回路 100 は、記憶回路 101、参照用記憶回路 102、電流ソース回路 103、電流シンク回路 104、および電流源回路 105 を有する。

30

【0189】

記憶回路 101 は、メモリセル $MC[i, j]$ 、メモリセル $MC[i+1, j]$ で例示されるメモリセル MC を有する。また、各メモリセル MC は、入力された電位を電流に変換する機能を有する素子を有する。上記機能を有する素子として、例えばトランジスタなどの能動素子を用いることができる。図 22 では、各メモリセル MC がトランジスタ $Tr1$ を有する場合を例示している。

【0190】

メモリセル MC には、配線 $WD[j]$ で例示される配線 WD から第 1 のアナログ電位が入力される。そして、メモリセル MC は、第 1 のアナログ電位に応じた第 1 のアナログ電流を生成する機能を有する。具体的には、トランジスタ $Tr1$ のゲートに第 1 のアナログ電位を供給したときに得られるトランジスタ $Tr1$ のドレイン電流を、第 1 のアナログ電流とすることができる。なお、以下、メモリセル $MC[i, j]$ に流れる電流を $I[i, j]$ とし、メモリセル $MC[i+1, j]$ に流れる電流を $I[i+1, j]$ とする。

40

【0191】

なお、トランジスタ $Tr1$ が飽和領域で動作する場合、そのドレイン電流はソースとドレイン間の電圧に依存せず、ゲート電圧と閾値電圧の差分によって制御される。よって、トランジスタ $Tr1$ は飽和領域で動作させることが望ましい。トランジスタ $Tr1$ を飽和領域で動作させるために、そのゲート電圧、ソースとドレイン間の電圧は、飽和領域で動作する範囲の電圧に適切に設定されているものとする。

【0192】

50

具体的に、図 22 に示す積和演算回路 100 では、メモリセル MC [i、j] に配線 WD [j] から第 1 のアナログ電位 $V_x [i、j]$ または第 1 のアナログ電位 $V_x [i、j]$ に応じた電位が入力される。メモリセル MC [i、j] は、第 1 のアナログ電位 $V_x [i、j]$ に応じた第 1 のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセル MC [i、j] の電流 $I [i、j]$ は、第 1 のアナログ電流に相当する。

【0193】

また、具体的に、図 22 に示す積和演算回路 100 では、メモリセル MC [i + 1、j] に配線 WD [j] から第 1 のアナログ電位 $V_x [i + 1、j]$ または第 1 のアナログ電位 $V_x [i + 1、j]$ に応じた電位が入力される。メモリセル MC [i + 1、j] は、第 1 のアナログ電位 $V_x [i + 1、j]$ に応じた第 1 のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセル MC [i + 1、j] の電流 $I [i + 1、j]$ は、第 1 のアナログ電流に相当する。

10

【0194】

メモリセル MC は、第 1 のアナログ電位を保持する機能を有する。すなわち、メモリセル MC は、第 1 のアナログ電位を保持することで、第 1 のアナログ電位に応じた第 1 のアナログ電流を保持する機能を有すると言える。

【0195】

また、メモリセル MC には、配線 RW [i]、配線 RW [i + 1] で例示される配線 RW から第 2 のアナログ電位が入力される。メモリセル MC は、既に保持されている第 1 のアナログ電位に、第 2 のアナログ電位或いは第 2 のアナログ電位に応じた電位を加算する機能と、加算することで得られる第 3 のアナログ電位を保持する機能とを有する。そして、メモリセル MC は、第 3 のアナログ電位に応じた第 2 のアナログ電流を生成する機能を有する。すなわち、メモリセル MC は、第 3 のアナログ電位を保持することで、第 3 のアナログ電位に応じた第 2 のアナログ電流を保持する機能を有すると言える。

20

【0196】

具体的に、図 22 に示す積和演算回路 100 では、メモリセル MC [i、j] に配線 RW [i] から第 2 のアナログ電位 $V_w [i、j]$ が入力される。そして、メモリセル MC [i、j] は、第 1 のアナログ電位 $V_x [i、j]$ 及び第 2 のアナログ電位 $V_w [i、j]$ に応じた第 3 のアナログ電位を保持する機能を有する。そして、メモリセル MC [i、j] は、第 3 のアナログ電位に応じた第 2 のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセル MC [i、j] の電流 $I [i、j]$ は、第 2 のアナログ電流に相当する。

30

【0197】

また、図 22 に示す積和演算回路 100 では、メモリセル MC [i + 1、j] に配線 RW [i + 1] から第 2 のアナログ電位 $V_w [i + 1、j]$ が入力される。そして、メモリセル MC [i + 1、j] は、第 1 のアナログ電位 $V_x [i + 1、j]$ 及び第 2 のアナログ電位 $V_w [i + 1、j]$ に応じた第 3 のアナログ電位を保持する機能を有する。そして、メモリセル MC [i + 1、j] は、第 3 のアナログ電位に応じた第 2 のアナログ電流を生成する機能を有する。すなわち、この場合、メモリセル MC [i + 1、j] の電流 $I [i + 1、j]$ は、第 2 のアナログ電流に相当する。

40

【0198】

そして、電流 $I [i、j]$ は、メモリセル MC [i、j] を介して配線 BL [j] と配線 VR [j] の間を流れる。電流 $I [i + 1、j]$ は、メモリセル MC [i + 1、j] を介して配線 BL [j] と配線 VR [j] の間を流れる。よって、電流 $I [i、j]$ と電流 $I [i + 1、j]$ との和に相当する電流 $I [j]$ が、メモリセル MC [i、j] 及びメモリセル MC [i + 1、j] を介して配線 BL [j] と配線 VR [j] の間を流れることとなる。

【0199】

参照用記憶回路 102 は、メモリセル MCR [i]、メモリセル MCR [i + 1] で例示されるメモリセル MCR を有する。メモリセル MCR には、配線 WDEF から第 1 の参

50

照電位 V_{PR} が入力される。そして、メモリセル MCR は、第 1 の参照電位 V_{PR} に応じた第 1 の参照電流を生成する機能を有する。なお、以下、メモリセル $MCR[i]$ に流れる電流を $I_{REF}[i]$ とし、メモリセル $MCR[i+1]$ に流れる電流を $I_{REF}[i+1]$ とする。

【0200】

そして、具体的に、図 22 に示す積和演算回路 100 では、メモリセル $MCR[i]$ に配線 $W_{DEF}[i]$ から第 1 の参照電位 V_{PR} が入力される。メモリセル $MCR[i]$ は、第 1 の参照電位 V_{PR} に応じた第 1 の参照電流を生成する機能を有する。すなわち、この場合、メモリセル $MCR[i]$ の電流 $I_{REF}[i]$ は、第 1 の参照電流に相当する。

【0201】

また、図 22 に示す積和演算回路 100 では、メモリセル $MCR[i+1]$ に配線 W_{DEF} から第 1 の参照電位 V_{PR} が入力される。メモリセル $MCR[i+1]$ は、第 1 の参照電位 V_{PR} に応じた第 1 の参照電流を生成する機能を有する。すなわち、この場合、メモリセル $MCR[i+1]$ の電流 $I_{REF}[i+1]$ は、第 1 の参照電流に相当する。

【0202】

そして、メモリセル MCR は、第 1 の参照電位 V_{PR} を保持する機能を有する。すなわち、メモリセル MCR は、第 1 の参照電位 V_{PR} を保持することで、第 1 の参照電位 V_{PR} に応じた第 1 の参照電流を保持する機能を有すると言える。

【0203】

また、メモリセル MCR には、配線 $RW[i]$ 、配線 $RW[i+1]$ で例示される配線 RW から第 2 のアナログ電位が入力される。メモリセル MCR は、既に保持されている第 1 の参照電位 V_{PR} に、第 2 のアナログ電位或いは第 2 のアナログ電位に応じた電位を加算し、加算することで得られる第 2 の参照電位を保持する機能を有する。そして、メモリセル MCR は、第 2 の参照電位に応じた第 2 の参照電流を生成する機能を有する。すなわち、メモリセル MCR は、第 2 の参照電位を保持することで、第 2 の参照電位に応じた第 2 の参照電流を保持する機能を有すると言える。

【0204】

具体的に、図 22 に示す積和演算回路 100 では、メモリセル $MCR[i]$ に配線 $RW[i]$ から第 2 のアナログ電位 $V_w[i, j]$ が入力される。そして、メモリセル $MCR[i]$ は、第 1 の参照電位 V_{PR} 及び第 2 のアナログ電位 $V_w[i, j]$ に応じた第 2 の参照電位を保持する機能を有する。そして、メモリセル $MCR[i]$ は、第 2 の参照電位に応じた第 2 の参照電流を生成する機能を有する。すなわち、この場合、メモリセル $MCR[i]$ の電流 $I_{REF}[i]$ は、第 2 の参照電流に相当する。

【0205】

また、図 22 に示す積和演算回路 100 では、メモリセル $MCR[i+1]$ に配線 $RW[i+1]$ から第 2 のアナログ電位 $V_w[i+1, j]$ が入力される。そして、メモリセル $MCR[i+1]$ は、第 1 の参照電位 V_{PR} 及び第 2 のアナログ電位 $V_w[i+1, j]$ に応じた第 2 の参照電位を保持する機能を有する。そして、メモリセル $MCR[i+1]$ は、第 2 の参照電位に応じた第 2 の参照電流を生成する機能を有する。すなわち、この場合、メモリセル $MCR[i+1]$ の電流 $I_{REF}[i+1]$ は、第 2 の参照電流に相当する。

【0206】

そして、電流 $I_{REF}[i]$ は、メモリセル $MCR[i]$ を介して配線 BL_{REF} と配線 VR_{REF} の間を流れる。電流 $I_{REF}[i+1]$ は、メモリセル $MCR[i+1]$ を介して配線 BL_{REF} と配線 VR_{REF} の間を流れる。よって、電流 $I_{REF}[i]$ と電流 $I_{REF}[i+1]$ との和に相当する電流 I_{REF} が、メモリセル $MCR[i]$ 及びメモリセル $MCR[i+1]$ を介して配線 BL_{REF} と配線 VR_{REF} の間を流れることとなる。

【0207】

電流源回路 105 は、配線 BL_{REF} に流れる電流 I_{REF} と同じ値の電流、もしくは電

10

20

30

40

50

流 I_{REF} に対応する電流を、配線 BL に供給する機能を有する。そして、後述するオフセットの電流を設定する際には、メモリセル $MC[i, j]$ 及びメモリセル $MC[i+1, j]$ を介して配線 $BL[j]$ と配線 $VR[j]$ の間を流れる電流 $I[j]$ が、メモリセル $MCR[i]$ 及びメモリセル $MCR[i+1]$ を介して配線 BL_{REF} と配線 VR_{REF} の間を流れる電流 I_{REF} と異なる場合、差分の電流は電流ソース回路 103 または電流シンク回路 104 に流れる。

【0208】

具体的に、電流 $I[j]$ が電流 I_{REF} よりも大きい場合、電流ソース回路 103 は、電流 $I[j]$ と電流 I_{REF} の差分に相当する電流 $I[j]$ を生成する機能を有する。また、電流ソース回路 103 は、生成した電流 $I[j]$ を配線 $BL[j]$ に供給する機能を有する。すなわち、電流ソース回路 103 は、電流 $I[j]$ を保持する機能を有すると言える。

10

【0209】

また、電流 $I[j]$ が電流 I_{REF} よりも小さい場合、電流シンク回路 104 は、電流 $I[j]$ と電流 I_{REF} の差分に相当する電流 $I[j]$ を生成する機能を有する。また、電流シンク回路 104 は、生成した電流 $I[j]$ を配線 $BL[j]$ から引き込む機能を有する。すなわち、電流シンク回路 104 は、電流 $I[j]$ を保持する機能を有すると言える。

【0210】

次いで、図 22 に示す積和演算回路 100 の動作の一例について説明する。

20

【0211】

まず、メモリセル $MC[i, j]$ に第 1 のアナログ電位に応じた電位を格納する。具体的には、第 1 の参照電位 V_{PR} から第 1 のアナログ電位 $V_x[i, j]$ を差し引いた電位 $V_{PR} - V_x[i, j]$ が、配線 $WD[j]$ を介してメモリセル $MC[i, j]$ に入力される。メモリセル $MC[i, j]$ では、電位 $V_{PR} - V_x[i, j]$ が保持される。また、メモリセル $MC[i, j]$ では、電位 $V_{PR} - V_x[i, j]$ に応じた電流 $I[i, j]$ が生成される。例えば第 1 の参照電位 V_{PR} は、接地電位よりも高いハイレベルの電位とする。具体的には、接地電位よりも高く、電流源回路 105 に供給されるハイレベルの電位 V_{DD} と同程度か、それ以下の電位であることが望ましい。

【0212】

30

また、メモリセル $MCR[i]$ に第 1 の参照電位 V_{PR} を格納する。具体的には、電位 V_{PR} が、配線 WD_{REF} を介してメモリセル $MCR[i]$ に入力される。メモリセル $MCR[i]$ では、電位 V_{PR} が保持される。また、メモリセル $MCR[i]$ では、電位 V_{PR} に応じた電流 $I_{REF}[i]$ が生成される。

【0213】

また、メモリセル $MC[i+1, j]$ に第 1 のアナログ電位に応じた電位を格納する。具体的には、第 1 の参照電位 V_{PR} から第 1 のアナログ電位 $V_x[i+1, j]$ を差し引いた電位 $V_{PR} - V_x[i+1, j]$ が、配線 $WD[j]$ を介してメモリセル $MC[i+1, j]$ に入力される。メモリセル $MC[i+1, j]$ では、電位 $V_{PR} - V_x[i+1, j]$ が保持される。また、メモリセル $MC[i+1, j]$ では、電位 $V_{PR} - V_x[i+1, j]$ に応じた電流 $I[i+1, j]$ が生成される。

40

【0214】

また、メモリセル $MCR[i+1]$ に第 1 の参照電位 V_{PR} を格納する。具体的には、電位 V_{PR} が、配線 WD_{REF} を介してメモリセル $MCR[i+1]$ に入力される。メモリセル $MCR[i+1]$ では、電位 V_{PR} が保持される。また、メモリセル $MCR[i+1]$ では、電位 V_{PR} に応じた電流 $I_{REF}[i+1]$ が生成される。

【0215】

上記動作において、配線 $RW[i]$ 及び配線 $RW[i+1]$ は基準電位とする。例えば、基準電位として接地電位、基準電位よりも低いローレベルの電位 V_{SS} などを用いることができる。或いは、基準電位として電位 V_{SS} と電位 V_{DD} の間の電位を用いると、第 2

50

のアナログ電位 V_w を正負にしても、配線 RW の電位を接地電位よりも高くできるので信号の生成を容易にすることができ、正負の電位に対する積演算が可能になるので好ましい。

【0216】

上記動作により、配線 $BL[j]$ には、配線 $BL[j]$ に接続されたメモリセル MC においてそれぞれ生成される電流を合わせた電流が、流れることとなる。具体的に図 22 では、メモリセル $MC[i, j]$ で生成される電流 $I[i, j]$ と、メモリセル $MC[i+1, j]$ で生成される電流 $I[i+1, j]$ とを合わせた電流 $I[j]$ が流れる。また、上記動作により、配線 $BLREF$ には、配線 $BLREF$ に接続されたメモリセル MCR においてそれぞれ生成される電流を合わせた電流が、流れることとなる。具体的に図 22 では、メモリセル $MCR[i]$ で生成される電流 $IREF[i]$ と、メモリセル $MCR[i+1]$ で生成される電流 $IREF[i+1]$ とを合わせた電流 $IREF$ が流れる。

10

【0217】

次いで、配線 $RW[i]$ 及び配線 $RW[i+1]$ の電位を基準電位としたまま、第 1 のアナログ電位によって得られる電流 $I[j]$ と第 1 の参照電位によって得られる電流 $IREF$ との差分から得られるオフセットの電流 $Ioffset[j]$ を、電流ソース回路 103 または電流シンク回路 104 において保持する。

【0218】

具体的に、電流 $I[j]$ が電流 $IREF$ よりも大きい場合、電流ソース回路 103 は電流 $Ioffset[j]$ を配線 $BL[j]$ に供給する。すなわち、電流ソース回路 103 に流れる電流 $ICM[j]$ は電流 $Ioffset[j]$ に相当することとなる。そして、当該電流 $ICM[j]$ の値は電流ソース回路 103 において保持される。また、電流 $I[j]$ が電流 $IREF$ よりも小さい場合、電流シンク回路 104 は電流 $Ioffset[j]$ を配線 $BL[j]$ から引き込む。すなわち、電流シンク回路 104 に流れる電流 $ICP[j]$ は電流 $Ioffset[j]$ に相当することとなる。そして、当該電流 $ICP[j]$ の値は電流シンク回路 104 において保持される。

20

【0219】

次いで、既にメモリセル $MC[i, j]$ において保持されている第 1 のアナログ電位または第 1 のアナログ電位に応じた電位に加算するように、第 2 のアナログ電位または第 2 のアナログ電位に応じた電位をメモリセル $MC[i, j]$ に格納する。具体的には、配線 $RW[i]$ の電位を基準電位に対して $V_w[i]$ だけ高い電位とすることで、第 2 のアナログ電位 $V_w[i]$ が、配線 $RW[i]$ を介してメモリセル $MC[i, j]$ に入力される。メモリセル $MC[i, j]$ では、電位 $VPR - Vx[i, j] + V_w[i]$ が保持される。また、メモリセル $MC[i, j]$ では、電位 $VPR - Vx[i, j] + V_w[i]$ に応じた電流 $I[i, j]$ が生成される。

30

【0220】

また、既にメモリセル $MC[i+1, j]$ において保持されている第 1 のアナログ電位または第 1 のアナログ電位に応じた電位に加算するように、第 2 のアナログ電位または第 2 のアナログ電位に応じた電位をメモリセル $MC[i+1, j]$ に格納する。具体的には、配線 $RW[i+1]$ の電位を基準電位に対して $V_w[i+1]$ だけ高い電位とすることで、第 2 のアナログ電位 $V_w[i+1]$ が、配線 $RW[i+1]$ を介してメモリセル $MC[i+1, j]$ に入力される。メモリセル $MC[i+1, j]$ では、電位 $VPR - Vx[i+1, j] + V_w[i+1]$ が保持される。また、メモリセル $MC[i+1, j]$ では、電位 $VPR - Vx[i+1, j] + V_w[i+1]$ に応じた電流 $I[i+1, j]$ が生成される。

40

【0221】

なお、電位を電流に変換する素子として飽和領域で動作するトランジスタ $Tr1$ を用いる場合、配線 $RW[i]$ の電位が $V_w[i]$ であり、配線 $RW[i+1]$ の電位が $V_w[i+1]$ であると仮定すると、メモリセル $MC[i, j]$ が有するトランジスタ $Tr1$ のドレイン電流が電流 $I[i, j]$ に相当するので、第 2 のアナログ電流は以下の式 1 で表さ

50

れる。なお、 k は係数、 V_{th} はトランジスタ T_{r1} の閾値電圧である。

【0222】

$$I[i, j] = k(V_w[i] - V_{th} + V_{PR} - V_x[i, j])^2 \cdots (1)$$

【0223】

また、メモリセル $MCR[i]$ が有するトランジスタ T_{r1} のドレイン電流が電流 $I_{REF}[i]$ に相当するので、第2の参照電流は以下の式2で表される。

【0224】

$$I_{REF}[i] = k(V_w[i] - V_{th} + V_{PR})^2 \cdots (2)$$

【0225】

そして、メモリセル $MC[i, j]$ に流れる電流 $I[i, j]$ と、メモリセル $MC[i+1, j]$ に流れる電流 $I[i+1, j]$ の和に相当する電流 $I[j]$ は、 $I[j] = I[i, j] + I[i+1, j]$ であり、メモリセル $MCR[i]$ に流れる電流 $I_{REF}[i]$ と、メモリセル $MCR[i+1]$ に流れる電流 $I_{REF}[i+1]$ の和に相当する電流 I_{REF} は、 $I_{REF} = I_{REF}[i] + I_{REF}[i+1]$ となり、その差分に相当する電流 $I[j]$ は以下の式3で表される。

10

【0226】

$$I[j] = I_{REF} - I[i, j] = I_{REF}[i] - I[i, j] \cdots (3)$$

【0227】

式1、式2、式3から、電流 $I[j]$ は以下の式4のように導き出される。

20

【0228】

$$\begin{aligned} I[j] &= I_{REF}[i] - I[i, j] \\ &= \{k(V_w[i] - V_{th} + V_{PR})^2 - k(V_w[i] - V_{th} + V_{PR} - V_x[i, j])^2\} \\ &= 2k_i(V_w[i] \cdot V_x[i, j]) - 2k_i(V_{th} - V_{PR}) \cdot V_x[i, j] - k_i V_x[i, j]^2 \cdots (4) \end{aligned}$$

【0229】

式4において、 $2k_i(V_w[i] \cdot V_x[i, j])$ で示される項は、第1のアナログ電位 $V_x[i, j]$ 及び第2のアナログ電位 $V_w[i]$ の積と、第1のアナログ電位 $V_x[i+1, j]$ 及び第2のアナログ電位 $V_w[i+1]$ の積と、の和に相当する。

30

【0230】

また、 $I_{offset}[j]$ は、配線 $RW[i]$ の電位を全て基準電位としたとき、すなわち第2のアナログ電位 $V_w[i]$ を0、第2のアナログ電位 $V_w[i+1]$ を0としたときの電流 $I[j]$ とすると、式4から、以下の式5が導き出される。

【0231】

$$I_{offset}[j] = -2k_i(V_{th} - V_{PR}) \cdot V_x[i, j] - k_i V_x[i, j]^2 \cdots (5)$$

【0232】

したがって、式3乃至式5から、第1のアナログ電流と第2のアナログ電流の積和値に相当する $2k_i(V_w[i] \cdot V_x[i, j])$ は、以下の式6で表されることが分かる。

40

【0233】

$$2k_i(V_w[i] \cdot V_x[i, j]) = I_{REF} - I[j] - I_{offset}[j] \cdots (6)$$

【0234】

そして、メモリセル MC に流れる電流の和を電流 $I[j]$ 、メモリセル MCR に流れる電流の和を電流 I_{REF} 、電流ソース回路103または電流シンク回路104に流れる電流を電流 $I_{offset}[j]$ とすると、配線 $RW[i]$ の電位を $V_w[i]$ 、配線 $RW[i+1]$ の電位を $V_w[i+1]$ としたときに配線 $BL[j]$ から流れ出る電流 $I_{out}[j]$ は、 $I_{REF} - I[j] - I_{offset}[j]$ で表される。式6から、電流 $I_{out}[j]$ は、 $2k_i(V_w[i] \cdot V_x[i, j])$ であり、第1のアナログ電位 V

50

$x[i, j]$ 及び第 2 のアナログ電位 $V_w[i]$ の積と、第 1 のアナログ電位 $V_x[i + 1, j]$ 及び第 2 のアナログ電位 $V_w[i + 1]$ の積と、の和に相当することが分かる。

【0235】

なお、トランジスタ T_{r1} は飽和領域で動作させることが望ましいが、トランジスタ T_{r1} の動作領域が理想的な飽和領域と異なっていたとしても、第 1 のアナログ電位 $V_x[i, j]$ 及び第 2 のアナログ電位 $V_w[i]$ の積と、第 1 のアナログ電位 $V_x[i + 1, j]$ 及び第 2 のアナログ電位 $V_w[i + 1]$ の積との和に相当する電流を、所望の範囲内の精度で問題なく得ることができる場合は、トランジスタ T_{r1} は飽和領域で動作しているものとみなせる。

【0236】

図 22 に示す積和演算回路の構成とすることにより、演算処理をデジタルデータに変換せずとも実行することができるので、半導体装置の回路規模を小さく抑えることができる。或いは、図 22 に示す積和演算回路の構成とすることにより、演算処理をデジタルデータに変換せずとも実行することができるので、演算処理に要する時間を抑えることができる。或いは、図 22 に示す積和演算回路の構成とすることにより、演算処理に要する時間を抑えつつ、低消費電力化を実現することができる。

【0237】

次いで、記憶回路 101、参照用記憶回路 102、電流ソース回路 103、電流シンク回路 104、および電流源回路 105 の具体的な構成の一例について、図 23 を用いて説明する。

【0238】

図 23 では、一例として、任意の 2 行 2 列のメモリセル MC と、任意の 2 行 1 列のメモリセル MCR との、具体的な回路構成と接続関係とを示している。具体的に図 23 では、 i 行 j 列目のメモリセル $MC[i, j]$ と、 $i + 1$ 行 j 列目のメモリセル $MC[i + 1, j]$ と、 i 行 $j + 1$ 列目のメモリセル $MC[i, j + 1]$ と、 $i + 1$ 行 $j + 1$ 列目のメモリセル $MC[i + 1, j + 1]$ とを図示している。また、具体的に図 23 では、 i 行目のメモリセル $MCR[i]$ と、 $i + 1$ 行目のメモリセル $MCR[i + 1]$ とを図示している。

【0239】

i 行目のメモリセル $MC[i, j]$ と、メモリセル $MC[i, j + 1]$ と、メモリセル $MCR[i]$ とは、配線 $RW[i]$ 及び配線 $WW[i]$ に接続されている。また、 $i + 1$ 行目のメモリセル $MC[i + 1, j]$ と、メモリセル $MC[i + 1, j + 1]$ と、メモリセル $MCR[i + 1]$ とは、配線 $RW[i + 1]$ 及び配線 $WW[i + 1]$ に接続されている。

【0240】

j 列目のメモリセル $MC[i, j]$ と、メモリセル $MC[i + 1, j]$ とは、配線 $WD[j]$ 、配線 $VR[j]$ 、及び配線 $BL[j]$ に接続されている。また、 $j + 1$ 列目のメモリセル $MC[i, j + 1]$ と、メモリセル $MC[i + 1, j + 1]$ とは、配線 $WD[j + 1]$ 、配線 $VR[j + 1]$ 、及び配線 $BL[j + 1]$ に接続されている。また、メモリセル $MCR[i]$ と、 $i + 1$ 行目のメモリセル $MCR[i + 1]$ とは、配線 $WDREF$ 、配線 $VRREF$ 、及び配線 $BLREF$ に接続されている。

【0241】

そして、各メモリセル MC と各メモリセル MCR とは、トランジスタ T_{r1} と、トランジスタ T_{r2} と、容量素子 C_{11} と、を有する。トランジスタ T_{r2} は、メモリセル MC またはメモリセル MCR への第 1 のアナログ電位の入力を制御する機能を有する。トランジスタ T_{r1} は、ゲートに入力された電位に従って、アナログ電流を生成する機能を有する。容量素子 C_{11} は、メモリセル MC またはメモリセル MCR において保持されている第 1 のアナログ電位または第 1 のアナログ電位に応じた電位に、第 2 のアナログ電位或いは第 2 のアナログ電位に応じた電位を加算する機能を有する。

【0242】

具体的に、図 23 に示すメモリセル MC では、トランジスタ T_{r2} は、ゲートが配線 WW

に接続され、ソース又はドレインの一方が配線WDに接続され、ソース又はドレインの他方がトランジスタTr1のゲートに接続されている。また、トランジスタTr1は、ソース又はドレインの一方が配線VRに接続され、ソース又はドレインの他方が配線BLに接続されている。容量素子C11は、第1の電極が配線RWに接続され、第2の電極がトランジスタTr1のゲートに接続されている。

【0243】

また、図23に示すメモリセルMCRでは、トランジスタTr2は、ゲートが配線WWに接続され、ソース又はドレインの一方が配線WDEFに接続され、ソース又はドレインの他方がトランジスタTr1のゲートに接続されている。また、トランジスタTr1は、ソース又はドレインの一方が配線VREFに接続され、ソース又はドレインの他方が配線BLREFに接続されている。容量素子C11は、第1の電極が配線RWに接続され、第2の電極がトランジスタTr1のゲートに接続されている。

10

【0244】

メモリセルMCにおいてトランジスタTr1のゲートをノードNとすると、メモリセルMCでは、トランジスタTr2を介してノードNに第1のアナログ電位が入力され、次いでトランジスタTr2がオフになるとノードNが浮遊状態になり、ノードNにおいて第1のアナログ電位または第1のアナログ電位に応じた電位が保持される。また、メモリセルMCでは、ノードNが浮遊状態になると、容量素子C11の第1の電極に入力された第2のアナログ電位がノードNに与えられる。上記動作により、ノードNは、第1のアナログ電位または第1のアナログ電位に応じた電位に、第2のアナログ電位または第2のアナログ電位に応じた電位が加算されることで得られる電位となる。

20

【0245】

なお、容量素子C11の第1の電極の電位は容量素子C11を介してノードNに与えられるため、実際には、第1の電極の電位の変化量がそのままノードNの電位の変化量に反映されるわけではない。具体的には、容量素子C11の容量値と、トランジスタTr1のゲート容量の容量値と、寄生容量の容量値とから一意に決まる結合係数を、第1の電極の電位の変化量に乗ずることで、ノードNの電位の変化量を正確に算出することができる。以下、説明を分かり易くするために、第1の電極の電位の変化量がほぼノードNの電位の変化量に反映されるものとして説明を行う。

【0246】

トランジスタTr1は、ノードNの電位にしたがってそのドレイン電流が定まる。よって、トランジスタTr2がオフになることでノードNの電位が保持されると、トランジスタTr1のドレイン電流の値も保持される。上記ドレイン電流には第1のアナログ電位と第2のアナログ電位が反映されている。

30

【0247】

また、メモリセルMCRにおいてトランジスタTr1のゲートをノードNREFとすると、メモリセルMCRでは、トランジスタTr2を介してノードNREFに第1の参照電位または第1の参照電位に応じた電位が入力され、次いでトランジスタTr2がオフになるとノードNREFが浮遊状態になり、ノードNREFにおいて第1の参照電位または第1の参照電位に応じた電位が保持される。また、メモリセルMCRでは、ノードNREFが浮遊状態になると、容量素子C11の第1の電極に入力された第2のアナログ電位がノードNREFに与えられる。上記動作により、ノードNREFは、第1の参照電位または第1の参照電位に応じた電位に、第2のアナログ電位または第2のアナログ電位に応じた電位が加算されることで得られる電位となる。

40

【0248】

トランジスタTr1は、ノードNREFの電位にしたがってそのドレイン電流が定まる。よって、トランジスタTr2がオフになることでノードNREFの電位が保持されると、トランジスタTr1のドレイン電流の値も保持される。上記ドレイン電流には第1の参照電位と第2のアナログ電位が反映されている。

【0249】

50

メモリセル $MC[i, j]$ のトランジスタ $Tr1$ に流れるドレイン電流を電流 $I[i, j]$ とし、メモリセル $MC[i+1, j]$ のトランジスタ $Tr1$ に流れるドレイン電流を電流 $I[i+1, j]$ とすると、配線 $BL[j]$ からメモリセル $MC[i, j]$ 及びメモリセル $MC[i+1, j]$ に供給される電流の和は、電流 $I[j]$ となる。また、メモリセル $MC[i, j+1]$ のトランジスタ $Tr1$ に流れるドレイン電流を電流 $I[i, j+1]$ とし、メモリセル $MC[i+1, j+1]$ のトランジスタ $Tr1$ に流れるドレイン電流を電流 $I[i+1, j+1]$ とすると、配線 $BL[j+1]$ からメモリセル $MC[i, j+1]$ 及びメモリセル $MC[i+1, j+1]$ に供給される電流の和は、電流 $I[j+1]$ となる。また、メモリセル $MCR[i]$ のトランジスタ $Tr1$ に流れるドレイン電流を電流 $IREF[i]$ とし、メモリセル $MCR[i+1]$ のトランジスタ $Tr1$ に流れるドレイン電流を電流 $IREF[i+1]$ とすると、配線 $BLREF$ からメモリセル $MCR[i]$ 及びメモリセル $MCR[i+1]$ に供給される電流の和は、電流 $IREF$ となる。

10

【0250】

また、図23に示す電流ソース回路103は、 j 列目のメモリセル MC に対応した電流ソース回路103[j]と、 $j+1$ 列目のメモリセル MC に対応した電流ソース回路103[$j+1$]とを有する。また、図23に示す電流シンク回路104は、 j 列目のメモリセル MC に対応した電流シンク回路104[j]と、 $j+1$ 列目のメモリセル MC に対応した電流シンク回路104[$j+1$]とを有する。

【0251】

電流ソース回路103[j]及び電流シンク回路104[j]は、配線 $BL[j]$ に接続されている。また、電流ソース回路103[$j+1$]及び電流シンク回路104[$j+1$]は、配線 $BL[j+1]$ に接続されている。

20

【0252】

電流源回路105は、配線 $BL[j]$ 、配線 $BL[j+1]$ 、配線 $BLREF$ に接続されている。そして、電流源回路105は、配線 $BLREF$ に電流 $IREF$ を供給する機能と、電流 $IREF$ と同じ電流または電流 $IREF$ に応じた電流を、配線 $BL[j]$ 及び配線 $BL[j+1]$ のそれぞれに供給する機能を有する。

【0253】

具体的に、電流ソース回路103[j]及び電流ソース回路103[$j+1$]は、トランジスタ $Tr7$ 乃至 $Tr9$ と、容量素子 $C13$ とをそれぞれ有する。オフセットの電流を設定する際に、電流ソース回路103[j]において、トランジスタ $Tr7$ は、電流 $I[j]$ が電流 $IREF$ よりも大きい場合に、電流 $I[j]$ と電流 $IREF$ の差分に相当する電流 $ICM[j]$ を生成する機能を有する。また、電流ソース回路103[$j+1$]において、トランジスタ $Tr7$ は、電流 $I[j+1]$ が電流 $IREF$ よりも大きい場合に、電流 $I[j+1]$ と電流 $IREF$ の差分に相当する電流 $ICM[j+1]$ を生成する機能を有する。電流 $ICM[j]$ 及び電流 $ICM[j+1]$ は、電流ソース回路103[j]及び電流ソース回路103[$j+1$]から配線 $BL[j]$ 及び配線 $BL[j+1]$ に供給される。

30

【0254】

電流ソース回路103[j]及び電流ソース回路103[$j+1$]において、トランジスタ $Tr7$ は、ソース又はドレインの一方が対応する配線 BL に接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。トランジスタ $Tr8$ は、ソース又はドレインの一方が配線 BL に接続されており、ソース又はドレインの他方がトランジスタ $Tr7$ のゲートに接続されている。トランジスタ $Tr9$ は、ソース又はドレインの一方がトランジスタ $Tr7$ のゲートに接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。容量素子 $C13$ は、第1の電極がトランジスタ $Tr7$ のゲートに接続されており、第2の電極が所定の電位が供給される配線に接続されている。

40

【0255】

トランジスタ $Tr8$ のゲートは配線 OSM に接続されており、トランジスタ $Tr9$ のゲートは配線 OSM に接続されている。

50

トは配線 O R M に接続されている。

【 0 2 5 6 】

なお、図 2 3 では、トランジスタ T r 7 が p チャネル型であり、トランジスタ T r 8 及び T r 9 が n チャネル型である場合を例示している。

【 0 2 5 7 】

また、電流シンク回路 1 0 4 [j] 及び電流シンク回路 1 0 4 [j + 1] は、トランジスタ T r 4 乃至 T r 6 と、容量素子 C 1 4 とをそれぞれ有する。オフセットの電流を設定する際に、電流シンク回路 1 0 4 [j] において、トランジスタ T r 4 は、電流 I [j] が電流 I R E F よりも小さい場合に、電流 I [j] と電流 I R E F の差分に相当する電流 I C P [j] を生成する機能を有する。また、電流シンク回路 1 0 4 [j + 1] において、トランジスタ T r 4 は、電流 I [j + 1] が電流 I R E F よりも小さい場合に、電流 I [j + 1] と電流 I R E F の差分に相当する電流 I C P [j + 1] を生成する機能を有する。電流 I C P [j] 及び電流 I C P [j + 1] は、配線 B L [j] 及び配線 B L [j + 1] から電流シンク回路 1 0 4 [j] 及び電流シンク回路 1 0 4 [j + 1] に引き込まれる。

10

【 0 2 5 8 】

なお、電流 I C M [j] と電流 I C P [j] とが、I o f f s e t [j] に相当する。また、なお、電流 I C M [j + 1] と電流 I C P [j + 1] とが、I o f f s e t [j + 1] に相当する。

【 0 2 5 9 】

20

そして、電流シンク回路 1 0 4 [j] 及び電流シンク回路 1 0 4 [j + 1] において、トランジスタ T r 4 は、ソース又はドレインの一方が対応する配線 B L に接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。トランジスタ T r 5 は、ソース又はドレインの一方が配線 B L に接続されており、ソース又はドレインの他方がトランジスタ T r 4 のゲートに接続されている。トランジスタ T r 6 は、ソース又はドレインの一方がトランジスタ T r 4 のゲートに接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。容量素子 C 1 4 は、第 1 の電極がトランジスタ T r 4 のゲートに接続されており、第 2 の電極が所定の電位が供給される配線に接続されている。

【 0 2 6 0 】

30

トランジスタ T r 5 のゲートは配線 O S P に接続されており、トランジスタ T r 6 のゲートは配線 O R P に接続されている。

【 0 2 6 1 】

なお、図 2 3 では、トランジスタ T r 4 乃至 T r 6 が n チャネル型である場合を例示している。

【 0 2 6 2 】

また、電流源回路 1 0 5 は、配線 B L に対応したトランジスタ T r 1 0 と、配線 B L R E F に対応したトランジスタ T r 1 1 とを有する。具体的に、図 2 3 に示す電流源回路 1 0 5 は、トランジスタ T r 1 0 として、配線 B L [j] に対応したトランジスタ T r 1 0 [j] と、配線 B L [j + 1] に対応したトランジスタ T r 1 0 [j + 1] とを有する場合を例示している。

40

【 0 2 6 3 】

トランジスタ T r 1 0 のゲートは、トランジスタ T r 1 1 のゲートに接続されている。また、トランジスタ T r 1 0 は、ソース又はドレインの一方が対応する配線 B L に接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。トランジスタ T r 1 1 は、ソース又はドレインの一方が配線 B L R E F に接続されており、ソース又はドレインの他方が所定の電位が供給される配線に接続されている。

【 0 2 6 4 】

トランジスタ T r 1 0 とトランジスタ T r 1 1 とは、同じ極性を有している。図 2 3 では、トランジスタ T r 1 0 とトランジスタ T r 1 1 とが、共に p チャネル型を有する場合を

50

例示している。

【0265】

トランジスタ Tr_{11} のドレイン電流は電流 I_{REF} に相当する。そして、トランジスタ Tr_{10} とトランジスタ Tr_{11} とはカレントミラー回路としての機能を有するため、トランジスタ Tr_{10} のドレイン電流は、トランジスタ Tr_{11} のドレイン電流とほぼ同じ値、またはトランジスタ Tr_{11} のドレイン電流に応じた値となる。

【0266】

次いで、図24を用いて、積和演算回路100の具体的な動作の一例について説明する。

【0267】

図24は、図23に示すメモリセル MC 、メモリセル MCR 、電流ソース回路103、電流シンク回路104、および電流源回路105の動作を示すタイミングチャートの一例に相当する。図24では、時刻 T_{01} 乃至時刻 T_{04} において、メモリセル MC 及びメモリセル MCR に第1のアナログ電流を格納する動作が行われる。時刻 T_{05} 乃至時刻 T_{10} において、電流ソース回路103及び電流シンク回路104にオフセットの電流 I_{offset} を設定する動作が行われる。時刻 T_{11} 乃至時刻 T_{16} において、第1のアナログ電流と第2のアナログ電流との積和値に対応したデータを取得する動作が行われる。

10

【0268】

なお、電源線 $VR[j]$ 及び電源線 $VR[j+1]$ にはローレベルの電位が供給されるものとする。また、電流ソース回路103に接続される所定の電位を有する配線は、全てハイレベルの電位 V_{DD} が供給されるものとする。また、電流シンク回路104に接続される所定の電位を有する配線は、全てローレベルの電位 V_{SS} が供給されるものとする。また、電流源回路105に接続される所定の電位を有する配線は、全てハイレベルの電位 V_{DD} が供給されるものとする。

20

【0269】

また、トランジスタ Tr_1 、 Tr_4 、 Tr_7 、 $Tr_{10}[j]$ 、 $Tr_{10}[j+1]$ 、 Tr_{11} は飽和領域で動作するものとする。

【0270】

まず、時刻 T_{01} 乃至時刻 T_{02} において、配線 $WW[i]$ にハイレベルの電位が与えられ、配線 $WW[i+1]$ にローレベルの電位が与えられる。上記動作により、図23に示すメモリセル $MC[i, j]$ 、メモリセル $MC[i, j+1]$ 、メモリセル $MCR[i]$ においてトランジスタ Tr_2 がオンになる。また、メモリセル $MC[i+1, j]$ 、メモリセル $MC[i+1, j+1]$ 、メモリセル $MCR[i+1]$ においてトランジスタ Tr_2 がオフの状態を維持する。

30

【0271】

また、時刻 T_{01} 乃至時刻 T_{02} では、図23に示す配線 $WD[j]$ と配線 $WD[j+1]$ とに、第1の参照電位 V_{PR} から第1のアナログ電位を差し引いた電位がそれぞれ与えられる。具体的に、配線 $WD[j]$ には電位 $V_{PR} - V_x[i, j]$ が与えられ、配線 $WD[j+1]$ には電位 $V_{PR} - V_x[i, j+1]$ が与えられる。また、配線 WD_{REF} には第1の参照電位 V_{PR} が与えられ、配線 $RW[i]$ 及び配線 $RW[i+1]$ には基準電位として電位 V_{SS} と電位 V_{DD} の間の電位、例えば電位 $(V_{DD} + V_{SS}) / 2$ が与えられる。

40

【0272】

よって、図23に示すメモリセル $MC[i, j]$ のノード $N[i, j]$ にはトランジスタ Tr_2 を介して電位 $V_{PR} - V_x[i, j]$ が与えられ、メモリセル $MC[i, j+1]$ のノード $N[i, j+1]$ にはトランジスタ Tr_2 を介して電位 $V_{PR} - V_x[i, j+1]$ が与えられ、メモリセル $MCR[i]$ のノード $N_{REF}[i]$ にはトランジスタ Tr_2 を介して電位 V_{PR} が与えられる。

【0273】

時刻 T_{02} が終了すると、図23に示す配線 $WW[i]$ に与えられる電位はハイレベルからローレベルに変化し、メモリセル $MC[i, j]$ 、メモリセル $MC[i, j+1]$ 、メ

50

メモリセルMCR[*i*]においてトランジスタTr2がオフになる。上記動作により、ノードN[*i*、*j*]には電位VPR - Vx[*i*、*j*]が保持され、ノードN[*i*、*j* + 1]には電位VPR - Vx[*i*、*j* + 1]が保持され、ノードNREF[*i*]には電位VPRが保持される。

【0274】

次いで、時刻T03乃至時刻T04において、図23に示す配線WW[*i*]の電位はローレベルに維持され、配線WW[*i* + 1]にハイレベルの電位が与えられる。上記動作により、図23に示すメモリセルMC[*i* + 1、*j*]、メモリセルMC[*i* + 1、*j* + 1]、メモリセルMCR[*i* + 1]においてトランジスタTr2がオンになる。また、メモリセルMC[*i*、*j*]、メモリセルMC[*i*、*j* + 1]、メモリセルMCR[*i*]においてトランジスタTr2がオフの状態を維持する。

10

【0275】

また、時刻T03乃至時刻T04では、図23に示す配線WD[*j*]と配線WD[*j* + 1]とに、第1の参照電位VPRから第1のアナログ電位を差し引いた電位がそれぞれ与えられる。具体的に、配線WD[*j*]には電位VPR - Vx[*i* + 1、*j*]が与えられ、配線WD[*j* + 1]には電位VPR - Vx[*i* + 1、*j* + 1]が与えられる。また、配線WDREFには第1の参照電位VPRが与えられ、配線RW[*i*]及び配線RW[*i* + 1]には基準電位として電位VSSと電位VDDの間の電位、例えば電位(VDD + VSS) / 2が与えられる。

20

【0276】

よって、図23に示すメモリセルMC[*i* + 1、*j*]のノードN[*i* + 1、*j*]にはトランジスタTr2を介して電位VPR - Vx[*i* + 1、*j*]が与えられ、メモリセルMC[*i* + 1、*j* + 1]のノードN[*i* + 1、*j* + 1]にはトランジスタTr2を介して電位VPR - Vx[*i* + 1、*j* + 1]が与えられ、メモリセルMCR[*i* + 1]のノードNREF[*i* + 1]にはトランジスタTr2を介して電位VPRが与えられる。

【0277】

時刻T04が終了すると、図23に示す配線WW[*i* + 1]に与えられる電位はハイレベルからローレベルに変化し、メモリセルMC[*i* + 1、*j*]、メモリセルMC[*i* + 1、*j* + 1]、メモリセルMCR[*i* + 1]においてトランジスタTr2がオフになる。上記動作により、ノードN[*i* + 1、*j*]には電位VPR - Vx[*i* + 1、*j*]が保持され、ノードN[*i* + 1、*j* + 1]には電位VPR - Vx[*i* + 1、*j* + 1]が保持され、ノードNREF[*i* + 1]には電位VPRが保持される。

30

【0278】

次いで、時刻T05乃至時刻T06において、図23に示す配線ORP及び配線ORMにハイレベルの電位が与えられる。図23に示す電流ソース回路103[*j*]及び電流ソース回路103[*j* + 1]では、配線ORMにハイレベルの電位が与えられることで、トランジスタTr9がオンになり、トランジスタTr7のゲートは電位VDDが与えられることでリセットされる。また、図23に示す電流シンク回路104[*j*]及び電流シンク回路104[*j* + 1]では、配線ORPにハイレベルの電位が与えられることで、トランジスタTr6がオンになり、トランジスタTr4のゲートは電位VSSが与えられることでリセットされる。

40

【0279】

時刻T06が終了すると、図23に示す配線ORP及び配線ORMに与えられる電位はハイレベルからローレベルに変化し、電流ソース回路103[*j*]及び電流ソース回路103[*j* + 1]においてトランジスタTr9がオフになり、電流シンク回路104[*j*]及び電流シンク回路104[*j* + 1]においてトランジスタTr6がオフになる。上記動作により、電流ソース回路103[*j*]及び電流ソース回路103[*j* + 1]においてトランジスタTr7のゲートに電位VDDが保持され、電流シンク回路104[*j*]及び電流シンク回路104[*j* + 1]においてトランジスタTr4のゲートに電位VSSが保持される。

50

【 0 2 8 0 】

次いで、時刻 T_{07} 乃至時刻 T_{08} において、図 23 に示す配線 OSP にハイレベルの電位が与えられる。また、図 23 に示す配線 $RW[i]$ 及び配線 $RW[i+1]$ には基準電位として電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD + VSS) / 2$ が与えられる。配線 OSP にハイレベルの電位が与えられることにより、電流シンク回路 $104[j]$ 及び電流シンク回路 $104[j+1]$ においてトランジスタ $Tr5$ がオンになる。

【 0 2 8 1 】

配線 $BL[j]$ に流れる電流 $I[j]$ が配線 $BLREF$ に流れる電流 $IREF$ よりも小さい場合、すなわち電流 $I[j]$ が正の場合、図 23 に示すメモリセル $MC[i, j]$ のトランジスタ $Tr1$ が引き込むことのできる電流と、メモリセル $MC[i+1, j]$ のトランジスタ $Tr1$ が引き込むことのできる電流との和が、トランジスタ $Tr10[j]$ のドレイン電流より小さいことを意味する。よって、電流 $I[j]$ が正の場合、電流シンク回路 $104[j]$ においてトランジスタ $Tr5$ がオンになると、トランジスタ $Tr10[j]$ のドレイン電流の一部がトランジスタ $Tr4$ のゲートに流れ込み、当該ゲートの電位が上昇し始める。そして、トランジスタ $Tr4$ のドレイン電流が電流 $I[j]$ とほぼ等しくなると、トランジスタ $Tr4$ のゲートの電位は所定の値に収束する。このときのトランジスタ $Tr4$ のゲートの電位は、トランジスタ $Tr4$ のドレイン電流が電流 $I[j]$ 、すなわち $Ioffset[j]$ ($= ICP[j]$) となるような電位に相当する。つまり、電流シンク回路 $104[j]$ のトランジスタ $Tr4$ は、電流 $ICP[j]$ を流し得る電流源に設定された状態であると言える。

【 0 2 8 2 】

同様に、配線 $BL[j+1]$ に流れる電流 $I[j+1]$ が配線 $BLREF$ に流れる電流 $IREF$ よりも小さい場合、つまり電流 $I[j+1]$ が正の場合、電流シンク回路 $104[j+1]$ においてトランジスタ $Tr5$ がオンになると、トランジスタ $Tr10[j+1]$ のドレイン電流の一部がトランジスタ $Tr4$ のゲートに流れ込み、当該ゲートの電位が上昇し始める。そして、トランジスタ $Tr4$ のドレイン電流が電流 $I[j+1]$ とほぼ等しくなると、トランジスタ $Tr4$ のゲートの電位は所定の値に収束する。このときのトランジスタ $Tr4$ のゲートの電位は、トランジスタ $Tr4$ のドレイン電流が電流 $I[j+1]$ 、すなわち $Ioffset[j+1]$ ($= ICP[j+1]$) となるような電位に相当する。つまり、電流シンク回路 $104[j+1]$ のトランジスタ $Tr4$ は、電流 $ICP[j+1]$ を流し得る電流源に設定された状態であると言える。

【 0 2 8 3 】

時刻 T_{08} が終了すると、図 23 に示す配線 OSP に与えられる電位はハイレベルからローレベルに変化し、電流シンク回路 $104[j]$ 及び電流シンク回路 $104[j+1]$ においてトランジスタ $Tr5$ がオフになる。上記動作により、トランジスタ $Tr4$ のゲートの電位は保持される。よって、電流シンク回路 $104[j]$ は電流 $ICP[j]$ を流し得る電流源に設定された状態を維持し、電流シンク回路 $104[j+1]$ は電流 $ICP[j+1]$ を流し得る電流源に設定された状態を維持する。

【 0 2 8 4 】

次いで、時刻 T_{09} 乃至時刻 T_{10} において、図 23 に示す配線 OSM にハイレベルの電位が与えられる。また、図 23 に示す配線 $RW[i]$ 及び配線 $RW[i+1]$ には基準電位として電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD + VSS) / 2$ が与えられる。配線 OSM にハイレベルの電位が与えられることにより、電流ソース回路 $103[j]$ 及び電流ソース回路 $103[j+1]$ においてトランジスタ $Tr8$ がオンになる。

【 0 2 8 5 】

配線 $BL[j]$ に流れる電流 $I[j]$ が配線 $BLREF$ に流れる電流 $IREF$ よりも大きい場合、すなわち電流 $I[j]$ が負の場合、図 23 に示すメモリセル $MC[i, j]$ のトランジスタ $Tr1$ が引き込むことのできる電流と、メモリセル $MC[i+1, j]$ のトランジスタ $Tr1$ が引き込むことのできる電流との和が、トランジスタ $Tr10[j]$ の

ドレイン電流より大きいことを意味する。よって、電流 $I[j]$ が負の場合、電流ソース回路 103[j]においてトランジスタ Tr_8 がオンになると、トランジスタ Tr_7 のゲートから配線 $BL[j]$ に電流が流れ出し、当該ゲートの電位が下降し始める。そして、トランジスタ Tr_7 のドレイン電流が電流 $I[j]$ の絶対値とほぼ等しくなると、トランジスタ Tr_7 のゲートの電位は所定の値に収束する。このときのトランジスタ Tr_7 のゲートの電位は、トランジスタ Tr_7 のドレイン電流が電流 $I[j]$ の絶対値、すなわち $Ioffset[j]$ ($=ICM[j]$) となるような電位に相当する。つまり、電流ソース回路 103[j]のトランジスタ Tr_7 は、電流 $ICM[j]$ を流し得る電流源に設定された状態であると言える。

【0286】

10

同様に、配線 $BL[j+1]$ に流れる電流 $I[j+1]$ が配線 $BLREF$ に流れる電流 $IREF$ よりも大きい場合、つまり電流 $I[j+1]$ が負の場合、電流ソース回路 103[j+1]においてトランジスタ Tr_8 がオンになると、トランジスタ Tr_7 のゲートから配線 $BL[j+1]$ に電流が流れ出し、当該ゲートの電位が下降し始める。そして、トランジスタ Tr_7 のドレイン電流が電流 $I[j+1]$ の絶対値とほぼ等しくなると、トランジスタ Tr_7 のゲートの電位は所定の値に収束する。このときのトランジスタ Tr_7 のゲートの電位は、トランジスタ Tr_7 のドレイン電流が電流 $I[j+1]$ の絶対値、すなわち $Ioffset[j+1]$ ($=ICM[j+1]$) となるような電位に相当する。つまり、電流ソース回路 103[j+1]のトランジスタ Tr_7 は、電流 $ICM[j+1]$ を流し得る電流源に設定された状態であると言える。

20

【0287】

時刻 $T08$ が終了すると、図 23 に示す配線 OSM に与えられる電位はハイレベルからローレベルに変化し、電流ソース回路 103[j]及び電流ソース回路 103[j+1]においてトランジスタ Tr_8 がオフになる。上記動作により、トランジスタ Tr_7 のゲートの電位は保持される。よって、電流ソース回路 103[j]は電流 $ICM[j]$ を流し得る電流源に設定された状態を維持し、電流ソース回路 103[j+1]は電流 $ICM[j+1]$ を流し得る電流源に設定された状態を維持する。

【0288】

なお、電流シンク回路 104[j]及び電流シンク回路 104[j+1]において、トランジスタ Tr_4 は電流を引き込む機能を有する。そのため、時刻 $T07$ 乃至時刻 $T08$ において配線 $BL[j]$ に流れる電流 $I[j]$ が配線 $BLREF$ に流れる電流 $IREF$ よりも大きく電流 $I[j]$ が負の場合、或いは、配線 $BL[j+1]$ に流れる電流 $I[j+1]$ が配線 $BLREF$ に流れる電流 $IREF$ よりも大きく電流 $I[j+1]$ が負の場合、電流シンク回路 104[j]または電流シンク回路 104[j+1]から過不足なく配線 $BL[j]$ または配線 $BL[j+1]$ に電流を供給するのが難しくなる恐れがある。この場合、配線 $BL[j]$ または配線 $BL[j+1]$ に流れる電流と、配線 $BLREF$ に流れる電流とのバランスを取るために、メモリセル MC のトランジスタ Tr_1 と、電流シンク回路 104[j]または電流シンク回路 104[j+1]のトランジスタ Tr_4 と、トランジスタ $Tr10[j]$ または $Tr10[j+1]$ とが、共に飽和領域で動作することが困難になる可能性がある。

30

40

【0289】

時刻 $T07$ 乃至時刻 $T08$ において電流 $I[j]$ が負の場合でも、トランジスタ Tr_1 、 Tr_4 、 $Tr10[j]$ または $Tr10[j+1]$ における飽和領域での動作を確保するために、時刻 $T05$ 乃至時刻 $T06$ において、トランジスタ Tr_7 のゲートを電位 VDD にリセットするのではなく、トランジスタ Tr_7 のゲートの電位を所定のドレイン電流が得られる程度の高さに設定しておいても良い。上記構成により、トランジスタ $Tr10[j]$ または $Tr10[j+1]$ のドレイン電流に加えてトランジスタ Tr_7 から電流が供給されるため、トランジスタ Tr_1 において引き込めない分の電流を、トランジスタ Tr_4 においてある程度引き込むことができるため、トランジスタ Tr_1 、 Tr_4 、 $Tr10[j]$ または $Tr10[j+1]$ における飽和領域での動作を確保することができる。

50

【 0 2 9 0 】

なお、時刻 T_{09} 乃至時刻 T_{10} において、配線 $BL[j]$ に流れる電流 $I[j]$ が配線 $BLREF$ に流れる電流 $IREF$ よりも小さい場合、すなわち電流 $I[j]$ が正の場合、時刻 T_{07} 乃至時刻 T_{08} において電流シンク回路 $104[j]$ が電流 $ICP[j]$ を流し得る電流源に既に設定されているため、電流ソース回路 $103[j]$ においてトランジスタ $Tr7$ のゲートの電位はほぼ電位 VDD のままとなる。同様に、配線 $BL[j+1]$ に流れる電流 $I[j+1]$ が配線 $BLREF$ に流れる電流 $IREF$ よりも小さい場合、すなわち電流 $I[j+1]$ が正の場合、時刻 T_{07} 乃至時刻 T_{08} において電流シンク回路 $104[j+1]$ が電流 $ICP[j+1]$ を流し得る電流源に既に設定されているため、電流ソース回路 $103[j+1]$ においてトランジスタ $Tr7$ のゲートの電位はほぼ電位 VDD のままとなる。

10

【 0 2 9 1 】

次いで、時刻 T_{11} 乃至時刻 T_{12} において、図 23 に示す配線 $RW[i]$ に第 2 のアナログ電位 $Vw[i]$ が与えられる。また、配線 $RW[i+1]$ には、基準電位として電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD + VSS) / 2$ が与えられたままである。具体的に、配線 $RW[i]$ の電位は、基準電位である電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD + VSS) / 2$ に対して電位差 $Vw[i]$ だけ高い電位となるが、以下説明を分かり易くするために、配線 $RW[i]$ の電位は電位 $Vw[i]$ であると仮定する。

20

【 0 2 9 2 】

配線 $RW[i]$ が電位 $Vw[i]$ になると、容量素子 $C11$ の第 1 の電極の電位の変化量がほぼノード N の電位の変化量に反映されるものと仮定すると、図 23 に示すメモリセル $MC[i, j]$ におけるノード N の電位は $VPR - Vx[i, j] + Vw[i]$ となり、メモリセル $MC[i, j+1]$ におけるノード N の電位は $VPR - Vx[i, j+1] + Vw[i]$ となる。そして、上記の式 6 から、メモリセル $MC[i, j]$ に対応する第 1 のアナログ電流と第 2 のアナログ電流の積和値は、電流 $I[j]$ から $Ioffset[j]$ を差し引いた電流、すなわち、配線 $BL[j]$ から流れ出る電流 $Iout[j]$ に反映されることが分かる。また、メモリセル $MC[i, j+1]$ に対応する第 1 のアナログ電流と第 2 のアナログ電流の積和値は、電流 $I[j+1]$ から $Ioffset[j+1]$ を差し引いた電流、すなわち、配線 $BL[j+1]$ から流れ出る電流 $Iout[j+1]$ に反映されることが分かる。

30

【 0 2 9 3 】

時刻 T_{12} が終了すると、配線 $RW[i]$ には、再度、基準電位である電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD + VSS) / 2$ が与えられる。

【 0 2 9 4 】

次いで、時刻 T_{13} 乃至時刻 T_{14} において、図 23 に示す配線 $RW[i+1]$ に第 2 のアナログ電位 $Vw[i+1]$ が与えられる。また、配線 $RW[i]$ には、基準電位として電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD + VSS) / 2$ が与えられたままである。具体的に、配線 $RW[i+1]$ の電位は、基準電位である電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD + VSS) / 2$ に対して電位差 $Vw[i+1]$ だけ高い電位となるが、以下説明を分かり易くするために、配線 $RW[i+1]$ の電位は電位 $Vw[i+1]$ であると仮定する。

40

【 0 2 9 5 】

配線 $RW[i+1]$ が電位 $Vw[i+1]$ になると、容量素子 $C11$ の第 1 の電極の電位の変化量がほぼノード N の電位の変化量に反映されるものと仮定すると、図 23 に示すメモリセル $MC[i+1, j]$ におけるノード N の電位は $VPR - Vx[i+1, j] + Vw[i+1]$ となり、メモリセル $MC[i+1, j+1]$ におけるノード N の電位は $VPR - Vx[i+1, j+1] + Vw[i+1]$ となる。そして、上記の式 6 から、メモリセル $MC[i+1, j]$ に対応する第 1 のアナログ電流と第 2 のアナログ電流の積和値は、電流 $I[j]$ から $Ioffset[j]$ を差し引いた電流、すなわち、 $Iout[j]$

50

に反映されることが分かる。また、メモリセル $MC[i+1, j+1]$ に対応する第1のアナログ電流と第2のアナログ電流の積和値は、電流 $I[j+1]$ から $Ioffset[j+1]$ を差し引いた電流、すなわち、 $Iout[j+1]$ に反映されることが分かる。

【0296】

時刻 $T14$ が終了すると、配線 $RW[i+1]$ には、再度、基準電位である電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD + VSS) / 2$ が与えられる。

【0297】

次いで、時刻 $T15$ 乃至時刻 $T16$ において、図23に示す配線 $RW[i]$ に第2のアナログ電位 $Vw[i]$ が与えられ、配線 $RW[i+1]$ に第2のアナログ電位 $Vw[i+1]$ が与えられる。具体的に、配線 $RW[i]$ の電位は、基準電位である電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD + VSS) / 2$ に対して電位差 $Vw[i]$ だけ高い電位となり、配線 $RW[i+1]$ の電位は、基準電位である電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD + VSS) / 2$ に対して電位差 $Vw[i+1]$ だけ高い電位となるが、以下説明を分かり易くするために、配線 $RW[i]$ の電位は電位 $Vw[i]$ であり、配線 $RW[i+1]$ の電位は電位 $Vw[i+1]$ であると仮定する。

【0298】

配線 $RW[i]$ の電位が電位 $Vw[i]$ になると、容量素子 $C11$ の第1の電極の電位の変化量がほぼノード N の電位の変化量に反映されるものと仮定すると、図23に示すメモリセル $MC[i, j]$ におけるノード N の電位は $VPR - Vx[i, j] + Vw[i]$ となり、メモリセル $MC[i, j+1]$ におけるノード N の電位は $VPR - Vx[i, j+1] + Vw[i]$ となる。また、配線 $RW[i+1]$ の電位が電位 $Vw[i+1]$ になると、容量素子 $C11$ の第1の電極の電位の変化量がほぼノード N の電位の変化量に反映されるものと仮定すると、図23に示すメモリセル $MC[i+1, j]$ におけるノード N の電位は $VPR - Vx[i+1, j] + Vw[i+1]$ となり、メモリセル $MC[i+1, j+1]$ におけるノード N の電位は $VPR - Vx[i+1, j+1] + Vw[i+1]$ となる。

【0299】

そして、上記の式6から、メモリセル $MC[i, j]$ とメモリセル $MC[i+1, j]$ とに対応する第1のアナログ電流と第2のアナログ電流の積和値は、電流 $I[j]$ から $Ioffset[j]$ を差し引いた電流、すなわち、電流 $Iout[j]$ に反映されることが分かる。また、メモリセル $MC[i, j+1]$ とメモリセル $MC[i+1, j+1]$ とに対応する第1のアナログ電流と第2のアナログ電流の積和値は、電流 $I[j+1]$ から $Ioffset[j+1]$ を差し引いた電流、すなわち、電流 $Iout[j+1]$ に反映されることが分かる。

【0300】

時刻 $T16$ が終了すると、配線 $RW[i]$ 及び配線 $RW[i+1]$ には、再度、基準電位である電位 VSS と電位 VDD の間の電位、例えば電位 $(VDD + VSS) / 2$ が与えられる。

【0301】

上記構成により、積和演算を小さな回路規模で行うことができる。また、上記構成により、積和演算を高速で行うことができる。また、上記構成により、低消費電力で積和演算を行うことができる。

【0302】

なお図22乃至図24で説明した積和演算回路の回路構成はあくまで一例であり、本発明の一態様を実現可能であれば任意の構成とすることができる。

【0303】

なお、トランジスタ $Tr2$ 、 $Tr5$ 、 $Tr6$ 、 $Tr8$ 、または $Tr9$ は、オフ電流の著しく低いトランジスタを用いることが望ましい。トランジスタ $Tr2$ にオフ電流の著しく低いトランジスタを用いることにより、ノード N の電位の保持を長時間に渡って行うことが

10

20

30

40

50

できる。また、トランジスタTr 5及びTr 6にオフ電流の著しく低いトランジスタを用いることにより、トランジスタTr 4のゲートの電位の保持を、長時間に渡って行うことができる。また、トランジスタTr 8及びTr 9にオフ電流の著しく低いトランジスタを用いることにより、トランジスタTr 7のゲートの電位の保持を、長時間に渡って行うことができる。

【0304】

トランジスタのオフ電流を下げるには、例えば、チャネル形成領域をエネルギーギャップが広い半導体で形成すればよい。半導体のエネルギーギャップは、2.5 eV以上、または2.7 eV以上、または3 eV以上であることが好ましい。このような半導体材料として酸化物半導体が挙げられる。トランジスタTr 2、Tr 5、Tr 6、Tr 8、またはTr 9として、チャネル形成領域に酸化物半導体を含むトランジスタを用いればよい。チャネル幅で規格化したOSトランジスタのリーク電流は、ソースドレイン電圧が10 V、室温(25 程度)の状態では $10 \times 10^{-21} \text{ A} / \mu\text{m}$ (10zeptoA/ μm)以下とすることが可能である。トランジスタTr 2、Tr 5、Tr 6、Tr 8、またはTr 9に適用されるOSトランジスタのリーク電流は、室温(25 程度)にて $1 \times 10^{-18} \text{ A}$ 以下、または、 $1 \times 10^{-21} \text{ A}$ 以下、または $1 \times 10^{-24} \text{ A}$ 以下が好ましい。または、リーク電流は85 にて $1 \times 10^{-15} \text{ A}$ 以下、または $1 \times 10^{-18} \text{ A}$ 以下、または $1 \times 10^{-21} \text{ A}$ 以下であることが好ましい。

10

【0305】

酸化物半導体はエネルギーギャップが大きく、電子が励起されにくく、ホールの有効質量が大きい半導体である。このため、チャネル形成領域に酸化物半導体を含むトランジスタは、シリコン等を用いた一般的なトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。アバランシェ崩壊に起因するホットキャリア劣化等が抑制されることで、チャネル形成領域に酸化物半導体を含むトランジスタは高いドレイン耐圧を有することとなり、高いドレイン電圧で駆動することが可能である。

20

【0306】

トランジスタのチャネル形成領域に含まれる酸化物半導体は、インジウム(In)および亜鉛(Zn)の少なくとも一方を含む酸化物半導体であることが好ましい。このような酸化物半導体としては、In酸化物、Zn酸化物、In-Zn酸化物、In-M-Zn酸化物(元素Mは、Ga、Al、Ti、Y、Zr、La、Ce、Nd、またはHf)が代表的である。これら酸化物半導体は、電子供与体(ドナー)となる水素などの不純物を低減し、かつ酸素欠損も低減することで、酸化物半導体をi型半導体(真性半導体)にする、あるいはi型半導体に限りなく近づけることができる。このような酸化物半導体は、高純度化された酸化物半導体と呼ぶことができる。

30

【0307】

チャネル形成領域を、キャリア密度の低い酸化物半導体で形成することが好ましい。酸化物半導体のキャリア密度は、例えば、 $8 \times 10^{11} / \text{cm}^3$ 未満 $1 \times 10^{-9} / \text{cm}^3$ 以上であるとよい。キャリア密度は、 $1 \times 10^{11} / \text{cm}^3$ 未満が好ましく、 $1 \times 10^{10} / \text{cm}^3$ 未満がさらに好ましい。

【0308】

<ニューラルネットワーク>

次に、ニューラルネットワークの構成例について説明を行う。ここでは、ニューラルネットワークの種類の一つである、階層型ニューラルネットワークについて説明する。

40

【0309】

図25は、階層型ニューラルネットワークの一例を示した図である。第(k-1)層(kは2以上の整数である)は、ニューロンをP個(Pは1以上の整数である)有し、第k層は、ニューロンをQ個(Qは1以上の整数である)有し、第(k+1)層は、ニューロンをR個(Rは1以上の整数である)有する。

【0310】

第(k-1)層の第pニューロン(pは1以上P以下の整数である)の出力信号 $z_p^{(k)}$

50

$z_p^{(k-1)}$ と重み係数 $w_{qp}^{(k)}$ と、の積が第 k 層の第 q ニューロン (q は 1 以上 Q 以下の整数である) に入力されるものとし、第 k 層の第 q ニューロンの出力信号 $z_q^{(k)}$ と重み係数 $w_{rq}^{(k+1)}$ と、の積が第 $(k+1)$ 層の第 r ニューロン (r は 1 以上 R 以下の整数である) に入力されるものとし、第 $(k+1)$ 層の第 r ニューロンの出力信号を $z_r^{(k+1)}$ とする。

【0311】

このとき、第 k 層の第 q ニューロンへ入力される信号の総和は、次の式 (D1) で表される。

【0312】

【数1】

$$u_q^{(k)} = \sum w_{qp}^{(k)} z_p^{(k-1)} \quad (D1)$$

10

【0313】

また、第 k 層の第 q ニューロンからの出力信号 $z_q^{(k)}$ を次の式 (D2) で定義する。

【0314】

【数2】

$$z_q^{(k)} = f(u_q^{(k)}) \quad (D2)$$

20

【0315】

関数 $f(u_q^{(k)})$ は、ニューロンの出力関数であり、ステップ関数、線形ランプ関数、又はシグモイド関数などを用いることができる。なお、式 (D1) の積和演算は、先述した積和演算回路によって実現できる。なお、式 (D2) の演算は、例えば、図 28 (A) に示す回路 411 によって実現できる。

【0316】

なお、ニューロンの出力関数は、全てのニューロンにおいて同一でもよいし、又は異なってもよい。加えて、ニューロンの出力関数は、層毎において、同一でもよいし、異なってもよい。

【0317】

ここで、図 26 に示す、全 L 層からなる階層型ニューラルネットワークを考える (つまり、ここでの k は 2 以上 ($L-1$) 以下の整数とする)。第 1 層は、階層型ニューラルネットワークの入力層となり、第 L 層は、階層型ニューラルネットワークの出力層となり、第 2 層乃至第 $(L-1)$ 層は、隠れ層となる。

30

【0318】

第 1 層 (入力層) は、ニューロンを P 個有し、第 k 層 (隠れ層) は、ニューロンを $Q[k]$ 個 ($Q[k]$ は 1 以上の整数である) 有し、第 L 層 (出力層) は、ニューロンを R 個有する。

【0319】

第 1 層の第 $s[1]$ ニューロン ($s[1]$ は 1 以上 P 以下の整数である) の出力信号を $z_{s[1]}^{(1)}$ とし、第 k 層の第 $s[k]$ ニューロン ($s[k]$ は 1 以上 $Q[k]$ 以下の整数である) の出力信号を $z_{s[k]}^{(k)}$ とし、第 L 層の第 $s[L]$ ニューロン ($s[L]$ は 1 以上 R 以下の整数である) の出力信号を $z_{s[L]}^{(L)}$ とする。

40

【0320】

また、第 $(k-1)$ 層の第 $s[k-1]$ ニューロン ($s[k-1]$ は 1 以上 $Q[k-1]$ 以下の整数である) の出力信号 $z_{s[k-1]}^{(k-1)}$ と重み係数 $w_{s[k]s[k-1]}^{(k)}$ と、の積 $u_{s[k]}^{(k)}$ が第 k 層の第 $s[k]$ ニューロンに入力されるものとし、第 $(L-1)$ 層の第 $s[L-1]$ ニューロン ($s[L-1]$ は 1 以上 $Q[L-1]$ 以下の整数である) の出力信号 $z_{s[L-1]}^{(L-1)}$ と重み係数 $w_{s[L]s[L-1]}^{(L)}$ と、の積 $u_{s[L]}^{(L)}$ が第 L 層の第 $s[L]$ ニューロンに入力されるもの

50

とする。

【 0 3 2 1 】

次に、教師付き学習について説明する。教師付き学習とは、上述の階層型ニューラルネットワークの機能において、出力した結果と、所望の結果（教師データ、又は教師信号という場合がある）が異なったときに、階層型ニューラルネットワークの全ての重み係数を、出力した結果と所望の結果とに基づいて、更新する動作をいう。

【 0 3 2 2 】

教師付き学習の具体例として、逆伝播誤差方式による学習方法について説明する。図 2 7 は、逆伝播誤差方式による学習方法を説明する図である。逆伝播誤差方式は、階層型ニューラルネットワークの出力と教師データとの誤差が小さくなるように、重み係数を変更する方式である。

10

【 0 3 2 3 】

例えば、第 1 層の第 $s[1]$ ニューロンに入力データを入力し、第 L 層の第 $s[L]$ ニューロンから出力データ $z_{s[L]}^{(L)}$ が出力されたとする。ここで、出力データ $z_{s[L]}^{(L)}$ に対する教師信号を $t_{s[L]}$ としたとき、誤差エネルギー E は、出力データ $z_{s[L]}^{(L)}$ 及び教師信号 $t_{s[L]}$ によって表すことができる。

【 0 3 2 4 】

誤差エネルギー E に対して、第 k 層の第 $s[k]$ ニューロンの重み係数 $w_{s[k]s[k-1]}^{(k)}$ の更新量を $E / w_{s[k]s[k-1]}^{(k)}$ とすることで、新たに重み係数を変更することができる。ここで、第 k 層の第 $s[k]$ ニューロンの出力値 $z_{s[k]}^{(k)}$ の誤差 $\delta_{s[k]}^{(k)}$ を $E / u_{s[k]}^{(k)}$ と定義すると、 $\delta_{s[k]}^{(k)}$ 及び $E / w_{s[k]s[k-1]}^{(k)}$ は、それぞれ次の式 (D 3)、(D 4) で表すことができる。

20

【 0 3 2 5 】

【数 3】

$$\delta_{s[k]}^{(k)} = \sum_{s[k+1]} \delta_{s[k+1]}^{(k+1)} \cdot w_{s[k+1]s[k]}^{(k+1)} \cdot f'(u_{s[k]}^{(k)}) \quad (D3)$$

【 0 3 2 6 】

30

【数 4】

$$\frac{\partial E}{\partial w_{s[k]s[k-1]}^{(k)}} = \delta_{s[k]}^{(k)} \cdot z_{s[k-1]}^{(k-1)} \quad (D4)$$

【 0 3 2 7 】

$f'(u_{s[k]}^{(k)})$ は、ニューロン回路の出力関数の導関数である。なお、式 (D 3) の演算は、例えば、図 2 8 (B) に示す回路 4 1 3 によって実現できる。また、式 (D 4) の演算は、例えば、図 2 8 (C) に示す回路 4 1 4 によって実現できる。出力関数の導関数は、例えば、オペアンプの出力端子に所望の導関数に対応した演算回路を接続することによって実現できる。

40

【 0 3 2 8 】

また、例えば、式 (D 3) の $w_{s[k+1]s[k]}^{(k+1)} \cdot \delta_{s[k+1]}^{(k+1)}$ の部分の演算は、前述した積和演算回路によって実現できる。

【 0 3 2 9 】

ここで、第 (k + 1) 層が出力層のとき、すなわち、第 (k + 1) 層が第 L 層であるとき、 $\delta_{s[L]}^{(L)}$ 及び $E / w_{s[L]s[L-1]}^{(L)}$ は、それぞれ次の式 (D 5)、(D 6) で表すことができる。

【 0 3 3 0 】

【数 5】

$$\delta_{s[L]}^{(L)} = (z_{s[L]}^{(L)} - t_{s[L]}) \cdot f'(u_{s[L]}^{(L)}) \quad (D5)$$

【0331】

【数 6】

$$\frac{\partial E}{\partial w_{s[L]s[L-1]}^{(L)}} = \delta_{s[L]}^{(L)} \cdot z_{s[L-1]}^{(L-1)} \quad (D6)$$

10

【0332】

式(D5)の演算は、図28(D)に示す回路415によって実現できる。また、式(D6)の演算は、図28(C)に示す回路414によって実現できる。

【0333】

つまり、式(D1)乃至式(D6)により、全てのニューロン回路の誤差 $s[k]^{(k)}$ 及び $s[L]^{(L)}$ を求めることができる。なお、重み係数の更新は、誤差 $s[k]^{(k)}$ 、 $s[L]^{(L)}$ 及び所望のパラメータなどに基づいて、設定される。

【0334】

以上のように、図22および図23に示す積和演算回路を用いることによって、教師付き学習を適用した階層型ニューラルネットワークの計算を行うことができる。

20

【0335】

具体的には、図22および図23に示す積和演算回路において、第1アナログデータを重み係数として、複数の第2アナログデータをニューロン出力に対応することで、各ニューロン出力の重み付け和演算を並列して行うことができ、当該出力信号として重み付け演算の結果に対応したデータ、すなわちシナプス入力を取得することができる。具体的には、メモリセルMC[1, j]乃至メモリセルMC[m, j]に、第k層の第s[k]ニューロンの重み係数 $w_{s[k] \cdot 1}^{(k)}$ 乃至 $w_{s[k] \cdot Q[k-1]}^{(k)}$ を第1アナログデータとして格納し、配線RW[1]乃至配線RW[m]にそれぞれ第(k-1)層の各ニューロンの出力信号 $z_{1 \cdot s[k]}^{(k-1)}$ 乃至 $z_{Q[k-1] \cdot s[k]}^{(k-1)}$ を第2アナログデータとして供給することで、第k層の第s[k]ニューロンに入力される信号の総和 $u_{s[k]}^{(k)}$ を計算することができる。つまり、式(D1)に示した積和演算を積和演算回路によって実現することができる。

30

【0336】

また、教師付き学習で重み係数の更新を行うとき、メモリセルMC[1, j]乃至メモリセルMC[m, j]に、第k層の第s[k]ニューロンから第(k+1)層の各ニューロンに信号が送られるときに掛かる重み係数 $w_{1 \cdot s[k]}^{(k+1)}$ 乃至 $w_{Q[k+1] \cdot s[k]}^{(k+1)}$ を第1アナログデータとして格納し、配線RW[1]乃至配線RW[m]に第(k+1)層の各ニューロンの誤差 $\delta_1^{(k+1)}$ 乃至 $\delta_{Q[k+1]}^{(k+1)}$ を第2アナログデータとして供給すると、式(D3)における $w_{s[k+1] \cdot s[k]}^{(k+1)} \cdot \delta_{s[k+1]}^{(k+1)}$ の値を、配線BL[j]に流れる差分電流 $I[j]$ から得ることができる。つまり、式(D3)に示した演算の一部を積和演算回路によって実現することができる。

40

【0337】

(実施の形態5)

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC-OSの構成について説明する。

<CAC-OSの構成>

【0338】

CAC-OSとは、例えば、酸化物半導体を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上2nm以下、またはその近傍のサイズで偏在した材料の一構

50

成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0339】

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

10

【0340】

例えば、In-Ga-Zn酸化物におけるCAC-OS(CAC-OSの中でもIn-Ga-Zn酸化物を、特にCAC-IGZOと呼称してもよい)とは、インジウム酸化物(以下、 InO_{x_1} (x_1 は0よりも大きい実数)とする)、またはインジウム亜鉛酸化物(以下、 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ (x_2 、 y_2 、および z_2 は0よりも大きい実数)とする)と、ガリウム酸化物(以下、 GaO_{x_3} (x_3 は0よりも大きい実数)とする)、またはガリウム亜鉛酸化物(以下、 $\text{Ga}_{x_4}\text{Zn}_{y_4}\text{O}_{z_4}$ (x_4 、 y_4 、および z_4 は0よりも大きい実数)とする)などと、に材料が分離することでモザイク状となり、モザイク状の InO_{x_1} 、または $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ が、膜中に均一に分布した構成(以下、クラウド状ともいう)である。

20

【0341】

つまり、CAC-OSは、 GaO_{x_3} が主成分である領域と、 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 、または InO_{x_1} が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

【0342】

なお、IGZOは通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $\text{InGaO}_3(\text{ZnO})_{m_1}$ (m_1 は自然数)、または $\text{In}_{(1+x_0)}\text{Ga}_{(1-x_0)}\text{O}_3(\text{ZnO})_{m_0}$ ($-1 < x_0 < 1$ 、 m_0 は任意数)で表される結晶性の化合物が挙げられる。

30

【0343】

上記結晶性の化合物は、単結晶構造、多結晶構造、またはCAAC(C-Axis Aligned Crystalline Oxide Semiconductor、またはC-Axis Aligned and A-B-plane Anchored Crystalline Oxide Semiconductor)構造を有する。なお、CAAC構造とは、複数のIGZOのナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

40

【0344】

一方、CAC-OSは、酸化物半導体の材料構成に関する。CAC-OSとは、In、Ga、Zn、およびOを含む材料構成において、一部にGaを主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。従って、CAC-OSにおいて、結晶構造は副次的な要素である。

【0345】

なお、CAC-OSは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

【0346】

50

なお、 GaO_{x_3} が主成分である領域と、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または InO_{x_1} が主成分である領域とは、明確な境界が観察できない場合がある。

【0347】

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、CAC - OS は、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部に In を主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

10

【0348】

CAC - OS は、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC - OS をスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、及び窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を 0 % 以上 30 % 未満、好ましくは 0 % 以上 10 % 以下とすることが好ましい。

【0349】

CAC - OS は、X 線回折 (XRD: X-ray diffraction) 測定法のひとつである Out-of-plane 法による $\theta/2$ スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X 線回折から、測定領域の a - b 面方向、および c 軸方向の配向は見られないことが分かる。

20

【0350】

また CAC - OS は、プローブ径が 1 nm の電子線（ナノビーム電子線ともいう）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域と、該リング領域に複数の輝点が観測される。従って、電子線回折パターンから、CAC - OS の結晶構造が、平面方向、および断面方向において、配向性を有さない nc (nano-crystal) 構造を有することがわかる。

【0351】

また例えば、In - Ga - Zn 酸化物における CAC - OS では、エネルギー分散型 X 線分光法 (EDX: Energy Dispersive X-ray spectroscopy) を用いて取得した EDX マッピングにより、 GaO_{x_3} が主成分である領域と、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または InO_{x_1} が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

30

【0352】

CAC - OS は、金属元素が均一に分布した IGZO 化合物とは異なる構造であり、IGZO 化合物と異なる性質を有する。つまり、CAC - OS は、 GaO_{x_3} などが主成分である領域と、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または InO_{x_1} が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

【0353】

ここで、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または InO_{x_1} が主成分である領域は、 GaO_{x_3} などが主成分である領域と比較して、導電性が高い領域である。つまり、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または InO_{x_1} が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。従って、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または InO_{x_1} が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度 (μ) が実現できる。

40

【0354】

一方、 GaO_{x_3} などが主成分である領域は、 $In_{x_2}Zn_{y_2}O_{z_2}$ 、または InO_{x_1} が主成分である領域と比較して、絶縁性が高い領域である。つまり、 GaO_{x_3} などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なス

50

イッチング動作を実現できる。

【0355】

従って、CAC - OSを半導体素子に用いた場合、GaO_{x3}などに起因する絶縁性と、In_{x2}Zn_{y2}O_{z2}、またはInO_{x1}に起因する導電性とが、相補的に作用することにより、高いオン電流(I_{on})、および高い電界効果移動度(μ)を実現することができる。

【0356】

また、CAC - OSを用いた半導体素子は、信頼性が高い。従って、CAC - OSは、ディスプレイをはじめとするさまざまな半導体装置に最適である。

【0357】

なお、本実施の形態は、少なくともその一部を本明細書で示す他の実施の形態と適宜組み合わせる実施することができる。

【符号の説明】

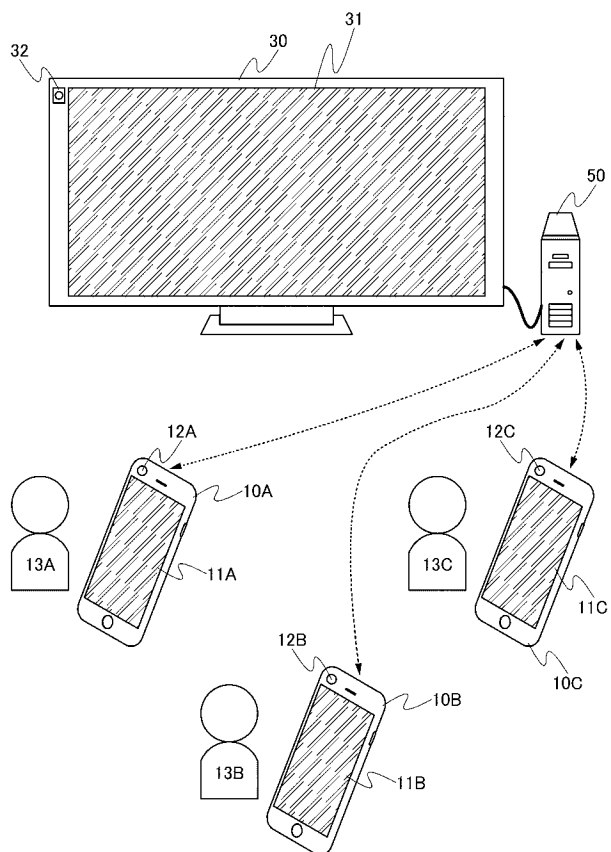
【0358】

C 1	矢印	
C 3	容量素子	
C 4	容量素子	
C 5	容量素子	
C 6	容量素子	
C 1 1	容量素子	20
C 1 3	容量素子	
C 1 4	容量素子	
R 1	矢印	
Tr 1	トランジスタ	
Tr 2	トランジスタ	
Tr 4	トランジスタ	
Tr 5	トランジスタ	
Tr 6	トランジスタ	
Tr 7	トランジスタ	
Tr 8	トランジスタ	30
Tr 9	トランジスタ	
Tr 1 0	トランジスタ	
Tr 1 1	トランジスタ	
Tr 1 9	トランジスタ	
Tr 2 0	トランジスタ	
Tr 3 4	トランジスタ	
Tr 3 5	トランジスタ	
Tr 4 8	トランジスタ	
Tr 4 9	トランジスタ	
Tr 5 8	トランジスタ	40
X 0	隣接部	
1 0 A	携帯型情報端末	
1 0 B	携帯型情報端末	
1 0 C	携帯型情報端末	
1 1 A	表示部	
1 1 B	表示部	
1 1 C	表示部	
1 2 A	カメラ部	
1 2 C	カメラ部	
1 3 A	ユーザー	50

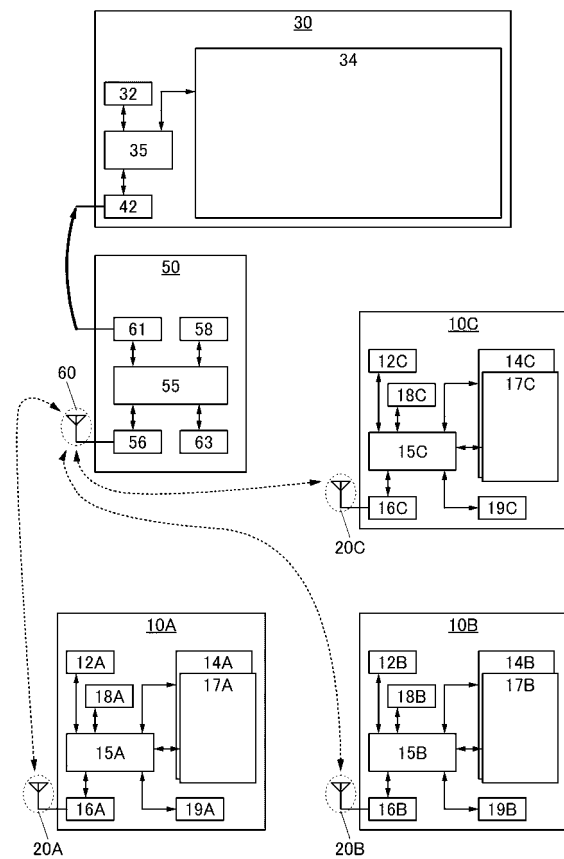
1 3 B	ユーザ	
1 3 C	ユーザ	
1 4 A	表示装置	
1 4 C	表示装置	
1 5 A	信号処理部	
1 5 B	信号処理部	
1 5 C	信号処理部	
1 6 A	通信部	
1 6 C	通信部	
1 7 A	タッチセンサ	10
1 7 C	タッチセンサ	
1 8 A	操作部	
1 8 C	操作部	
1 9 A	バッテリ	
1 9 C	バッテリ	
2 0 A	アンテナ	
2 0 C	アンテナ	
3 0	据置型表示装置	
3 1	表示部	
3 2	カメラ部	20
3 4	表示装置	
3 5	信号処理部	
4 2	映像入力部	
5 0	情報処理装置	
5 5	信号処理部	
5 6	通信部	
5 8	操作部	
6 0	アンテナ	
6 1	映像出力部	
6 3	情報入出力部	30
7 1	シフトレジスタ	
7 2	シフトレジスタ	
7 3	シフトレジスタ	
8 1	レジスタ	
8 2	レジスタ	
8 3	レジスタ	
8 5	レジスタ	
1 0 0	積和演算回路	
1 0 1	記憶回路	
1 0 2	参照用記憶回路	40
1 0 3	電流ソース回路	
1 0 4	電流シンク回路	
1 0 5	電流源回路	
2 0 0	表示ユニット	
2 0 1	画素アレイ	
2 0 2	ゲートドライバ	
2 0 3	ゲートドライバ	
2 0 4	コントローラ I C	
2 1 0	画素	
4 0 0	タッチセンサユニット	50

4 0 1	センサアレイ
4 0 2	タッチセンサ I C
4 0 4	容量
4 0 5	駆動回路
4 0 6	検出回路
4 1 1	回路
4 1 3	回路
4 1 4	回路
4 1 5	回路
4 7 5	検知素子

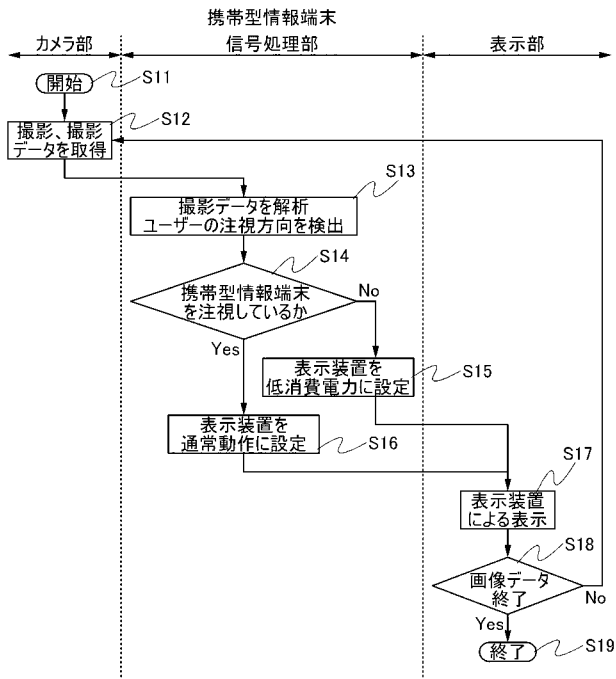
【図 1】



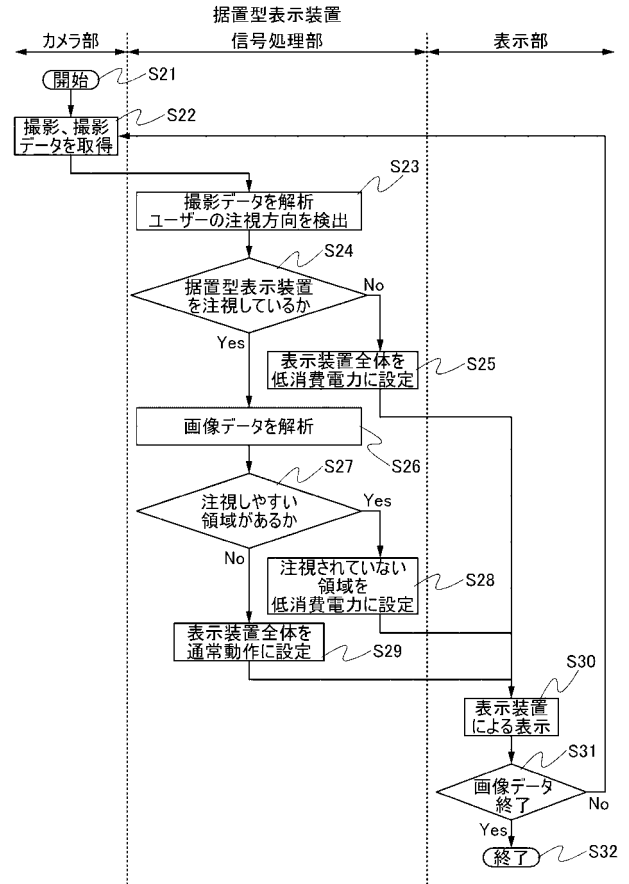
【図 2】



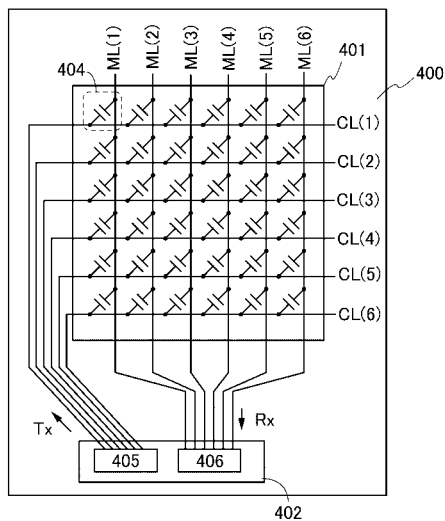
【図 3】



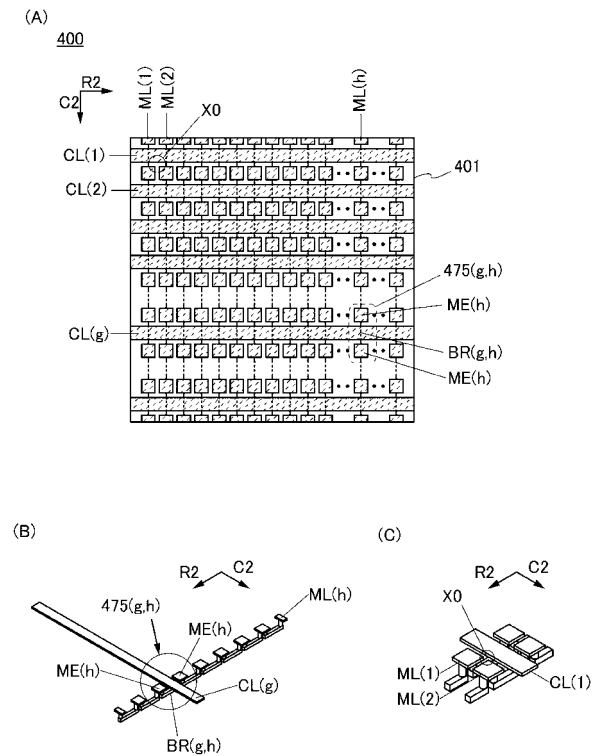
【図 4】



【図 5】

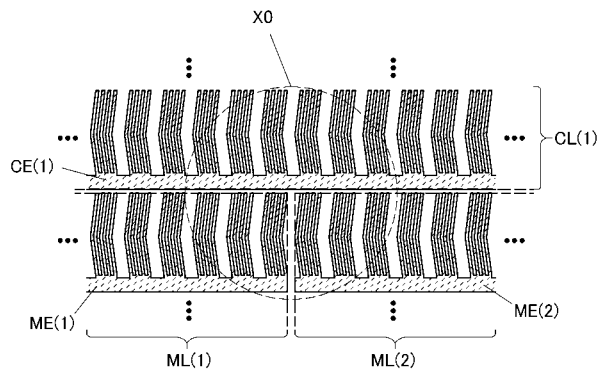


【図 6】

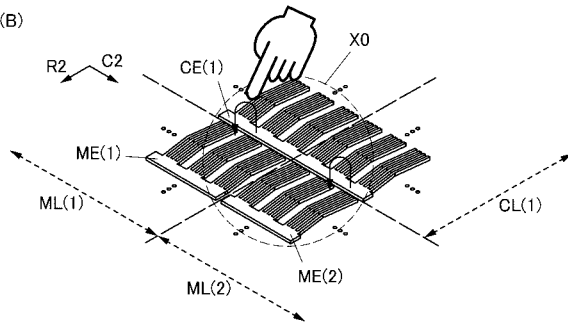


【図 7】

(A)

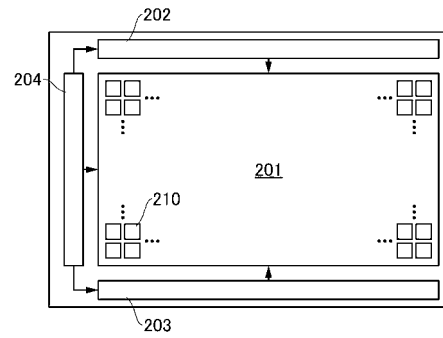


(B)

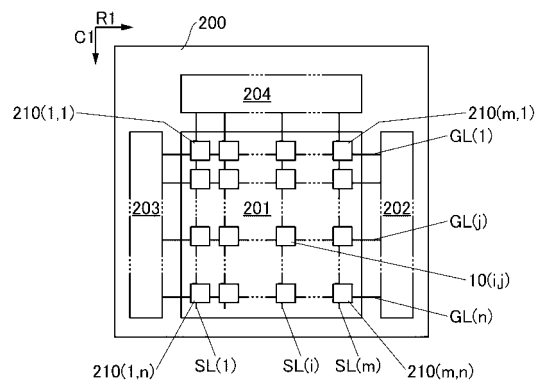


【図 8】

200

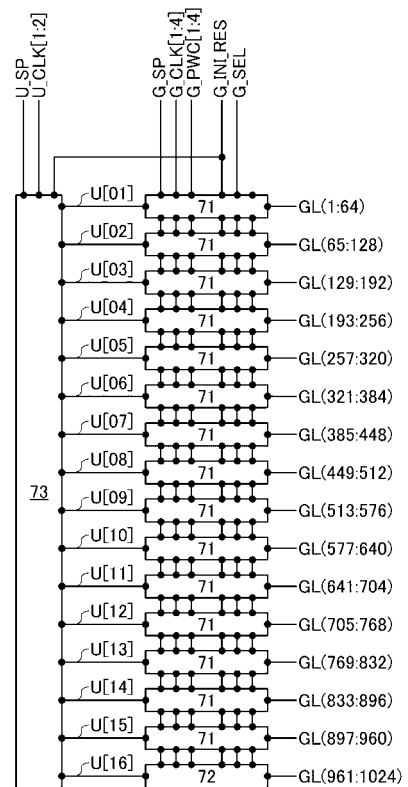


【図 9】

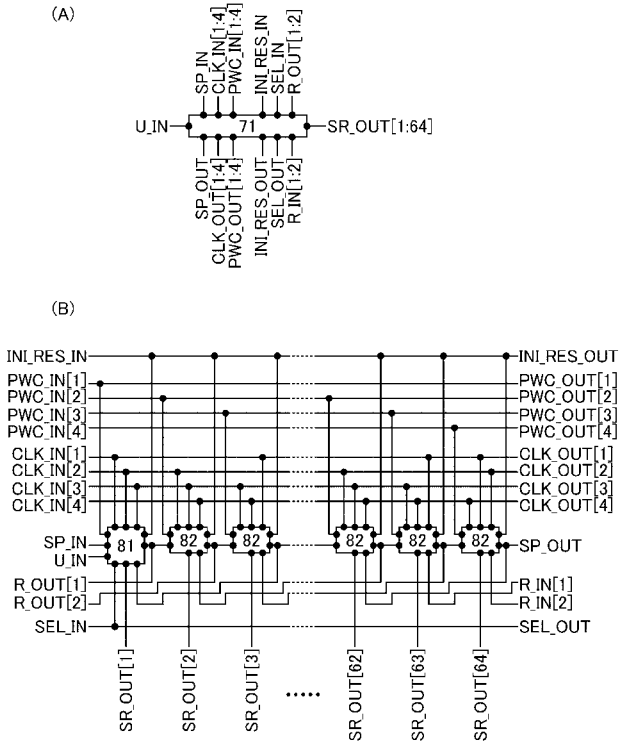


【図 10】

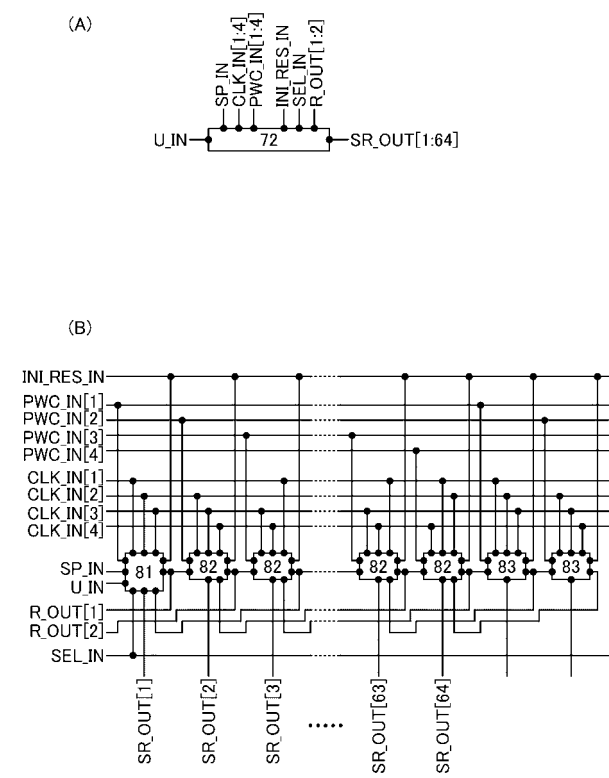
202, 203



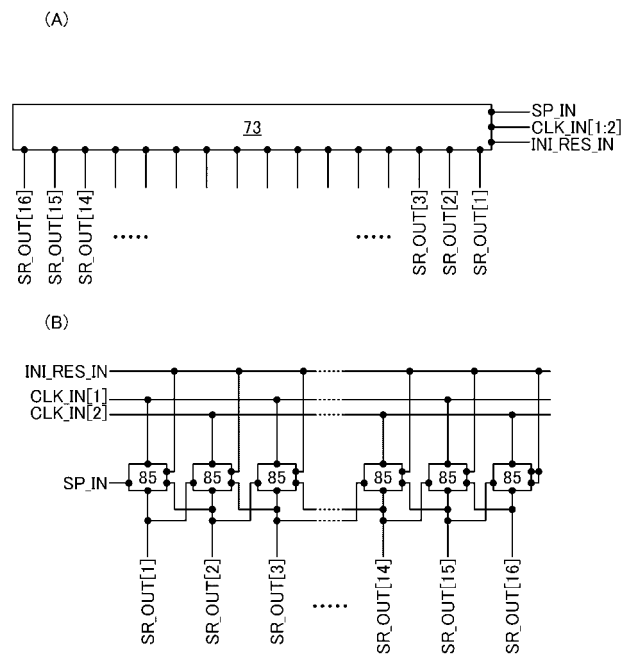
【図 1 1】



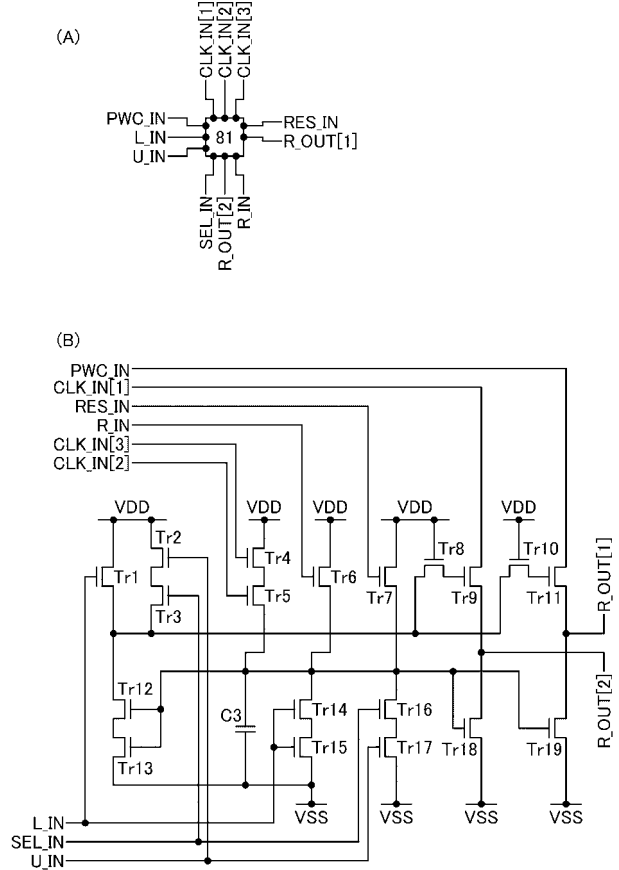
【図 1 2】



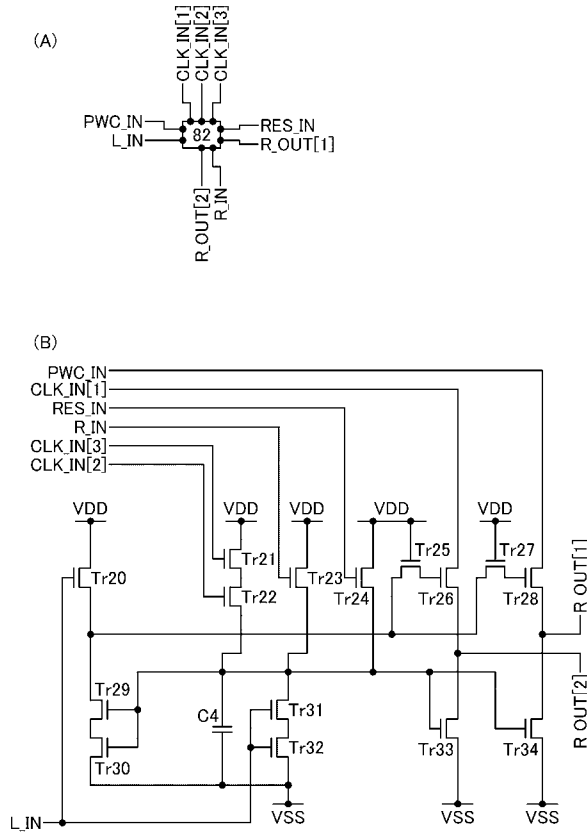
【図 1 3】



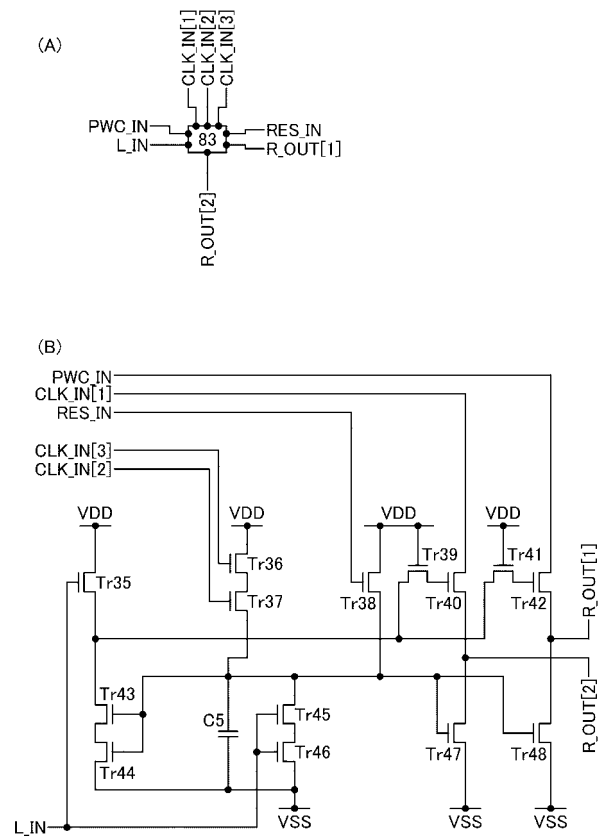
【図 1 4】



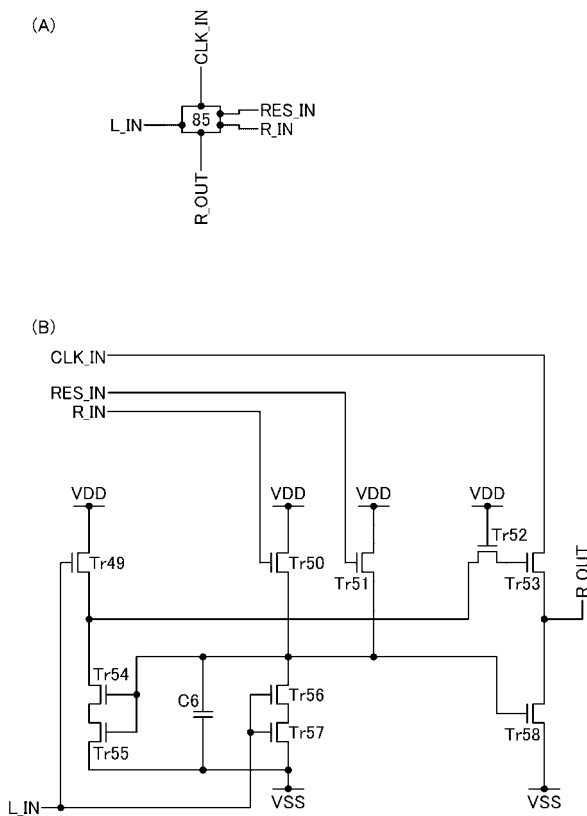
【図 15】



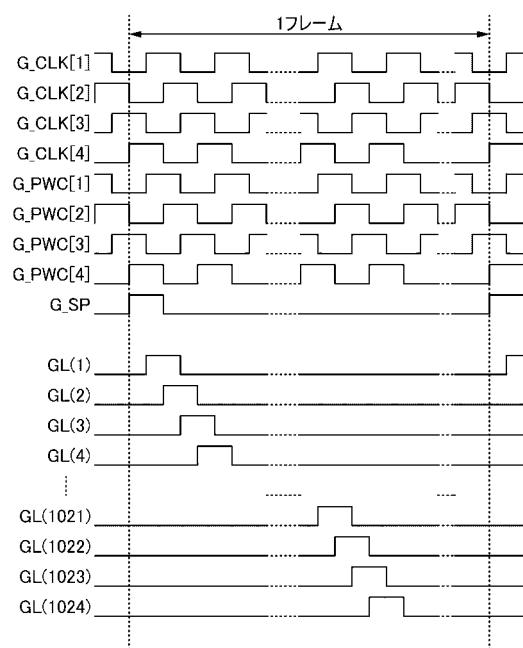
【図 16】



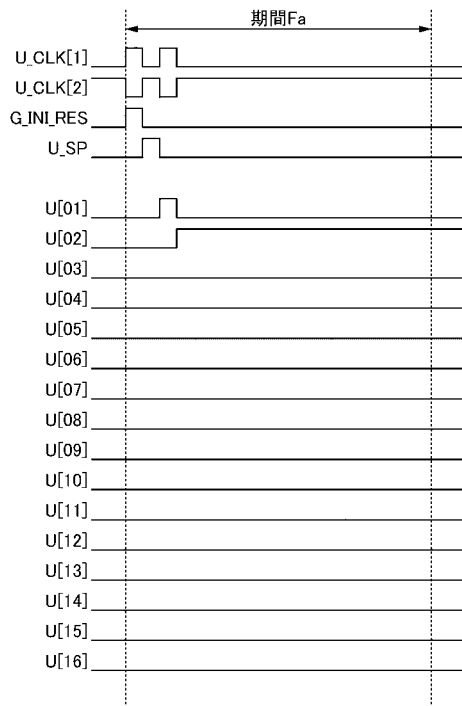
【図 17】



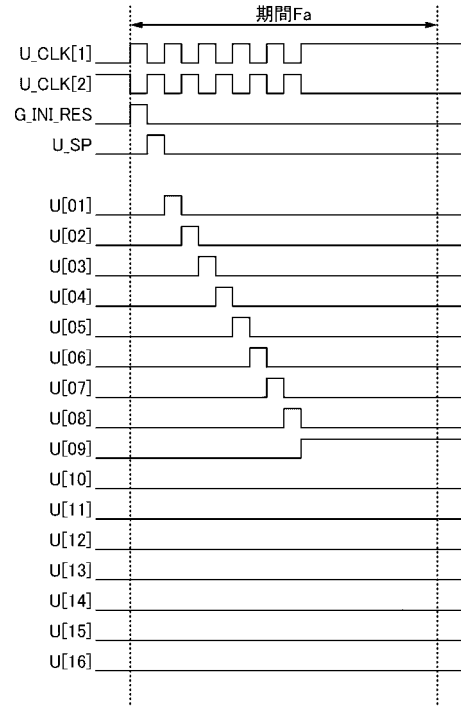
【図 18】



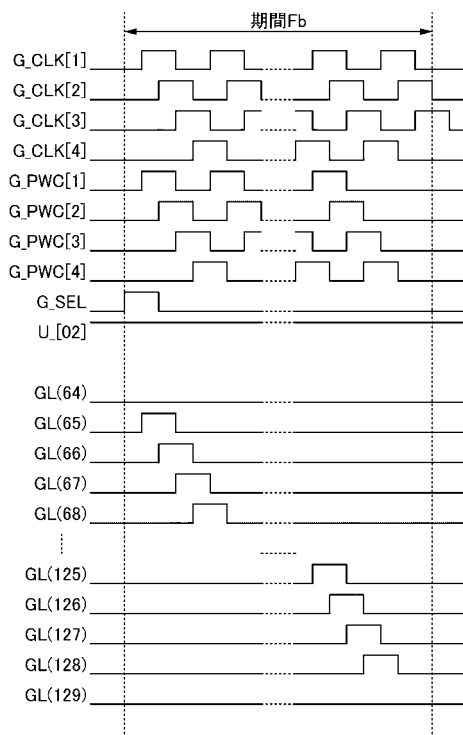
【図 19】



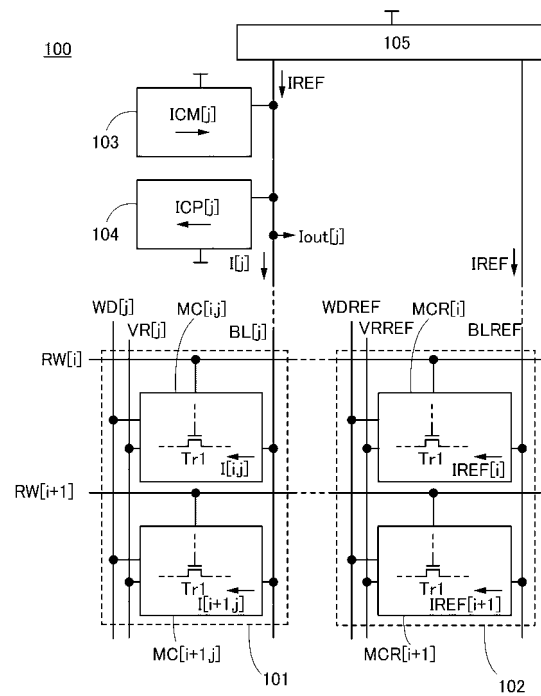
【図 20】



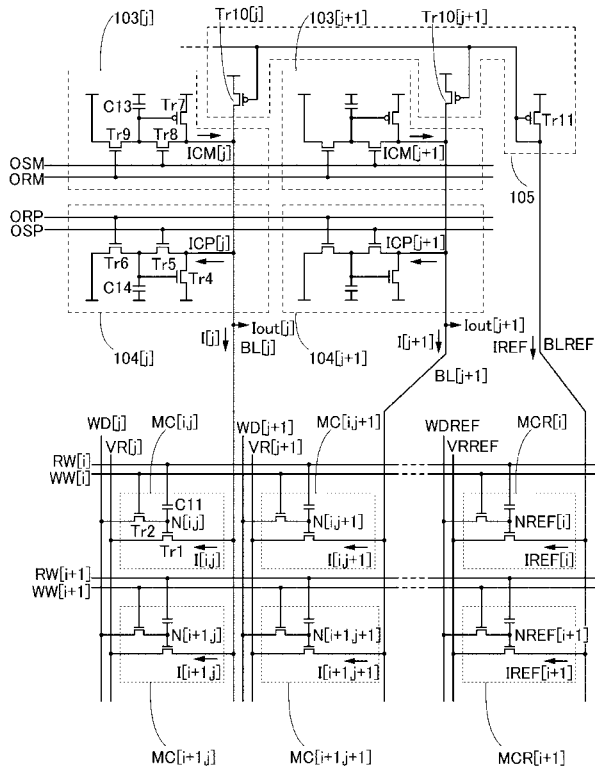
【図 21】



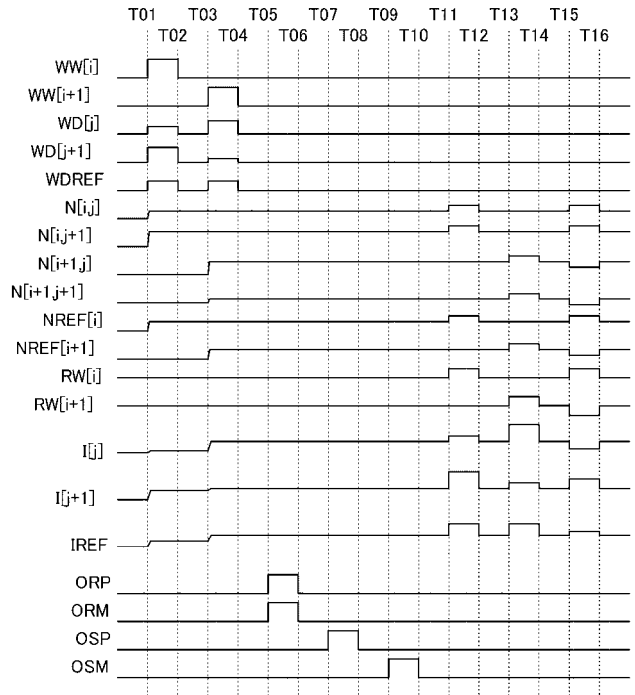
【図 22】



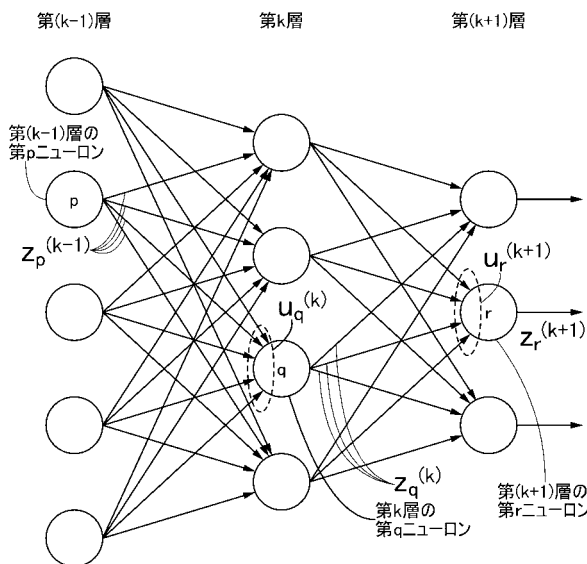
【図 2 3】



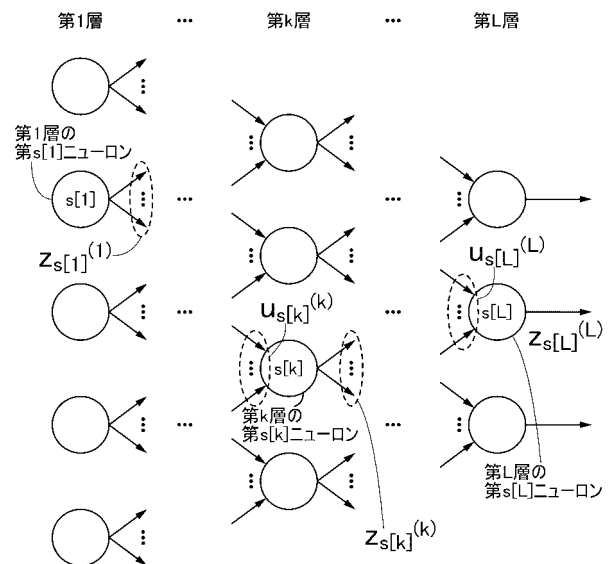
【図 2 4】



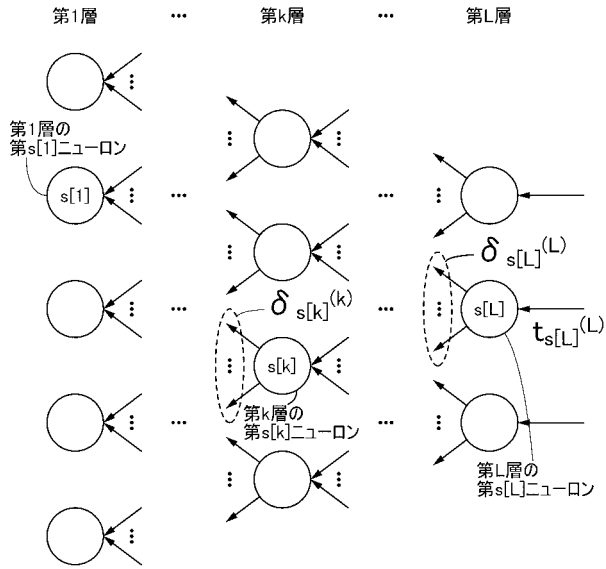
【図 2 5】



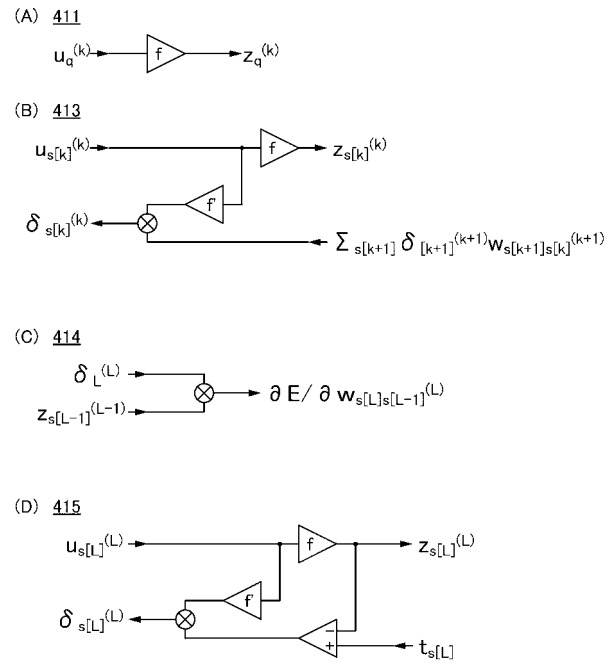
【図 2 6】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)		
G 0 9 G 3/20 (2006.01)	G 0 9 G	3/20	6 1 1 A	5 C 1 8 2		
G 0 6 F 1/32 (2006.01)	G 0 9 G	5/00	5 1 0 V	5 E 5 5 5		
G 0 6 F 3/01 (2006.01)	G 0 9 G	3/20	6 2 1 K			
G 0 2 F 1/133 (2006.01)	G 0 9 G	3/20	6 1 2 U			
G 0 2 F 1/1368 (2006.01)	G 0 6 F	1/32	Z			
H 0 1 L 27/32 (2006.01)	G 0 6 F	3/01	5 1 0			
H 0 1 L 51/50 (2006.01)	G 0 2 F	1/133	5 3 0			
H 0 5 B 33/14 (2006.01)	G 0 2 F	1/1368				
	H 0 1 L	27/32				
	H 0 5 B	33/14	A			
	H 0 5 B	33/14	Z			

F ターム(参考)	5B011	EA03	EA04	EB09	KK01	KK03	LL15				
	5C080	AA06	AA07	AA10	AA13	BB05	BB06	DD22	DD26	EE28	GG07
	5C182	AA02	AA03	AB14	BA03	BA04	BA06	BA14	BA35	BA56	BB02
		CA01	CC01	DA25	DA44	DA52	DA66				
	5E555	AA77	BA02	BA04	BA20	BA38	BB02	BB04	BB20	BB38	BC07
		CA42	CB65	EA22	FA00						