

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3640175号  
(P3640175)

(45) 発行日 平成17年4月20日(2005.4.20)

(24) 登録日 平成17年1月28日(2005.1.28)

(51) Int.Cl.<sup>7</sup>

F I

G 1 1 C 16/04

G 1 1 C 17/00 6 2 3 Z

G 1 1 C 16/02

G 1 1 C 17/00 6 1 2 F

G 1 1 C 16/06

G 1 1 C 17/00 6 3 4 Z

H O 1 L 21/8247

G 1 1 C 17/00 6 3 3 B

H O 1 L 27/115

H O 1 L 29/78 3 7 1

請求項の数 16 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2001-115678 (P2001-115678)  
 (22) 出願日 平成13年4月13日 (2001.4.13)  
 (65) 公開番号 特開2002-313090 (P2002-313090A)  
 (43) 公開日 平成14年10月25日 (2002.10.25)  
 審査請求日 平成14年5月21日 (2002.5.21)

(73) 特許権者 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100090479  
 弁理士 井上 一  
 (74) 代理人 100090387  
 弁理士 布施 行夫  
 (74) 代理人 100090398  
 弁理士 大淵 美千栄  
 (72) 発明者 亀井 輝彦  
 長野県諏訪市大和3丁目3番5号 セイコ  
 ーエプソン株式会社内

審査官 小松 正

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するメモリセルを、列方向及び行方向にそれぞれ複数配列してなるメモリセルアレイ領域と、

前記メモリセルアレイ領域内の前記複数のメモリセルの各々の前記第1、第2のコントロールゲートを駆動するコントロールゲート駆動部と、

を有し、

前記メモリセルアレイ領域は、前記行方向で分割された複数のセクタ領域を有し、

前記複数のセクタ領域の各々は、前記行方向で複数のブロックを有し 10

、  
 前記コントロールゲート駆動部は、前記複数のセクタ領域の各一つについてそれぞれ複数のコントロールゲートドライバを有し、前記複数のコントロールドライバの各々は、前記複数のブロックのうち1以上のブロックに対応して配置され、かつ、対応ブロック内の全メモリセルの前記第1及び第2のコントロールゲートの電位を設定することを特徴とする不揮発性半導体記憶装置。

【請求項2】

請求項1において、

前記複数のブロックは、前記列方向で複数のブロックに分割された複数のラージブロックと、前記複数のラージブロックの各々を前記列方向でさらに細分割された複数のスモールブロック 20

を有し、

前記複数のコントロールドライバの各々は、前記複数のラージブロックの各々に対応して配置され、かつ対応するラージブロックに設けられた前記複数のスモールブロック内に配置された全メモリセルの前記第 1 及び第 2 のコントロールゲートの電位を設定することを特徴とする不揮発性半導体記憶装置。

【請求項 3】

請求項 1 において、

前記複数のブロックは、前記列方向で複数の分割された複数のラージブロックと、前記複数のラージブロックの各々を前記列方向でさらに細分割された複数のスモールブロックを有し、

10

前記複数のコントロールドライバの各々は、前記複数のラージブロックの各々に設けられた前記複数のスモールブロックの各々に対応して設けられ、かつ、対応するスモールブロックに配置された全メモリセルの前記第 1 及び第 2 のコントロールゲートの電位を設定することを特徴とする不揮発性半導体記憶装置。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記複数のコントロールゲートドライバは、一つのセクタ領域内のデータ消去時に、該一つのセクタ領域内の全ての前記第 1 , 第 2 のコントロールゲートに第 1 の消去用高電位を供給して、前記複数のセクタ領域の各々にて一括してデータを消去することを特徴とする不揮発性半導体記憶装置。

20

【請求項 5】

請求項 4 において、

前記複数のセクタ領域の各々には、前記列方向に沿って形成された複数のコントロールゲート線が設けられ、

前記コントロールゲート駆動部は、前記複数のセクタ領域の各々に配置された前記複数のコントロールゲート線の各々に、ゲート回路を経由せずに直接接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項 6】

請求項 5 において、

前記複数のコントロールゲート線は、

30

前記コントロールゲート駆動部に直接接続された複数のメインコントロールゲート線と、

前記複数のメインコントロールゲート線と前記複数のメモリセルの前記第 1 , 第 2 のコントロールゲートとを接続する複数のサブコントロールゲート線と、

を含むことを特徴とする不揮発性半導体記憶装置。

【請求項 7】

請求項 6 において、

前記複数のセクタ領域の各々に設けられた偶数のメインコントロールゲート線には、偶数列の前記複数メモリセルの各々の前記第 2 のコントロールゲートと奇数列の前記複数メモリセルの各々の前記第 1 のコントロールゲートとが共通接続された複数のサブコントロールゲートが接続され、前記複数のセクタ領域の各々に設けられた奇数のメインコントロールゲート線には、奇数列の前記複数メモリセルの各々の前記第 2 のコントロールゲートと偶数列の前記複数メモリセルの各々の前記第 1 のコントロールゲートとが共通接続された複数のサブコントロールゲート線が接続されていることを特徴とする不揮発性半導体記憶装置。

40

【請求項 8】

請求項 7 において、

前記複数のセクタ領域の各々に対応して設けられた前記複数のコントロールゲートドライバの各々には、k 本のメインコントロールゲート線が接続され、

前記複数のセクタ領域の各々には、k 本のサブコントロールゲート線が接続されるメモ

50

リセル群からなる各入出力ビットに対応したメモリブロックが、前記行方向に複数配置され、

前記行方向に沿って延びる複数の配線が設けられ、前記  $k$  本のメインコントロールゲート線の各々と、それと対応する前記  $k$  本のサブコントロールゲート線の各々が、前記複数の配線の各々を介してそれぞれ接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項 9】

請求項 8 において、

前記メモリブロックの前記行方向に沿ったメモリセル数を 4 とし、 $k = 4$  に設定したことを特徴とする不揮発性半導体記憶装置。

10

【請求項 10】

請求項 1 乃至 9 のいずれかにおいて、

前記複数のセクタ領域の各々には、

前記列方向に沿って形成された複数のビット線と、

少なくともデータのプログラム時及び読み出し時に、前記複数のビット線を駆動するビット線駆動部と、

がさらに設けられていることを特徴とする不揮発性半導体記憶装置。

【請求項 11】

請求項 10 において、

一つのセクタ領域毎のデータ消去時に、該一つのセクタ領域に形成された前記複数のビット線に第 2 の消去用高電位を供給する消去用ビット線駆動部がさらに設けられていることを特徴とする不揮発性半導体記憶装置。

20

【請求項 12】

請求項 10 または 11 において、

前記複数のビット線は、不純物層にて形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項 13】

請求項 12 において、

前記複数のセクタ領域の各々は、他のセクタと分離された一つのウェル領域に形成され、前記ウェル領域に第 2 の消去用高電位を供給する消去用ウェル駆動部が設けられていることを特徴とする不揮発性半導体記憶装置。

30

【請求項 14】

請求項 12 または 13 において、

前記不純物層にて形成された前記複数のビット線の各々にそれぞれ接続される複数のメインビット線が設けられ、前記複数のメインビット線から前記複数のビット線にそれぞれ至る各経路途中に、ゲート回路が設けられていないことを特徴とする不揮発性半導体記憶装置。

【請求項 15】

請求項 1 乃至 14 のいずれかにおいて、

前記メモリセルアレイ領域には、前記行方向に沿って配列された前記複数のメモリセルの各々の前記ワードゲートにそれぞれ共通接続された複数のワード線が、前記行方向に沿って設けられ、

40

前記メモリセルアレイ領域の前記行方向の一端には、前記複数のワード線を駆動するワード線駆動部が設けられていることを特徴とする不揮発性半導体記憶装置。

【請求項 16】

請求項 1 乃至 15 のいずれかにおいて、

前記第 1, 第 2 の不揮発性メモリ素子の各々は、酸化膜 (O)、窒化膜 (N) 及び酸化膜 (O) からなる ONO 膜を電荷のトラップサイトとして有することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

50

## 【 0 0 0 1 】

## 【 発明の属する技術分野 】

本発明は、 1 つのワードゲートと、 2 つのコントロールゲートにより制御される 2 つの不揮発性メモリ素子を備えたメモリセルにて構成される不揮発性半導体記憶装置に関する。

## 【 0 0 0 2 】

## 【 背景技術 】

不揮発性半導体装置として、チャネルとゲートとの間のゲート絶縁層が、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜の積層体からなり、窒化シリコン膜に電荷がトラップされる M O N O S (Metal-Oxide-Nitride-Oxide-Semiconductorまたは-substrate) 型が知られている。

10

## 【 0 0 0 3 】

この M O N O S 型不揮発性半導体記憶装置は、文献 (Y.Hayashi,et al,2000 Symposium on VLSI Technology Digest of Technical Papers p.122-p.123) に開示されている。この文献には、 1 つのワードゲートと、 2 つのコントロールゲートにより制御される 2 つの不揮発性メモリ素子 (M O N O S メモリセル) を備えたツイン M O N O S フラッシュメモリセルが開示されている。すなわち、 1 つのフラッシュメモリセルが、電荷のトラップサイトを 2 つ有している。

## 【 0 0 0 4 】

このような構造を有する複数のツイン M O N O S フラッシュメモリセルを行方向及び列方向にそれぞれ複数配列させて、メモリセルアレイ領域が構成される。

20

## 【 0 0 0 5 】

## 【 発明が解決しようとする課題 】

このツイン M O N O S フラッシュメモリセルを駆動するには、 2 本のビット線と、 1 本のワード線と、 2 本のコントロールゲート線とを要する。ただし、多数のメモリセルを駆動するに際して、異なるコントロールゲートであっても同じ電位に設定する場合には、これらの線を共通接続することができる。

## 【 0 0 0 6 】

ここで、フラッシュメモリの動作には、データの消去、プログラム及び読み出しがある。データのプログラム及び読み出しは、通常、 8 ビットまたは 16 ビットの選択セルにて同時に実施されるが、データの消去はさらに広い範囲で同時に実施できる。

30

## 【 0 0 0 7 】

ここで、この種の不揮発性メモリでは、データのディスタ urb が課題となっている。データのディスタ urb とは、選択セルのコントロールゲート線及びビット線に高電位を印加してプログラムまたは消去するとき、共用される配線によって非選択セクタ領域内のセルにも高電位が印加され、プログラムの度にその状態が繰り返されることでプログラムまたは消去されて、非選択セルのデータがディスタ urb されることを言う。

## 【 0 0 0 8 】

このような事態を防止するには、選択ゲート回路を設けて、選択セクタのセルにのみ高電位が印加され、非選択セクタのセルには高電位が印加されないようにすることができる。

## 【 0 0 0 9 】

しかし、このようにすると、選択ゲート回路のために面積を占有され、メモリセルの高集積化が妨げられる。さらには、選択ゲートにて電圧降下が生ずると、プログラム時または消去時に選択セクタのセルに高電位を供給するために、電圧降下分を上乗せして供給する必要がある。結果的に、低電圧駆動が妨げられ、特に携帯機器のように低消費電力化が求められる機器には不適合となる。

40

## 【 0 0 1 0 】

さらに、今後は携帯機器等から高速にてデータをリードする要求が高まるが、高速駆動の点でも改善の余地があった。

## 【 0 0 1 1 】

そこで、本発明は、選択セルでのプログラム時または消去時に非選択セクタのセルにてデ

50

ータがディスタ urbされることを回避しながら、しかも選択ゲート回路を要せずに高集積化が可能な不揮発性半導体記憶装置を提供することにある。

【0012】

本発明の他の目的は、選択ゲート回路を不要とすることで電圧降下を回避して、消費電力を低減することができる不揮発性半導体装置を提供することにある。

【0013】

本発明のさらに他の目的は、高電位が供給されるコントロールゲート線の負荷容量を低減して高速駆動を可能とした不揮発性半導体記憶装置を提供することにある。

【0014】

【課題を解決するための手段】

本発明の一態様に係る不揮発性半導体記憶装置は、1つのワードゲートと、2つのコントロールゲートにより制御される2つの不揮発性メモリ素子を有するメモリセルを、列方向及び行方向にそれぞれ複数配列してなるメモリセルアレイ領域を有する。不揮発性半導体記憶装置はさらに、メモリセルアレイ領域内の複数のメモリセルの各々の第1、第2のコントロールゲートを駆動するコントロールゲート駆動部を有する。

【0015】

メモリセルアレイ領域は、行方向で分割された複数のセクタ領域を有する。この複数のセクタ領域の各々は、行方向に沿った複数の各列にそれぞれ配列された複数のメモリセルを有する。

【0016】

複数のセクタ領域の各々は、列方向で複数に分割された複数のブロックを有する。コントロールゲート駆動部は、複数のセクタ領域の各一つについてそれぞれ複数のコントロールゲートドライバを有する。この複数のコントロールドライバの各々は、複数のブロックのうちの互いに異なる1以上のブロックに配置された全メモリセルの前記第1及び第2のコントロールゲートの電位を設定する。

【0017】

本発明の一態様によれば、ある一つのセクタ領域内のある一つのブロックに配置された選択セルについてプログラムする際には、そのセクタ領域内で選択されたブロックに配置されたメモリセル（選択セル及び非選択セル）のコントロールゲート電位のみを、対応するコントロールゲートドライバによってプログラム電位とできる。選択セクタ内の他のブロック及び非選択セクタ領域では、それに対応するコントロールゲートドライバによって、プログラム電位以外の電位に設定できるので、非選択のセクタ領域内の非選択セルにてデータがディスタ urbされることがない。しかもこのことは、選択ゲート回路を用いずに達成できるため、メモリセルを高集積化することができる。また、選択ゲート回路での電圧降下も生じないので、低電圧駆動が可能となり、特に携帯機器のメモリとして有効に利用できる。さらには、一つのコントロールゲートドライバには一つのブロック内のメモリセルのみが接続されるので、一つのセクタ領域内の全てのメモリセルを接続するものと比較して、コントロールゲート線に接続される負荷容量（ゲート容量）が低減される。よって、メモリの高速駆動も可能となる。

【0018】

複数のブロックとして、列方向で複数に分割された複数のラージブロックと、その複数のラージブロックの各々を列方向でさらに細分割された複数のスモールブロックを有することができる。

【0019】

この場合、複数のコントロールドライバの各々は、複数のラージブロックのうちの互いに異なる一つに配置され、かつ複数のスモールブロック内に配置された全メモリセルの第1及び第2のコントロールゲートの電位を設定することができる。

【0020】

あるいは、複数のコントロールドライバの各々は、複数のラージブロックの各々について互いに異なる一つのスモールブロックに配置された全メモリセルの前記第1及び第2のコ

10

20

30

40

50

ントロールゲートの電位を設定することができる。

【0021】

本発明の一態様において、データ消去時に複数のコントロールゲートドライバの一つが選択されて、該一つのセクタ領域内の全ての第1, 第2のコントロールゲートに第1の消去用高電位を供給することができる。こうして、複数のセクタ領域の各々にて一括してデータ消去を実施することができる。

【0022】

本発明の一態様においてはさらに、複数のセクタ領域の各々には、列方向に沿って形成された複数のコントロールゲート線が設けられ、コントロールゲート駆動部は、複数のセクタ領域の各々に配置された複数のコントロールゲート線の各々に、ゲート回路を経由せず

10

【0023】

このように、面積を増大させ、電圧降下を生じさせるゲート回路を排除しても、非選択のセクタ領域内の非選択セルに高電位が印加されることはない。

【0024】

ここで、この複数のコントロールゲート線は、コントロールゲート駆動部に直接接続された複数のメインコントロールゲート線と、複数のメインコントロールゲート線と複数のメモリセルの前記第1, 第2のコントロールゲートとを接続する複数のサブコントロールゲート線とを含むことができる。これらは、層の異なる金属配線にて形成することができる。

20

【0025】

このとき、複数のセクタ領域の各々に設けられた偶数のメインコントロールゲート線には、偶数列の複数メモリセルの各々の第2のコントロールゲートと奇数列の複数メモリセルの各々の第1のコントロールゲートとが共通接続された複数のサブコントロールゲートを接続することができる。一方、複数のセクタ領域の各々に設けられた奇数のメインコントロールゲート線には、奇数列の複数メモリセルの各々の第2のコントロールゲートと偶数列の複数メモリセルの各々の第1のコントロールゲートとが共通接続された複数のサブコントロールゲート線を接続することができる。

【0026】

また、複数のセクタ領域の各々に対応して設けられた複数のコントロールゲートドライバの各々にk本のメインコントロールゲート線が接続される場合には、複数のセクタ領域の各々には、k本のサブコントロールゲート線が接続されるメモリセル群からなる各入出力ビットに対応したメモリブロックが、行方向に複数配置される。このとき、行方向に沿って延びる複数の配線を設けることが好ましい。こうすると、k本のメインコントロールゲート線の各々と、それと対応するk本のサブコントロールゲート線の各々とを、複数の配線の一つを介して接続することができる。

30

【0027】

特に好ましい形態として、メモリブロックの行方向に沿ったメモリセル数を4とすることができる。この場合にはk=4に設定され、コントロールゲートドライバには4本のメインコントロールゲート線が接続される。メモリブロックは、行方向に4セル有するため計8ビットとなり、1本のサブコントロールゲート線を2ビットに共用することで、4本のサブコントロールゲート線が配置される。

40

【0028】

本発明の一態様では、複数のセクタ領域の各々に、列方向に沿って形成された複数のビット線と、少なくともデータのプログラム時及び読み出し時に複数のビット線を駆動するビット線駆動部とをさらに有することができる。

【0029】

ビット線駆動部はデータ消去時に複数のビット線を駆動するようにしてもよいが、消去用ビット線駆動部をさらに設けても良い。この消去用ビット線駆動部は、一つのセクタ領域毎のデータ消去時に、該一つのセクタ領域に形成された複数のビット線に第2の消去用高

50

電位を供給する。

【0030】

複数のセクタ領域の各々は、他のセクタと分離された一つのウェル領域に形成することができる。この場合、そのウェル領域に第2の消去用高電位を供給する消去用ウェル駆動部を設けることができる。

【0031】

また、複数のビット線を不純物層にて形成することができ、この複数のビット線の各々に、複数のメインビット線の各々を接続しても良い。メインビット線を金属配線とすれば、ビット線の低抵抗化が可能であり、また不純物層を列方向で連続させずに不連続としても、その不連続な各ビット線にメインビット線を介して給電できる。

10

【0032】

このとき、複数のメインビット線から前記複数のビット線に至る経路途中に、ゲート回路が設けられないことが好ましい。ゲート回路はビット線の配線容量を高めるほか、ゲート回路にて電圧降下が生ずることもあり、低電圧駆動の妨げとなるからである。

【0033】

メモリセルアレイ領域には、行方向に沿って配列された前記複数のメモリセルの各々のワードゲートにそれぞれ共通接続された複数のワードを、行方向に沿って設けることができる。こうして、複数のセクタ領域にて複数のワード線は共用される。なお、メモリセルアレイ領域の行方向の一端に、複数のワード線を駆動するワード線駆動部を設けることができる。不揮発性半導体記憶装置の記憶容量をさらに大容量化するには、行方向にてワード線ドライバを挟んだ両側に、複数のメモリセルアレイ領域をそれぞれ配置しても良い。

20

【0034】

第1, 第2の不揮発性メモリ素子の各々は、酸化膜(O)、窒化膜(N)及び酸化膜(O)からなるONO膜を電荷のトラップサイトとして有することができるが、これに限らず他の構造を採用することができる。

【0035】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

【0036】

(メモリセル構造)

30

図1は不揮発性半導体記憶装置の一断面を示し、図2はその等価回路図である。図1において、1つのメモリセル100は、P型ウェル102上にゲート酸化膜を介して例えばポリサイドにて形成されたワードゲート104と、第1, 第2のコントロールゲート106A, 106Bと、第1, 第2のメモリ素子(MONOSメモリセル)108A, 108Bとを有する。

【0037】

第1, 第2のコントロールゲート106A, 106Bは、ワードゲート104の両側壁に形成され、ワードゲート104とはそれぞれ電氣的に絶縁されている。

【0038】

第1, 第2のメモリ素子108A, 108Bの各々は、MONOSのM(金属)に相当するポリシリコンにて形成される第1, 第2のコントロールゲート106A, 106Bの一つと、P型ウェル102との間に、酸化膜(O)、窒化膜(N)及び酸化膜(O)を積層することで構成される。なお、第1, 第2のコントロールゲート106A, 106Bは、シリサイドなどの導電材で構成することができる。

40

【0039】

このように、1つのメモリセル100は、スプリットゲート(第1, 第2のコントロールゲート106A, 106B)を備えた第1, 第2のMONOSメモリセル108A, 108Bを有し、第1, 第2のMONOSメモリセル108A, 108Bにて一つのワードゲート104を共用している。

【0040】

50

この第1, 第2のMONOSメモリセル108A, 108Bは、それぞれ電荷のトラップサイトとして機能する。第1, 第2のMONOSメモリセル108A, 108Bの各々は、ONO膜109にて電荷をトラップすることが可能である。

図1及び図2に示すように、行方向(図1及び図2の第2の方向B)に間隔をおいて配列された複数のワードゲート104は、ポリサイドなどで形成される1本のワード線WLに共通接続されている。

#### 【0041】

また、図1に示すコントロールゲート106A, 106Bは、列方向(図1の紙面に垂直な第1の方向A)に沿って延び、列方向に配列される複数のメモリセル100にて共用される。よって、符号106A, 106Bをコントロールゲート線とも称する。

10

#### 【0042】

ここで、[i]番目のメモリセル100[i]のコントロールゲート線106Bと、[i+1]番目のメモリセル100[i+1]のコントロールゲート線106Aとには、例えばワードゲート、コントロールゲート、ワード線よりも上層の第1層の金属層で形成されるサブコントロールゲート線SCG[i+1]が接続されている。

#### 【0043】

P型ウェル102には、[i]番目のメモリセル100[i]のMONOSメモリセル108Bと、[i+1]番目のメモリセル100[i+1]のMONOSメモリセル108Aとに共用される[i+1]番目の不純物層110[i+1]が設けられている。

#### 【0044】

20

これらの不純物層110[i], [i+1], [i+2]は例えばP型ウェル内に形成されるn型不純物層で、列方向(図1の紙面に垂直な第1の方向A方向)に沿って延び、列方向に配列される複数のメモリセル100にて共用されるビット線として機能する。よって、符号110[i], [i+1], [i+2]などをビット線BL[i], [i+1], [i+2]とも称する。

#### 【0045】

(メモリセルからのデータ読み出し)

一つのメモリセル100は、図2に示すように、ワードゲート104により駆動されるトランジスタT2と、第1, 第2のコントロールゲート106A, 106Bによりそれぞれ駆動されるトランジスタT1, T3とを直列に接続したものと模式化することができる。

30

#### 【0046】

メモリセル100の動作を説明するに際して、図3に示すように、隣接する2つのメモリセル100[i], [i+1]の各所の電位の設定についてまず説明する。図3は、メモリセル100[i]のワードゲート104の右側のMONOSメモリセル108Bからのデータ読み出しについて説明する図である。なお、以下の動作説明において、トランジスタT1~T3のしきい値電圧は2.5V未満と仮定する。

#### 【0047】

この場合、メモリセル100[i]と同じ行にある各ワードゲート104に例えば2.5Vを印加して、各トランジスタT2をオンさせる。また、メモリセル100[i]の左側のコントロールゲート106Aに、サブコントロールゲート線SCG[i]を介してオーバライド電圧(例えば5V)を印加して、MONOSメモリセル108Aに相当するトランジスタT1をオンさせる。メモリセル100[i]の右側のコントロールゲート106Bの電位VCGとして、読み出し電位Vreadを印加する。

40

#### 【0048】

このとき、ワードゲート104の右側のMONOSメモリセル108Bに電荷が蓄積されていたか否かで、MONOSメモリセル108Bに相当するトランジスタT3の動作は以下のように分かれる。

#### 【0049】

図4は、メモリセル100[i]の右側のコントロールゲート106Bへの印加電圧と、それによって制御されるMONOSメモリセル108Bに相当するトランジスタT3のソ

50



ース - ドレイン間に流れる電流  $I_{ds}$  との関係を示している。

【 0 0 5 0 】

図 4 に示すように、MONOS メモリセル 1 0 8 B に電荷が蓄積されていない場合には、コントロールゲート電位  $V_{CG}$  が低いしきい値電圧  $V_{low}$  を超えると電流  $I_{ds}$  が流れ始める。これに対して、MONOS メモリセル 1 0 8 B に電荷が蓄積されている場合には、コントロールゲート電位  $V_{CG}$  が高いしきい値電圧  $V_{high}$  を超えない限り電流  $I_{ds}$  が流れ始めない。

【 0 0 5 1 】

ここで、データ読み出し時にコントロールゲート 1 0 6 B に印加される電圧  $V_{read}$  は、2 つのしきい値電圧  $V_{low}$  ,  $V_{high}$  のほぼ中間電圧 (例えば 2 . 5 V ) に設定されている。

10

【 0 0 5 2 】

従って、MONOS メモリセル 1 0 8 B に電荷が蓄積されていない場合には電流  $I_{ds}$  が流れ、MONOS メモリセル 1 0 8 B に電荷が蓄積されている場合には電流  $I_{ds}$  が流れないことになる。

【 0 0 5 3 】

ここで、データ読み出し時にはビット線  $BL[i]$  (不純物層 1 1 0 [  $i$  ] ) の電位  $V_{D[i]}$  を 0 V に、ビット線  $BL[i+1]$  (不純物層 1 1 0 [  $i+1$  ] ) の電位  $V_{D[i+1]}$  を 1 . 5 V にそれぞれ設定しておく。こうすると、MONOS メモリセル 1 0 8 B に電荷が蓄積されていない場合には電流  $I_{ds}$  が流れるため、オン状態のトランジスタ  $T_1$  ,  $T_2$  を介して、電位  $V_{D[i]}$  は 0 V → 1 . 5 V と変化し、電位  $V_{D[i+1]}$  は 1 . 5 V → 0 V と変化する。これに対し、MONOS メモリセル 1 0 8 B に電荷が蓄積されている場合には電流  $I_{ds}$  が流れないため、トランジスタ  $T_1$  ,  $T_2$  がオン状態であっても、電位  $V_{D[i]}$  は 0 V のまま、電位  $V_{D[i+1]}$  は 1 . 5 V のまま変化しない。よって、一対のビット線  $BL[i]$  ,  $[i+1]$  の電位を検出することで、メモリセル 1 0 0 [  $i$  ] の MONOS メモリセル 1 0 8 B からのデータ読み出しが可能となる。

20

【 0 0 5 4 】

なお、メモリセル 1 0 0 [  $i+1$  ] でもトランジスタ  $T_1$  ,  $T_2$  はオンしているが、トランジスタ  $T_3$  のコントロールゲート電位  $V_{CG}$  は 0 V とされ、図 3 の 2 つのしきい値電圧  $V_{low}$  ,  $V_{high}$  の双方より電位  $V_{CG}$  が低いので、メモリセル 1 0 0 [  $i+1$  ] にてソース - ドレイン電流は流れることがない。よって、メモリセル 1 0 0 [  $i+1$  ] でのデータ蓄積状況が、メモリセル 1 0 0 [  $i$  ] からのデータ読み出しに悪影響を与えることがない。

30

【 0 0 5 5 】

メモリセル 1 0 0 [  $i$  ] の左側の MONOS メモリセル 1 0 8 A からデータを読み出すには、メモリセル 1 0 0 [  $i-1$  ] ,  $[i]$  の各所の電位を、上記と同様に設定すればよい。

【 0 0 5 6 】

(メモリセルのプログラミング)

図 5 は、メモリセル 1 0 0 [  $i$  ] のワードゲート 1 0 4 の右側の MONOS メモリセル 1 0 8 B のデータプログラミングについて説明する図である。なお、このデータプログラミング動作の前には、後述するデータ消去動作が実施されている。

40

【 0 0 5 7 】

図 5 では、図 3 と同じく、サブコントロールゲート線  $SCG[i]$  の電位はオーバライド電位 (例えば 5 V ) とされ、サブコントロールゲート線  $SCG[i+2]$  の電位は 0 V とされている。しかし、各ワードゲート 1 0 4 の電位は、ワード線  $WL$  により例えば 0 . 7 V ~ 1 . 0 V 程度に設定される。また、メモリセル 1 0 0 [  $i+1$  ] の右側のコントロールゲート 1 0 8 B の電位は、サブコントロールゲート線  $SCG[i+1]$  を介して、図 4 に示す書き込み電位  $V_{write}$  (例えば 5 ~ 6 V ) に設定され、 $[i+1]$  番目の不純物層 1 1 0 [  $i+1$  ] (ビット線  $BL[i+1]$  ) の電位  $V_{D[i+1]}$  は例えば 4 . 5

50

～ 5 V に設定される。

#### 【 0 0 5 8 】

こうすると、メモリセル 1 0 0 [ i ] のトランジスタ T 1 , T 2 がそれぞれオンして、不純物層 1 1 0 [ i ] に向けて電流 I d s が流れる一方で、MONOSメモリセル 1 0 8 B の ONO 膜 1 0 9 にはチャンネルホットエレクトロン ( C H E ) がトラップされる。こうして、MONOSメモリセル 1 0 8 B のプログラミング動作が実施されて、データの「 0 」または「 1 」が書き込まれる。

#### 【 0 0 5 9 】

(メモリセルのデータ消去)

図 6 は、ワード線 W L に接続された 2 つのメモリセル 1 0 0 [ i ] , [ i + 1 ] のデータ消去について説明する図である。 10

#### 【 0 0 6 0 】

図 6 では、各ワードゲート 1 0 4 の電位は、ワード線 W L によって例えば 1 . 8 V に設定され、サブコントロールゲート線 S C G [ i ] , [ i + 1 ] , [ i + 2 ] によって、コントロールゲート 1 0 6 A , 1 0 6 B の電位は例えば - 5 ~ - 6 V 程度 ( 第 1 の消去用高電位 ) に設定される。さらに、不純物層 ( ピット線 ) 1 1 0 [ i ] , [ i + 1 ] , [ i + 2 ] の各電位は、P 型ウェル電位と等しい 3 ~ 5 V ( 第 2 の消去用高電位 ) に設定される。

#### 【 0 0 6 1 】

こうすると、各 MONOSメモリセル 1 0 8 A , 1 0 8 B の ONO 膜 1 0 9 にトラップされていた電子は、金属 ( M ) に印加された第 1 の消去用高電位と、シリコン ( S ) に印加された第 2 の消去用高電位とで形成される電界により、トンネル効果により抜かれて消去される。これにより、複数メモリセルにて同時にデータ消去が可能となる。なお、消去動作としては、上述のものとは異なり、ピット線となる不純物層の表面のバンド - バンドトンネリングによりホットホールを形成し、蓄えられていたエレクトロンを消去するものであっても良い。 20

#### 【 0 0 6 2 】

(不揮発性半導体記憶装置の全体構成)

上述のメモリセル 1 0 0 を用いて構成される不揮発性半導体記憶装置の全体構成について、図 7 ( A ) ~ 図 7 ( E ) を参照して説明する。

#### 【 0 0 6 3 】

図 7 ( A ) は 1 チップの不揮発性半導体記憶装置の平面レイアウト図であり、ワード線駆動部 2 0 1 を挟んだ左右のメモリセルアレイ領域 2 0 0 A , 2 0 0 B は、例えば 3 2 個のセクタ領域 2 1 0 にそれぞれ分割されている。1 チップの不揮発性半導体記憶装置としては、第 0 ~ 第 6 3 のセクタ領域 2 1 0 を有する。 30

3 2 個のセクタ領域 2 1 0 は、図 7 ( A ) に示すように左右のメモリセルアレイ領域 2 0 0 A , 2 0 0 B を第 2 の方向 ( 行方向 ) B でそれぞれ分割したもので、各セクタ領域 2 1 0 は第 1 の方向 ( 列方向 ) A を長手方向とする縦長形状を有する。データ消去の最小単位がセクタ領域 2 1 0 であり、セクタ領域 2 1 0 内の記憶データは一括消去される。

#### 【 0 0 6 4 】

左右のメモリアレイ領域 2 0 0 A , 2 0 0 B の各々は、例えば 4 K 本のワード線 W L と 2 K 本のピット線 B L を有する。ここで、本実施の形態では 1 本のピット線 B L に 2 つの MONOSメモリセル 1 0 8 A , 1 0 8 B が接続されるため、2 K 本のピット線 B L は 4 K b i t の記憶容量を意味する。図 7 ( A ) の不揮発性半導体記憶装置は左右のメモリアレイ領域 2 0 0 A , 2 0 0 B を有するため、メモリ全体として ( 4 K 本のワード線 W L ) × ( 2 K 本のピット線 B L ) × 2 × 2 で定義される記憶容量を有する。各セクタ領域 2 1 0 の記憶容量はメモリ全体の記憶容量の 1 / 6 4 であり、( 4 K 本のワード線 W L ) × ( 6 4 本のピット線 B L ) × 2 で定義される記憶容量を有する。 40

#### 【 0 0 6 5 】

図 7 ( B ) は、図 7 ( A ) に示す不揮発性半導体記憶装置の一つのセクタ領域 2 1 0 の詳細を示している。図 7 ( B ) に示すように、各セクタ領域 2 1 0 は第 2 の方向にて分割さ 50

れ、16ビットのデータをリード・ライト可能にI/O0～I/O15用の16個のメモリブロック（入出力ビットに対応したメモリブロック）214を有している。各メモリブロック214は、図7（B）に示すように、4k（4096）本のワード線WLを有する。

#### 【0066】

図7（C）に示すように、図7（B）に示す一つのメモリブロック214は、第1の方向Aにて8個のラージブロック212に分割されている。この各ラージブロック212は、図7（D）に示すように、第1の方向Aにて8個のスモールブロック215に分割されている。

各スモールブロック215は、図7（E）に示すように、64本のワード線WLを有する。

10

#### 【0067】

よって、一つのラージブロック212に配されるワード線WLの総数（冗長用も含む）は、64本×8スモールブロック＝512本となる。このため、一つのセクタ領域210に配されるワード線WLの総数は、512（本）×8（ラージブロック）＝4096本となる。

#### 【0068】

（セクタ領域の詳細）

図8は、図7（A）に示すセクタ領域0の詳細を示している。図8に示すスモールメモリブロック216は、図9に示すように、メモリセル100を列方向に例えば64個、行方向に例えば4個配列したものである。一つのスモールメモリブロック216には、例えば第1層の金属配線層である4本のサブコントロールゲート線SCG0～SCG3と、データの入出力線である4本のビット線BL0～BL3と、64本のワード線WLとが接続されている。

20

#### 【0069】

ここで、偶数のコントロールゲート線SCG0，SCG2には、偶数列（第0列または第2列）の複数メモリセルの各々の第2のコントロールゲート106Bと奇数列（第1列または第3列）の複数メモリセルの各々の第1のコントロールゲート106Aとが共通接続されている。同様に、奇数のサブコントロールゲート線SCG1，SCG3には、奇数列（第1列または第3列）の複数メモリセルの各々の第2のコントロールゲート106Bと偶数列（第2列または第4列）の複数メモリセルの各々の第1のコントロールゲート106Aとが共通接続されている。

30

#### 【0070】

図8に示すように、スモールメモリブロック216が列方向に64個配列され、16ビットの入出力を行うために、I/O0～I/O15に対応した16個のスモールメモリブロック216が行方向に配列されている。

#### 【0071】

各スモールメモリブロック216では、コントロールゲート線SCG0が、行方向に延びる例えば第2層の金属配線M0に共通接続されている。同様に、16本のサブコントロールゲート線SCG1は金属配線M1に、16本のサブコントロールゲート線SCG2は金属配線M2に、16本のサブコントロールゲート線SCG3は金属配線M3にそれぞれ共通接続されている。

40

#### 【0072】

このセクタ領域0のコントロールゲート駆動部である8個のCGドライバ300-0～300-7が設けられている。CGドライバ300-0から列方向に延びる4本のメインコントロールゲート線MCG00～MCG03が設けられ、これらは例えば第3層の金属配線により形成されている。同様に、CGドライバ301-0からは4本のメインコントロールゲート線MCG10～MCG13が、CGドライバ300-2からは4本のメインコントロールゲート線MCG20～MCG23が、... CGドライバ300-7からは4本のメインコントロールゲート線MCG70～MCG73が、それぞれ列方向に延びている。

50

## 【 0 0 7 3 】

ここで、C G ドライバ 3 0 0 - 0 から列方向に延びる 4 本のメインコントロールゲート線 M C G 0 0 ~ M C G 0 3 は、図 8 に示すようにラージブロック 0 の領域に亘って延びている。そして、ラージブロック 0 ~ 7 の各々に配置された 8 本、計 6 4 本の金属配線 M 0 は、メインコントロールゲート線 M C G 0 0 に共通接続されている。同様に、6 4 本の金属配線 M 1 はメインコントロールゲート線 M C G 0 1 に、6 4 本の金属配線 M 2 はメインコントロールゲート線 M C G 0 2 に、6 4 本の金属配線 M 3 はメインコントロールゲート線 M C G 0 3 にそれぞれ共通接続されている。

## 【 0 0 7 4 】

換言すれば、C G ドライバ 3 0 0 - 0 から列方向に延びる 4 本のメインコントロールゲート線 M C G 0 0 ~ M C G 0 3 は、図 8 に示すようにラージブロック 0 内に配置された全メモリセルの第 1 , 第 2 のコントロールゲート 1 0 6 A , 1 0 6 B にのみ電位を供給可能で、他のラージブロック 1 - 7 には接続されていない。

10

## 【 0 0 7 5 】

同様に、図 8 では省略されているが、C G ドライバ 3 0 0 - 1 はラージブロック 1 と、C G ドライバ 3 0 0 - 2 はラージブロック 2 と、... C G ドライバ 3 0 0 - 6 はラージブロック 6 とそれぞれ接続されている。

## 【 0 0 7 6 】

図 8 ではさらに、C G ドライバ 3 0 0 - 7 がラージブロック 7 とのみ接続されている状態が図示されている。

20

## 【 0 0 7 7 】

図 1 0 は、相隣り合うセクタ領域 0 とセクタ領域 1 との関係を示している。セクタ領域 0 とセクタ領域 1 とはワード線 W L が共用されるが、メインコントロールゲート線 M C G 及びメインビット線 M B L はそれぞれ独立して設けられている。特に図 1 0 では、セクタ領域 0 に対応するドライバの一つである C G ドライバ 3 0 0 - 0 と、セクタ領域 1 に対応するドライバの一つである C G ドライバ 3 0 1 - 0 とが示され、C G ドライバはセクタ領域毎に独立して設けられている。

## 【 0 0 7 8 】

また、例えばセクタ領域 0 を例に挙げれば、スモールメモリブロック 2 1 6 毎に配置された複数のサブコントロールゲート線 S C G 0 はメインコントロールゲート線 M C G 0 0 に共通接続されている。このメインコントロールゲート線 M C G 0 0 から各サブコントロールゲート線 S C G 0 に至る各経路途中には、ゲート回路は配置されていない。

30

## 【 0 0 7 9 】

同様に、スモールメモリブロック 2 1 6 毎に配置された複数のビット線 B L 0 ( 不純物層 ) は、金属配線であるメインビット線 M B L 0 に共通接続されている。このメインビット線 M B L 0 から各ビット線 B L 0 に至る各経路途中にも、ゲート回路は配置されていない。なお、以上のことは他のセクタ領域 1 - 7 についても同様である。

## 【 0 0 8 0 】

( 動作説明 )

ここで、本実施形態の不揮発性半導体記憶装置でのデータ消去時とプログラム時とについて、設定されるコントロールゲート線 C G 、ビット線 B L 及びワード線 W L の各電位を、下記の表 1 に示す。

40

## 【 0 0 8 1 】

【 表 1 】

	選択セル			非選択セル(選択セクタ内)			非選択セル(非選択セクタ内)		
	CG	BL	WL	CG	BL	WL	CG	BL	WL
消去	-5V	5V	1. 8V	-	-	-	0V	0V	1. 8V
プログラム	5V	5V	1V	5V	5V	0V	0V	0V	0V or 1V

50

## 【 0 0 8 2 】

表 1 において、データ消去時には例えばセクタ領域 0 ( 選択セクタ ) 内は全て選択セルとなり、4 0 9 6 本のワード線 W L には 1 . 8 V が供給される。また、C G ドライバ 3 0 0 - 0 ~ 3 0 0 - 7 によって 3 2 本の全てのメインコントロールゲート線 M C G 0 0 ~ M C G 0 3 , M C G 1 0 ~ M C G 1 3 , ... M C G 7 0 ~ M C G 7 3 に第 1 の消去用高電位 ( 例えば - 5 V ) が供給され、セクタ領域 0 ( 選択セクタ ) 内の全メモリセルのコントロールゲート 1 0 6 A , 1 0 6 B に、一括して第 1 の消去用高電位を供給することができる。このとき、セクタ領域 0 内の全ビット線 B L には第 2 の消去用高電位 ( 例えば 5 V ) が供給されるが、その供給方法については後述する。こうして、選択されたセクタ領域 0 内の全メモリセルにてデータ消去を実施できる。

10

## 【 0 0 8 3 】

このとき、非選択である例えばセクタ領域 1 では、4 0 9 6 本の全ワード線 W L に 1 . 8 V が供給されるが、コントロールゲート C G 及びビット線 B L はセクタ領域 0 とは独立して 0 V を供給できるので、非選択セクタにてデータ消去が実施されることはない。

## 【 0 0 8 4 】

次に、プログラミング動作について説明する。選択されたセクタ領域 0 内の例えばラージブロック 0 に配置された 1 6 個の I / O にそれぞれ対応する各一つの M O N O S メモリセルにて、1 6 ビット同時にデータプログラミングが実施される。このために、セクタ領域 0 内の選択セルに接続されたいずれか 1 本のワード線 W L に 1 V が供給され、他の 4 0 9 5 本のワード線 W L は 0 V に設定される。また、セクタ領域 0 内のラージブロック 0 に配置された、各 I / O 0 ~ I / O 1 5 に対応する 1 6 個のメモリブロック 2 1 4 において、図 5 の C G [ i ] , C G [ i + 1 ] に相当する 2 本のコントロールゲート線 C G に 5 V を供給し、他のコントロールゲート線 C G は 0 V に設定する。さらに、セクタ領域 0 内の各メモリブロック 2 1 4 において、図 5 のビット線 B L [ i + 1 ] に相当する 1 本のビット線 B L に 5 V を供給し、他のビット線 B L は 0 V に設定する。これにより、セクタ領域 0 内のラージブロック 0 に配置された各メモリブロック 2 1 4 内の各一つの M O N O S メモリセルにてデータプログラミングが実施される。

20

## 【 0 0 8 5 】

このとき、表 1 に示すように、選択されたセクタ領域 0 内のラージブロック 0 に配置された非選択セルにおいては、ワード線 W L は 0 V に設定されるが、コントロールゲート線 C G 及びビット線 B L には共に 5 V の高電位が印加される。

30

## 【 0 0 8 6 】

一方、表 1 に示すように、非選択のセクタ領域内における非選択セルにおいては、コントロールゲート線 C G 及びビット線 B L には共に 0 V が印加される。よって、非選択セクタ領域内では、プログラム時と同様な高電位が印加されることで生ずるディスタurbが非選択セルに生ずることがない。このことは、選択されたセクタ領域 0 内のラージブロック 0 を除くラージブロック 1 - 7 に配置された非選択セルについても同様である。

## 【 0 0 8 7 】

選択されたセクタ領域 0 内のラージブロック 0 に配置された非選択セルには高電位が印加されてしまうが、このような高電位はセクタ領域 0 内のラージブロック 0 にてプログラミングを実施する場合にのみ印加される。よって、いずれか一つのセクタ領域でのプログラミングが実施される度に、他のセクタ領域内の非選択セルに高電位が印加されるものと比較すれば、高電位が印加される頻度が大幅に低減し、ディスタurbが生ずることを防止できる。

40

## 【 0 0 8 8 】

( 比較例 1 の説明 )

図 1 1 は、比較例 1 の構成を示している。この比較例 1 では、メモリセルアレイ領域は、列方向で分割され、列方向を長手方向とする複数のセクタ領域 0 , 1 , ... を有する。また比較例 1 では、C G ドライバ 4 0 0 , 4 0 1 はセクタ領域 0 , 1 にそれぞれ対応して設けられずに、両セクタ領域 0 , 1 に共用されている。

50

## 【 0 0 8 9 】

ここで、図 1 1 に示すように、セクタ領域 0 に対応して選択ゲート領域 4 0 2 が、セクタ領域 1 に対応して選択ゲート領域 4 0 3 がそれぞれ設けられている。選択ゲート領域 4 0 2 , 4 0 3 に配置された N 型 MOS トランジスタ群は、選択信号線 CGS 0 , CGS 1 の電位に基づいて、CG ドライバ 4 0 0 , 4 0 1 から供給される電位をセクタ領域 0 , 1 に供給するか否かを選択するものである。同様に、選択ゲート領域 4 0 2 , 4 0 3 に配置された他の N 型 MOS トランジスタ群は、選択信号線 BLS 0 , BLS 1 の電位に基づいて、セクタ領域 0 , 1 のビット線 BL の接続 / 非接続を選択している。

## 【 0 0 9 0 】

図 1 1 に示す比較例 1 の不揮発性半導体記憶装置でのデータ消去時とプログラム時とについて、設定されるコントロールゲート線 CG、ビット線 BL、ワード線 WL 及び選択信号線 CGS , BLS の各電位を、下記の表 2 に示す。

## 【 0 0 9 1 】

【表 2】

	選択セル					非選択セル(選択セクタ内)					非選択セル(非選択セクタ内)				
	CG	BL	WL	CGS	BLS	CG	BL	WL	CGS	BLS	CG	BL	WL	CGS	BLS
消去	-5V	5V	1.8V	0V	6V	-	-	-	-	-	FL	FL	1.8V	-5V	0V
プログラム	5V	5V	1V	6V	6V	5V	5V	0V	6V	6V	FL	FL	0V	0V	0V

## 【 0 0 9 2 】

表 2 に示すように、比較例 1 においても実質的に表 1 に示す本実施形態での設定電位と同じ電位に設定できるが、これらは選択ゲート領域 4 0 2 , 4 0 3 を設けることで達成できるのである。もし選択ゲート領域 4 0 2 , 4 0 3 が存在しなければ、選択されたセクタ領域 0 での選択セルのプログラミング時に、非選択のセクタ領域 1 の非選択セルにも高電位が印加されてしまう。このようにセクタ領域を越えてプログラム時の高電位が非選択セルにも印加されると、プログラムの度に非選択セルに高電位が印加され、ディスターブが生じてしまう。

## 【 0 0 9 3 】

比較例 1 では、上記のようなディスターブの発生を防止するために、各セクタ領域毎に選択ゲート領域を設けることが不可欠である。しかし、このような選択ゲート領域の占有スペース分だけ面積が増大し、メモリセルの集積度が低下してしまう。

## 【 0 0 9 4 】

さらに比較例 1 では、選択ゲート領域 4 0 2 , 4 0 3 に N 型 MOS トランジスタを使用すると、そこで電圧降下が生ずるため、CG ドライバ 4 0 0 , 4 0 1 からは本来必要な第 1 の消去用高電位に電圧降下分の電圧を上乗せして供給しなければならず、高電圧化してしまう。

## 【 0 0 9 5 】

上述した本発明の実施形態では、ディスターブを回避しながらも選択ゲート領域を省略でき、メモリセルの高集積化と低電圧駆動とが可能となる。

## 【 0 0 9 6 】

## ( 比較例 2 )

図 1 5 は比較例 2 の構成を示している。図 1 5 においても、本実施の形態と同様なセクタ領域 0 ~ 3 1 に分割されている。ただし、例えばセクタ領域 0 のコントロールゲート駆動部として CG ドライバ 3 0 0 のみが設けられている。この CG ドライバ 3 0 0 から列方向に延びる 4 本のメインコントロールゲート線 MCG 0 ~ MCG 3 が設けられ、これらは例えば第 3 層の金属配線により形成されている。そして、ラージブロック 0 ~ 7 の各々に配置された 8 本、計 6 4 本の金属配線 M 0 は、メインコントロールゲート線 MCG 0 に共通接続されている。同様に、6 4 本の金属配線 M 1 はメインコントロールゲート線 MCG 1 に、6 4 本の金属配線 M 2 はメインコントロールゲート線 MCG 2 に、6 4 本の金属配線

10

20

30

40

50

M 3 はメインコントロールゲート線 M C G 3 にそれぞれ共通接続されている。

【 0 0 9 7 】

図 1 5 に示す比較例 2 においても、セクタ領域 0 内にデータのプログラミングを実施している時には、他のセクタ領域 1 - 3 1 ではメモリセルに高電位を印加しなくて済み、しかも選択ゲート領域を設けずともディスターブを防止することができる。ただし、比較例 2 ではセクタ領域 0 のいずれかのメモリセルについてデータプログラミングを実施している時には、このセクタ領域 0 内の全てのメモリセルに高電位が等しく印加されることになり、この点で本実施の形態よりも劣っている。

【 0 0 9 8 】

比較例 2 ではさらに、メインコントロールゲート線 M C G 0 ~ M C G 3 の各々に対して、

10

ラージブロック 0 ~ 7 に亘る列方向の全てのメモリセルが接続される。よって、本実施の形態のようにメインコントロールゲート線がいずれか一つのラージブロック内のメモリセルに接続されるものと比較すれば、本実施の形態のメインコントロールゲート線に接続される負荷容量（ゲート容量）は比較例 2 の 1 / 8 となる。

【 0 0 9 9 】

高電位が供給されるメインコントロールゲート線に接続される負荷容量が大きいと、メインコントロールゲート線をその高電位に充電するまでに要する時間が長くなり、高速駆動が不可能となるが、本実施の形態はその点で比較例 2 よりも優れている。

【 0 1 0 0 】

なお、図 1 0 に示す本発明の実施形態においては、ビット線 B L については選択ゲートを

20

【 0 1 0 1 】

（ 1 チップメモリの構成 ）

図 1 2 は、上述の不揮発性半導体記憶装置を 1 チップ化したときの概略ブロック図である。図 1 2 において、この I C チップ 5 0 0 には、左アレイブロック 5 0 2 及び右アレイブロック 5 0 4 が設けられている。この左右のアレイブロック 5 0 2 , 5 0 4 の各々は、図

30

【 0 1 0 2 】

この左右のアレイブロック 5 0 2 , 5 0 4 の間には、C G デコーダ 5 0 6、X プリデコーダ 5 0 8、W L ドライバ（左）5 1 0、W L ドライバ（右）5 1 2 及び Y デコーダ 5 1 4 が配置されている。

【 0 1 0 3 】

左右のメモリブロック 5 0 2 , 5 0 4 には、センスアンプ / B L ドライバ 5 1 6 , 5 1 8 がそれぞれ接続されている。このセンスアンプ / B L ドライバ 5 1 6 , 5 1 8 のいずれか一方に対して、16 ビットの信号 I O 0 - 1 5 が、データイン / アウトバッファ 5 2 0 及び入出力端子 5 2 2 を介して入出力される。

40

【 0 1 0 4 】

I C チップ 5 0 0 にはさらに、コマンド端子 5 3 0 を介して入力される各種イネーブル信号に基づいて、制御ロジック信号を生成する制御ロジック回路 5 3 2 が設けられている。この制御ロジック回路 5 3 2 からの出力に基づいて、コントロールゲート線 W L 及びビット線 B L などに供給される各種電位が電位生成回路 5 3 4 にて生成される。

【 0 1 0 5 】

一方、アドレス端子 6 4 0 を介して外部から入力されるアドレス信号 A D R [ 0 - 2 0 ] に基づいて、アドレスバッファ 5 4 2 にて内部アドレス信号 A 0 - 2 0 が生成される。この内部アドレス信号 A 0 - 2 0 の定義を下記の表 3 に示す。

【 0 1 0 6 】

50

【表 3】

アドレス	グループ	ファンクション
A[20:15]	セクタ	Choose 1 of 64
A[14:12]	行	Choose 1 of 8
A[11:0]	列	Choose 1 of 4096

## 【0107】

表 3 に示すように、内部アドレス信号の上位 6 ビット A [ 2 0 : 1 5 ] は、図 7 ( A ) に示すセクタ領域 0 - 6 3 の一つを選択するのに用いられる。内部アドレス信号の中位 3 ビット A [ 1 4 : 1 2 ] は、図 9 に示す一つのスモールメモリブロック 2 1 6 の中から 8 ビットのうちの一つを選択するのに用いられる。内部アドレス信号の下位 1 2 ビット A [ 1 1 : 0 ] は、4 0 9 6 本のワード線 W L の一本を選択するために用いられる。

10

## 【0108】

図 1 3 は、図 1 2 に示す左メモリブロック 5 0 2 の詳細を示している。このメモリブロック 5 0 2 は、図 7 ( A ) と同様に 3 2 分割されたセクタ領域 0 - 3 1 を有し、セクタ領域 0 - 3 1 の各々には図 7 ( B ) と同様に 8 つのラージブロック 0 - 7 が設けられている。

## 【0109】

図 1 3 に示すように、3 2 個のセクタ領域の各一つと対応して C G ドライバ 3 0 0 ~ 3 3 1 が設けられている。セクタ領域 0 に対応する C G ドライバ 3 0 0 は、図 8 に示したものと同一であり、ラージブロック 0 - 8 から成るセクタ領域 0 内の各メモリセルにコントロールゲート電位を直接供給するものである。他の C G ドライバ 3 0 1 ~ 3 3 1 も同様の機能を有する。

20

## 【0110】

図 1 3 において、3 2 個のセクタ領域 0 - 3 1 の各一つに対応して、消去用ビット線駆動部であるウェルドライバ 3 4 0 - 0 ~ 3 4 0 - 3 1 が設けられている。ウェルドライバ 3 4 0 - 0 は、セクタ領域 0 内の例えば P 型ウェルに第 2 の消去用高電位を供給して、第 2 の消去用高電位に設定するものである。他のウェルドライバ 3 4 0 - 1 ~ 3 4 0 - 3 1 も同様の機能を有する。

30

## 【0111】

図 1 3 において、3 2 個のセクタ領域 0 - 3 1 の各一つに対応して、セクタデコーダ 3 5 0 - 0 ~ 3 5 0 - 3 1 が設けられている。セクタデコーダ 3 5 0 - 0 は、内部アドレス信号の上位 6 ビット A [ 2 0 : 1 5 ] にて生成される信号をデコードする。そして、セクタ 0 が選択された際には、セクタデコード 3 5 0 - 0 が C G ドライバ 3 0 0、ウェルドライバ 3 4 0 - 0 を駆動して、必要な電位がコントロールゲート線 C G、ビット線 B L に供給されるようにする。

## 【0112】

図 1 3 において、3 2 個のセクタ領域 0 - 3 1 の各一つに対応して、Y パス回路 3 6 0 - 0 ~ 3 6 0 - 3 1 と、セクタ選択回路 3 7 0 - 0 ~ 3 7 0 - 3 1 が設けられている。Y パス回路 3 6 0 - 0 ~ 3 6 0 - 3 1 は、図 1 2 に示す Y デコーダ 5 1 4 からの信号に基づいて、1 6 個の各 I / O に接続されたビット線 B L 0 - 3 の一本を選択する。セクタ選択回路 3 7 0 - 0 ~ 3 7 0 - 3 1 は、対応するセクタデコーダ 3 6 0 - 0 ~ 3 6 0 - 3 1 からの選択信号 S E C 0 ~ S E C 3 1 に基づいて、図 1 2 に示すセンスアンプ / B L ドライバ 5 1 6 との接続 / 非接続を行う。

40

## 【0113】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

## 【0114】

例えば、不揮発性メモリ素子 1 0 8 A、1 0 8 B の構造については、M O N O S 構造に限

50



定されるものではない。１つのワードゲート１０４と第１，第２のコントロールゲート１０６Ａ，１０６Ｂにより、２箇所にて独立して電荷をトラップできる他の種々のメモリセルを用いた不揮発性半導体記憶装置に、本発明を適用することができる。

【０１１５】

また、上述の実施形態では、セクタ領域の分割数、ラージブロック、スモールブロックの分割数については一例であり、他の種々の変形実施が可能である。すなわち、ラージブロックの分割数を８としたのはメタル配線ピッチの制約から決められた。もしメタル配線ピッチを狭く出来れば、分割数をさらに増やすことができる。例えば１６分割にすれば、１本のコントロールゲート線の負荷容量（ゲート容量）はさらに減るので、より高速駆動が可能となる。ただし、１６分割とするとメインコントロールゲート線の数が増えるので、ライン＆スペースを狭くするか、面積を増大させるしかない。また、コントロールゲートドライバの数も増えるので、その分面積が増大する。

10

【０１１６】

図１４は、図８に示すスモールメモリブロック２１６に対する配線の変形例を示している。図１４では、ＣＧドライバ３００－０からのメインコントロールゲート線ＭＣＧ００～ＭＣＧ０３は、図８のようにラージブロック０内の全てのスモールブロック０～７に接続されるのではなく、ラージブロック０～７の各スモールブロック０にのみ接続されている。ＣＧドライバ３００－１は、ラージブロック０～７の各スモールブロック２にのみ接続されている。ＣＧドライバ３００－７は、ラージブロック０～７の各スモールブロック７のみに接続されている。

20

【０１１７】

図１４に示す接続形態であっても、図８に示す接続形態と同様な作用・効果を奏することができる。

【図面の簡単な説明】

【図１】本発明の一実施の形態に係る不揮発性半導体記憶装置に用いられるメモリセルの断面図である。

【図２】図１に示すメモリセルの等価回路図である。

【図３】図１に示す不揮発性半導体記憶装置でのデータ読み出し動作を説明するための概略説明図である。

【図４】図１に示すメモリセルでのコントロールゲート電圧 $V_{CG}$ とソース・ドレイン電流 $I_{ds}$ との関係を示す特性図である。

30

【図５】図１に示す不揮発性半導体記憶装置でのデータ書き込み（プログラム）動作を説明するための概略説明図である。

【図６】図１に示す不揮発性半導体記憶装置でのデータ消去動作を説明するための概略説明図である。

【図７】図７（Ａ）は図１に示す不揮発性半導体記憶装置全体の平面レイアウト図、図７（Ｂ）は図７（Ａ）中の一つのセクタ領域の平面図、図７（Ｃ）は図７（Ｂ）中の一つのメモリブロックの平面図、図７（Ｄ）は図７（Ｃ）中の一つのラージブロックの平面図、図７（Ｅ）は図７（Ｄ）中の一つのスモールブロックの平面図である。

【図８】図７（Ｂ）に示す一つのセクタ領域の多数のメモリブロックとその配線とを説明するための概略説明図である。

40

【図９】図８に示すスモールメモリブロックの詳細を示す回路図である。

【図１０】隣り合うセクタ領域の関係を示す回路図である。

【図１１】図１０に対する比較例１の構成を示す回路図である。

【図１２】１チップ化された不揮発性半導体記憶装置のブロック図である。

【図１３】図１２に示す左メモリブロックの詳細を示すブロック図である。

【図１４】一つのセクタ領域内のスモールメモリブロックに対する配線を図８とは異ならせた変形例を説明するための概略説明図である。

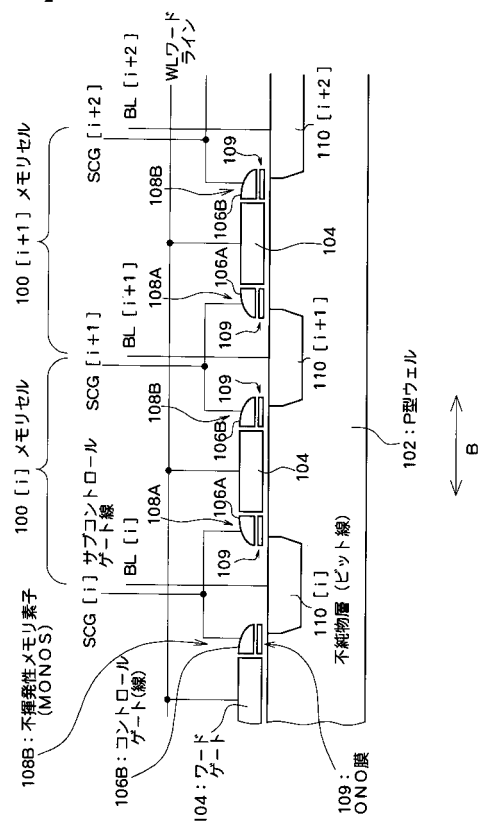
【図１５】図８及び図１４とはさらに異なる配線とした比較例２の構成を説明するための概略説明図である。

50

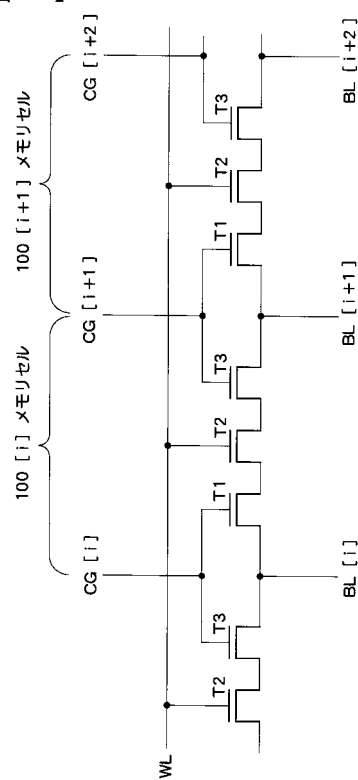
## 【符号の説明】

1 0 0	メモリセル	
1 0 2	P 型ウェル	
1 0 4	ワードゲート	
1 0 6 A , 1 0 6 B	コントロールゲート ( 線 )	
1 0 8 A , 1 0 8 B	不揮発性メモリ素子 ( MONOS メモリセル )	
1 0 9	ONO 膜	
1 1 0	不純物層 ( ビット線 )	
2 0 0 A , 2 0 0 B	メモリセルアレイ領域	
2 0 1	ワード線駆動部	10
2 1 0	セクタ領域	
2 1 2	ラージブロック	
2 1 4	メモリブロック	
2 1 5	スモールブロック	
2 1 6	スモールメモリブロック	
3 0 0 - 0 ~ 3 3 1 - 7	CG ( コントロールゲート ) ドライバ	
3 4 0 - 0 ~ 3 4 0 - 3 1	ウェルドライバ ( 消去用ビット線駆動部 )	
3 5 0 - 0 ~ 3 5 0 - 3 1	セクタドライバ	
3 6 0 - 0 ~ 3 6 0 - 3 1	Y パス回路	
3 7 0 - 0 ~ 3 7 0 - 3 1	セクタ選択回路	20
4 0 0 , 4 0 1	CG ( コントロールゲート ) ドライバ	
4 0 2 , 4 0 3	選択ゲート領域	
5 0 0	IC チップ	
5 0 2 , 5 0 4	アレイブロック	
5 0 6	CG デコーダ	
5 0 8	X プリデコーダ	
5 1 0 , 5 1 2	WL ( ワード線 ) ドライバ	
5 1 4	Y デコーダ	
5 1 6 , 5 1 8	センスアンプ / BL ドライバ	
5 2 0	データイン / アウトバッファ	30
5 2 2	入出力端子	
5 3 0	コマンド端子	
5 3 2	制御ロジック回路	
5 3 4	電位生成回路	
5 4 0	アドレス端子	
5 4 2	アドレスバッファ	
WL	ワード線	
BL	ビット線 ( 不純物層 )	
MBL	メインビット線	
SCG	サブコントロールゲート線 ( 第 1 層金属配線 )	40
M0 ~ M3	第 2 層金属配線	
MCG	メインコントロールゲート線 ( 第 3 層金属配線 )	

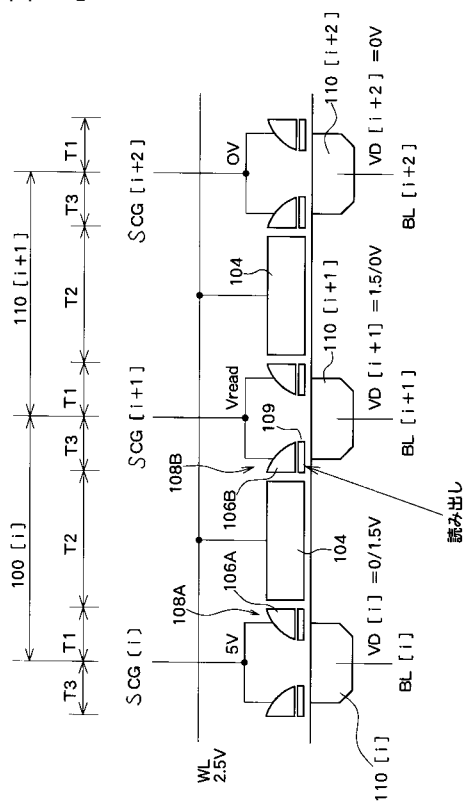
【 図 1 】



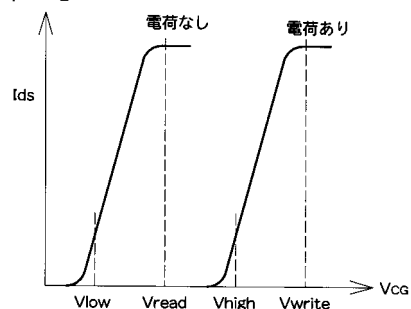
【 図 2 】



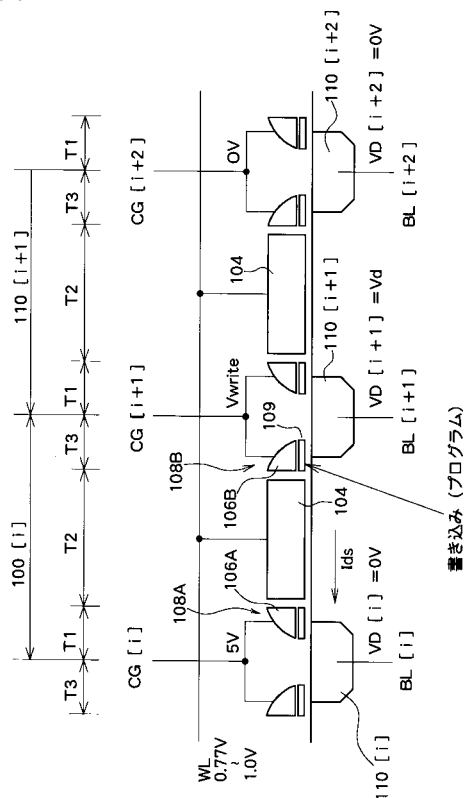
【 図 3 】



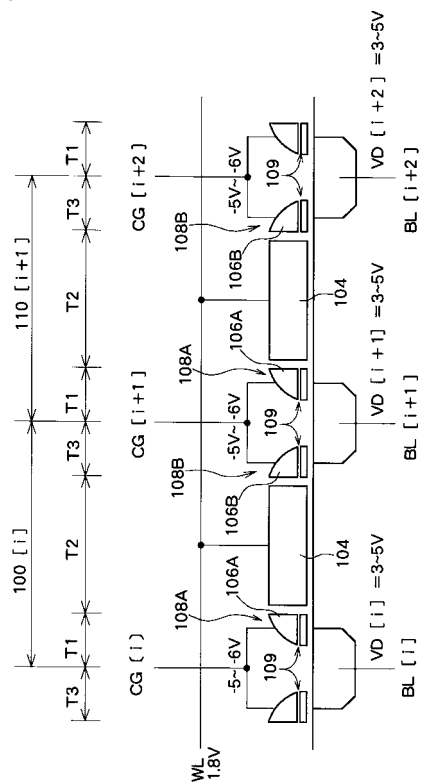
【 図 4 】



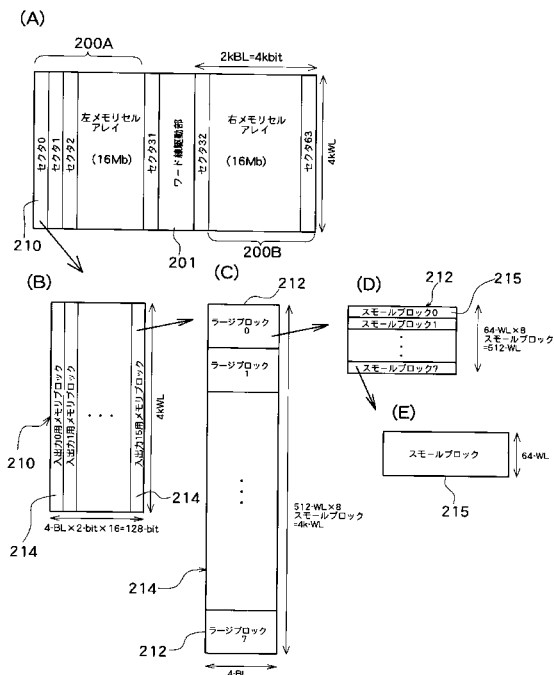
【 図 5 】



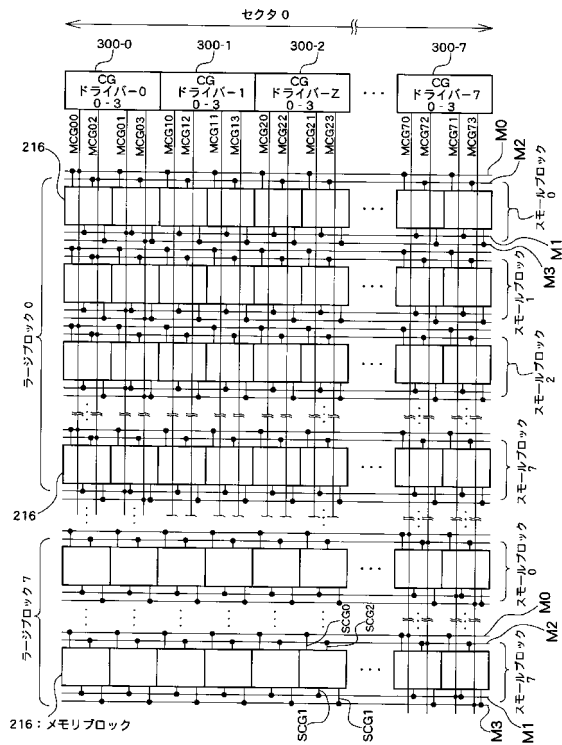
【 図 6 】



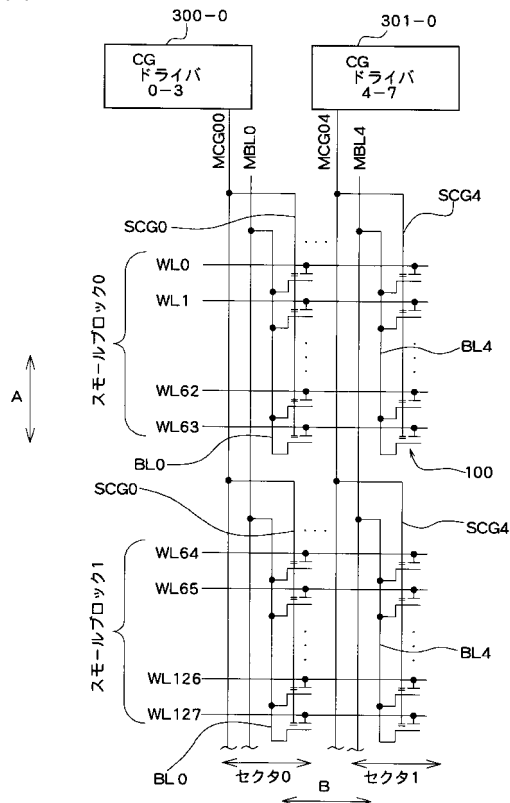
【 図 7 】



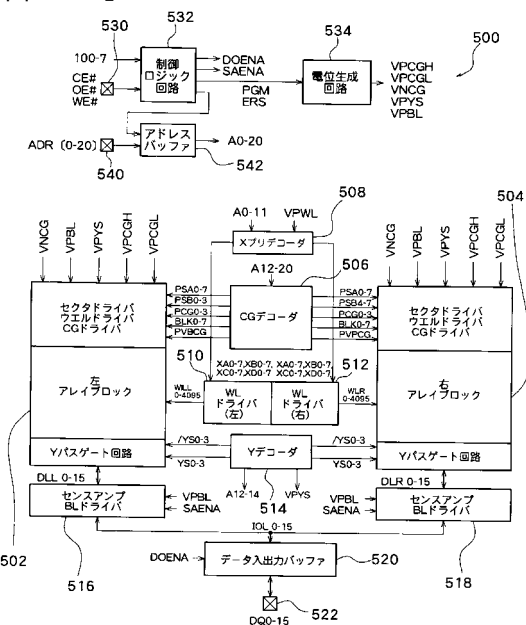
【 図 8 】



【 図 1 0 】



【 図 1 2 】





---

フロントページの続き

(51) Int.Cl.<sup>7</sup> F I  
H 0 1 L 29/788 H 0 1 L 27/10 4 3 4  
H 0 1 L 29/792

(56) 参考文献 特開 2 0 0 2 - 2 3 0 9 8 8 ( J P , A )  
特開 2 0 0 2 - 3 5 3 3 4 6 ( J P , A )

(58) 調査した分野(Int.Cl.<sup>7</sup>, D B 名)  
G11C 16/00-16/34  
H01L 21/8247, 27/115, 29/788, 29/7927