

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4285567号
(P4285567)

(45) 発行日 平成21年6月24日 (2009. 6. 24)

(24) 登録日 平成21年4月3日 (2009. 4. 3)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
 G09G 3/20 (2006.01)
 G02F 1/1362 (2006.01)
 G02F 1/1343 (2006.01)

G09G 3/36
 G09G 3/20 611A
 G09G 3/20 622C
 G09G 3/20 622D
 G09G 3/20 623C

請求項の数 12 (全 47 頁) 最終頁に続く

(21) 出願番号 特願2007-200434 (P2007-200434)
 (22) 出願日 平成19年8月1日 (2007. 8. 1)
 (65) 公開番号 特開2008-107790 (P2008-107790A)
 (43) 公開日 平成20年5月8日 (2008. 5. 8)
 審査請求日 平成19年12月14日 (2007. 12. 14)
 (31) 優先権主張番号 特願2006-264486 (P2006-264486)
 (32) 優先日 平成18年9月28日 (2006. 9. 28)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 藤田 伸
 東京都港区浜松町二丁目4番1号 三洋エ
 プソンイメージングデバイス株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 液晶装置の駆動回路、駆動方法、液晶装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

複数の走査線と、
 複数のデータ線と、
 前記複数の走査線の所定数毎に対応して設けられた複数の共通電極と、
 前記走査線と前記データ線との交差に対応して設けられ、各々は、一端が前記データ線に接続されるとともに、前記走査線に選択電圧が印加されたときに導通状態となる画素スイッチング素子と、
 一端が前記共通電極に接続され、他端が前記画素スイッチング素子の他端に接続された画素容量と、
 当該画素容量の保持電圧に応じた階調となる画素と、
 前記画素が複数配置された表示画面と、を有し、
 前記表示画面に、表示領域と非表示領域が設けられる液晶装置の駆動回路であって、
 前記複数の走査線を所定の順番で選択する走査線駆動回路と、
 前記複数の共通電極を駆動する第1制御回路と、
 選択された走査線に係る画素に対し、当該画素の階調に応じた電圧のデータ信号を、データ線を介して供給するデータ線駆動回路と、
 選択された走査線に係る画素に対し、所定の電圧を供給する第2制御回路と、
 を具備し、
 前記表示領域に係る走査線が選択されるときには、前記第1駆動回路は、前記選択され

る走査線に係る画素に対応する共通電極の電圧を、第 1 電圧、および前記第 1 電圧より高位の第 2 電圧のいずれか一方から他方に切り替えた後、前記選択電圧を前記走査線に供給し、前記データ線駆動回路が、前記選択される走査線に係る画素に対して当該画素の階調に応じた電圧のデータ信号を供給し、

前記非表示領域に係る走査線が選択されるときには、前記第 1 制御回路は、前記選択される走査線に係る画素に対応する共通電極に前記所定の電圧を供給した後、前記選択電圧を前記走査線に供給し、前記第 2 制御回路が、前記選択される走査線に係る画素に対して前記所定の電圧を供給することを特徴とする液晶装置の駆動回路。

【請求項 2】

前記データ線駆動回路は、

10

前記選択された走査線に係る画素に対応する共通電極が第 1 電圧のときには、前記第 1 電圧より高位の正極性の画素信号を、前記第 2 電圧のときには前記第 2 電圧より低電位の負極性の画像信号を、それぞれ選択された走査線に係る画素に対して供給することを特徴とする請求項 1 に記載の液晶装置の駆動回路。

【請求項 3】

前記表示領域に係る走査線が前記所定数選択される毎に、前記正極性の画像信号と前記負極性の画像信号とを交互に切り替えることを特徴とする請求項 2 に記載の液晶装置の駆動回路。

【請求項 4】

前記所定の電圧が、前記第 1 電圧および前記第 2 電圧から選ばれることを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の液晶装置の駆動回路。

20

【請求項 5】

前記第 1 制御回路は、ラッチ回路および選択回路を有し、

前記ラッチ回路は、

前記複数の共通電極毎にそれぞれ設けられた単位ラッチ回路を有し、

前記単位ラッチ回路の各々は、

前記データ線駆動回路に対して画像信号の正極性および負極性を指示する極性信号を、当該共通電極に対応する走査線に対して互いに隣接する 2 行の走査線のいずれか一方が選択されたときにラッチし、

前記選択回路は、

30

前記複数の共通電極毎にそれぞれ設けられた単位選択回路を含み、

前記表示領域に係る走査線に係る画素に対応する共通電極に応じた単位選択回路は、前記ラッチ回路によりラッチされた極性信号に応じて前記第 1 および第 2 電圧のいずれかを、当該共通電極に印加し、

前記非表示領域に係る走査線に係る画素に対応する共通電極に応じた単位選択回路は、前記所定の電圧を、当該共通電極に印加することを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の液晶装置の駆動回路。

【請求項 6】

前記第 1 制御回路は、ラッチ回路および選択回路を有し、

前記ラッチ回路は、

40

前記複数の共通電極毎にそれぞれ設けられた単位ラッチ回路を有し、

前記単位ラッチ回路の各々は、

前記データ線駆動回路に対して画像信号の正極性および負極性を指示する極性信号を、当該共通電極に対応する走査線よりも 1 行前の走査線が選択されたときにラッチし、

前記選択回路は、

前記複数の共通電極毎にそれぞれ設けられた単位選択回路を含み、

前記表示領域に係る走査線に対応する共通電極に応じた単位選択回路は、前記ラッチ回路によりラッチされた極性信号に応じて前記第 1 および第 2 電圧のいずれかを、当該共通電極に印加し、

前記非表示領域に係る走査線に対応する共通電極に応じた単位選択回路は、前記所定の

50

電圧を、当該共通電極に印加することを特徴とする請求項 2 乃至請求項 4 のいずれか 1 項に記載の液晶装置の駆動回路。

【請求項 7】

前記第 1 制御回路は、ラッチ回路および選択回路を有し、
前記ラッチ回路は、
前記複数の共通電極毎にそれぞれ設けられた単位ラッチ回路を有し、
前記単位ラッチ回路の各々は、
前記データ線駆動回路に対して画像信号の正極性および負極性を指示する極性信号を、
当該共通電極に対応する走査線よりも 1 行前の走査線が選択されたときにラッチし、

前記選択回路は、

予め定められた前記表示領域に係る走査線に係る画素に対応する共通電極に応じて設けられる第 1 単位選択回路と、

予め定められた前記非表示領域に係る走査線に対応する共通電極に応じて設けられる第 2 単位選択回路と、

を有し、

前記第 1 単位選択回路は、

前記ラッチ回路によりラッチされた極性信号に応じて前記第 1 または第 2 電圧のいずれかを、当該共通電極に印加し、

前記第 2 単位選択回路は、

全ての前記複数の走査線に係る画素に表示をさせるときには、前記ラッチ回路によりラッチされた極性信号に応じて前記第 1 および第 2 電圧のいずれかを、当該共通電極に印加し、

前記非表示領域に係る走査線が選択されるときには、前記所定の電圧を、当該共通電極に印加することを特徴とする請求項 2 乃至請求項 4 のいずれか 1 項に記載の液晶装置の駆動回路。

【請求項 8】

複数の走査線と、

複数のデータ線と、

前記複数の走査線の所定数毎に対応して設けられた複数の共通電極と、

前記走査線と前記データ線との交差に対応して設けられ、各々は、一端が前記データ線に接続されるとともに、前記走査線に選択電圧が印加されたときに導通状態となる画素スイッチング素子と、

一端が前記共通電極に接続され、他端が前記画素スイッチング素子の他端に接続された画素容量と、

当該画素容量の保持電圧に応じた階調となる画素と、

前記画素が複数配置された表示画面と、を有し、

前記表示画面に、表示領域と非表示領域が設けられる液晶装置の駆動方法であって、

前記複数の走査線を所定の順番で選択する手順と、

前記複数の走査線のうち前記表示領域に係る走査線が選択されるときに、前記選択される走査線に係る画素に対応する共通電極の電圧を、第 1 電圧、および前記第 1 電圧より高位の第 2 電圧のいずれか一方から他方に切り替えた後、前記選択電圧を前記走査線に供給し、前記データ線駆動回路が、前記選択される走査線に係る画素に対して当該画素の階調に応じた電圧のデータ信号を供給する手順と、

前記非表示領域に係る走査線以外の走査線が選択されるときには、前記選択される走査線に係る画素に対応する共通電極に前記所定の電圧を供給した後、前記第 2 制御回路が、前記選択される走査線に係る画素に対して前記所定の電圧を供給する手順と、を含んでなることを特徴とする液晶装置の駆動方法。

【請求項 9】

複数の走査線と、

複数のデータ線と、

前記複数の走査線の所定数毎に対応して設けられた複数の共通電極と、

前記走査線と前記データ線との交差に対応して設けられ、各々は、一端が前記データ線に接続されるとともに、前記走査線に選択電圧が印加されたときに導通状態となる画素スイッチング素子と、

一端が前記共通電極に接続され、他端が前記画素スイッチング素子の他端に接続された画素容量と、

当該画素容量の保持電圧に応じた階調となる画素と、

前記画素が複数配置された表示画面と、を有し、

前記表示画面に、表示領域と非表示領域が設けられる液晶装置であって、

前記複数の走査線を所定の順番で選択する走査線駆動回路と、

前記複数の共通電極を駆動する第1制御回路と、

選択された走査線に係る画素に対し、当該画素の階調に応じた電圧のデータ信号を、データ線を介して供給するデータ線駆動回路と、

選択された走査線に係る画素に対し、所定の電圧を供給する第2制御回路と、

を具備し、

前記表示領域に係る走査線が選択されるときには、前記第1駆動回路は、前記選択される走査線に係る画素に対応する共通電極の電圧を、第1電圧、および前記第1電圧より高位の第2電圧のいずれか一方から他方に切り替えた後、前記選択電圧を前記走査線に供給し、前記データ線駆動回路が、前記選択される走査線に係る画素に対して当該画素の階調に応じた電圧のデータ信号を供給し、

前記非表示領域に係る走査線が選択されるときには、前記第1制御回路は、前記選択される走査線に係る画素に対応する共通電極に前記所定の電圧を供給した後、前記第2制御回路が、前記選択される走査線に係る画素に対して前記所定の電圧を供給することを特徴とする液晶装置。

【請求項10】

第1基板と、前記第1基板に対向配置された第2基板と、前記第1基板と前記第2基板との挟持された液晶と、を備え、

前記第1基板が、前記複数の走査線、前記複数のデータ線、前記複数の共通電極および前記画素スイッチング素子を備えてなることを特徴とする請求項9に記載の液晶装置。

【請求項11】

前記複数の共通電極は、前記複数の走査線の1行ずつに対応するとともに、前記走査線の延在方向に沿って前記画素電極の1行分にわたって対向するように設けられ、

当該共通電極の各々にそれぞれ補助共通線が、前記走査線および前記共通電極の延在方向に沿って設けられるとともに、1組の共通電極および補助共通線は、所定の間隔毎に設けられたコンタクト配線を介して互い接続されたことを特徴とする請求項9又は請求項10に記載の液晶装置。

【請求項12】

請求項9乃至請求項11のいずれか1項に記載の液晶装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶装置の駆動回路、駆動方法および液晶装置に関するものであり、特に、全画面表示モードと部分表示モードとを切り替え可能な液晶装置の消費電力を抑える技術に関する。

【背景技術】

【0002】

従来から液晶を利用して画像を表示する液晶装置が知られている。この液晶装置は、例えば、液晶パネルと、この液晶パネルに対向配置されたバックライトとを備える。このうち、液晶パネルは、一对の基板と、これら一对の基板の間で液晶を挟持した構成であり、

10

20

30

40

50

複数の走査線と、複数のデータ線との交差に対応して画素が設けられた構成となっている。なお、複数の走査線のそれぞれに対応するように容量線が設けられる。

各走査線と各データ線との交差部分には、画素が設けられている。各画素は、画素電極および共通電極からなる画素容量と、薄膜トランジスタ（Thin Film Transistor、以降単にTFTと表記する）と、一方の電極が容量線に接続され他方の電極が画素電極に接続された蓄積容量とを備える。この画素は、マトリクス状に複数配列されて表示領域を形成する。TFTのゲートには、走査線が接続され、TFTのソースには、データ線が接続され、TFTのドレインには、画素電極および蓄積容量の他方の電極が接続されている。

【0003】

また、上述した液晶パネルには、複数の走査線をそれぞれ駆動する走査線駆動回路と、複数のデータ線をそれぞれ駆動するデータ線駆動回路と、複数の容量線をそれぞれ駆動する容量線駆動回路とが設けられている。このうち、走査線駆動回路は、走査線を選択する選択電圧を複数の走査線に順次供給する。例えば、ある走査線に選択電圧を供給すると、この走査線に接続されたTFTが全てオン状態となり、この走査線に係る画素が全て選択される。また、データ線駆動回路は、走査線が選択された際に、画像信号を複数のデータ線に供給し、オン状態のTFTを介して、この画像信号に基づく画像電圧を画素電極に書き込む。

ここで、データ線駆動回路は、共通電極の電圧よりも電位の高い電圧（背景技術の欄において正極性と呼ぶ）の画像信号をデータ線に供給して、この正極性の画像信号に基づく画像電圧を画素電極に書き込む正極性書込と、共通電極の電圧よりも電位の低い電圧（背景技術の欄において負極性と呼ぶ）の画像信号をデータ線に供給して、この負極性の画像信号に基づく画像電圧を画素電極に書き込む負極性書込と、を所定期間ごとに交互に行う。

なお、容量線駆動回路は、所定の電圧を各容量線に供給する。

【0004】

この液晶装置は、次のように動作する。

すなわち、走査線に選択電圧を順次供給することで、ある走査線に接続されたTFTを全てオン状態にして、この走査線に係る画素を全て選択する。そして、これら画素の選択に同期して、データ線に画像信号を供給する。すると、選択した全ての画素に、オン状態のTFTを介して画像信号が供給され、この画像信号に基づく画像電圧が画素電極に書き込まれる。

画素電極に画像電圧が書き込まれると、画素電極と共通電極との電位差により、液晶に駆動電圧が印加される。液晶に駆動電圧が印加されると、液晶の配向や秩序が変化し、液晶を透過するバックライトからの光が変化して、階調表示が行われる。なお、液晶に印加される駆動電圧は、蓄積容量により、画像電圧が書き込まれる期間よりも3桁も長い期間にわたって保持される。

【0005】

ところで、このような液晶装置は、例えば携帯機器に用いられるが、携帯機器では、近年、消費電力の低減が要請されている。そこで、画像電圧を画素電極に書き込んだ後に、TFTをオフ状態にするとともに容量線の電圧を変動させることで、消費電力を低減できる液晶装置が提案されている（例えば、特許文献1参照）。

【0006】

この技術のように、容量線の電圧を変動させる、従来例に係る液晶装置の動作について、図32および図33を参照して説明する。従来例に係る液晶装置において、画素に対して電圧書込を行う場合に、図32は、正極性書込時の各部電圧の波形を示す図であり、図33は、負極性書込時の各部電圧の波形を示す図である。

ここで、従来例に係る液晶装置は、例えば320行の走査線および容量線と、240列のデータ線とを有するものとする。図32および図33において、GATE（ v ）は、320行の走査線のうち、 v 行目（ v は、1 $\leq v \leq 320$ を満たす整数）の走査線の電圧を示し、VST（ v ）は、320行の容量線のうち、 v 行目の容量線の電圧を示す。また

、SOURCE (w) は、240 列のデータ線のうち、w 列目 (w は、1 から 240 を満たす整数) のデータ線の電圧を示す。また、PIX (v, w) は、v 行目の走査線と、w 列目のデータ線との交差に対応して設けられた v 行 w 列の画素が備える画素電極の電圧を示し、VCOM は、各画素に対して共通に設けられた共通電極の電圧を示す。

【0007】

まず、図32の正極性書込時の時刻 t101 において、走査線駆動回路が、v 行目の走査線に選択電圧を供給すると、v 行目の走査線の電圧 GATE (v) は、上昇して、時刻 t102 では電圧 VGH となる。これにより、v 行目の走査線に接続された TFT が全てオン状態となる。

時刻 t103 において、データ線駆動回路が、w 列目のデータ線に正極性の画像信号を供給すると、w 列目のデータ線の電圧 SOURCE (w) は、上昇して、時刻 t104 では電圧 VP8 となる。

10

w 列目のデータ線の電圧 SOURCE (w) は、正極性の画像信号に基づく画像電圧として、v 行目の走査線に接続されたオン状態の TFT を介し、v 行 w 列の画素が備える画素電極に書き込まれる。このため、v 行 w 列の画素が備える画素電極の電圧 PIX (v, w) は、上昇して、時刻 t104 では w 列目のデータ線の電圧 SOURCE (w) と同電位である電圧 VP8 となる。

【0008】

時刻 t105 において、走査線駆動回路が、v 行目の走査線に選択電圧を供給するのを停止し、代わりに非選択電圧を印加すると、v 行目の走査線の電圧 GATE (v) は、低下して、時刻 t106 において電圧 VGL となる。これにより、v 行目の走査線に接続された TFT が全てオフ状態となる。

20

時刻 t106 において、容量線駆動回路が、v 行目の容量線に所定の電圧を供給すると、v 行目の容量線の電圧 VST (v) は、上昇して、時刻 t107 では電圧 VSTH となる。v 行目の容量線の電圧 VST (v) が上昇すると、v 行目の容量線に係る全ての画素では、この上昇した電圧に相当する電荷が蓄積容量と画素容量との間で分配される。このため、v 行 w 列の画素が備える画素電極の電圧 PIX (v, w) は、再度上昇して、時刻 t1 において電圧 VP9 となる。

このように従来例に係る液晶装置では、正極性書込において、正極性の画像信号に基づく画像電圧を画素電極に書き込んだ後に、容量線の電圧を上昇させるので、画素電極の電圧は、画像電圧により上昇した電圧と、容量線の電圧変化により再上昇した電圧とを合わせた分だけ上昇する。

30

【0009】

次に、図33を用いて、負極性書込時の動作について説明する。

時刻 t111 において、走査線駆動回路が、v 行目の走査線に選択電圧を供給する、v 行目の走査線の電圧 GATE (v) は、上昇して、時刻 t112 では電圧 VGH となる。これにより、v 行目の走査線に接続された TFT が全てオン状態となる。

時刻 t113 において、データ線駆動回路が、w 列目のデータ線に負極性の画像信号を供給すると、w 列目のデータ線の電圧 SOURCE (w) は、低下して、時刻 t114 では電圧 VP11 となる。

40

w 列目のデータ線の電圧 SOURCE (w) は、負極性の画像信号に基づく画像電圧として、v 行目の走査線に接続されたオン状態の TFT を介し、v 行 w 列の画素が備える画素電極に書き込まれる。このため、画素電極の電圧 PIX (v, w) は、低下して、時刻 t114 では w 列目のデータ線の電圧 SOURCE (w) と同電位である電圧 VP11 となる。

【0010】

時刻 t115 において、走査線駆動回路が、v 行目の走査線に選択電圧を供給するのを停止して、非選択電圧を印加すると、v 行目の走査線の電圧 GATE (v) は、低下して、時刻 t116 において電圧 VGL となる。これにより、v 行目の走査線に接続された TFT が全てオフ状態となる。

50

時刻 t_{116} において、容量線駆動回路が、 v 行目の容量線に所定の電圧を供給すると、 v 行目の容量線の電圧 $V_{ST}(v)$ は、低下して、時刻 t_{117} では電圧 V_{STL} となる。

v 行目の容量線の電圧 $V_{ST}(v)$ が低下すると、 v 行目の容量線に係る全ての画素では、この低下した電圧に相当する電荷が蓄積容量と画素容量との間で分配される。このため、 v 行 w 列の画素が備える画素電極の電圧 $P_{IX}(v, w)$ は、再度低下して、時刻 t_{117} では電圧 V_{P10} となる。

このように従来例に係る液晶装置では、負極性書込において、負極性の画像信号に基づく画像電圧を画素電極に書き込んだ後に、容量線の電圧を低下させるので、画素電極の電圧は、画像電圧により低下した電圧と、容量線の電圧変化により再低下した電圧とを合わせた分だけ低下する。

10

【0011】

従来例に係る液晶装置では、画像電圧を画素電極に書き込んだ後に、容量線の電圧を変動させることで、画像電圧の振幅を小さくても、共通電極の電圧と画素電極の電圧との電位差を大きくできる。よって、液晶に印加する駆動電圧の振幅を確保して表示品位の低下を抑制しつつ、画像電圧の振幅を小さくして消費電力を低減できる。

【特許文献1】特開2002-196358号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

20

上述した従来例に係る液晶装置では、容量線の電圧を変動させて、蓄積容量と画素容量との間で電荷を移動させることで、画素電極の電圧を変動させる。このため、蓄積容量に特性ばらつきが発生すると、蓄積容量と画素容量との間で移動する電荷の量に影響が出る。よって、各画素電極に同一の画像電圧を書き込んでも、各画素電極の電圧が互いに異なって、各画素の明るさが均一ではなくなり、表示品位が低下する場合があった。

また、上述した従来例に係る液晶装置では、容量線の電圧を、画素電極や共通電極とは異なる電圧に変動させるので、容量線に接続された蓄積容量の一方の電極を、画素電極や共通電極とは別個に形成する必要がある。このため、液晶を挟持する一対の基板のうち、一方の基板に画素容量を構成する画素電極および共通電極が一体に形成されるIPS(In-Plane Switching)やFFS(Fringe-Field Switching)といった液晶装置には、上述した背景技術を適用するのは困難であった。

30

本発明は、上述した事情に鑑みてなされたものであり、その目的の1つは、液晶を挟持する一対の基板のうち、一方の基板に、画素電極および共通電極を備える液晶装置において、表示品位の低下を抑制しつつ消費電力を低減できる駆動回路、液晶装置、電子機器および液晶装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0013】

上記目的を達成するために本発明に係る液晶装置の駆動回路は、複数の走査線と、複数のデータ線と、前記複数の走査線の所定数毎に対応して設けられた複数の共通電極と、前記走査線と前記データ線との交差に対応して設けられ、各々は、一端が前記データ線に接続されるとともに、前記走査線に選択電圧が印加されたときに導通状態となる画素スイッチング素子と、一端が前記共通電極に接続され、他端が前記画素スイッチング素子の他端に接続された画素容量と、当該画素容量の保持電圧に応じた階調となる画素と、前記画素が複数配置された表示画面と、を有し、前記表示画面に、表示領域と非表示領域が設けられる液晶装置の駆動回路であって、前記複数の走査線を所定の順番で選択する走査線駆動回路と、前記複数の共通電極を駆動する第1制御回路と、選択された走査線に係る画素に対し、当該画素の階調に応じた電圧のデータ信号を、データ線を介して供給するデータ線駆動回路と、選択された走査線に係る画素に対し、所定の電圧を供給する第2制御回路と、を具備し、前記表示領域に係る走査線が選択されるときには、前記第1駆動回路は、前記選択される走査線に係る画素に対応する共通電極の電圧を、第1電圧、および前記第1

40

50

電圧より高位の第 2 電圧のいずれか一方から他方に切り替えた後、前記選択電圧を前記走査線に供給し、前記データ線駆動回路が、前記選択される走査線に係る画素に対して当該画素の階調に応じた電圧のデータ信号を供給し、前記非表示領域に係る走査線が選択されるときには、前記第 1 制御回路は、前記選択される走査線に係る画素に対応する共通電極に前記所定の電圧を供給した後、前記選択電圧を前記走査線に供給し、前記第 2 制御回路が、前記選択される走査線に係る画素に対して前記所定の電圧を供給する。所定の電圧は、前記第 1 電圧および第 2 電圧から選ばれた電圧であってもよい。

本発明の駆動回路によれば、全画面表示モードにおける表示領域と、部分表示モードにおける表示領域とでは、第 1 電圧、および第 1 電圧より高位の第 2 電圧のいずれか一方から他方に切り替えた後（すなわち、共通電極に第 1 電圧、または、第 2 電圧を印加した後）、選択電圧を走査線に供給し、選択される走査線に係る画素に対して当該画素の階調に応じた電圧のデータ信号を供給する（具体的には、第 1 電圧を共通電極に印加した後に、正極性書込を実行し、第 2 電圧を共通電極に印加した後に、負極性書込を実行する）ので、画素容量において書込後に電荷が移動しにくい。このため、蓄積容量の特性が不均一であっても、画素電極の電圧にばらつきが生じにくいので、各画素での表示が揃うことになり、表示品位の低下を抑制できる。また、部分表示モードにおける非表示領域では、共通電極に所定の電圧を供給された後、選択電圧を走査線に供給し、選択される走査線に係る画素に対して所定の電圧を供給するので、画素電極に印加される電圧と同じ電圧が共通電極に印加されるので、画素電極に保持される電圧はゼロとなる。このため、非表示領域の画素において消費される電力を抑えることができる。

さらに、本発明の駆動回路によれば、別個の容量線が不要となるので、容量線の電圧を、画素容量が有する画素電極や共通電極とは異なる電圧に変動させる必要性がなくなる。

【 0 0 1 4 】

本発明に係る液晶装置の駆動回路において、前記データ線駆動回路は、前記走査線が前記所定数選択される毎に、前記正極性の画像信号と前記負極性の画像信号とを交互に切り替える構成としても良い。このように交互に切り替えると、正極性書込がなされた画素と負極性書込がなされた画素同士でフリッカを相殺させることができるので、表示品位の低下をさらに抑制できる。

【 0 0 1 5 】

また、本発明に係る液晶装置の駆動回路において、前記第 1 制御回路は、ラッチ回路および選択回路を有し、前記ラッチ回路は、前記複数の共通電極毎にそれぞれ設けられた単位ラッチ回路を有し、前記単位ラッチ回路の各々は、前記データ線駆動回路に対して画像信号の正極性および負極性を指示する極性信号を、当該共通電極に対応する走査線に対して互いに隣接する 2 行の走査線のいずれか一方が選択されたときにラッチし、前記選択回路は、前記複数の共通電極毎にそれぞれ設けられた単位選択回路を含み、前記表示領域に係る走査線に係る画素に対応する共通電極に応じた単位選択回路は、前記ラッチ回路によりラッチされた極性信号に応じて前記第 1 および第 2 電圧のいずれかを、当該共通電極に印加し、前記非表示領域に係る走査線に係る画素に対応する共通電極に応じた単位選択回路は、前記所定の電圧を、当該共通電極に印加することを特徴とする。なお、全画面表示モードにあっては、ラッチ回路は、すべての単位選択回路、前記ラッチ回路によりラッチされた極性信号に応じて前記第 1 または第 2 電圧のいずれかを、当該共通電極に印加する。この構成によれば、第 1 制御回路は、隣接する走査線のうち、いずれかに選択電圧が印加されたときに、共通電極の電圧を切り替えるので、走査線に選択電圧が印加される方向を限られない。

【 0 0 1 6 】

一方、本発明に係る液晶装置の駆動回路において、前記第 1 制御回路は、ラッチ回路および選択回路を有し、前記ラッチ回路は、前記複数の共通電極毎にそれぞれ設けられた単位ラッチ回路を有し、前記単位ラッチ回路の各々は、前記データ線駆動回路に対して画像信号の正極性および負極性を指示する極性信号を、当該共通電極に対応する走査線よりも 1 行前の走査線が選択されたときにラッチし、前記選択回路は、前記複数の共通電極毎に

それぞれ設けられた単位選択回路を含み、前記表示領域に係る走査線に対応する共通電極に応じた単位選択回路は、前記ラッチ回路によりラッチされた極性信号に応じて前記第1および第2電圧のいずれかを、当該共通電極に印加し、前記非表示領域に係る走査線に対応する共通電極に応じた単位選択回路は、前記所定の電圧を、当該共通電極に印加することを特徴とする。なお、全画面表示モードにあっては、すべての単位選択回路は、前記ラッチ回路によりラッチされた極性信号に応じて前記第1または第2電圧のいずれかを、当該共通電極に印加する。この構成によれば、第1制御回路は、選択電圧が印加される走査線を、前の1行だけに着目すれば良いので、隣接する2行の走査線のいずれかに選択電圧が印加されたか否かを検出する構成と比較して、構成の簡易化を図ることが可能となる。

【0017】

また、本発明に係る液晶装置の駆動回路において、前記第1制御回路は、ラッチ回路および選択回路を有し、前記ラッチ回路は、前記複数の共通電極毎にそれぞれ設けられた単位ラッチ回路を有し、前記単位ラッチ回路の各々は、前記データ線駆動回路に対して画像信号の正極性および負極性を指示する極性信号を、当該共通電極に対応する走査線よりも1行前の走査線が選択されたときにラッチし、前記選択回路は、予め定められた前記表示領域に係る走査線に係る画素に対応する共通電極に応じて設けられる第1単位選択回路と、予め定められた前記非表示領域に係る走査線に対応する共通電極に応じて設けられる第2単位選択回路と、を有し、前記第1単位選択回路は、前記ラッチ回路によりラッチされた極性信号に応じて前記第1または第2電圧のいずれかを、当該共通電極に印加し、前記第2単位選択回路は、全ての前記複数の走査線に係る画素に表示をさせるときには、前記ラッチ回路によりラッチされた極性信号に応じて前記第1および第2電圧のいずれかを、当該共通電極に印加し、前記非表示領域に係る走査線が選択されるときには、前記所定の電圧を、当該共通電極に印加することを特徴とする。なお、全画面表示モードの場合には、第1単位選択回路および第2単位選択回路は、前記ラッチ回路によりラッチされた極性信号に応じて前記第1または第2電圧のいずれかを、当該共通電極に印加する。この構成において、第1単位選択回路は、全画面表示モードと部分表示モードとに関係なく、ラッチ回路によりラッチされた極性信号に応じて第1または第2電圧のいずれかを、共通電極に印加するので、第2単位選択回路として簡略化される。

【0018】

本発明は、液晶装置の駆動回路のみならず、液晶装置の駆動方法、又は液晶装置としても概念することが可能である。すなわち、本発明の液晶装置の駆動方法は、複数の走査線と、複数のデータ線と、前記複数の走査線の所定数毎に対応して設けられた複数の共通電極と、前記走査線と前記データ線との交差に対応して設けられ、各々は、一端が前記データ線に接続されるとともに、前記走査線に選択電圧が印加されたときに導通状態となる画素スイッチング素子と、一端が前記共通電極に接続され、他端が前記画素スイッチング素子の他端に接続された画素容量と、当該画素容量の保持電圧に応じた階調となる画素と、前記画素が複数配置された表示画面と、を有し、前記表示画面に、表示領域と非表示領域が設けられる液晶装置の駆動回路の駆動方法であって、前記複数の走査線を所定の順番で選択する手順と、前記複数の走査線のうち前記表示領域に係る走査線が選択されるときに、前記選択される走査線に係る画素に対応する共通電極の電圧を、第1電圧、および前記第1電圧より高位の第2電圧のいずれか一方から他方に切り替えた後、前記選択電圧を前記走査線に供給し、前記データ線駆動回路が、前記選択される走査線に係る画素に対して当該画素の階調に応じた電圧のデータ信号を供給する手順と、前記非表示領域に係る走査線以外の走査線が選択されるときには、前記選択される走査線に係る画素に対応する共通電極に前記所定の電圧を供給した後、前記第2制御回路が、前記選択される走査線に係る画素に対して前記所定の電圧を供給する手順と、を含んでなることを特徴とする。

また、本発明の液晶装置は、複数の走査線と、複数のデータ線と、前記複数の走査線の所定数毎に対応して設けられた複数の共通電極と、前記走査線と前記データ線との交差に対応して設けられ、各々は、一端が前記データ線に接続されるとともに、前記走査線に選択電圧が印加されたときに導通状態となる画素スイッチング素子と、一端が前記共通電極

10

20

30

40

50

に接続され、他端が前記画素スイッチング素子の他端に接続された画素容量と、当該画素容量の保持電圧に応じた階調となる画素と、前記画素が複数配置された表示画面と、を有し、前記表示画面に、表示領域と非表示領域が設けられる液晶装置であって、前記複数の走査線を所定の順番で選択する走査線駆動回路と、前記複数の共通電極を駆動する第1制御回路と、選択された走査線に係る画素に対し、当該画素の階調に応じた電圧のデータ信号を、データ線を介して供給するデータ線駆動回路と、選択された走査線に係る画素に対し、所定の電圧を供給する第2制御回路と、を具備し、前記表示領域に係る走査線が選択されるときには、前記第1駆動回路は、前記選択される走査線に係る画素に対応する共通電極の電圧を、第1電圧、および前記第1電圧より高位の第2電圧のいずれか一方から他方に切り替えた後、前記選択電圧を前記走査線に供給し、前記データ線駆動回路が、前記選択される走査線に係る画素に対して当該画素の階調に応じた電圧のデータ信号を供給し、前記非表示領域に係る走査線が選択されるときには、前記第1制御回路は、前記選択される走査線に係る画素に対応する共通電極に前記所定の電圧を供給した後、前記第2制御回路が、前記選択される走査線に係る画素に対して前記所定の電圧を供給することを特徴とする。

10

ここで、本発明の液晶装置は、第1基板と、前記第1基板に対向配置された第2基板と、前記第1基板と前記第2基板との挟持された液晶と、を備え、前記第1基板が、前記複数の走査線、前記複数のデータ線、前記複数の共通電極および前記画素スイッチング素子を備えてなることを特徴とする。更には、複数の共通電極の各々に対して、補助共通線が接続されてなると好ましい。補助共通線は、走査線および前記共通電極の延在方向に沿って設けられ、1組の共通電極および補助共通線は、所定の間隔毎に設けられたコンタクト配線を介して互い接続される。このような構成では、共通電極は、補助共通線との並列化によって時定数が低下するので、波形鈍りなどに起因する表示品位の低下が防止される。また、複数の共通電極は、複数の走査線の1行ずつに対応して設けられる構成が望ましい。

20

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施形態について図面を参照して説明する。なお、以下の説明において同一構成要件については同一符号を付し、その説明を省略もしくは簡略化する場合がある。

30

【0020】

<第1実施形態>

まず、本発明の第1実施形態に係る液晶装置について説明する。図1は、第1実施形態に係る液晶装置1の構成を示すブロック図である。

この図に示されるように、液晶装置1は、液晶パネルAAと、当該液晶パネルAAに対向配置されて光を出射するバックライト90と、を含む。この液晶装置1は、バックライト90からの光を利用して、透過型の表示を行うものである。

【0021】

液晶パネルAAは、表示画面A、走査線駆動回路10、データ線駆動回路20、制御回路30およびパーシャル回路40を有する。このうち、表示画面Aでは、複数の画素50がマトリクス状に配列されて画像を表示する。走査線駆動回路10およびデータ線駆動回路20は、表示画面Aの周辺に設けられて表示パネルAAを駆動する駆動回路として機能し、制御回路30は、第1制御回路として機能し、パーシャル回路40は、第2制御回路として機能する。

40

この液晶パネルAAは、表示画面Aの全領域を表示領域とする全画面表示モードと、表示画面Aの全領域のうち、一部の領域を表示領域とし、他の領域を非表示領域とする部分表示モードとを選択可能とするものである。

【0022】

図2は、部分表示モードにおける表示画面Aを示す図である。

部分表示モードにおいて、表示画面Aは、走査線の延在方向（行）に沿った表示領域8

50

1 と非表示領域 8 2 とに分割される。表示領域 8 1 には、電池残量や時刻表示といった画像が表示され、非表示領域 8 2 には、オフ表示画像が表示される。なお、本実施形態に係る液晶装置は、ノーマリーブラックモードで動作するため、非表示領域 8 2 には、オフ表示画像として黒画像が表示されて、表示が無効化される。

この第 1 実施形態では、表示領域 8 1 および非表示領域 8 2 は固定ではなく、可変であるが、説明の便宜上、表示領域 8 1 は、1 行目から 2 5 行目までの画素 5 0 からなり、非表示領域 8 2 は、2 6 行目から 3 2 0 行目までの画素 5 0 からなるものとする。

【0023】

図 1 に戻ると、バックライト 9 0 は、光を表示パネル A A の背面側から光を出射するものである。このバックライト 9 0 は、例えば、冷陰極蛍光管 (Cold Cathode Fluorescent Lamp) や、発光ダイオード (Light Emitting Diode)、エレクトロルミネッセンス (Electro Luminescence) で構成される。

【0024】

次に、液晶パネル A A の構成について詳述する。

液晶パネル A A には、所定間隔おきに交互に設けられた 3 2 0 行の走査線 Y 1 ~ Y 3 2 0 および 3 2 0 行の共通線 Z 1 ~ Z 3 2 0 と、これら走査線 Y 1 ~ Y 3 2 0 および共通線 Z 1 ~ Z 3 2 0 に交差し、かつ、所定間隔おきに設けられた 2 4 0 列のデータ線 X 1 ~ X 2 4 0 と、が設けられている。ここで、1 行につき、走査線と共通線とは対をなす。

なお、走査線 Y 1 ~ Y 3 2 0 のうち、特に行を指定しないで一般的に表すときに走査線 Y と表記する場合がある。同様に、共通線 Z 1 ~ Z 3 2 0 のうち、特に行を指定しないで表すときに共通線 Z と表記し、データ線 X 1 ~ X 2 4 0 のうち、特に列を指定しないで表すときにデータ線 X と表記する場合がある。

【0025】

画素 5 0 は、走査線 Y 1 ~ Y 3 2 0 およびデータ線 X 1 ~ X 2 4 0 の各交差部分にはそれぞれ設けられ、各画素 5 0 は、T F T 5 1 と、画素電極 5 5 および共通電極 5 6 を有する画素容量 5 4 と、一方の電極が共通線 Z に接続され他方の電極が画素電極 5 5 に接続された蓄積容量 5 3 と、を備える。ここで、共通電極 5 6 は、1 行毎に電氣的に分割されており、それぞれ共通線である。

T F T 5 1 のゲートには、走査線 Y が接続され、T F T 5 1 のソースには、データ線 X が接続され、T F T 5 1 のドレインには、画素電極 5 5 および蓄積容量 5 3 の他方の電極が接続されている。したがって、この T F T 5 1 は、走査線 Y に選択電圧が印加されるとオン状態となり、データ線 X と画素電極 5 5 および蓄積容量 5 3 の他方の電極との間を導通状態とさせる。

【0026】

図 3 は、画素 5 0 の拡大平面図であり、図 4 は、図 3 に示す画素 5 0 の A - A 断面図である。なお、図 3 では、2 行目の走査線 Y 2 および 3 行目の走査線 Y 3 と、1 列目のデータ線 X 1 および 2 列目のデータ線 X 2 との各交差に対応する 4 画素分の構成が示される。

液晶パネル A A は、第 1 基板としての素子基板 6 0 と、この素子基板 6 0 に対向配置された第 2 基板としての対向基板 7 0 と、素子基板 6 0 と対向基板 7 0 との間に挟持された液晶と、を備える。

素子基板 6 0 には、走査線 Y 1 ~ Y 3 2 0、共通線 Z 1 ~ Z 3 2 0 およびデータ線 X 1 ~ X 2 4 0 が形成されており、各画素 5 0 は、互いに隣り合う 2 行の走査線 Y と、互いに隣り合う 2 列のデータ線 X と、で囲まれた領域となっている。つまり、各画素 5 0 は、走査線 Y とデータ線 X とで区画されている。

本実施形態では、T F T 5 1 は、逆スタガ型のアモルファスシリコン T F T であり、走査線 Y とデータ線 X との交差部の近傍には、この T F T 5 1 が形成される領域 5 0 C (図 3 において破線で囲まれた部分) が設けられている。

【0027】

素子基板 6 0 の詳細について説明する。

素子基板 6 0 は、ガラス基板 6 8 を有し、このガラス基板 6 8 の上には、ガラス基板 6

10

20

30

40

50

8の表面荒れや汚れによるTFT51の特性の変化を防止するために、素子基板60の全面にわたって下地絶縁膜(図示省略)が形成されている。

下地絶縁膜の上には、導電材料からなる走査線Yが形成されている。

走査線Yは、隣接する画素50の境界に沿って設けられ、データ線Xとの交差部の近傍において、TFT51のゲート電極511を構成する。

【0028】

走査線Y(ゲート電極511)および下地絶縁膜の上には、素子基板60の全面にわたって、ゲート絶縁膜62が形成されている。

ゲート絶縁膜62の上のTFT51が形成される領域50Cには、ゲート電極511に対向して、アモルファスシリコンからなる半導体層(図示省略)、N+アモルファスシリコンからなるオーミックコンタクト層(図示省略)が積層されている。このオーミックコンタクト層には、ソース電極512およびドレイン電極513が積層され、これにより、アモルファスシリコンTFTが形成されている。

【0029】

ソース電極512は、データ線Xと同一の導電材料で形成されている。すなわち、データ線Xからソース電極512が延出される構成となっており、両者は一体であるので、電氣的に区別する必要はない。データ線Xは、走査線Yに対して交差するように形成されている。

上述したように、走査線Yの上には、ゲート絶縁膜62が形成され、このゲート絶縁膜62の上には、データ線Xが形成されている。このため、データ線Xは、走査線Yとはゲート絶縁膜62により絶縁されている。

データ線X(ソース電極512)、ドレイン電極513およびゲート絶縁膜62の上には、素子基板60の全面にわたって、第1絶縁膜63が形成されている。

【0030】

第1絶縁膜63の上には、ITO(Indium Tin Oxide)やIZO(Indium Zinc Oxide)といった透明導電材料からなる共通線Zが形成されている。共通線Zは、走査線Yに沿って形成され、この共通線Zは、共通電極56から延出したものであり、両者は一体であるので、電氣的に区別する必要はない。

【0031】

共通線Z(共通電極56)および第1絶縁膜63の上には、素子基板60の全面にわたって第2絶縁膜64が形成されている。

第2絶縁膜64の上には、共通電極56に対向する領域に、ITOやIZOといった透明導電材料からなる画素電極55が形成されている。画素電極55は、上述した第1絶縁膜63および第2絶縁膜64に形成されたコンタクトホール(図示省略)を介して、ドレイン電極513に電氣的に接続されている。

この画素電極55には、自身と共通電極56との間で、フリンジフィールド(電界E)を発生させるための複数のスリット55Aが所定間隔おきに設けられている。すなわち、液晶装置1は、FFS方式の液晶装置である。

画素電極55および第2絶縁膜64の上には、素子基板60の全面にわたって、ポリイミド膜等の有機膜からなる配向膜(図示省略)が形成されている。

【0032】

続いて、対向基板70の詳細について説明する。

対向基板70は、ガラス基板74を有し、このガラス基板74の上のうち、画素電極55と対向しない領域には、ブラックマトリクスとしての遮光膜71が形成されている。また、ガラス基板74の上のうち、遮光膜71が形成されている領域を除く領域、すなわち画素電極55と対向する領域には、カラーフィルタ72が形成されている。

遮光膜71およびカラーフィルタ72の上には、対向基板70の全面にわたって、配向膜(図示省略)が形成されている。

【0033】

説明を再び図1に戻すと、制御回路30は、第1電圧としての電圧VCOML、当該電

10

20

30

40

50

圧 V_{COML} よりも電位の高い第2電圧としての電圧 V_{COMH} 、または、所定の電圧としての電圧 V_{COML} のいずれかを共通線 $Z1 \sim Z320$ にそれぞれ個別に供給する。

【0034】

走査線駆動回路10は、選択電圧を走査線 $Y1 \sim Y320$ に順次供給する。ここで、ある走査線 Y に選択電圧を供給すると、この走査線 Y に接続された $TFT51$ が全てオン状態となり、この走査線 Y に係る画素50がすべて選択される。

データ線駆動回路20は、画像信号をデータ線 $X1 \sim X240$ に供給し、オン状態の $TFT51$ を介して、この画像信号に基づく画像電圧を画素電極55に書き込む。ここで、データ線駆動回路20は、電圧 V_{COML} よりも電位の高い正極性の画像信号をデータ線 X に供給して、この正極性の画像信号に基づく画像電圧を画素電極55に書き込む正極性書込と、電圧 V_{COMH} よりも電位の低い負極性の画像信号をデータ線 X に供給して、この負極性の画像信号に基づく画像電圧を画素電極55に書き込む負極性書込と、を1水平走査期間ごとに交互に行う。

また、パースナル回路40は、部分表示モードにおいて非表示領域82に係る走査線に選択電圧が印加されたときに、所定の電圧としての電圧 V_{COML} をデータ線 $X1 \sim X240$ に供給する。

【0035】

この液晶装置1は、全画面表示モードでは、おおよそ次のように動作する。

すなわち、まず、制御回路30が a 行目 (a は、 $1 \leq a \leq 320$ を満たす整数) の共通線 $Z(a)$ に電圧 V_{COML} または電圧 V_{COMH} を供給する。

具体的には、制御回路30は、共通線 $Z(a)$ に、1フレーム期間ごとに、電圧 V_{COML} と電圧 V_{COMH} とを交互に供給する。例えば、制御回路30は、ある1フレーム期間において、共通線 $Z(a)$ に電圧 V_{COML} を供給した場合、次の1フレーム期間において、共通線 $Z(a)$ に電圧 V_{COMH} を供給する。一方、制御回路30は、ある1フレーム期間において、共通線 $Z(a)$ に電圧 V_{COMH} を供給した場合、次の1フレーム期間において、共通線 $Z(a)$ に電圧 V_{COML} を供給する。

また、制御回路30は、互いに隣接する共通線 Z に、互いに異なる電圧を供給する。例えば、制御回路30は、ある1フレーム期間において、共通線 $Z(a)$ に電圧 V_{COML} を供給する場合、同一の1フレーム期間において、 $(a-1)$ 行目の共通線 $Z(a-1)$ と $(a+1)$ 行目の共通線 $Z(a+1)$ とに電圧 V_{COMH} を供給する。一方、制御回路30は、ある1フレーム期間において、共通線 $Z(a)$ に電圧 V_{COMH} を供給する場合、同一の1フレーム期間において、共通線 $Z(a-1)$ と共通線 $Z(a+1)$ とに電圧 V_{COML} を供給する。

【0036】

走査線駆動回路10は、走査線 Ya に選択電圧を供給することで、走査線 $Y(a)$ に接続された全ての $TFT51$ をオン状態にして、走査線 $Y(a)$ に係る全ての画素50を選択する。

一方、走査線 $Y(a)$ に係る画素50の選択に同期して、データ線駆動回路20は、データ線 $X1 \sim X240$ に、共通線 $Z(a)$ の電圧に応じて、正極性の画像信号と負極性の画像信号とを1水平走査期間ごとに交互に供給する。具体的には、共通線 $Z(a)$ の電圧が電圧 V_{COML} であれば、正極性の画像信号をデータ線 $X1 \sim X240$ に供給し、共通線 $Z(a)$ の電圧が電圧 V_{COMH} であれば、負極性の画像信号をデータ線 $X1 \sim X240$ に供給する。

走査線 $Y(a)$ に選択電圧が共通されると、 a 行目であって $1 \sim 240$ 列の画素50に、データ線駆動回路20からデータ線 $X1 \sim X240$ およびオン状態の $TFT51$ を介して画像信号が供給され、この画像信号に基づく画像電圧が画素電極55に書き込まれる。これにより、画素電極55と共通電極56との間に電位差が生じて、駆動電圧が液晶に印加される。

液晶に駆動電圧が印加されると、液晶の配向や秩序が変化して、液晶を透過するバックライト90からの光が変化する。この変化した光がカラーフィルタ72を透過することで

、画像が表示される。

【 0 0 3 7 】

一方、この液晶装置 1 は、部分表示モードでは、おおよそ次のように動作する。

すなわち、まず、共通線 Z (a) が表示領域 8 1 に係る共通線 Z 1 ~ Z 2 5 のいずれかであれば、制御回路 3 0 は、全画面表示モードと同様に、当該共通線 Z (a) に電圧 V C O M L または電圧 V C O M H を供給する。一方、共通線 Z (a) が非表示領域 8 2 に係る共通線 Z 2 6 ~ Z 3 2 0 のいずれかであれば、制御回路 3 0 は、共通線 Z (a) に所定の電圧としての電圧 V C O M L を供給する。

走査線駆動回路 1 0 は、走査線 Y (a) に選択電圧を供給することで、走査線 Y (a) に接続された全ての T F T 5 1 をオン状態にして、走査線 Y (a) に係る全ての画素 5 0 を選択する。

10

ここで、選択される画素 5 0 が表示領域 8 1 に係る画素 5 0 であれば、上述したように、データ線駆動回路 2 0 は、これら画素 5 0 の選択に同期し、データ線 X 1 ~ X 2 4 0 に、共通線 Z (a) の電圧に応じて、正極性の画像信号と負極性の画像信号とを 1 水平走査期間ごとに交互に供給する。

すると、選択された表示領域 8 1 に係る画素 5 0 に、データ線駆動回路 2 0 からデータ線 X 1 ~ X 2 4 0 およびオン状態の T F T 5 1 を介して画像信号が供給され、この画像信号に基づく画像電圧が画素電極 5 5 に書き込まれる。これにより、画素電極 5 5 と共通電極 5 6 との間に電位差が生じて、駆動電圧が液晶に印加される。

液晶に駆動電圧が印加されると、液晶の配向や秩序が変化して、液晶を透過するバックライト 9 0 からの光が変化する。この変化した光がカラーフィルタ 7 2 を透過することで、表示領域 8 1 では、画像が表示される。

20

【 0 0 3 8 】

一方、選択された画素 5 0 が非表示領域 8 2 に係る画素 5 0 であれば、これら画素 5 0 の選択に同期して、パーシャル回路 4 0 からデータ線 X 1 ~ X 2 4 0 に所定の電圧としての電圧 V C O M L が供給される。

すると、選択された非表示領域 8 2 の画素 5 0 に、パーシャル回路 4 0 からデータ線 X 1 ~ X 2 4 0 およびオン状態の T F T 5 1 を介して電圧 V C O M L が供給され、この電圧 V C O M L が画素電極 5 5 に書き込まれる。

ここで、非表示領域 8 2 に係る共通線 Z (a) には、電圧 V C O M L が供給されているので、共通線 Z (a) に係る共通電極 5 6 の電圧も電圧 V C O M L である。このため、画素電極 5 5 と共通電極 5 6 との間に電位差が生じないので、液晶には駆動電圧が印加されない。

30

液晶に駆動電圧が印加されないと、液晶の配向や秩序が変化しないので、非表示領域 8 2 では、ノーマリーブラックモードにおいてオフの黒の画像が表示される。

なお、液晶に印加される駆動電圧は、蓄積容量 5 3 により、画像電圧が書き込まれる期間よりもおおよそ 3 桁も長い期間にわたって保持される。

【 0 0 3 9 】

液晶装置 1 は、このように全画面表示モードおよび部分表示モードにおいて動作する。そこで次に、この動作を行うための各部について順を追って詳述する。

40

【 0 0 4 0 】

まず、走査線駆動回路 1 0 について説明する。図 5 は、走査線駆動回路 1 0 の構成を示すブロック図である。

この図に示されるように、走査線駆動回路 1 0 は、シフトレジスタ 1 1 およびレベルシフタ 1 2 を備える。このうち、シフトレジスタ 1 1 は、特に図示しないが、走査線 Y の本数に等しい段数、すなわち本実施形態では 3 2 0 段の転送回路を縦続接続した構成である。

ここで、ある行に対応する段の転送回路は、入力信号をクロック信号 Y C L K の 1 周期分だけ遅延させて当該行に対応する段のシフト信号として出力するとともに、次行、すなわち 1 行下の行に対応する段の転送回路の入力信号とするものである。ただし、最初の第

50

1 段の転送回路への入力信号は、クロック信号 Y C L K の 1 周期分の期間にわたって H レベルとなる単発の開始パルス Y D であり、1 フレーム期間の最初に供給される。

1 段目から 3 2 0 段目までの転送回路によるシフト信号を Y S 1 ~ Y S 3 2 0 と表記すると、シフト信号 Y S 1、Y S 2、Y S 3、...、Y S 3 2 0 は、開始パルス Y D をクロック信号 Y C L K の 1 周期毎に順次遅延させたものなるので、この順番で排他的に H レベルとなる。

レベルシフタ 1 2 は、低振幅の論理信号であるシフト信号 Y S 1 ~ Y S 3 2 0 を、高振幅の論理信号に変換して、それぞれ走査線 Y 1 ~ Y 3 2 0 に供給する。

なお、本実施形態において、高振幅の論理信号の H レベルは、選択電圧であって電圧 V G H に相当し、高振幅の論理信号の L レベルは、非選択電圧であって電圧 V G L に相当する。したがって、シフト信号 Y S 1 ~ Y S 3 2 0 がそれぞれ H レベルとなる期間は、走査線 Y 1 ~ Y 3 2 0 において選択電圧が印加される期間であり、当該期間は、クロック信号 Y C L K の 1 周期分に相当することになる。

【 0 0 4 1 】

このような構成の走査線駆動回路 1 0 は、次のように動作する。

すなわち、1 フレーム期間が始まると、シフトレジスタ 1 1 により、1 水平走査期間にわたって H レベルとなるパルス信号が 1 水平走査期間ずつ順番にシフトされて、転送信号 Y S 1 ~ Y S 3 2 0 として出力される。この転送信号 Y S 1 ~ Y S 3 2 0 の論理レベルは、レベルシフタ 1 2 によって、それぞれ所定電圧までレベルシフトされて走査線 Y 1 ~ Y 3 2 0 に供給される。

これにより、走査線駆動回路 1 0 は、1 水平走査期間にわたって H レベルとなるパルスを、1 フレームの期間開始から 1 水平走査期間ずつ順番にシフトさせるとともに、シフト順で走査線 Y 1 ~ Y 3 2 0 にそれぞれ供給する。なお、走査線駆動回路 1 0 は、選択電圧である H レベルを供給する期間以外では、走査線 Y 1 ~ Y 3 2 0 を非選択電圧である L レベルとする（図 1 0 および図 1 3 参照）。

【 0 0 4 2 】

次に、制御回路 3 0 について説明する。図 6 は、制御回路 3 0 の概略構成を示すブロック図である。

この図に示されるように、制御回路 3 0 は、ラッチ回路 3 1 と、表示モード回路 3 2 と、電圧選択回路 3 3 と、を備える。なお、表示モード回路 3 2 と電圧選択回路 3 3 とが選択回路として機能する。

【 0 0 4 3 】

まず、ラッチ回路 3 1 について説明すると、図 7 は、ラッチ回路 3 1 の構成を示すブロック図である。この図に示されるように、ラッチ回路 3 1 は、1 行目の走査線 Y 1 と最終行の走査線 Y 3 2 0 のそれぞれに対応して設けられた第 1 の単位ラッチ回路 3 1 1 と、それ以外の走査線 Y 2 ~ Y 3 1 9 のそれぞれに対応して設けられた第 2 の単位ラッチ回路 3 1 2 と、を備える。

ここで、第 2 の単位ラッチ回路 3 1 2 について、b 行目（b は、2 b 3 1 9 を満たす整数）の走査線 Y (b) に対応して設けられた第 2 の単位ラッチ回路 3 1 2 (b) を用いて説明する。第 2 の単位ラッチ回路 3 1 2 (b) は、否定論理和演算回路（以降、N O R 回路と呼ぶ）U 1、第 1 のインバータ U 2、第 2 のインバータ U 3、第 1 のクロックドインバータ U 4 および第 2 のクロックドインバータ U 5 を備える。

【 0 0 4 4 】

b 行目の走査線 Y (b) に対応する第 2 の単位ラッチ回路 3 1 2 において、N O R 回路 U 1 の 2 つの入力端子のうち、一方の入力端子は、1 行上で隣接する（b - 1）行目の走査線 Y (b - 1) に接続され、他方の入力端子は、1 行下で隣接する（b + 1）行目の走査線 Y (b + 1) に接続されている。N O R 回路 U 1 の出力端子は、第 1 のインバータ U 2 の入力端子と、第 1 のクロックドインバータ U 4 の反転入力制御端子と、第 2 のクロックドインバータ U 5 の非反転入力制御端子とにそれぞれ接続されている。

第 1 のインバータ U 2 の入力端子は、N O R 回路 U 1 の出力端子に接続され、第 1 のイ

10

20

30

40

50

ンバータU 2 の出力端子は、第 1 のクロックドインバータU 4 の非反転入力制御端子と、第 2 のクロックドインバータU 5 の反転入力制御端子とにそれぞれ接続されている。

【 0 0 4 5 】

第 1 のクロックドインバータU 4 の入力端子には、極性信号 P O L が入力され、第 1 のクロックドインバータU 4 の出力端子は、第 2 のインバータU 3 の入力端子に接続されている。また、第 1 のクロックドインバータU 4 の反転入力制御端子は、N O R 回路U 1 の出力端子が接続され、第 1 のクロックドインバータU 4 の非反転入力制御端子は、第 1 のインバータU 2 の出力端子が接続されている。

第 2 のインバータU 3 の入力端子は、第 1 のクロックドインバータU 4 の出力端子と、第 2 のクロックドインバータU 5 の出力端子とに接続され、第 2 のインバータU 3 の出力端子は、b 行目の第 2 の単位ラッチ回路 3 1 2 におけるラッチ信号 L A T (b) を出力するとともに、第 2 のクロックドインバータU 5 の入力端子に接続されている。

10

なお、第 2 のクロックドインバータU 5 の入力端子は、第 2 のインバータU 3 の出力端子に接続され、第 2 のクロックドインバータU 5 の出力端子は、第 2 のインバータU 3 の入力端子に接続されている。また、第 2 のクロックドインバータU 5 の反転入力制御端子は、第 1 のインバータU 2 の出力端子に接続され、第 2 のクロックドインバータU 5 の非反転入力制御端子は、N O R 回路U 1 の出力端子に接続されている。

【 0 0 4 6 】

このように構成された b 行目の第 2 の単位ラッチ回路 3 1 2 (b) は、次のように動作する。

20

すなわち、走査線 Y (b - 1) または走査線 Y (b + 1) のうち、少なくとも一方に選択電圧として H レベルの信号が供給されると、N O R 回路U 1 は、L レベルの信号を出力する。N O R 回路U 1 から出力された L レベルの信号は、第 1 のクロックドインバータU 4 の反転入力制御端子に入力されるとともに、第 1 のインバータU 2 により論理レベルが反転されて H レベルの信号となり、第 1 のクロックドインバータU 4 の非反転入力制御端子に入力される。このため、第 1 のクロックドインバータU 4 は、否定動作が許可されるオン状態となるので、極性信号 P O L の論理レベルを反転して出力する。この第 1 のクロックドインバータU 4 によって論理レベルが反転されて出力された信号は、第 2 のインバータU 3 により論理レベルが再度反転されて極性信号 P O L に戻るため、ラッチ信号 L A T (b) は、極性信号 P O L と同一論理レベルとなる。

30

【 0 0 4 7 】

一方、走査線 Y (b - 1) および走査線 Y (b + 1) の両方に非選択電圧として L レベルの信号が供給されると、N O R 回路U 1 は、H レベルの信号を出力する。

N O R 回路U 1 から出力された H レベルの信号は、第 1 のクロックドインバータU 4 の反転入力制御端子に入力されるとともに、第 1 のインバータU 2 により論理レベルが反転されて L レベルの信号となり、第 1 のクロックドインバータU 4 の非反転入力制御端子に入力される。このため、第 1 のクロックドインバータU 4 は、否定動作が禁止されるオフ状態となる。また、N O R 回路U 1 から出力された H レベルの信号は、第 2 のクロックドインバータU 5 の非反転入力制御端子に入力されるとともに、第 1 のインバータU 2 により論理レベルが反転されて L レベルの信号となり、第 2 のクロックドインバータU 5 の反転入力制御端子に入力される。このため、第 2 のクロックドインバータU 5 は、否定動作が許可されるオン状態となる。

40

したがって、ラッチ信号 L A T (b) は、第 2 のインバータU 3 および第 2 のクロックドインバータU 5 によってラッチされることになる。

【 0 0 4 8 】

このように、b 行目の第 2 の単位ラッチ回路 3 1 2 (b) は、走査線 Y (b - 1) または走査線 Y (b + 1) のうち、少なくとも一方に選択電圧が供給されると、極性信号 P O L を取り込んで、極性信号 P O L と同一論理レベルのラッチ信号 L A T (b) を出力し、走査線 Y (b - 1) および走査線 Y (b + 1) の両方に非選択電圧が供給されると、ラッチ信号 L A T (b) を、第 2 のインバータU 3 および第 2 のクロックドインバータU 5 に

50

より保持しつつ出力することになる。

【 0 0 4 9 】

次に、第 1 の単位ラッチ回路 3 1 1 について説明する。

第 1 の単位ラッチ回路 3 1 1 は、第 2 の単位ラッチ回路 3 1 2 と比べて、N O R 回路 U 1 を廃して、第 1 のインバータ U 2 の入力端子、第 1 のクロックドインバータ U 4 の反転入力制御端子および第 2 のクロックドインバータ U 5 の非反転入力制御端子をそれぞれ L レベルに相当する電圧 V L L に固定化したものである。なお、電圧 V L L は、実質的には、非選択電圧の電圧 V G L に等しく、これらの電圧 V L L、V G L は電圧基準のゼロ電位としている。

このような構成の第 1 の単位ラッチ回路 3 1 1 は、第 2 の単位ラッチ回路 3 1 2 における N O R 回路 U 1 が L レベルとなる場合の同様な動作となる。すなわち、第 1 の単位ラッチ回路 3 1 1 は、常に極性信号 P O L を取り込んで、極性信号 P O L と同一論理レベルのラッチ信号 L A T 1、L A T 3 2 0 を出力する。

【 0 0 5 0 】

なお、本実施形態では、走査線 Y 1、Y 3 2 0 のそれぞれに対応して設けられた第 1 の単位ラッチ回路 3 1 1 において、第 1 のインバータ U 2 の入力端子と、第 1 のクロックドインバータ U 4 の反転入力制御端子と、第 2 のクロックドインバータ U 5 の非反転入力制御端子とを L レベルの電圧 V L L としたが、これに限らない。例えば、走査線 Y 1 に対応して設けられた第 1 の単位ラッチ回路 3 1 1 において、第 1 のインバータ U 2 の入力端子と、第 1 のクロックドインバータ U 4 の反転入力制御端子と、第 2 のクロックドインバータ U 5 の非反転入力制御端子とに、走査線 Y 1 を接続しても良い。また、走査線 Y 3 2 0 に対応して設けられた第 1 の単位ラッチ回路 3 1 1 において、第 1 のインバータ U 2 の入力端子と、第 1 のクロックドインバータ U 4 の反転入力制御端子と、第 2 のクロックドインバータ U 5 の非反転入力制御端子とに、走査線 Y 3 2 0 を接続しても良い。

【 0 0 5 1 】

続いて、図 6 における表示モード回路 3 2 について説明する。図 8 は、表示モード回路 3 2 の構成を示すブロック図である。

この図に示されるように、表示モード回路 3 2 は、奇数行のそれぞれに対応して設けられた第 1 の単位表示モード回路 3 2 1 と、偶数行のそれぞれに対応して設けられた第 2 の単位表示モード回路 3 2 2 と、を備える。

【 0 0 5 2 】

ここで、第 1 の単位表示モード回路 3 2 1 について、c 行目 (c は、1 から 3 1 9 を満たす奇数) の走査線 Y (c) に対応して設けられた第 1 の単位表示モード回路 3 2 1 (c) を用いて説明する。

奇数 c 行目に対応する第 1 の単位表示モード回路 3 2 1 (c) は、否定論理積演算回路 (以降、N A N D 回路と呼ぶ) U 1 1 を備える。N A N D 回路 U 1 1 の 2 つの入力端子のうち、一方の入力端子には、奇数 c 行目のラッチ回路 3 1 から出力されたラッチ信号 L A T (c) が入力され、他方の入力端子には、表示モード選択信号 C E N B が入力されて、両者の否定論理積信号が電圧指示信号 C T R L (c) として出力される。

【 0 0 5 3 】

このため、奇数 c 行目の第 1 の単位表示モード回路 3 2 1 (c) において、H レベルの表示モード選択信号 C E N B が入力されると、奇数 c 行目のラッチ回路 3 1 から出力されたラッチ信号 L A T (c) が H レベルであれば、L レベルの電圧指示信号 C T R L (c) が出力され、ラッチ信号 L A T (c) が L レベルであれば、H レベルの電圧指示信号 C T R L (c) が出力される。一方、L レベルの表示モード選択信号 C E N B が入力されると、ラッチ信号 L A T (c) の論理レベルに依らず、H レベルの電圧指示信号 C T R L (c) が出力される。

すなわち、奇数 c 行目の第 1 の単位表示モード回路 3 2 1 (c) は、表示モード選択信号 C E N B が H レベルであれば、ラッチ信号 L A T (c) の論理レベルを反転させた電圧指示信号 C T R L (c) を出力する一方、表示モード選択信号 C E N B が L レベルであれ

10

20

30

40

50

ば、ラッチ信号 $LAT(c)$ の論理レベルに依らず、 H レベルの電圧指示信号 $CTRL(c)$ を出力する。

【0054】

次に、第2の単位表示モード回路322について、 d 行目 (d は、 $2 \leq d \leq 320$ を満たす偶数)の走査線 $Y(d)$ に対応して設けられた第2の単位表示モード回路322 (d)を用いて説明する。

偶数 d 行目に対応する第2の単位表示モード回路322 (d)は、インバータ $U12$ および NOR 回路 $U13$ を備える。インバータ $U12$ の入力端子には、表示モード選択信号 $CENB$ が入力され、インバータ $U12$ の出力端子は、 NOR 回路 $U13$ の2つの入力端子のうち、他方の入力端子に接続されている。

10

NOR 回路 $U13$ の2つの入力端子のうち、一方の入力端子には、偶数 d 行目のラッチ回路31から出力されたラッチ信号 $LAT(d)$ が入力され、他方の入力端子は、インバータ $U12$ の出力端子が接続されて、両者の否定論理和信号が電圧指示信号 $CTRL(d)$ として出力される。

【0055】

このため、偶数 d 行目の第2の単位表示モード回路322 (d)において、 H レベルの表示モード選択信号 $CENB$ が入力されると、 NOR 回路 $U13$ の他方の入力端子には、インバータ $U12$ を介して L レベルの信号が入力されるため、ラッチ信号 $LAT(d)$ が H レベルであれば、 L レベルの電圧指示信号 $CTRL(d)$ が出力され、ラッチ信号 $LAT(d)$ が L レベルであれば、 H レベルの電圧指示信号 $CTRL(d)$ が出力される。一方、 L レベルの表示モード選択信号 $CENB$ が入力されると、 NOR 回路 $U13$ の他方の入力端子には、インバータ $U12$ を介して H レベルの信号が入力されるため、ラッチ信号 $LAT(d)$ の論理レベルに依らず、 L レベルの電圧指示信号 $CTRL(d)$ が出力される。

20

すなわち、偶数 d 行目の第2の単位表示モード回路322 (d)は、表示モード選択信号 $CENB$ が H レベルであれば、ラッチ信号 $LAT(c)$ の論理レベルを反転させた電圧指示信号 $CTRL(c)$ を出力する一方、表示モード選択信号 $CENB$ が L レベルであれば、ラッチ信号 $LAT(c)$ の論理レベルに依らず、 L レベルの電圧指示信号 $CTRL(c)$ を出力する。

【0056】

30

次に、図6における電圧選択回路33について説明する。図9は、電圧選択回路33の構成を示すブロック図である。

この図に示されるように、電圧選択回路33は、奇数行のそれぞれに対応して設けられた第1の単位電圧選択回路331と、偶数行のそれぞれに対応して設けられた第2の単位電圧選択回路332と、を備える。

ここで、第1の単位電圧選択回路331について、 e 行目 (e は、 $1 \leq e \leq 319$ を満たす奇数)に対応して設けられた第1の単位電圧選択回路331 (e)を用いて説明する。

奇数 e 行目の単位電圧選択回路331 (e)は、インバータ $U21$ 、第1のトランスファゲート $U22$ および第2のトランスファゲート $U23$ を備える。このうち、インバータ $U21$ の入力端子には、 e 行目の表示モード回路32から出力された電圧指示信号 $CTRL(e)$ が入力され、インバータ $U21$ の出力端子は、第1のトランスファゲート $U22$ の非反転入力制御端子と、第2のトランスファゲート $U23$ の反転入力制御端子とにそれぞれ接続されている。

40

【0057】

第1のトランスファゲート $U22$ の入力端子には、電圧 $VCOMH$ が供給される。また、第1のトランスファゲート $U22$ の非反転入力制御端子は、インバータ $U21$ の出力端子に接続され、第1のトランスファゲート $U22$ の反転入力制御端子には、電圧指示信号 $CTRL(e)$ が入力される。第2のトランスファゲート $U23$ の入力端子には、電圧 $VCOML$ が供給される。また、第2のトランスファゲート $U23$ の反転入力制御端子は、

50

インバータU21の出力端子に接続され、第2のトランスファゲートU23の非反転入力制御端子には、電圧指示信号CTRL(e)が入力される。そして、第1のトランスファゲートU22の出力端子および第2のトランスファゲートU23の出力端子は、奇数e行目の共通線Z(e)に共通接続される。

【0058】

このため、奇数e行目の第1の単位電圧選択回路331(e)において、電圧指示信号CTRL(e)がHレベルであれば、第1のトランスファゲートU22がオフ状態となり、第2のトランスファゲートU23がオン状態となるので、当該第2のトランスファゲートU23の入力端子に供給された電圧VCOMLが共通線Z(e)に出力される。一方、電圧指示信号CTRL(e)がLレベルであれば、電圧指示信号CTRL(e)がLレベルであれば、第1のトランスファゲートU22がオン状態となり、第2のトランスファゲートU23がオフ状態となるので、当該第1のトランスファゲートU22の入力端子に供給された電圧VCOMHが共通線Z(e)に出力される。

10

すなわち、奇数e行目の第1の単位電圧選択回路331(e)は、電圧指示信号CTRL(e)がHレベルであれば、共通線Z(e)に電圧VCOMLを供給する一方、電圧指示信号CTRL(e)がLレベルであれば、共通線Z(e)に電圧VCOMHを供給する。

ここで、電圧VCOMH、COMLは、走査線Y1～Y320に印加される電圧VGH、VGLに対して $VGL < VCOML < VCOMH < VGH$ という関係にある(図11等参照)。

20

【0059】

次に、第2の単位電圧選択回路332について、f行目(fは、2～f320を満たす偶数)に対応して設けられた第2の単位電圧選択回路332(f)を用いて説明する。

偶数f行目の第2の単位電圧選択回路332(f)は、奇数e行目の第1の単位電圧選択回路331(e)と比べて、第1のトランスファゲートU22の入力端子に供給される電圧をVCOMLとし、第2のトランスファゲートU23の入力端子に入力される電圧をVCOMHに、それぞれ入れ替えた関係にある。なお、その他の構成は、第1の単位電圧選択回路331(e)と同様である。

このため、偶数f行目の第1の単位電圧選択回路331(e)は、電圧指示信号CTRL(f)がHレベルであれば、共通線Z(e)に電圧VCOMHを供給する一方、電圧指示信号CTRL(f)がLレベルであれば、共通線Z(e)に電圧VCOMLを供給する。

30

【0060】

次に、全画面表示モードにおいて、制御回路30によって共通線Z1～Z320の電圧がどのように変化するかについて、走査線Y1～Y320における電圧変化との関連させて説明する。図10は、全画面表示モードにおける制御回路30のタイミングチャートである。

なお、全画面表示モードにおいて、表示モード選択信号CENBはHレベルに固定される。また、この図において、電圧VGHは、走査線Y1～Y320における選択電圧(Hレベル)に相当し、電圧VGLは、走査線Y1～Y320における非選択電圧(Lレベル)に相当する。

40

【0061】

ここではまず、共通線Z1および共通線Z320に注目して、全画面表示モードにおける制御回路30の動作について説明する。

1フレーム期間の開始タイミングである時刻t1において、極性信号POLをLレベルとする。すると、1、320行目の第1の単位ラッチ回路311は、Lレベルの極性信号POLを取り込んで、Lレベルのラッチ信号LAT1、LAT320を出力する。このLレベルのラッチ信号LAT1が入力されると、1行目の第1の単位表示モード回路321は、Hレベルの電圧指示信号CTRL1を1行目の第1の単位電圧選択回路331に出力する。また、Lレベルのラッチ信号LAT320が入力されると、320行目の第2の単

50

位表示モード回路 3 2 2 は、H レベルの電圧指示信号 C T R L 3 2 0 を 3 2 0 行目の第 2 の単位電圧選択回路 3 3 2 に出力する。すると、1 行目の第 1 の単位電圧選択回路 3 3 1 は、電圧 V C O M L を共通線 Z 1 に供給し、3 2 0 行目の第 2 の単位電圧選択回路 3 3 2 は、電圧 V C O M H を共通線 Z 3 2 0 に供給する。このため、時刻 t 1 において、共通線 Z 1 は電圧 V C O M L となり、共通線 Z 3 2 0 は電圧 V C O M H となる。

【 0 0 6 2 】

次に、時刻 t 1 から 1 フレーム期間経過して、次の 1 フレーム期間の開始タイミングである時刻 t 4 に至ったときに、極性信号 P O L を反転させて H レベルとする。すると、1、3 2 0 行目のそれぞれに対応して設けられた第 1 の単位ラッチ回路 3 1 1 は、H レベルの極性信号 P O L を取り込んで、H レベルのラッチ信号 L A T 1、L A T 3 2 0 を出力する。この H レベルのラッチ信号 L A T 1 が入力されると、1 行目の第 1 の単位表示モード回路 3 2 1 は、L レベルの電圧指示信号 C T R L 1 を 1 行目の第 1 の単位電圧選択回路 3 3 1 に出力する。また、H レベルのラッチ信号 L A T 3 2 0 が入力されると、3 2 0 行目の第 2 の単位表示モード回路 3 2 2 は、L レベルの電圧指示信号 C T R L 3 2 0 を 3 2 0 行目の第 2 の単位電圧選択回路 3 3 2 に出力する。すると、1 行目の第 1 の単位電圧選択回路 3 3 1 は、電圧 V C O M H を共通線 Z 1 に供給し、3 2 0 行目の第 2 の単位電圧選択回路 3 3 2 は、電圧 V C O M L を共通線 Z 3 2 0 に供給する。このため、時刻 t 4 において、共通線 Z 1 は電圧 V C O M H となり、共通線 Z 3 2 0 は電圧 V C O M L となる。

【 0 0 6 3 】

そして、時刻 t 4 からさらに 1 フレーム期間経過して、次の 1 フレーム期間の開始タイミングである時刻 t 7 に至ったときに、極性信号 P O L を再反転させて L レベルに戻す。すると、時刻 t 1 と同様に、走査線 Y 1 に対応して設けられた第 1 の単位電圧選択回路 3 3 1 は、電圧 V C O M L を共通線 Z 1 に供給し、走査線 Y 3 2 0 に対応して設けられた第 2 の単位電圧選択回路 3 3 2 は、電圧 V C O M H を共通線 Z 3 2 0 に供給する。このため、時刻 t 7 において、共通線 Z 1 は電圧 V C O M L となり、共通線 Z 3 2 0 は電圧 V C O M H となる。

【 0 0 6 4 】

次に、共通線 Z 2 に注目して、制御回路 3 0 の動作について説明する。

時刻 t 1 から 1 水平走査期間経過した時刻 t 2 に至ると、走査線駆動回路 1 0 は、走査線 Y 1 に選択電圧を供給して、電圧 V G H とする。

ここで、2 行目の第 2 の単位ラッチ回路 3 1 2 からみれば、1 つ上の行の走査線 Y 1 に選択電圧が印加されたことになるので、当該 2 行目の第 2 の単位ラッチ回路 3 1 2 は、L レベルの極性信号 P O L を取り込んで、L レベルのラッチ信号 L A T 2 を出力する。この L レベルのラッチ信号 L A T 2 が入力されると、2 行目の第 2 の単位表示モード回路 3 2 2 は、H レベルの電圧指示信号 C T R L 2 を 2 行目の第 2 の単位電圧選択回路 3 3 2 に出力する。すると、2 行目の第 2 の単位電圧選択回路 3 3 2 は、電圧 V C O M H を共通線 Z 2 に供給する。このため、共通線 Z 2 の電圧は、時刻 t 2 において電圧 V C O M H となる。

【 0 0 6 5 】

なお、時刻 t 2 から 1 水平走査期間経過して時刻 t 3 に至ると、走査線 Y 1 が電圧 V G L となり、走査線 Y 2 が電圧 V G H となり、走査線 Y 1、Y 3 がいずれも非選択電圧になる。このため、2 行目の第 2 の単位ラッチ回路 3 1 2 からみれば、1 つ上の行の走査線 Y 1 と 1 つ下の行の走査線 Y 3 との両方が非選択電圧となるので、当該 2 行目の第 2 の単位ラッチ回路 3 1 2 は、L レベルのラッチ信号 L A T 2 を保持・出力することになり、共通線 Z 2 は電圧 V C O M H に保持される。

時刻 t 3 から 1 水平走査期間経過すると、走査線 Y 2 が電圧 V G L となり、走査線 Y 3 が電圧 V G H となる。このため、2 行目の第 2 の単位ラッチ回路 3 1 2 からみれば、1 つ下の行の走査線 Y 3 に選択電圧が印加されたことになるので、当該 2 行目の第 2 の単位ラッチ回路 3 1 2 は、L レベルの極性信号 P O L を再度取り込んで、L レベルのラッチ信号 L A T 2 を出力する。このため、共通線 Z 2 の電圧 V C O M H となる。

走査線 Y 3 が電圧 V G H となってから 1 水平走査期間結果すると、走査線 Y 3 が電圧 V G L となる。このとき、走査線 Y 1 は、すでに時刻 t 3 において電圧 V G L になっている。このため、2 行目の第 2 の単位ラッチ回路 3 1 2 からみれば、走査線 Y 2 が電圧 V G H となったとき同様に、L レベルのラッチ信号 L A T 2 を保持・出力することになり、共通線 Z 2 は電圧 V C O M H に保持されることになる。

【 0 0 6 6 】

次フレーム期間において、走査線駆動回路 1 0 が走査線 Y 1 に選択電圧を供給して、走査線 Y 1 の電圧を電圧 V G H とする時刻 t 5 では、2 行目の第 2 の単位ラッチ回路 3 1 2 は、H レベルの極性信号 P O L を取り込んで、H レベルのラッチ信号 L A T 2 を出力する。この H レベルのラッチ信号 L A T 2 が入力されると、2 行目の単位表示モード回路 3 2 2 は、L レベルの電圧指示信号 C T R L 2 を 2 行目の第 2 の単位電圧選択回路 3 3 2 に出力する。すると、走査線 Y 2 に対応して設けられた第 2 の単位電圧選択回路 3 3 2 は、電圧 V C O M L を共通線 Z 2 に供給する。このため、時刻 t 5 において、共通線 Z 2 は電圧 V C O M H から電圧 V C O M L に切り替わる。

電圧 V C O M L に切り替わると、次々のフレーム期間において走査線 Y 1 が再び選択電圧である V G H となるまで、共通線 Z 2 は電圧 V C O M L に保持される。

【 0 0 6 7 】

次に、共通線 Z 3 に注目して、制御回路 3 0 の動作について説明する。

時刻 t 3 において、走査線 Y 2 が電圧 V G H になると、3 行目の第 2 の単位ラッチ回路 3 1 2 からみれば、1 つ上の行の走査線 Y 2 に選択電圧が印加されたことになるので、当該 3 行目の第 2 の単位ラッチ回路 3 1 2 は、L レベルの極性信号 P O L を取り込んで、L レベルのラッチ信号 L A T 3 を出力する。この L レベルのラッチ信号 L A T 3 が入力されると、3 行目の第 1 の単位表示モード回路 3 2 1 は、H レベルの電圧指示信号 C T R L 3 を 3 行目の第 1 の単位電圧選択回路 3 3 1 に出力する。すると、3 行目の第 1 の単位電圧選択回路 3 3 1 は、電圧 V C O M L を共通線 Z 3 に供給する。このため、共通線 Z 3 は、時刻 t 3 において、電圧 V C O M L となる。なお、共通線 Z 3 は、次のフレーム期間の時刻 t 6 において走査線 Y 2 が再び電圧 V G H となるまで、電圧 V C O M L に保持されることになる。

【 0 0 6 8 】

次フレーム期間の時刻 t 6 において、走査線 Y 2 が再び電圧 V G H になると、3 行目の第 2 の単位ラッチ回路 3 1 2 は、H レベルの極性信号 P O L を取り込んで、H レベルのラッチ信号 L A T 3 を出力する。この H レベルのラッチ信号 L A T 3 が入力されると、3 行目の第 1 の単位表示モード回路 3 2 1 は、L レベルの電圧指示信号 C T R L 3 を 3 行目の第 1 の単位電圧選択回路 3 3 1 に出力する。すると、3 行目の第 1 の単位電圧選択回路 3 3 1 は、電圧 V C O M H を共通線 Z 3 に供給する。このため、時刻 t 6 において、共通線 Z 3 は、電圧 V C O M L から電圧 V C O M H に切り替わる。電圧 V C O M H に切り替わると、次々のフレーム期間において走査線 Y 1 が再び選択電圧である V G H となるまで、共通線 Z 3 は電圧 V C O M H に保持される。

【 0 0 6 9 】

ここで、共通線 Z 1 ~ Z 3 2 0 のうち、すでに説明した共通線 Z 1、Z 3 を除く奇数行目の共通線 Z (g) (g は、5 g 3 1 9 を満たす奇数) についての制御回路 3 0 の動作を説明する。

制御回路 3 0 は、走査線 Y 2 に選択電圧が供給されるのに同期して共通線 Z 3 に電圧 V C O M H を供給した場合、同一の 1 フレーム期間において、走査線 Y (g - 1) に選択電圧が供給されるのに同期して、共通線 Z (g) に電圧 V C O M H を供給し、以降、次のフレームの期間において走査線 Y (g - 1) に選択電圧が再び供給されるまで、共通線 Z (g) を当該電圧 V C O M L に保持する。

一方、制御回路 3 0 は、走査線 Y 2 に選択電圧が供給されるのに同期して共通線 Z 3 に電圧 V C O M L を供給した場合、同一の 1 フレーム期間において、走査線 Y (g - 1) に選択電圧が供給されるのに同期して、共通線 Z (g) に電圧 V C O M L を供給し、以降、

10

20

30

40

50

次のフレームの期間において走査線 $Y(g-1)$ に選択電圧が再び供給されるまで、共通線 $Z(g)$ を当該電圧 V_{COMH} に保持する。

【0070】

次に、共通線 $Z1 \sim Z320$ のうち、すでに説明した共通線 $Z2$ 、 $Z320$ を除く偶数行目の共通線 $Z(h)$ (h は、 $4 \leq h \leq 318$ を満たす偶数) についての制御回路 30 の動作を説明する。

制御回路 30 は、走査線 $Y1$ に選択電圧が供給されるのに同期して共通線 $Z2$ に電圧 V_{COMH} を供給した場合、同一の 1 フレーム期間において、共通線 $Z(h)$ に、走査線 $Y(h-1)$ に選択電圧が供給されるのに同期して、電圧 V_{COMH} を供給し、以降、次のフレームの期間において走査線 $Y(h-1)$ に選択電圧が再び供給されるまで、共通線 $Z(h)$ を当該電圧 V_{COMH} に保持する。

10

一方、制御回路 30 は、走査線 $Y1$ に選択電圧が供給されるのに同期して共通線 $Z2$ に電圧 V_{COML} を供給した場合、同一の 1 フレーム期間において、走査線 $Y(h-1)$ に選択電圧が供給されるのに同期して、共通線 $Z(h)$ に電圧 V_{COML} を供給し、以降、次のフレームの期間において走査線 $Y(h-1)$ に選択電圧が再び供給されるまで、共通線 $Z(g)$ を当該電圧 V_{COMH} に保持する。

すなわち、共通線は、対応する走査線に選択電圧が印加されるタイミングよりも前 (1 水平走査期間前) に、電圧 V_{COMH} または電圧 V_{COML} の一方から他方へと切り替わる構成となっている。

【0071】

20

次に、このような制御回路 30 を有する液晶装置 1 の全画面表示モードにおける動作について説明する。全画面モードにおいて、図 11 は、正極性書込時の各部電圧の波形を示す図であり、図 12 は、負極性書込時の各部電圧の波形を示す図である。

図 11 および図 12 において、 $GATE(i)$ は、 i 行目 (i は、 $1 \leq i \leq 320$ を満たす整数) の走査線 $Y(i)$ の電圧であり、 $SOURCE(j)$ は、 j 列目 (j は、 $1 \leq j \leq 240$ を満たす整数) のデータ線 $X(j)$ の電圧である。また、 $PIX(i, j)$ は、 i 行目の走査線 $Y(i)$ と、 j 列目のデータ線 $X(j)$ との交差に対応して設けられた i 行 j 列の画素 50 が備える画素電極 55 の電圧である。また、 $V_{COM}(i)$ は、 i 行目の共通線 $Z(i)$ の電圧である。

【0072】

30

まず、図 11 を用いて、全画面表示モードにおける正極性書込時の動作について説明する。

正極性書込が実行される場合、 i 行目の走査線 $Y(i)$ の電圧 $GATE(i)$ を選択電圧 V_{GH} とする前の時刻 t_{11} において、制御回路 30 は、共通線 $Z(i)$ に電圧 V_{COML} を供給する。このため、共通線 $Z(i)$ の電圧 $V_{COM}(i)$ は、徐々に電圧 V_{COMH} から徐々に低下し、時刻 t_{12} において電圧 V_{COML} となる。

ここで、時刻 t_{11} では、走査線 $Y(i)$ の電圧 $GATE(i)$ は非選択電圧 V_{GL} であり、 $TFT51$ がオフであるので、 j 列目のデータ線 $X(j)$ と i 行 j 列の画素 50 が備える画素電極 55 とは、互いに非接続状態にある。また、 i 行 j 列の画素 50 が備える画素電極 55 と、共通線 $Z(i)$ たる共通電極 56 との間には、蓄積容量 53 および画素容量 54 によって容量結合が生じている。

40

このため、 i 行 j 列の画素 50 が備える画素電極 55 の電圧 $PIX(i, j)$ は、電圧 $V_{COM}(i)$ と電圧 $PIX(i, j)$ との電位差を保つように低下して、時刻 t_{12} では電圧 V_{P1} となる。

【0073】

次に、時刻 t_{13} において、走査線駆動回路 10 により、走査線 $Y(i)$ に選択電圧が供給される。このため、走査線 $Y(i)$ の電圧 $GATE(i)$ は、上昇して、時刻 t_{14} において電圧 V_{GH} となる。これにより、走査線 $Y(i)$ にゲートが接続された $TFT51$ が全てオン状態となる。

走査線 $Y(i)$ の電圧 $GATE(i)$ が選択電圧 V_{GH} である時刻 t_{15} において、デ

50

ータ線駆動回路20が、データ線X(j)に正極性の画像信号を供給する。すると、データ線Xjの電圧SOURCE(j)は、上昇して、時刻t16において電圧VP3となる。

データ線X(j)の電圧SOURCE(j)は、正極性の画像信号に基づく画像電圧として、走査線Y(i)にゲート接続されたオン状態のTFT51を介し、i行j列の画素50が備える画素電極55に書き込まれる。このため、i行j列の画素50が備える画素電極55の電圧PIX(i,j)は、上昇して、時刻t16では、データ線X(j)の電圧SOURCE(j)と同電位である電圧VP3となる。

【0074】

時刻t17において、走査線駆動回路10により、走査線Y(i)に印加される電圧が選択電圧から非選択電圧に切り替わる。すると、走査線Y(i)の電圧GATE(i)は、低下して、時刻t18では電圧VGLとなる。これにより、走査線Y(i)にゲートが接続されたTFT51が全てオフ状態となる。

なお、TFT51がオフ状態になっても、画素容量54は、自身および蓄積容量53の容量性によって、画素電極55に書き込まれた電圧PIX(i,j)と共通線(i)の電圧VCOM(i)との差電圧を保持することになる。

【0075】

次に、図12を用いて、全画面表示モードにおける負極性書込時の動作について説明する。

負極性書込が実行される場合、i行目の走査線Y(i)の電圧GATE(i)を選択電圧VGHとする前の時刻t21において、制御回路30は、共通線Z(i)に電圧VCOMHを供給する。このため、共通線Z(i)の電圧VCOM(i)は、徐々に電圧VCOMHから上昇して、時刻t22において電圧VCOMHとなる。

ここで、時刻t21では、走査線Y(i)の電圧GATE(i)は非選択電圧VGLであり、TFT51がオフであるので、j列目のデータ線X(j)とi行j列の画素50が備える画素電極55とは、互いに非接続状態にある。また、i行j列の画素50が備える画素電極55と、共通線Ziたる共通電極56との間には、容量結合が生じている。

このため、i行j列の画素50が備える画素電極55の電圧PIX(i,j)は、電圧VCOM(i)と電圧PIX(i,j)との電位差を保つように上昇して、時刻t22では電圧VP6となる。

【0076】

時刻t23において、走査線駆動回路10により、走査線Y(i)に印加される電圧が非選択電圧から選択電圧に切り替わる。すると、走査線Y(i)の電圧GATE(i)は、上昇して、時刻t24では電圧VGHとなる。これにより、走査線Y(i)にゲートが接続されたTFT51が全てオン状態となる。

走査線Y(i)の電圧GATE(i)が選択電圧VGHである時刻t25において、データ線駆動回路20が、データ線X(j)に負極性の画像信号を供給する。すると、データ線X(j)の電圧SOURCE(j)は、低下して、時刻t26では電圧VP4となる。

。

データ線X(j)の電圧SOURCE(j)は、負極性の画像信号に基づく画像電圧として、走査線Y(i)にゲートが接続されたオン状態のTFT51を介し、i行j列の画素50が備える画素電極55に書き込まれる。このため、i行j列の画素50が備える画素電極55の電圧PIX(i,j)は、低下して、時刻t26では、データ線X(j)の電圧SOURCE(j)と同電位である電圧VP4となる。

【0077】

時刻t27において、走査線駆動回路10により、走査線Y(i)に印加される電圧が選択電圧から非選択電圧に切り替わる。すると、走査線Y(i)の電圧GATE(i)は、低下して、時刻t28では電圧VGLとなる。これにより、走査線Y(i)にゲートが接続されたTFT51が全てオフ状態となる。

なお、TFT51がオフ状態になっても、画素容量54は、自身および蓄積容量53の

容量性によって、画素電極 55 に書き込まれた電圧 $PIX(i, j)$ と共通線 (i) の電圧 $VCOM(i)$ との差電圧を保持することになる。

【0078】

次に、部分表示モードにおける制御回路 30 の動作について説明する。図 13 は、部分表示モードにおける制御回路 30 の動作を示す図であって、走査線の選択に対して共通線の電圧がどのように変化するかを示す図である。

なお、部分表示モードにおいて、表示モード選択信号 $CENB$ は、非表示領域 82 の開始行よりも 1 行前の走査線に選択電圧が印加される期間途中から、非表示領域 82 の最終行目の走査線に選択電圧が印加される期間の終了までにわたって L レベルとなり、他の期間では H レベルとなる。第 1 実施形態では、表示領域 81 に係る画素 50 を 1 ~ 25 行目とし、非表示領域 82 に係る画素 50 を 26 ~ 320 行目としているので、表示モード選択信号 $CENB$ は、図 13 に示されるように、時刻 $t35$ から $t37$ までの期間、および、時刻 $t41$ ~ $t43$ までの期間にわたって L レベルとなる。

なお、表示モード選択信号 $CENB$ については、非表示領域 82 の開始行の走査線に選択電圧が印加される期間から、 L レベルに変化する構成としても良い。

【0079】

まず、共通線 $Z1$ に注目して、部分表示表示モードにおける制御回路 30 の動作について説明する。

1 フレーム期間の開始タイミングである時刻 $t31$ において、極性信号 POL を L レベルとする。時刻 $t31$ では、表示モード選択信号 $CENB$ が H レベルなので、図 10 の時刻 $t1$ と同様に、1 行目の第 1 の単位電圧選択回路 331 は、電圧 $VCOML$ を共通線 $Z1$ に供給する。このため、共通線 $Z1$ は電圧 $VCOML$ となる。

時刻 $t35$ において、表示モード選択信号 $CENB$ が L レベルになると、1 行目の第 1 の単位表示モード回路 321 は、 H レベルの電圧指示信号 $CTRL1$ を 1 行目の第 1 の単位電圧選択回路 331 に出力するので、当該 1 行目の第 1 の単位電圧選択回路 331 は、所定の電圧としての電圧 $VCOML$ を共通線 $Z1$ に供給する。このため、共通線 $Z1$ は、電圧 $VCOML$ を維持する。

【0080】

次のフレーム期間の開始タイミングである時刻 $t37$ において、極性信号 POL を H レベルとする。ここで、時刻 $t37$ では、表示モード選択信号 $CENB$ が H レベルとなるので、図 10 の時刻 $t4$ と同様に、1 行目の第 1 の単位電圧選択回路 331 は、電圧 $VCOMH$ を共通線 $Z1$ に供給する。このため、共通線 $Z1$ は、電圧 $VCOMH$ となる。

時刻 $t41$ において、表示モード選択信号 $CENB$ が L レベルになると、1 行目の第 1 の単位表示モード回路 321 は、 H レベルの電圧指示信号 $CTRL1$ を 1 行目の第 1 の単位電圧選択回路 331 に出力するので、当該 1 行目の第 1 の単位電圧選択回路 331 は、所定の電圧としての電圧 $VCOML$ を共通線 $Z1$ に供給する。このため、共通線 $Z1$ は電圧 $VCOML$ となる。

【0081】

なお、次々のフレーム期間の開始タイミングである時刻 $t43$ において、極性信号 POL を L レベルとする。ここで、時刻 $t43$ では、表示モード選択信号 $CENB$ が H レベルとなるので、図 10 の時刻 $t7$ と同様に、1 行目の第 1 の単位電圧選択回路 331 は、電圧 $VCOML$ を共通線 $Z1$ に供給する。このため、共通線 $Z1$ は、電圧 $VCOML$ を維持する。

【0082】

次に、共通線 $Z2$ に注目して、制御回路 30 の動作について説明する。

時刻 $t31$ から 1 水平走査期間経過した時刻 $t32$ に至ると、走査線駆動回路 10 は、走査線 $Y1$ に選択電圧を供給して、電圧 VGH とする。ここで、時刻 $t32$ では、表示モード選択信号 $CENB$ が H レベルなので、図 10 の時刻 $t2$ と同様に、2 行目の第 2 の単位電圧選択回路 332 は、電圧 $VCOMH$ を共通線 $Z2$ に供給する。このため、共通線 $Z2$ は電圧 $VCOMH$ となる。

時刻 t_{35} において、表示モード選択信号 $CENB$ が L レベルになると、2 行目の第 2 の単位表示モード回路 322 は、 L レベルの電圧指示信号 $CTRL2$ を 2 行目の第 2 の単位電圧選択回路 332 に出力するので、当該 2 行目の第 2 の単位電圧選択回路 332 は、所定の電圧としての電圧 $VCOML$ を共通線 $Z2$ に供給する。このため、共通線 $Z2$ は電圧 $VCOML$ となる。

【0083】

次のフレーム期間の時刻 t_{38} において、走査線 $Y1$ の電圧が電圧 VGH になると、この時刻 t_{38} では、表示モード選択信号 $CENB$ が H レベルなので、図 10 の時刻 t_5 と同様に、2 行目の第 2 の単位電圧選択回路 332 は、電圧 $VCOML$ を共通線 $Z2$ に供給する。このため、共通線 $Z2$ は電圧 $VCOML$ を維持する。

10

時刻 t_{41} において、表示モード選択信号 $CENB$ が L レベルになると、2 行目の第 2 の単位表示モード回路 322 は、 L レベルの電圧指示信号 $CTRL2$ を 2 行目の第 2 の単位電圧選択回路 332 に出力するので、当該 2 行目の第 2 の単位電圧選択回路 332 は、所定の電圧としての電圧 $VCOML$ を共通線 $Z2$ に供給する。このため、共通線 $Z2$ は電圧 $VCOML$ を維持する。

【0084】

次に、共通線 $Z3$ に注目して、制御回路 30 の動作について説明する。

時刻 t_{32} から 1 水平走査期間経過した時刻 t_{33} に至ると、走査線駆動回路 10 は、走査線 $Y2$ に選択電圧を供給して、電圧 VGH とする。ここで、時刻 t_{33} では、表示モード選択信号 $CENB$ が H レベルなので、図 10 の時刻 t_3 と同様に、電圧 $VCOML$ を共通線 $Z3$ に供給する。このため、共通線 $Z3$ は電圧 $VCOML$ となる。

20

時刻 t_{35} において、表示モード選択信号 $CENB$ が L レベルになると、3 行目の第 1 の単位表示モード回路 321 は、 H レベルの電圧指示信号 $CTRL3$ を 3 行目の第 1 の単位電圧選択回路 331 に出力するので、当該 3 行目の第 1 の単位電圧選択回路 331 は、所定の電圧としての電圧 $VCOML$ を共通線 $Z3$ に供給する。このため、共通線 $Z3$ は電圧 $VCOML$ を維持する。

次のフレーム期間の時刻 t_{39} において、走査線 $Y2$ の電圧が電圧 VGH になると、この時刻 t_{39} では、表示モード選択信号 $CENB$ が H レベルなので、図 10 の時刻 t_6 と同様に、3 行目の第 1 の単位電圧選択回路 331 は、電圧 $VCOMH$ を共通線 $Z3$ に供給する。このため、共通線 $Z3$ は電圧 $VCOMH$ となる。

30

時刻 t_{41} において、表示モード選択信号 $CENB$ が L レベルになると、3 行目の第 1 の単位表示モード回路 321 は、 H レベルの電圧指示信号 $CTRL3$ を 3 行目の第 1 の単位電圧選択回路 331 に出力するので、当該 3 行目の第 1 の単位電圧選択回路 331 は、所定の電圧としての電圧 $VCOML$ を共通線 $Z3$ に供給する。このため、共通線 $Z3$ は電圧 $VCOML$ となる。

【0085】

次に、表示領域 81 に係る 1 ~ 25 行目に対応した共通線 $Z1 \sim Z25$ のうち、すでに説明した共通線 $Z1$ 、 $Z3$ を除く奇数行目の共通線 $Z(k)$ (k は、5 $\leq k \leq 25$ を満たす奇数) についての制御回路 30 の動作を説明する。

制御回路 30 は、走査線 $Y2$ への選択電圧の供給に同期して共通線 $Z3$ に電圧 $VCOMH$ を供給した場合、同一の 1 フレーム期間において、共通線 $Z(k)$ に、走査線 $Y(k-1)$ への選択電圧の供給に同期して、電圧 $VCOMH$ を供給する。一方、制御回路 30 は、走査線 $Y2$ への選択電圧の供給に同期して共通線 $Z3$ に電圧 $VCOML$ を供給した場合、同一の 1 フレーム期間において、共通線 Zk に、走査線 $Y(k-1)$ への選択電圧の供給に同期して、電圧 $VCOML$ を供給する。なお、制御回路 30 は、表示モード選択信号 $CENB$ が L レベルになるのに同期して、共通線 $Z(k)$ に所定の電圧としての電圧 $VCOML$ を供給する。

40

【0086】

続いて、表示領域 81 に係る 1 ~ 25 行目に対応した共通線 $Z1 \sim Z25$ のうち、すでに説明した共通線 $Z2$ を除く偶数行目の共通線 $Z(m)$ (m は、4 $\leq m \leq 24$ を満たす偶

50

数)についての制御回路30の動作を説明する。

制御回路30は、走査線Y1への選択電圧の供給に同期して共通線Z2に電圧VCOMHを供給した場合、同一の1フレーム期間において、共通線Z(m)に、走査線Y(m-1)への選択電圧の供給に同期して、電圧VCOMHを供給する。一方、制御回路30は、走査線Y1への選択電圧の供給に同期して共通線Z2に電圧VCOMLを供給した場合、同一の1フレーム期間において、共通線Z(m)に、走査線Y(m-1)への選択電圧の供給に同期して、電圧VCOMLを供給する。なお、制御回路30は、表示モード選択信号CENBがLレベルになるのに同期して、共通線Z(m)に所定の電圧としての電圧VCOMLを供給する。

【0087】

10

次に、非表示領域82に係る26~320行目に対応した共通線Z26~Z320に対する制御回路30の動作を説明する。

まず、非表示領域82において、最も上に位置する26行目の共通線Z26に対する制御回路30の動作を説明するが、この動作は、上述した表示領域81における偶数行の共通線Z(m)に対する動作と同様である。すなわち、制御回路30は、走査線Y1への選択電圧の供給に同期して共通線Z2に電圧VCOMHを供給した場合、同一の1フレーム期間において、共通線Z26に、走査線Y25への選択電圧の供給に同期して、電圧VCOMHを供給する一方、走査線Y1への選択電圧の供給に同期して共通線Z2に電圧VCOMLを供給した場合、同一の1フレーム期間において、共通線Z26に、走査線Y25への選択電圧の供給に同期して、電圧VCOMLを供給する。なお、制御回路30は、表示モード選択信号CENBがLレベルになるのに同期して、共通線Z26に所定の電圧としての電圧VCOMLを供給する。

20

【0088】

続いて、非表示領域82において、最も上に位置する26行目以外の27~320行目の共通線Z27~Z320に対する制御回路30の動作について、共通線Z(n)(nは、27~320を満たす整数)で一般化して説明する。

走査線Y(n-1)に選択電圧が供給される時刻と、走査線Y(n+1)に選択電圧が供給される時刻とにおいて、表示モード選択信号CENBは、ともにLレベルであるので、制御回路30は、共通線Z(n)に、電圧VCOMLを供給し続ける。

【0089】

30

次に、液晶装置1の部分表示モードにおける動作について説明する。

液晶装置1の部分表示モードにおいて、表示領域81に係る1行目~25行の画素50に対して電圧書込を行う場合に、図14は、正極性書込時の各部電圧の波形を示す図であり、図15は、負極性書込時の各部電圧の波形を示す図である。図16および図17は、それぞれ部分表示モードにおいて、非表示領域82で最も上に位置する26行の画素50に対して電圧書込を行う場合の各部電圧の波形を示す図である。また、図18は、部分表示モードにおいて、非表示領域に係る25~320行目のうち、26行目を除く行の画素50に対して電圧書込を行う場合の各部電圧の波形を示す図である。

図14~図18において、GATE(p)は、p行目(pは、1~320を満たす整数)の走査線Y(p)の電圧であり、SOURCE(q)は、q列目(qは、1~240を満たす整数)のデータ線X(q)の電圧である。また、PIX(p,q)は、p行目の走査線Y(p)と、q列目のデータ線X(q)との交差に対応して設けられたp行q列の画素50が備える画素電極55の電圧である。また、VCOM(p)は、p行目の共通線Z(p)の電圧である。

40

【0090】

まず、図14を用い、部分表示モードにおいて、表示領域81に係る1~25行目の画素50に対する正極性書込時の動作について説明する。

時刻t51からt58までの期間では、図11に示した時刻t11からt18までの期間と同様に動作するので、その説明は省略する。図14において時刻t59は、時刻t51から時刻t58までの期間と同一の1フレーム期間であって、表示モード選択信号CE

50

N B が L レベルとなるタイミングである。

時刻 t_{59} において、表示モード選択信号 $CENB$ が L レベルになると、制御回路 30 は、所定の電圧としての電圧 V_{COML} を共通線 $Z(p)$ に供給する。ここで、共通線 $Z(p)$ の電圧は、時刻 t_{51} から t_{58} までの期間でも、電圧 V_{COML} なので、引き続き電圧 V_{COML} に維持されることになる。

なお、時刻 t_{59} では、走査線 $Y(p)$ に選択電圧が供給されていないので、 q 列目のデータ線 $X(q)$ と p 行 q 列の画素 50 が備える画素電極 55 とは、互いに非接続状態である。また、 p 行 q 列の画素 50 が備える画素電極 55 と、共通線 $Z(p)$ との間には、容量結合が生じている。このため、 p 行 q 列の画素 50 が備える画素電極 55 の電圧 $PIX(p, q)$ は、電圧 $V_{COM}(p)$ と電圧 $PIX(p, q)$ との電位差を保つために電圧 $VP3$ を維持する。

【0091】

次に、図 15 を用いて、部分表示モードにおいて、表示領域 81 に係る 1 ~ 25 行目の画素 50 に対する負極性書込時の動作について説明する。

時刻 t_{61} から t_{68} までの期間では、図 12 に示した時刻 t_{21} から t_{28} までの期間と同様に動作するので、その説明は省略する。図 15 において時刻 t_{69} は、時刻 t_{61} から時刻 t_{68} までの期間と同一の 1 フレーム期間であって、表示モード選択信号 $CENB$ が L レベルとなるタイミングである。

時刻 t_{69} において、表示モード選択信号 $CENB$ が L レベルになると、制御回路 30 は、所定の電圧としての電圧 V_{COML} を共通線 $Z(p)$ に供給する。このため、共通線 $Z(p)$ の電圧 $V_{COM}(p)$ は、低下して、時刻 t_{70} において電圧 V_{COML} となる。

時刻 t_{69} では、走査線 $Y(p)$ に選択電圧が供給されていないので、 q 列目のデータ線 $X(q)$ と p 行 q 列の画素 50 が備える画素電極 55 とは、互いに非接続状態である。また、 p 行 q 列の画素 50 が備える画素電極 55 と、共通線 $Z(p)$ との間には、容量結合が生じている。このため、 p 行 q 列の画素 50 が備える画素電極 55 の電圧 $PIX(p, q)$ は、電圧 $V_{COM}(p)$ と電圧 $PIX(p, q)$ との電位差を保つように低下して、時刻 t_{70} において電圧 $(VP4 - VC)$ となる。ここで、電圧 VC は、時刻 t_{69} から t_{70} までの期間に、共通線 $Z(p)$ の電圧 $V_{COM}(p)$ の電圧が低下した分、すなわち電圧 $(V_{COMH} - V_{COML})$ に等しい。

【0092】

続いて、液晶装置 1 の部分表示モードにおいて、非表示領域 82 に係る 26 行目 ~ 320 行目の画素 50 に対する書込動作について、26 行目の画素 50 と 27 ~ 320 行目の画素 50 とに分けて説明する。

まず、26 行目の画素 50 に対する書込動作について説明する。

図 16 は、部分表示モードにおいて、26 行目の画素 50 に対する書込動作時における各部電圧の波形を示す図であり、特に、走査線 $Y1$ への選択電圧の供給に同期して共通線 $Z2$ に電圧 V_{COML} を供給した場合と同一の 1 フレーム期間における書込を示している（第 1 のタイミング）。なお、図において時刻 t_{72} は、表示モード選択信号 $CENB$ が L レベルとなるタイミングであり、図 13 における時刻 t_{41} に相当する。

【0093】

時刻 t_{71} において、26 行目において 1 行上の走査線 $Y25$ への選択電圧の供給に同期して、制御回路 30 は、共通線 $Z26$ に電圧 V_{COML} を供給する。ここで、共通線 $Z26$ の電圧は、時刻 t_{71} より前の期間でも、電圧 V_{COML} なので、時刻 t_{71} では、共通線 $Z26$ の電圧 $V_{COM}26$ は、電圧 V_{COML} で維持される。

ここで、時刻 t_{71} では、走査線 $Y26$ に選択電圧が供給される前であるので、 q 列目のデータ線 $X(q)$ と、26 行 q 列の画素 50 が備える画素電極 55 とは、互いに非接続状態である。また、26 行 q 列の画素 50 が備える画素電極 55 と、共通線 $Z26$ との間には、容量結合が生じている。

このため、26 行 q 列の画素 50 が備える画素電極 55 の電圧 $PIX(26, q)$ は、

10

20

30

40

50

電圧 $V_{COM}(26)$ と電圧 $P_{IX}(26, q)$ との電位差を保つために、電圧 V_{COML} を維持する。

【0094】

時刻 t_{72} において、表示モード選択信号 $CENB$ が L レベルとなると、制御回路 30 は、所定の電圧としての電圧 V_{COML} を共通線 $Z26$ に供給する。ここで、共通線 $Z26$ は、時刻 t_{71} から t_{72} の期間でも、電圧 V_{COML} なので、時刻 t_{72} では、変化せず、電圧 V_{COML} を維持することになる。

時刻 t_{72} では、走査線 $Y26$ に選択電圧が供給される前であるので、 q 列目のデータ線 $X(q)$ と 26 行 q 列の画素 50 が備える画素電極 55 とは、互いに非接続接続にある。また、26 行 q 列の画素 50 が備える画素電極 55 と、共通線 $Z26$ との間には、容量結合が生じている。このため、26 行 q 列の画素 50 が備える画素電極 55 の電圧 $P_{IX}(26, q)$ は、電圧 $V_{COM}(26)$ と電圧 $P_{IX}(26, q)$ との電位差を保つために、電圧 V_{COML} を維持する。

【0095】

時刻 t_{73} において、走査線駆動回路 10 が、走査線 $Y26$ に選択電圧を供給すると、走査線 $Y26$ の電圧 $GATE26$ は、上昇して、時刻 t_{74} では電圧 V_{GH} となる。これにより、走査線 $Y26$ に接続された $TFT51$ が全てオン状態となる。

一方、時刻 t_{75} において、パシカル回路 40 が、所定の電圧としての電圧 V_{COML} をデータ線 $X(q)$ に供給する。すると、データ線 $X(q)$ の電圧 $SOURCE(q)$ は、電圧 V_{COML} となる。

データ線 $X(q)$ の電圧 $SOURCE(q)$ は、走査線 $Y26$ に接続されたオン状態の $TFT51$ を介して、26 行 q 列の画素 50 が備える画素電極 55 に書き込まれる。このため、26 行 q 列の画素 50 が備える画素電極 55 の電圧 $P_{IX}(26, q)$ は、データ線 $X(q)$ の電圧 $SOURCE(q)$ と同電位である電圧 V_{COML} となる。

ここで、共通電極 $Z26$ の電圧 V_{COM26} は、電圧 V_{COML} であるので、画素容量 54 における画素電極 55 および共通電極 56 の差電圧はゼロである。このため、26 行 q 列の画素 50 は、ノーマリーブラックモードのオフである黒表示となる。

【0096】

時刻 t_{76} において、走査線駆動回路 10 により、走査線 $Y26$ に印加される電圧が選択電圧から非選択電圧に切り替わる。すると、走査線 $Y26$ の電圧 $GATE26$ は、低下して、時刻 t_{77} において電圧 V_{GL} となる。これにより、走査線 $Y26$ にゲートが接続された $TFT51$ が全てオフ状態となる。

なお、 $TFT51$ がオフ状態になっても、画素容量 54 は、自身および蓄積容量 53 の容量性によって差電圧ゼロを保持することになる。

【0097】

図 17 は、部分表示モードにおいて、26 行目の画素 50 に対する書込動作時における各部電圧の波形を示す図であり、特に、走査線 $Y1$ への選択電圧の供給に同期して共通線 $Z2$ に電圧 V_{COMH} を供給した場合と同一の 1 フレーム期間における書込を示している（第 2 のタイミング）。なお、図において時刻 t_{83} は、表示モード選択信号 $CENB$ が L レベルとなるタイミングであり、図 13 における時刻 t_{35} に相当する。

時刻 t_{81} において、走査線 $Y25$ への選択電圧の供給に同期して、制御回路 30 は、共通線 $Z26$ に電圧 V_{COMH} を供給すると、共通線 $Z26$ の電圧 V_{COM26} は、徐々に上昇して、時刻 t_{82} において電圧 V_{COMH} となる。

ここで、時刻 t_{81} では、走査線 $Y26$ に選択電圧が供給される前であるので、 q 列目のデータ線 $X(q)$ と、26 行 q 列の画素 50 が備える画素電極 55 とは、互いに非接続状態にある。また、26 行 q 列の画素 50 が備える画素電極 55 と、共通線 $Z26$ との間には、容量結合が生じている。このため、26 行 q 列の画素 50 が備える画素電極 55 の電圧 $P_{IX}(26, q)$ は、電圧 $V_{COM}(26)$ と電圧 $P_{IX}(26, q)$ との電位差（ゼロ）を保つように上昇して、時刻 t_{82} において電圧 V_{COMH} となる。

【0098】

時刻 t_{83} において、表示モード選択信号 $CENB$ が L レベルになると、制御回路 30 は、所定の電圧としての電圧 V_{COML} を共通線 Z_{26} に供給する。このため、共通線 Z_{26} の電圧 V_{COM26} は、徐々に低下して、時刻 t_{84} において電圧 V_{COML} となる。

ここで、時刻 t_{83} では、走査線 Y_{26} に選択電圧が供給される前であるので、 q 列目のデータ線 $X(q)$ と、 26 行 q 列の画素 50 が備える画素電極 55 とは、互いに非接続状態にある。また、 26 行 q 列の画素 50 が備える画素電極 55 と、共通線 Z_{26} との間には、容量結合が生じている。このため、 26 行 q 列の画素 50 が備える画素電極 55 の電圧 $P_{IX}(26, q)$ は、電圧 $V_{COM}(26)$ と電圧 $P_{IX}(26, q)$ との電位差（ゼロ）を保つように低下して、時刻 t_{84} において電圧 V_{COML} となる。

10

なお、図 17 における時刻 t_{85} から t_{89} までの期間では、図 16 に示した時刻 t_{73} から t_{77} までの期間と同様に動作する。

【0099】

次に、 $27 \sim 320$ 行目の画素 50 に対する書込動作について説明する。

図 18 は、部分表示モードにおいて、 $27 \sim 320$ 行目の画素 50 に対する書込動作を示す図である。部分表示モードにおいて、 $27 \sim 320$ 行目の共通線 $Z_{27} \sim Z_{320}$ は、極性信号 POL の論理レベルと無関係に電圧 V_{COML} に保持される。 $27 \sim 320$ 行目の走査線に順番に選択電圧になったとき、パシカル回路 40 は、共通線と同じ電圧 V_{COML} をそれぞれ $1 \sim 240$ 列のデータ線に供給するので、当該非表示領域に係る $27 \sim 320$ 行目の画素 50 において、画素容量 54 の差電圧はゼロに保持されて、ノーマリ

20

ーブラックモードのオフである黒表示となる。

すなわち、図 18 において時刻 t_{91} から t_{97} までの期間では、図 16 に示した時刻 t_{71} から t_{77} までの期間と同様に動作する。

【0100】

このような第 1 実施形態によれば、以下のような効果がある。

(1) 全画面表示モードの全行と、部分表示モードにおける表示領域 81 に係る行でみると、電圧 V_{COML} を共通線（共通電極 56）に供給した後に、正極性書込を行い、電圧 V_{COMH} を共通電極 56 に供給した後に、負極性書込を行うので、上述した従来例のように、蓄積容量 53 と画素容量 54 との間で電荷が移動しない。このため、蓄積容量 53 同士の特性が不均一になっても、同一電圧を書き込んだときに、画素電極 55 の電圧にば

30

らつきが生じにくい。このため、各画素 50 の明るさが不均一となるのが防止されて、表示品位の低下を抑制できる。

【0101】

(2) 制御回路 30 は、 320 行のそれぞれに対応して、ラッチ回路 31 が有する第 1 の単位ラッチ回路 311 または第 2 の単位ラッチ回路 312 と、表示モード回路 32 が有する第 1 の単位表示モード回路 321 または第 2 の単位表示モード回路 322 と、電圧選択回路 33 が有する第 1 の単位電圧選択回路 331 または第 2 の単位電圧選択回路 332 と、を有する。このため、各行の共通線（共通電極 56）に対し、電圧 V_{COML} または電圧 V_{COMH} を選択的に供給することができる。

さらに、各行の共通線に電圧 V_{COML} または電圧 V_{COMH} のいずれかを印加するかについては、書込極性に合わせられる。このため、上述した従来例のように、蓄積容量 53 の一方の電極に接続された容量線の電圧を、画素容量 54 における画素電極 55 や共通電極 56 とは異なる電圧に変動させる必要がない。換言すれば、本実施形態にあっては、蓄積容量 53 の一方の電極における電圧が共通電極 56 の電圧と同様に変動するので、蓄積容量 53 の一方の電極と、共通電極 56 とを一体に形成できる。また、上述したように、蓄積容量 53 の他方の電極は、画素電極 55 に接続されているので、蓄積容量 53 の他方の電極と画素電極 55 とは、同電位であり、一体に形成できる。

40

したがって、液晶を挟持する素子基板 60 および対向基板 70 のうち、素子基板 60 に、蓄積容量 53 と画素容量 54 とを一体に形成される IPS や FFS といった液晶装置に好適となる。

50

【 0 1 0 2 】

(3) 部分表示モードにおける非表示領域 8 2 の各行では、共通線 (共通電極 5 6) が所定の電圧としての電圧 V C O M L に保持された上で、走査線が選択電圧となったときに、データ線に所定の電圧としての電圧 V C O M L が供給される。すなわち、共通線を電圧 V C O M L として上で、画素電極 5 5 に電圧 V C O M L が書き込まれる。このため、共通電極 5 6 および画素電極 5 5 は、ともに電圧 V C O M L となるので、液晶には、駆動電圧が印加されない。すなわち、部分表示モードにおける非表示領域 8 2 では、液晶に駆動電圧が印加されないので、消費電力を低減できる。

【 0 1 0 3 】

(4) 1 行毎に共通電極 5 6 が分割されるとともに、全画面表示モードでは全行の共通電極に、部分表示モードでは表示領域 8 1 に係る行の共通電極に、それぞれ 1 行毎に電圧 V C O M L と電圧 V C O M H とを供給して、1 行毎に正極性書込および負極性書込を行った。このため、1 フレーム期間において正極性書込がなされた画素 5 0 と負極性書込がなされた画素 5 0 とが混在し、これらの画素 5 0 同士でフリッカを相殺させることができるので、表示品位の低下をさらに抑制できる。

【 0 1 0 4 】

< 第 1 実施形態の改良・応用 >

上述した第 1 実施形態では、次のような改良・応用が可能である。

【 0 1 0 5 】

< 所定の電圧 >

上述した第 1 実施形態では、制御回路 3 0 が、所定の電圧として電圧 V C O M L を共通線 Z 1 ~ Z 3 2 0 に供給し、パシシャル回路 4 0 が、所定の電圧として電圧 V C O M L をデータ線 X 1 ~ X 2 4 0 に供給したが、これに限らず、例えば、制御回路 3 0 が、所定の電圧として電圧 V C O M H を共通線 Z 1 ~ Z 3 2 0 に供給し、パシシャル回路 4 0 が、所定の電圧として電圧 V C O M H をデータ線に供給しても良い。

【 0 1 0 6 】

< 双方向・片方向 >

上述した第 1 実施形態では、走査線に選択電圧を Y 1、Y 2、Y 3、...、Y 3 1 9、Y 3 2 0 という順番で印加したが、表示パネル A A を回転させた場合にも対処できるように、Y 3 2 0、Y 3 1 9、Y 3 1 8、...、Y 1 というように逆の順番で印加しても良い。

走査線に選択電圧を逆の順番で印加する場合、図 5 に示したシフトレジスタ 1 1 において、ある行に対応する段の転送回路は、出力信号を 1 行上の行に対応する段の転送回路への入力信号とするとともに、開始パルス Y D を第 3 2 0 段の転送回路の入力信号とする構成となる。

なお、制御回路 3 0 については、構成について変更なくそのまま用いることができる。これは、図 7 に示したラッチ回路 3 1 において、1、3 2 0 行目を除く行に対応する第 2 の単位ラッチ回路 3 1 2 において、1 行上または 1 行下のいずれかの走査線が H レベルとなると、N O R 回路 U 1 の出力信号が L レベルとなって極性信号 P O L を取り込んでラッチ信号として出力する構成となっているためである。

逆にいえば、制御回路 3 0 において、走査線に選択電圧を印加する順序を 1 3 2 0 行目の方向と 3 2 0 1 行目の方向との双方向に対応させる必要がなく、例えば、1 3 2 0 行目の方向のみに対応すれば十分というのであれば、図 1 9 に示すように、ラッチ回路 3 1 の第 1 の単位ラッチ回路 3 1 1 および第 2 の単位ラッチ回路 3 1 2 において、N O R 回路 U 1 を省略するとともに、この省略に合わせて負論理構成の整合性をとるために、第 1 のクロックインバータ U 4 および第 2 のクロックインバータ U 5 において、図 7 と比較して反転入力端および非反転入力端の接続を入れ替えた構成とすれば良い。また、3 2 0 行目については第 2 の単位ラッチ回路 3 1 2 とする。

このような構成によれば、1 行上の走査線が H レベルとなったときに、極性信号 P O L を取り込んでラッチ信号として出力することができるので、N O R 回路 U 1 を省略する分だけ、回路構成を簡略化することができる。

【 0 1 0 7 】

< 電圧選択回路 >

図 9 に示した電圧選択回路 3 3 のうち、第 1 の単位電圧選択回路 3 3 1 におけるトランスファゲート U 2 2 の入力端子、および、第 2 の単位電圧選択回路 3 3 2 におけるトランスファゲート U 2 3 の入力端子には、それぞれ相対的に高い電圧 V C O M H が供給され、第 1 の単位電圧選択回路 3 3 1 におけるトランスファゲート U 2 3 の入力端子、および、第 2 の単位電圧選択回路 3 3 2 におけるトランスファゲート U 2 2 の入力端子には、それぞれ相対的に低い電圧 V C O M L が供給されている。

本実施形態において、トランスファゲート U 2 2、U 2 3 は、反転制御入力端子および非反転制御入力端子の論理レベルでオンオフ制御されることから明らかなように、p チャンネル型トランジスタと n チャンネル型トランジスタとを並列接続した構成を想定しているが、入力端子に供給される電圧は固定であるため、両チャンネルのトランジスタを並列接続とする必要はなく、いずれか一方のチャンネル型トランジスタで構成しても良いのである。

すなわち、第 1 の単位電圧選択回路 3 3 1 におけるトランスファゲート U 2 2 および第 2 の単位電圧選択回路 3 3 2 におけるトランスファゲート U 2 3 を、単なる n チャンネル型トランジスタとして、そのソース電極に電圧 V C O M H を供給し、ドレイン電極を共通線に接続するとともに、ゲート電極にインバータ U 2 1 による電圧指示信号の反転信号を供給する一方、第 1 の単位電圧選択回路 3 3 1 におけるトランスファゲート U 2 3 および第 2 の単位電圧選択回路 3 3 2 におけるトランスファゲート U 2 2 を、単なる p チャンネル型トランジスタとして、そのソース電極に電圧 V C O M L を供給し、ドレイン電極を共通線に接続するとともに、ゲート電極に電圧指示信号を供給する構成としても良い。

なお、トランスファゲートを用いるにしても、一方のチャンネル型トランジスタを用いるにしても、電圧 V C O M H、V C O M L に接続されるトランジスタのチャンネル長については、他のトランジスタのチャンネル長よりも短くするのが好ましい。

【 0 1 0 8 】

< 表示領域・非表示領域の変更・固定化 >

上述した実施形態では、表示領域 8 1 に係る画素 5 0 を 1 ~ 2 5 行目とし、非表示領域 8 2 に係る画素 5 0 を 2 6 ~ 3 2 0 行目としたが、表示領域 8 1 および非表示領域 8 2 に係る行の割り当ては、これに限られない。例えば、表示領域 8 1 に係る画素 5 0 を下半分の 1 6 1 ~ 3 2 0 行目とし、非表示領域 8 2 に係る画素 5 0 を上半分の 1 ~ 1 6 0 行目としても良い。このように表示領域 8 1 を 1 6 1 ~ 3 2 0 行目とし、非表示領域 8 2 を 1 ~ 1 6 0 行目とする場合、走査線 Y 1 ~ Y 3 2 0 への選択電圧の印加動作に際し、1 フレーム期間の最初である時刻 (図 1 3 でいえば t 3 1、t 3 7) よりも後であって、走査線 Y 1 に選択電圧への印加が開始する時刻 (図 1 3 でいえば t 3 2、t 3 8) よりも前の時刻から、同一の 1 フレーム期間において走査線 Y 1 6 0 への選択電圧への印加が終了する時刻まで、表示モード選択信号 C E N B を L レベルとすれば良い。

【 0 1 0 9 】

また、表示領域 8 1 および非表示領域 8 2 を変更可能とするのではなく、固定化しても良い。すなわち、第 1 実施形態のような表示領域 8 1 を 1 ~ 2 5 行目とし、非表示領域 8 2 を 2 6 ~ 3 2 0 行目に固定化しても良い。

このように固定化する場合、図 2 0 に示されるように、表示モード回路 3 2 のうち、表示領域 8 1 に固定化される 1 ~ 2 5 行目に対応するラッチ信号 L A T 1 ~ L A T 2 5 と表示モード選択信号 C E N B とを論理演算する構成が不要となる。なお、表示領域 8 1 および非表示領域 8 2 を固定化する場合であっても、非表示領域 8 2 に固定化される 2 6 ~ 3 2 0 行目については、全画面表示モードにおいて表示モード選択信号 C E N B が H レベルとなるので、図 2 0 に示されるように表示モード選択信号 C E N B と論理演算する構成を存置させる必要がある。

換言すれば、表示領域 8 1 に係る行では、ラッチ回路 3 1 における第 1 の単位ラッチ回路 3 1 1 または第 2 の単位ラッチ回路 3 1 2 と、電圧選択回路 3 3 における第 1 の単位電圧選択回路 3 3 1 または第 2 の単位電圧選択回路 3 3 2 とにより第 1 単位選択回路を構成

10

20

30

40

50

できるのに対し、非表示領域 8 2 係る行では、さらに表示モード回路 3 2 における第 1 の単位表示モード回路 3 2 1 または第 2 の単位表示モード回路 3 2 2 をくわえて第 2 単位選択回路が構成されることになる。

なお、表示領域 8 1 および非表示領域 8 2 を固定化する場合、ラッチ回路 3 1 については、双方向に対応する図 7 に示した構成のほか、片方向に対応した図 1 9 に示した構成も適用可能である。

【 0 1 1 0 】

< 第 2 実施形態 >

次に、本発明の第 2 実施形態に係る液晶装置について説明する。

この第 2 実施形態に係る液晶装置は、第 1 実施形態における制御回路 3 0 (図 6 参照) の回路構成を変更したものであり、図 2 1 は、変更した制御回路 3 0 A の構成を示すブロック図である。

10

また、第 2 実施形態においてパースシャル回路 4 0 は、部分表示モードにおいて非表示領域 8 2 に係る走査線に選択電圧が印加されたときに、所定の電圧としての電圧 V C E N T をデータ線 X 1 ~ X 2 4 0 に供給する。なお、その他の構成については、第 1 実施形態と同様であり、説明を省略する。

【 0 1 1 1 】

この図に示されるように、制御回路 3 0 A は、第 1 実施形態と同様なラッチ回路 3 1 を有するが、回路構成の異なる表示モード回路 3 2 A および電圧選択回路 3 3 A を備える。

まず、表示モード回路 3 2 A について説明する。図 2 2 は、表示モード回路 3 2 A の構成を示すブロック図である。

20

この図に示されるように、表示モード回路 3 2 A は、走査線 Y 1 ~ Y 3 2 0 のそれぞれに対応して設けられた単位表示モード回路 3 2 1 A を有し、この単位表示モード回路 3 2 1 A は、インバータ U 3 1、第 1 のトランスファゲート U 3 2 および第 2 のトランスファゲート U 3 3 を有する。

【 0 1 1 2 】

インバータ U 3 1 の入力端子には、表示モード選択信号 C E N B が入力され、インバータ U 3 1 の出力端子は、第 1 のトランスファゲート U 3 2 の反転入力制御端子と、第 2 のトランスファゲート U 3 3 の非反転入力制御端子とにそれぞれ接続されている。

第 1 のトランスファゲート U 3 2 の入力端子には、同一行のラッチ回路 3 1 から出力されたラッチ信号 L A T が入力される。また、第 1 のトランスファゲート U 3 2 の反転入力制御端子には、インバータ U 3 1 の出力端子が接続され、第 1 のトランスファゲート U 3 2 の非反転入力制御端子には、表示モード選択信号 C E N B が入力される。

30

第 2 のトランスファゲート U 3 3 の入力端子には、所定の電圧としての電圧 V C E N T が入力される。ここで、電圧 V C E N T は、電圧 V C O M L と電圧 V C O M H との中間電圧である。また、第 2 のトランスファゲート U 3 3 の反転入力制御端子には、表示モード選択信号 C E N B が入力され、第 2 のトランスファゲート U 3 3 の非反転入力制御端子には、インバータ U 3 1 の出力端子が接続されている。

【 0 1 1 3 】

このような構成の単位表示モード回路 3 2 1 A において、H レベルの表示モード選択信号 C E N B が入力されると、この H レベルの表示モード選択信号 C E N B は、第 1 のトランスファゲート U 3 2 の非反転入力制御端子に入力されるとともに、インバータ U 3 1 により極性が反転されて L レベルの信号となり、第 1 のトランスファゲート U 3 2 の反転入力制御端子に入力される。このため、第 1 のトランスファゲート U 3 2 がオン状態となり、このオン状態にある第 1 のトランスファゲート U 3 2 の入力端子に入力されたラッチ信号 L A T が、電圧指示信号 C T R L として出力される。

40

一方、L レベルの表示モード選択信号 C E N B が入力されると、この L レベルの表示モード選択信号 C E N B は、第 2 のトランスファゲート U 3 3 の反転入力制御端子に入力されるとともに、インバータ U 3 1 により極性が反転されて H レベルの信号となり、第 2 のトランスファゲート U 3 3 の非反転入力制御端子に入力される。このため、第 2 のトラン

50

スファゲートU33がオン状態となり、このオン状態にある第2のトランスファゲートU33の入力端子に入力された所定の電圧としての電圧VCENTが、信号VPARTとして出力される。

【0114】

なお、単位表示モード回路321Aは、上述したように、表示モード選択信号CENBがHレベルであれば、ラッチ信号LATを電圧指示信号CTRLとして出力し、表示モード選択信号CENBがLレベルであれば、所定の電圧としての電圧VCENTを信号VPARTとして出力する。すなわち、単位表示モード回路321Aは、電圧指示信号CTRLと、所定の電圧としての電圧VCENTである信号VPARTとを排他的に出力する。

【0115】

次に、図21における電圧選択回路33Aについて説明する。図23は、電圧選択回路33Aの構成を示すブロック図である。

この図に示されるように、電圧選択回路33Aは、第1実施形態(図9参照)と同様に、奇数行のそれぞれに対応して設けられた第1の単位電圧選択回路331と、偶数行のそれぞれに対応して設けられた第2の単位電圧選択回路332と、を備える。ただし、奇数行の共通線には、同じ行の第1の単位電圧選択回路331の出力端にくわえて、同じ行の信号VPARTが供給される信号線に接続され、偶数行の共通線には、同じ行の第2の単位電圧選択回路332の出力端にくわえて、同じ行の信号VPARTが供給される信号線に接続されている。

【0116】

この電圧選択回路33Aは、次のように動作する。

すなわち、奇数 r (r は、 $1 \leq r \leq 319$ を満たす奇数)行についてみたとき、電圧選択回路33Aは、表示モード回路32AからHレベルの電圧指示信号CTRL(r)を入力すると、奇数 r 行目の共通線Z(r)に電圧VCOMLを供給し、Lレベルの電圧指示信号CTRL(r)を入力すると、共通線Z(r)に電圧VCOMHを供給する。なお、電圧選択回路33Aは、表示モード回路32Aから所定の電圧としての電圧VCENTである信号VPART(r)を入力すると、共通線Z(r)に電圧VCENTを供給する。

一方、偶数 s (s は、 $2 \leq s \leq 320$ を満たす偶数)行についてみたとき、電圧選択回路33Aは、表示モード回路32AからHレベルの電圧指示信号CTRL(s)を入力したとき、偶数 s 行目の共通線Z(s)に電圧VCOMHを供給し、Lレベルの電圧指示信号CTRL(s)を入力したとき、共通線Z(s)に電圧VCOMLを供給する。なお、電圧選択回路33Aは、表示モード回路32Aから所定の電圧としての電圧VCENTである信号VPART(s)を入力すると、共通線Z(r)に電圧VCENTを供給する。

【0117】

このような制御回路30Aは、全画面表示モードでは、第1実施形態に係る制御回路30(図10参照)と同様に動作する。このため、制御回路30Aについては、部分表示モードにおける動作を中心に説明する。図24は、部分表示モードにおける制御回路30Aの動作を示す図であって、走査線の選択に対して共通線の電圧がどのように変化するかを示す図である。

なお、第2実施形態においても、表示領域81に係る画素50を1~25行目とし、非表示領域82に係る画素50を26~320行目としているので、表示モード選択信号CENBは、図24に示されるように、時刻 $t35A$ から時刻 $t37A$ までの期間、および、時刻 $t41A$ から時刻 $t43A$ までの期間にわたってLレベルとなる。

【0118】

第1実施形態に係る制御回路30は、部分表示モードである場合、図13に示したように、時刻 $t35$ から時刻 $t37$ までの期間および時刻 $t41$ から時刻 $t43$ までの期間(すなわち、表示モード選択信号CENBがLレベルとなる期間にわたって、所定の電圧として電圧VCOMLを共通線に供給する。

一方、本実施形態に係る制御回路30Aは、図24に示されるように、表示モード選択信号CENBがLレベルとなる期間にわたって、所定の電圧として電圧VCENTを共通

10

20

30

40

50

線に供給する。

【 0 1 1 9 】

このような制御回路 30 A を備えた液晶装置の部分表示モードにおける動作について説明する。

第 2 実施形態で部分表示モードとなる場合、表示領域 8 1 に係る 1 行目 ~ 2 5 行目の画素 5 0 に対して電圧書込を行うときに、図 2 5 は、正極性書込時の各部電圧の波形を示す図であり、図 2 6 は、負極性書込時の各部電圧の波形を示す図である。

図 2 7 および図 2 8 は、それぞれ部分表示モードにおいて、非表示領域 8 2 で最も上に位置する 2 6 行目の画素 5 0 に対して電圧書込を行う場合の各部電圧の波形を示す図である。また、図 2 8 は、部分表示モードにおいて、非表示領域に係る 2 5 ~ 3 2 0 行目のうち、2 6 行目を除く行の画素 5 0 に対して電圧書込を行う場合の各部電圧の波形を示す図である。

10

【 0 1 2 0 】

まず、図 2 5 を用い、部分表示モードにおいて表示領域に係る 1 行目 ~ 2 5 行目の画素 5 0 に対する正極性書込時の動作について説明する。

時刻 $t_{51}A$ から $t_{59}A$ までの期間では、図 1 4 に示した時刻 t_{51} から t_{59} までの期間と同様に動作する。

【 0 1 2 1 】

時刻 $t_{59}A$ において、表示モード選択信号 $CENB$ が L レベルとなるのに同期して、制御回路 30 A により、所定の電圧としての電圧 V_{CENT} を共通線 $Z(p)$ に供給すると、共通線 $Z(p)$ の電圧 $V_{COM}(p)$ は、次第に上昇して、時刻 $t_{60}A$ において電圧 V_{CENT} となる。

20

時刻 $t_{59}A$ では、走査線 $Y(p)$ に選択電圧が供給されていないので、 q 列目のデータ線 $X(q)$ と、 p 行 q 列の画素 5 0 が備える画素電極 5 5 とは、互いに非接続状態である。また、 p 行 q 列の画素 5 0 が備える画素電極 5 5 と、共通線 $Z(p)$ に接続された共通電極 5 6 との間には、容量結合が生じている。このため、 p 行 q 列の画素 5 0 が備える画素電極 5 5 の電圧 $P_{IX}(p, q)$ は、電圧 $V_{COM}(p)$ と電圧 $P_{IX}(p, q)$ との電位差を保つように上昇して、時刻 $t_{60}A$ において、電圧 $(V_{P3} + V_{CA})$ となる。ここで、電圧 V_{CA} は、時刻 $t_{59}A$ から $t_{60}A$ までの期間に、共通線 $Z(p)$ に接続された共通電極 5 6 の電圧 $V_{COM}(p)$ の電圧が上昇した分、すなわち電圧 $(V_{CENT} - V_{COML})$ に等しい。

30

【 0 1 2 2 】

次に、図 2 6 を用いて、部分表示モードにおいて 1 行目 ~ 2 5 行目の画素 5 0 に対する負極性書込時の動作について説明する。

時刻 $t_{61}A$ から $t_{69}A$ までの期間では、図 1 5 に示した時刻 t_{61} から t_{69} までの期間と同様に動作する。

時刻 $t_{69}A$ において、表示モード選択信号 $CENB$ が L レベルとなるのに同期して、制御回路 30 A により、所定の電圧としての電圧 V_{CENT} を共通線 $Z(p)$ に供給すると、共通線 $Z(p)$ に接続された共通電極 5 6 の電圧 $V_{COM}(p)$ は、次第に低下して、時刻 $t_{70}A$ において電圧 V_{CENT} となる。

40

時刻 $t_{69}A$ では、走査線 $Y(p)$ に選択電圧が供給されていないので、 q 列目のデータ線 $X(q)$ と、 p 行 q 列の画素 5 0 が備える画素電極 5 5 とは、互いに非接続状態である。また、 p 行 q 列の画素 5 0 が備える画素電極 5 5 と、共通線 Zp に接続された共通電極 5 6 との間には、容量結合が生じている。このため、 p 行 q 列の画素 5 0 が備える画素電極 5 5 の電圧 $P_{IX}(p, q)$ は、電圧 $V_{COM}(p)$ と電圧 $P_{IX}(p, q)$ との電位差を保つように低下して、時刻 $t_{70}A$ では電圧 $(V_{P4} - V_{CB})$ となる。ここで、電圧 V_{CB} は、時刻 $t_{69}A$ から $t_{70}A$ までの期間に、共通線 $Z(p)$ に接続された共通電極 5 6 の電圧 $V_{COM}(p)$ の電圧が低下した分、すなわち電圧 $(V_{COMH} - V_{CENT})$ に等しい。

【 0 1 2 3 】

50

続いて、第2実施形態の部分表示モードにおいて、非表示領域82に係る26行目～320行目の画素50に対する書込動作について、26行目の画素50と27～320行目の画素50とに分けて説明する。

まず、26行目の画素50に対する書込動作について説明する。

図27は、部分表示モードにおいて、26行目の画素50に対する書込動作時における各部電圧の波形を示す図であり、特に、走査線Y1への選択電圧の供給に同期して共通線Z2に電圧VCOMLを供給した場合と同一の1フレーム期間における書込を示している(第1のタイミング)。なお、図において時刻t72Aは、表示モード選択信号CENBがLレベルとなるタイミングであり、図22における時刻t41Aに相当する。

【0124】

10

時刻t71Aにおいて、26行目において1行上の走査線Y25への選択電圧の供給に同期して、制御回路30Aは、共通線Z26に電圧VCENTを供給する。ここで、共通線Z26の電圧は、時刻t71Aより前の期間でも、電圧VCENTなので、時刻t71Aでは、共通線Z56の電圧VCOM26は、電圧VCENTで維持される。

ここで、時刻t71Aでは、走査線Y26に選択電圧が供給される前であるので、q列目のデータ線X(q)と、26行q列の画素50が備える画素電極55とは、互いに非接続状態である。また、26行q列の画素50が備える画素電極55と、共通線Z26との間には、容量結合が生じている。

このため、26行q列の画素50が備える画素電極55の電圧PIX(26、q)は、電圧VCOM(26)と電圧PIX(26、q)との電位差を保つために、電圧VCENTを維持する。

20

【0125】

時刻t72Aにおいて、表示モード選択信号CENBがLレベルになると、制御回路30は、所定の電圧としての電圧VCENTを共通線Z26に供給する。ここで、共通線Z26の電圧は、時刻t71Aからt72Aの間でも、電圧VCENTなので、時刻t72Aでは、変化せず、電圧VCENTを維持することになる。

時刻t72Aでは、走査線Y26に選択電圧が供給されていないので、q列目のデータ線X(q)と、26行q列の画素50が備える画素電極55とは、互いに非接続状態にある。また、26行q列の画素50が備える画素電極55と、共通線Z26との間には、容量結合が生じている。このため、26行q列の画素50が備える画素電極55の電圧PIX(26、q)は、電圧VCOM(26)と電圧PIX(26、q)との電位差を保つために、電圧VCENTを維持する。

30

【0126】

時刻t73Aにおいて、走査線駆動回路10が、走査線Y26に選択電圧を供給すると、走査線Y26の電圧GATE26は、上昇して、時刻t74Aでは電圧VGHとなる。これにより、走査線Y26に接続されたTFT51が全てオン状態となる。

一方、時刻t75Aにおいて、パシカル回路40が、所定の電圧としての電圧VCENTをデータ線X(q)に供給すると、データ線X(q)の電圧SOURCE(q)は、電圧VCENTとなる。

データ線X(q)の電圧SOURCE(q)は、走査線Y26に接続されたオン状態のTFT51を介して、26行q列の画素50が備える画素電極55に書き込まれる。このため、26行q列の画素50が備える画素電極55の電圧PIX(26、q)は、データ線X(q)の電圧SOURCE(q)と同電位である電圧VCENTとなる。

40

ここで、共通電極Z26の電圧VCOM26は、電圧VCENTであるので、画素容量54における画素電極55および共通電極56の差電圧はゼロである。このため、26行q列の画素50は、ノーマリーブラックモードのオフである黒表示となる。なお、時刻t76Aからt77Aまでの期間の動作は、図16に示した時刻t76からt77までの期間について、電圧VCOMLを電圧VCENTと読み替えた動作と同様である。

【0127】

図28は、第2実施形態の部分表示モードにおいて、26行目の画素50に対する書込

50

動作時における各部電圧の波形を示す図であり、特に、走査線 Y 1 への選択電圧の供給に同期して共通線 Z 2 に電圧 V C O M H を供給した場合と同一の 1 フレーム期間における書込を示している（第 2 のタイミング）。ただし、時刻 t 8 1 A から t 8 9 A までの期間の動作は、図 1 7 に示した時刻 t 8 1 から t 8 9 までの期間について、電圧 V C O M L を電圧 V C E N T と読み替えた動作と同様である。

【 0 1 2 8 】

次に、2 7 ~ 3 2 0 行目の画素 5 0 に対する書込動作について説明する。

図 2 9 は、第 2 実施モードの部分表示モードにおいて、2 7 ~ 3 2 0 行目の画素 5 0 に対する書込動作を示す図である。部分表示モードにおいて、2 7 ~ 3 2 0 行目の共通線 Z 2 7 ~ Z 3 2 0 は、図 2 4 に示されるように電圧 V C E N T に保持される。2 7 ~ 3 2 0 行目の走査線に順番に選択電圧になったとき、パーシャル回路 4 0 は、共通線と同じ電圧 V C E N T をそれぞれ 1 ~ 2 4 0 列のデータ線に供給するので、当該非表示領域に係る 2 7 ~ 3 2 0 行目の画素 5 0 において、画素容量 5 4 の差電圧はゼロに保持されて、ノーマリーブラックモードのオフである黒表示となる。

すなわち、図 2 9 において時刻 t 9 1 から t 9 7 までの期間では、図 2 7 に示した時刻 t 7 1 から t 7 7 までの期間と同様に動作する。

【 0 1 2 9 】

このような第 2 実施形態によれば、上述した第 1 実施形態と同様の効果を奏することができる。

また、上述した第 2 実施形態では、所定の電圧としての電圧 V C E N T は、電圧 V C O M L と電圧 V C O M H との中間電圧としたが、これに限らず、例えば電圧 V C O M L または電圧 V C O M H と一方と同電位であっても良い。

【 0 1 3 0 】

< 第 3 実施形態 >

次に、本発明の第 3 実施形態に係る液晶装置について説明する。

この第 3 実施形態に係る液晶装置は、第 1 実施形態における画素 5 0（図 3 参照）を変更したものである。図 3 0 は、第 3 実施形態に係る画素 5 0 A の構成を示す拡大平面図である。なお、第 3 実施形態に係る画素 5 0 A は、補助共通線 Z A およびコンタクト配線 5 8 を備える点において、第 1 実施形態の画素 5 0 とは異なる。その他の構成については、第 1 実施形態と同様であり、説明を省略する。

補助共通線 Z A は、導電性の金属膜からなり、1 行毎に分割して、すなわち、共通電極 5 6（共通線）に対応するように、走査線 Y に沿って形成されている。詳細には、ある行の補助共通線 Z A は、当該行の走査線と、当該行よりも 1 行下の行の共通電極 5 6（共通線）との間において走査線に沿った方向に形成されている。

【 0 1 3 1 】

コンタクト配線 5 8 は、画素 5 0 A 毎に設けられた導電性の金属膜であり、領域 5 8 1 において補助共通線 Z A と接続され、領域 5 8 2 において共通電極 5 6（共通線）に接続されている。

上述したように共通電極 5 6 は、ITO 等の透明電極から構成されるので、抵抗率が比較的高く、時定数が大きくなる傾向にあるが、この第 3 実施形態によれば、各行の共通電極 5 6 は、それぞれ補助共通線 Z A と並列接続となり、合成抵抗が低下するので、各行の共通電極 5 6 の時定数を低下させることが可能となる。

【 0 1 3 2 】

< 変形例 >

なお、本発明は、上述した各実施形態に限定されるものではなく、本発明の目的を達成できる範囲での変形、改良等は本発明に含まれるものである。

例えば制御回路 3 0 は、あくまでも一例であり、共通線 Z 1 ~ Z 3 2 0 の電圧を、全画面表示モードにおいては図 1 0 に示されるような波形とし、部分表示モードにおいては図 1 3 に示されるような波形とするものであれば、図 6 ~ 図 8 に示した構成に限られない。同様に、制御回路 3 0 A は、あくまでも一例であり、共通線 Z 1 ~ Z 3 2 0 の電圧を、全

画面表示モードにおいては図 10 に示されるような波形とし、部分表示モードにおいては図 24 に示されるような波形とするものであれば、図 21 ~ 図 23 に示した構成に限られない。

【0133】

上述した各実施形態では、320 行の走査線 Y と、240 列のデータ線 X と、を備えるものとしたが、これに限らず、例えば、480 行の走査線 Y と、640 列のデータ線 X と、を備えても良い。

【0134】

また、上述した各実施形態では、透過型の表示を行うものとしたが、これに限らず、例えば、バックライト 90 からの光を利用する透過型表示と、外光の反射光を利用する反射型表示と、を兼ね備えた半透過反射型の表示を行っても良い。

10

上述した各実施形態では、液晶は、ノーマリーブラックモードで動作するものとしたが、これに限らず、例えばノーマリーホワイトモードで動作するものであっても良い。

上述した各実施形態では、TFT としてアモルファスシリコンからなる TFT51 を設けたが、これに限らず、例えば低温ポリシリコンからなる TFT を設けても良い。

【0135】

上述した各実施形態では、共通電極 56 の上に第 2 絶縁膜 64 を形成し、この第 2 絶縁膜 64 の上に画素電極 55 を形成したが、これに限らず、例えば、画素電極 55 の上に第 2 絶縁膜 64 を形成し、この第 2 絶縁膜 64 の上に共通電極 56 を形成しても良い。すなわち、画素毎に矩形状の画素電極 55 と帯状の共通電極 56 とは、いずれか一方が上層側となり、いずれかの他方が下層側となっても良い。ただし、スリット状の開口部 55A は、上層側、つまり液晶に近い側に設けられる。

20

なお、上述した各実施形態では、液晶が FFS モードで動作するものとしたが、例えば IPS モードで動作するものであっても良い。

【0136】

上述した各実施形態では、共通電極 56 を 1 行毎に分割して設けたが、これに限らず、例えば、2、3 行以上の所定数の行毎に分割して設けても良い。ここで例えば、共通電極 56 (共通線) を 2 行毎に分割して設けた場合、走査線数が「320」であれば、共通線数は半分の「160」となる。この場合、制御回路 30 (30A) は、電圧 VCOML、VCOMH の一方から他方へ、走査線を 2 行選択する毎に切り替える。このため、各行に対する書込極性が、正極性 正極性 負極性 負極性 (正極性)、という順番で実行されるので、データ線駆動回路 20 は、正極性の画像信号と負極性の画像信号とを 2 行の走査線が選択される毎に、書込極性に合わせて交互に供給することになる。

30

また、所定数の行毎に、例えば 2 行毎に共通電極 56 を設ける場合、行毎に補助共通線 ZA を設けるとともに、1 つの共通電極 56 が共用される 2 行の補助共通線 ZA 同士を電氣的に接続しても良いし、共通電極 56 と対をなすように 1 つの補助共通線 ZA を設けるとともに、対をなす共通電極 56 および補助共通線 ZA 同士を接続する構成としても良い。なお、所定数の行毎に共通電極 56 を設ける場合において、補助共通線 ZA を設けなくても良いのはもちろんである。

【0137】

40

また、上述した各実施形態では、データ線駆動回路 20 とパーシャル回路 40 とを別個に設けたが、これに限らず、例えばデータ線駆動回路 20 とパーシャル回路 40 とを一体化した構成であっても良い。

【0138】

上述した各実施形態では、走査線駆動回路 10 が、シフトレジスタ 11 を備えた構成としたが、これに限らず、例えばシフトレジスタ 11 の代わりにデコーダを備えた構成としても良い。走査線駆動回路 10 がシフトレジスタ 11 の代わりにデコーダを備える場合、H レベルとなるパルス信号を出力する順番を、1、2、3、...、320 行目という順番に限られず、自由に設定することができ、さらに、予め定めた行のみ対してパルス信号を出力することができる。

50

【 0 1 3 9 】

< 電子機器 >

次に、上述した実施形態に係る液晶装置を適用した電子機器の一例について説明する。

図 3 1 は、液晶装置 1 を適用した携帯電話機の構成を示す斜視図である。携帯電話機 3 0 0 0 は、複数の操作ボタン 3 0 0 1 およびスクロールボタン 3 0 0 2 ならびに液晶装置 1 を備える。スクロールボタン 3 0 0 2 を操作することによって、液晶装置 1 に表示される画面がスクロールされる。

【 0 1 4 0 】

なお、液晶装置 1 が適用される電子機器としては、図 3 1 に示した携帯電話機のほか、パーソナルコンピュータ、情報携帯端末、デジタルスチルカメラ、液晶テレビ、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた機器等が挙げられる。そして、これらの各種電子機器の表示部として、前述した液晶装置が適用可能である。

【図面の簡単な説明】

【 0 1 4 1 】

【図 1】本発明の第 1 実施形態に係る液晶装置のブロック図である。

【図 2】同液晶装置の部分表示モードにおける表示画面を示す図である。

【図 3】同液晶装置が備える画素の拡大平面図である。

【図 4】同画素近傍の断面図である。

【図 5】同液晶装置における走査線駆動回路のブロック図である。

【図 6】同液晶装置における制御回路のブロック図である。

【図 7】同制御回路におけるラッチ回路のブロック図である。

【図 8】同制御回路における表示モード回路のブロック図である。

【図 9】同制御回路におけるが備える電圧選択回路のブロック図である。

【図 1 0】全画面表示モードにおける走査線および共通線の電圧を示す図である。

【図 1 1】全画面表示モードの正極性書込時における各部の電圧波形を示す図である。

【図 1 2】全画面表示モードの負極性書込時における各部の電圧波形を示す図である。

【図 1 3】部分表示モードにおける走査線および共通線の電圧波形を示す図である。

【図 1 4】部分表示モードにおいて表示領域での正極性書込時の電圧波形図である。

【図 1 5】部分表示モードにおいて表示領域での負極性書込時の電圧波形図である。

【図 1 6】部分表示モードにおいて 2 6 行目での書込時の電圧波形図である。

【図 1 7】部分表示モードにおいて 2 6 行目での書込時の電圧波形図である。

【図 1 8】部分表示モードにおいて非表示領域での書込時の電圧波形図である。

【図 1 9】第 1 実施形態におけるラッチ回路の別の構成を示すブロック図である。

【図 2 0】第 1 実施形態におけるラッチ回路のさらに別の構成を示すブロック図である。

【図 2 1】本発明の第 2 実施形態に係る液晶装置の制御回路のブロック図である。

【図 2 2】同制御回路における表示モード回路のブロック図である。

【図 2 3】同制御回路における電圧選択回路のブロック図である。

【図 2 4】部分表示モードにおける走査線および共通線の電圧波形を示す図である。

【図 2 5】部分表示モードにおいて表示領域での正極性書込時の電圧波形図である。

【図 2 6】部分表示モードにおいて表示領域での負極性書込時の電圧波形図である。

【図 2 7】部分表示モードにおいて 2 6 行目での書込時の電圧波形図である。

【図 2 8】部分表示モードにおいて 2 6 行目での書込時の電圧波形図である。

【図 2 9】部分表示モードにおいて非表示領域での書込時の電圧波形図である。

【図 3 0】本発明の第 3 実施形態に係る液晶装置の画素の拡大平面図である。

【図 3 1】上述した液晶装置を適用した携帯電話機の構成を示す斜視図である。

【図 3 2】従来例に係る液晶装置の正極性書込時のタイミングチャートである。

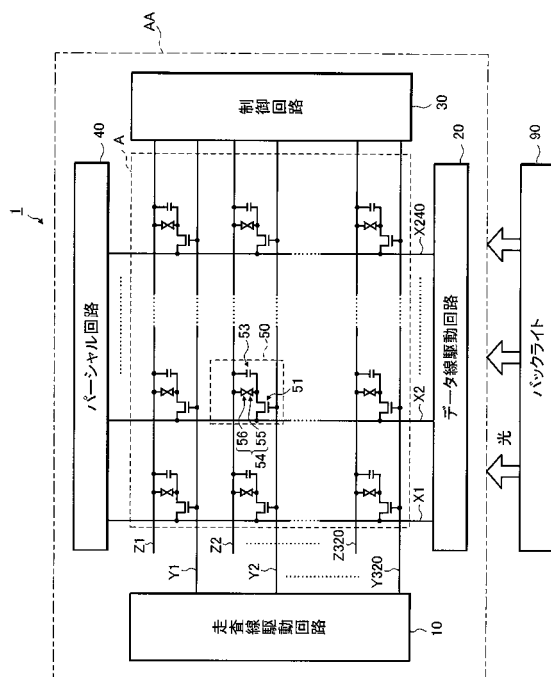
【図 3 3】従来例に係る液晶装置の負極性書込時のタイミングチャートである。

【符号の説明】

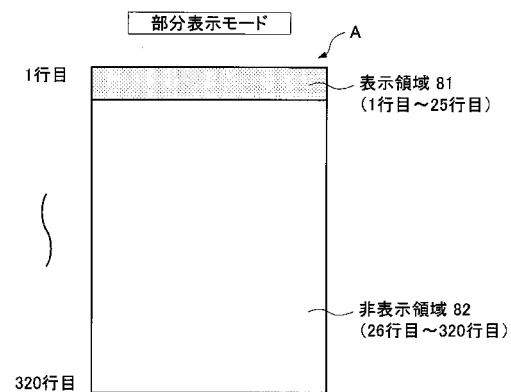
【 0 1 4 2 】

1 ...液晶装置、10 ...走査線駆動回路、20 ...データ線駆動回路、30、30A ...制御回路（第1制御回路）、31 ...ラッチ回路、32、32A ...表示モード回路、33、33A ...電圧、40 ...パシカル回路（第2制御回路）、50、50A ...画素、53 ...蓄積容量、54 ...画素容量、55 ...画素電極、56 ...共通電極、60 ...素子基板（第1基板）、70 ...対向基板（第2基板）、81 ...表示領域、82 ...非表示領域、3000 ...携帯電話機（電子機器）、A ...表示画面（全画面）、X ...データ線、Y ...走査線、Z ...共通線

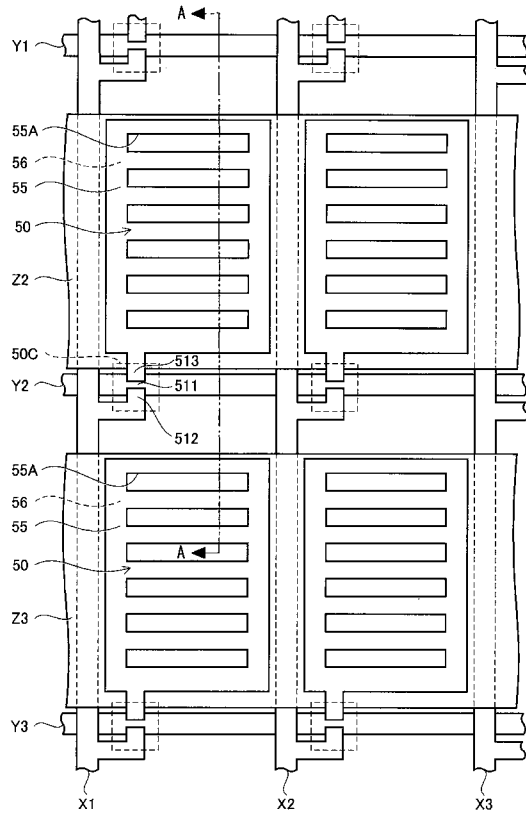
【 図 1 】



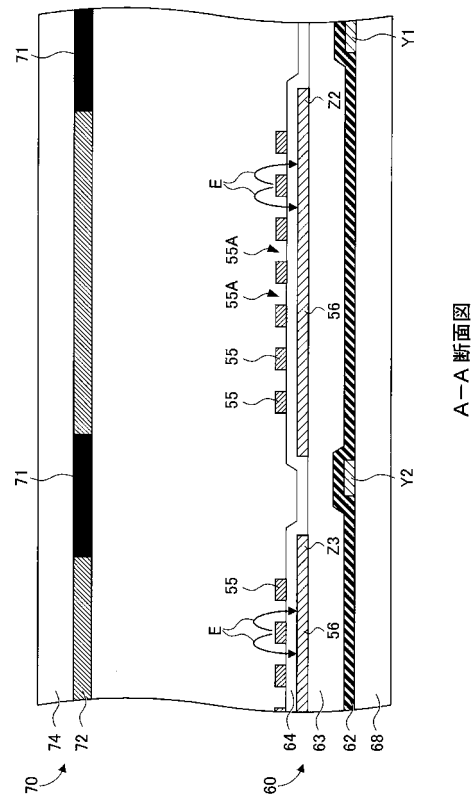
【 図 2 】



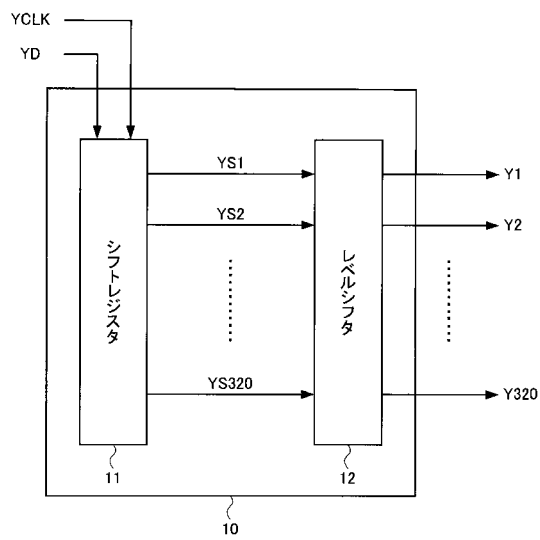
【図 3】



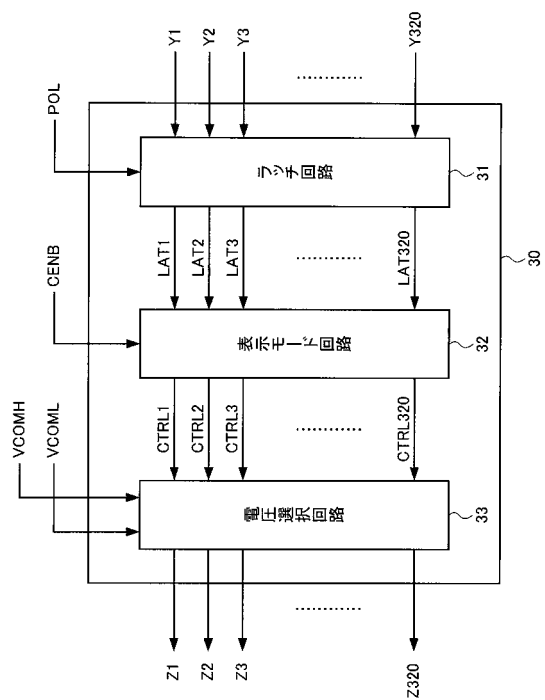
【図 4】



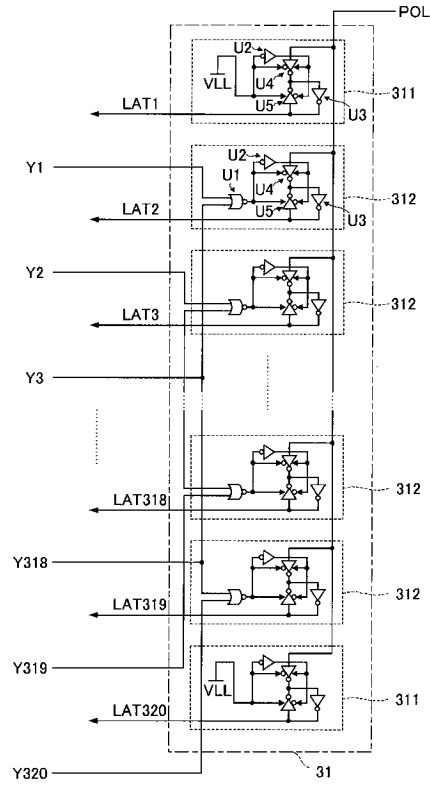
【図 5】



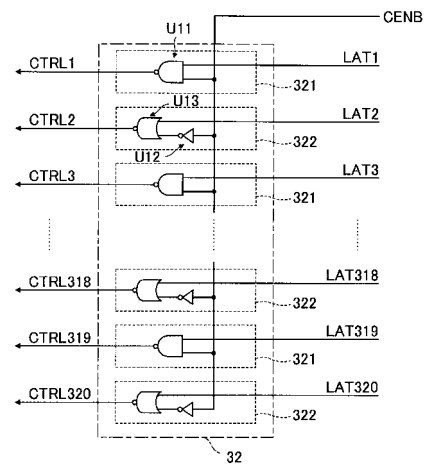
【図 6】



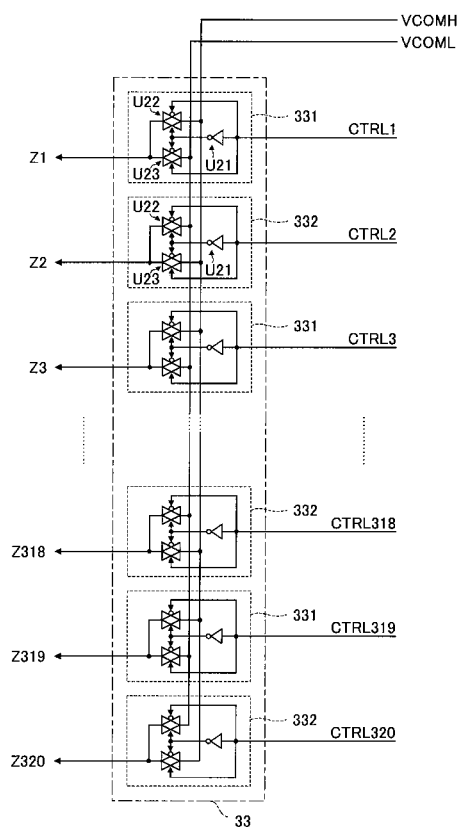
【図 7】



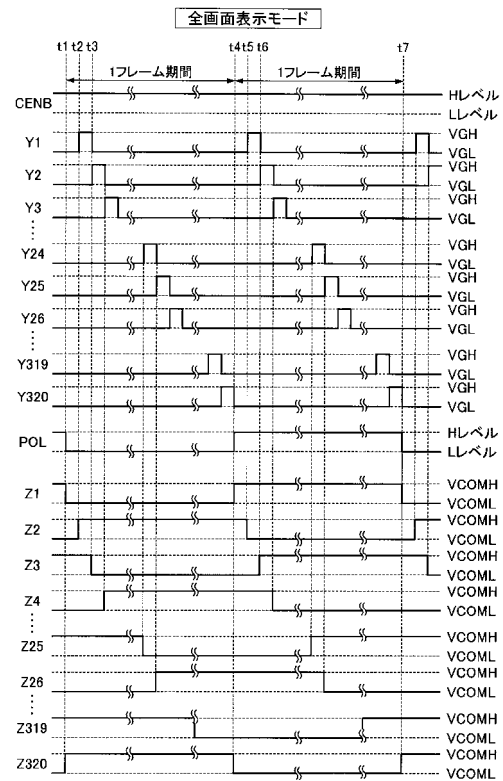
【図 8】



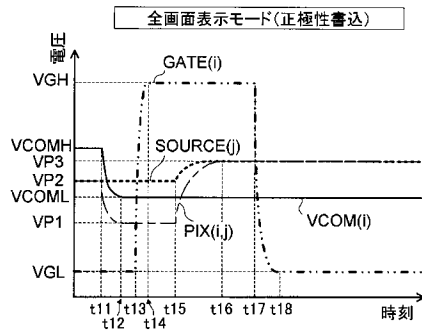
【図 9】



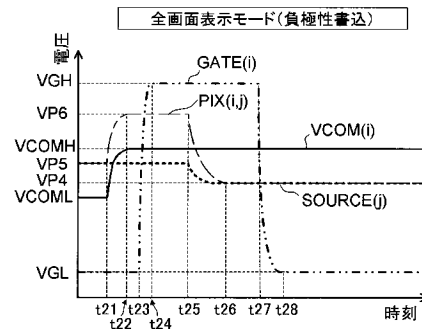
【図 10】



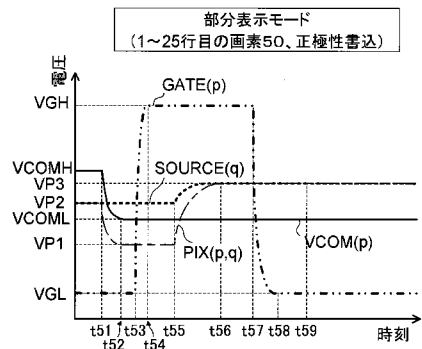
【図 1 1】



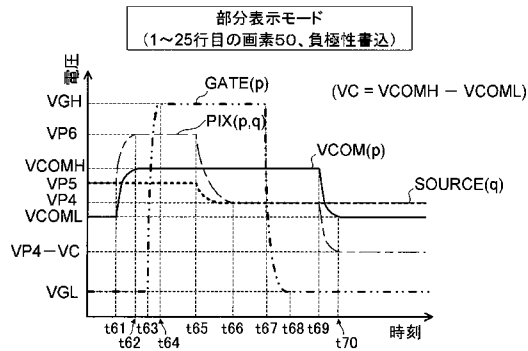
【図 1 2】



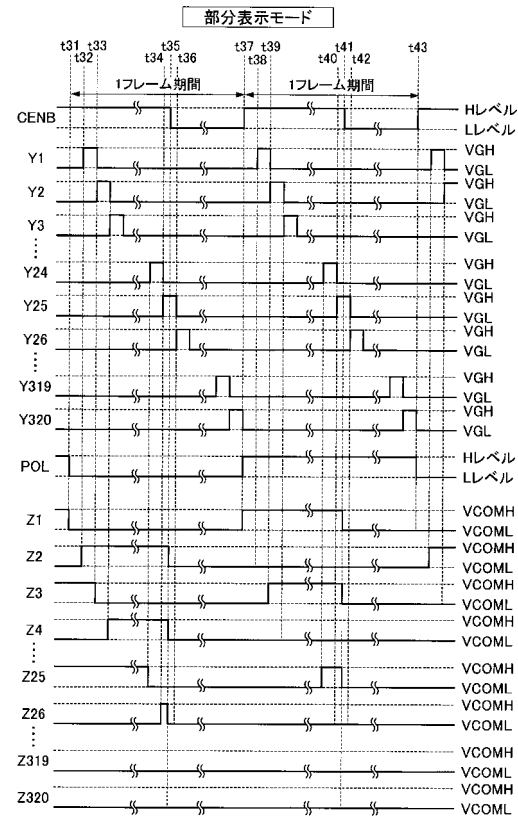
【図 1 4】



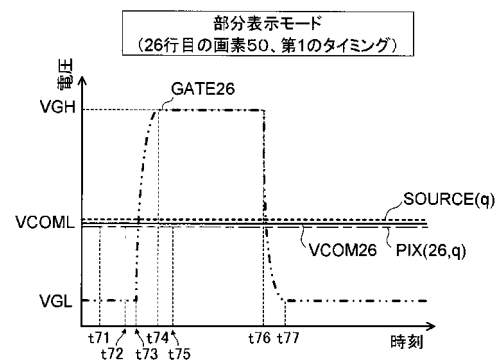
【図 1 5】



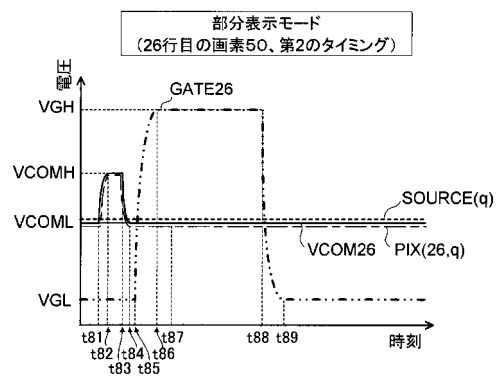
【図 1 3】



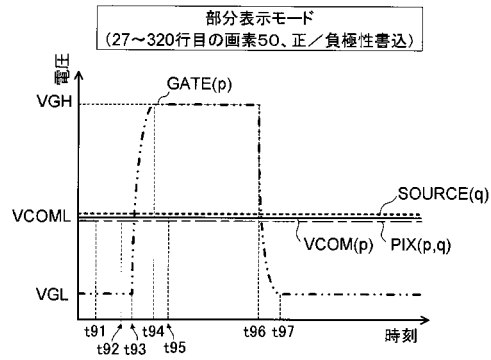
【図 1 6】



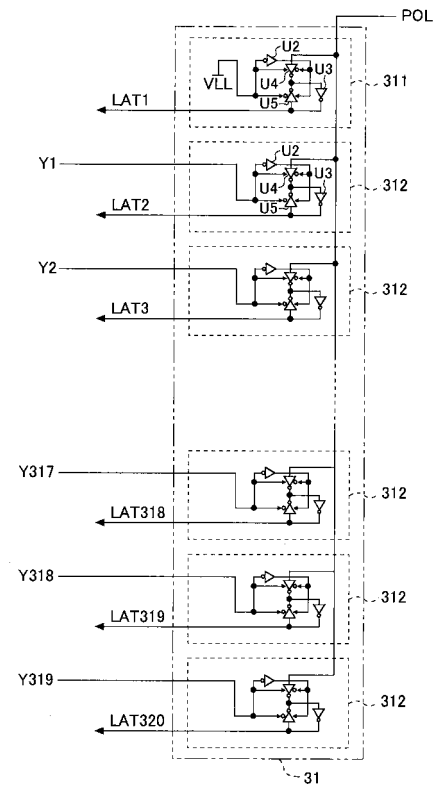
【図 1 7】



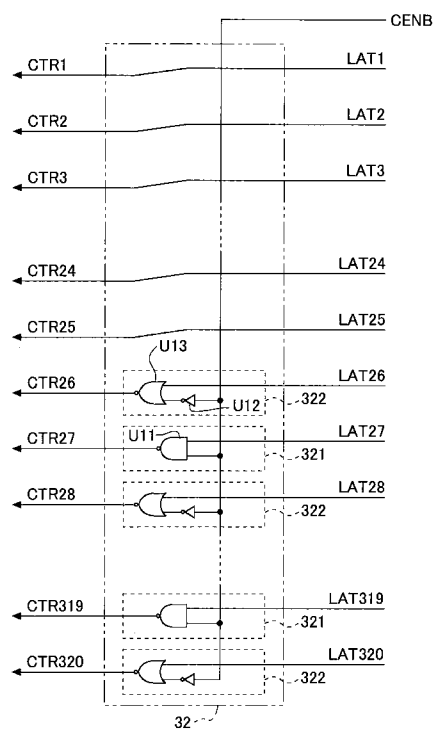
【図18】



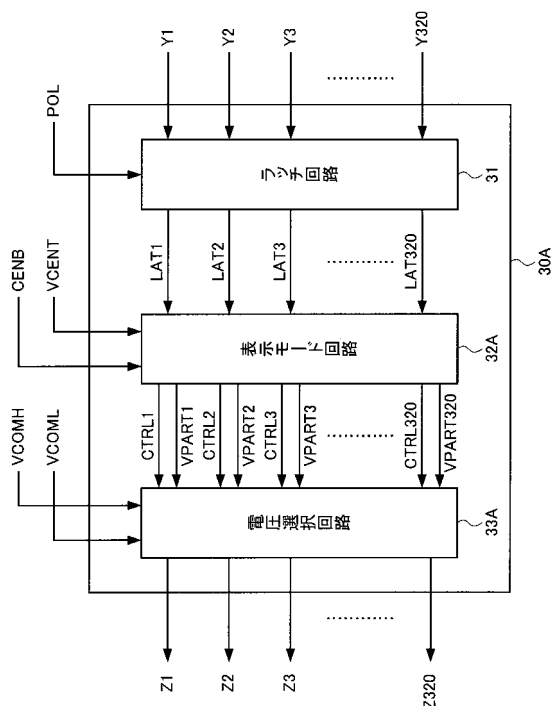
【図19】



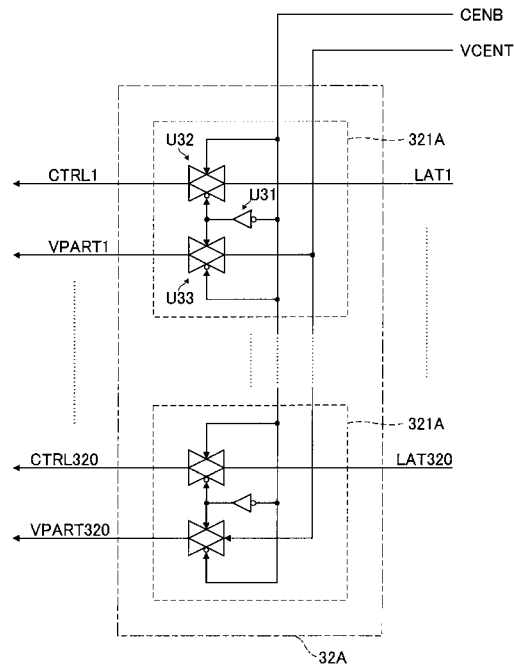
【図20】



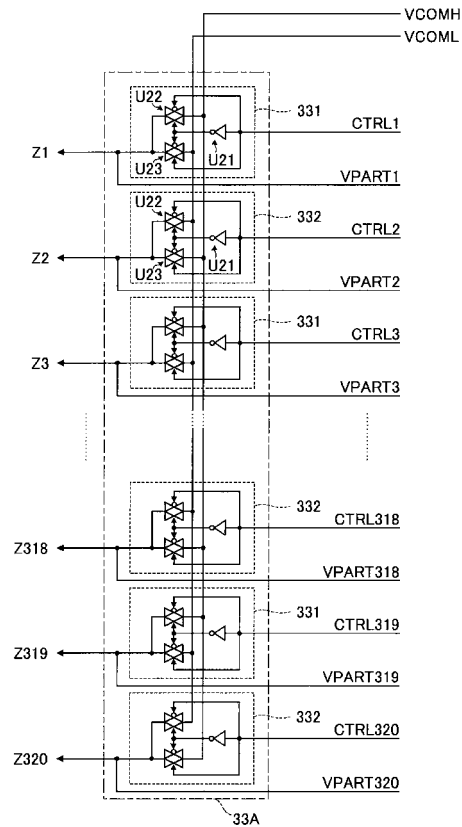
【図21】



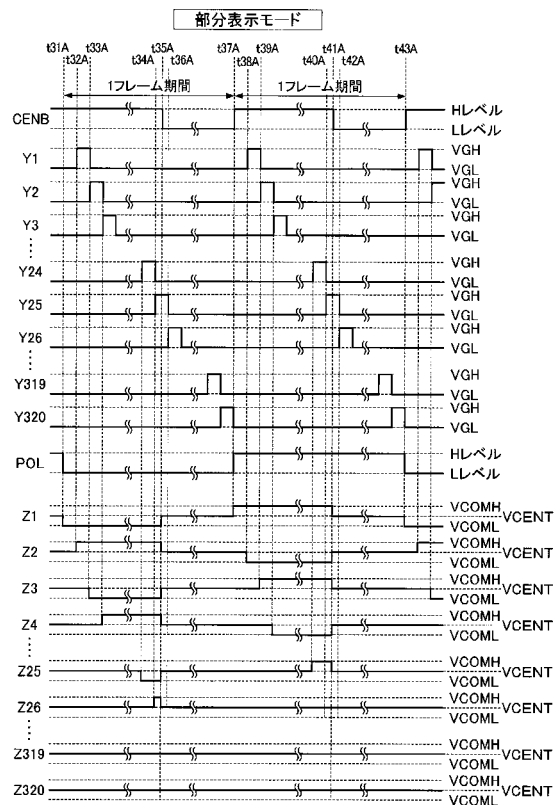
【図 2 2】



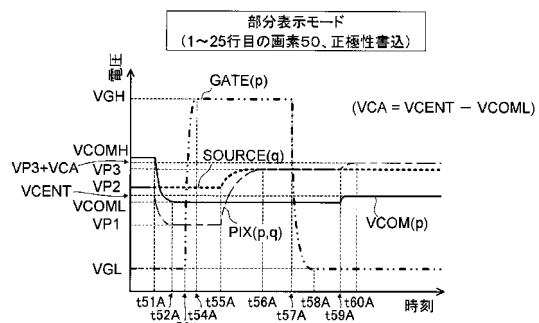
【図 2 3】



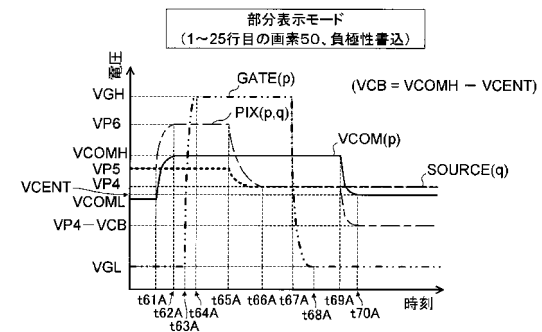
【図 2 4】



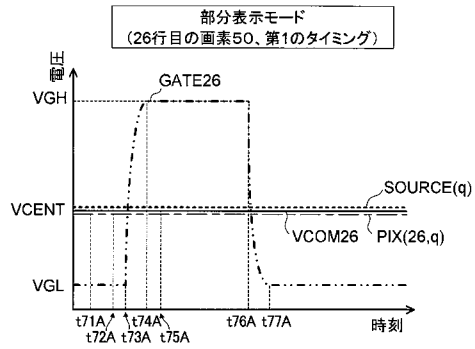
【図 2 5】



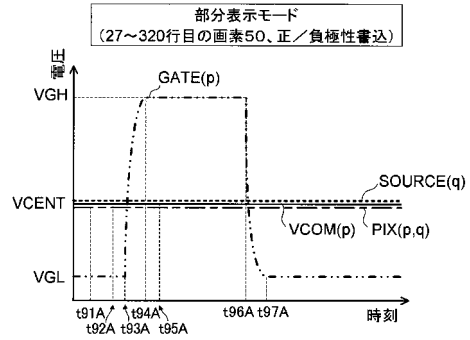
【図 2 6】



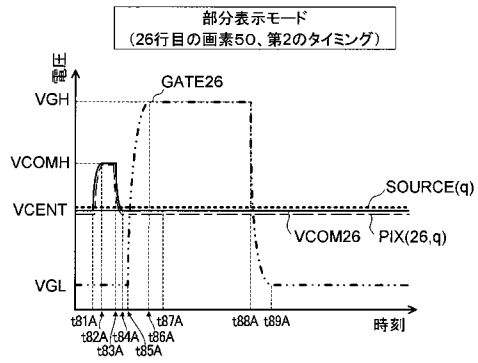
【図 27】



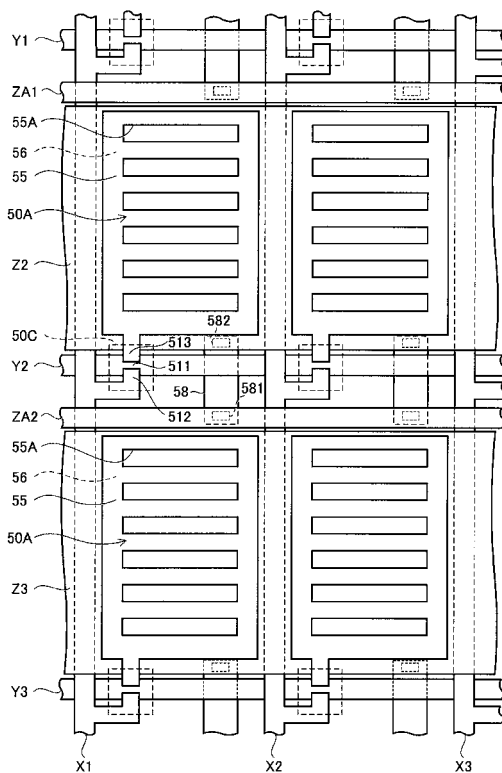
【図 29】



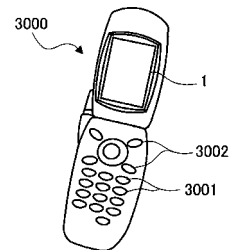
【図 28】



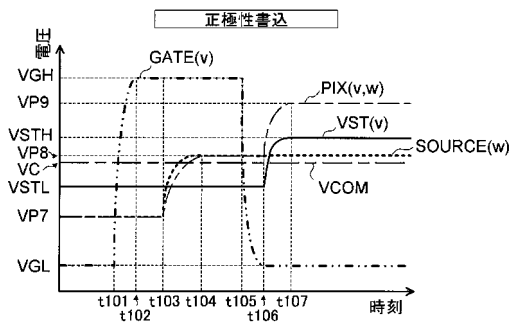
【図 30】



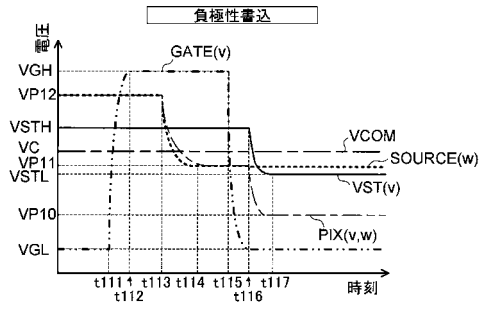
【図 31】



【図 32】



【図 33】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 1 K
G 0 9 G	3/20	6 2 4 E
G 0 2 F	1/1362	
G 0 2 F	1/1343	

(56)参考文献 特開2 0 0 2 - 3 5 1 4 1 2 (J P , A)

特開2 0 0 5 - 2 5 7 9 2 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3	-	1 / 1 3 6 2