

(21)申請案號：100142335

(22)申請日：中華民國 100 (2011) 年 11 月 18 日

(51)Int. Cl. : H01L21/71 (2006.01)

H01L21/77 (2006.01)

(71)申請人：王傳蔚 (中華民國) (TW)

桃園縣桃園市中路北街 67 巷 1 號

(72)發明人：王傳蔚 (TW)

(74)代理人：林火泉

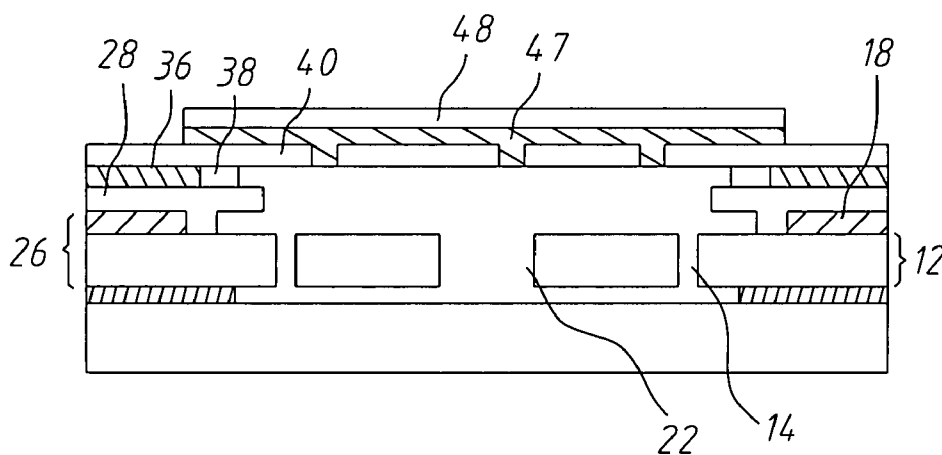
申請實體審查：有 申請專利範圍項數：11 項 圖式數：3 共 28 頁

(54)名稱

感測器製程

(57)摘要

本發明係揭露一種感測器製程，其係利用熱氧化法形成絕緣層之犧牲層於一矽覆絕緣基板或一矽基板上，以充填於基板中的圖案化通孔。接著再形成一導電佈線層於絕緣層上，由於導電佈線層具有開孔，因此可透過開孔，通入蝕刻氣體，以移除圖案化通孔中的填充物，進而得到微機電感測器。或者圖案化通孔可在導電佈線層進行蝕刻後，再利用深層離子蝕刻法，將矽基板蝕刻出圖案化通孔，並使基板與一電路晶片電性連接，以結合之。上述製程除了簡易而且技術成熟外，更可利用導電佈線層及絕緣層達到電性分離的目的。



- 14：溝槽
- 16：二氧化矽層
- 18：氧化層
- 22：圖案化通孔
- 26：犧牲層
- 28：第一金屬層
- 36：第二絕緣區塊
- 38：金屬區塊
- 40：第二金屬層
- 47：絕緣層
- 48：金屬層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100142335

※申請日：2010.07.21

※IPC 分類：H01L 21/71 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/71 (2006.01)

感測器製程

二、中文發明摘要：

本發明係揭露一種感測器製程，其係利用熱氧化法形成絕緣層之犧牲層於一矽覆絕緣基板或一矽基板上，以充填於基板中的圖案化通孔。接著再形成一導電佈線層於絕緣層上，由於導電佈線層具有開孔，因此可透過開孔，通入蝕刻氣體，以移除圖案化通孔中的填充物，進而得到微機電感測器。或者圖案化通孔可在導電佈線層進行蝕刻後，再利用深層離子蝕刻法，將矽基板蝕刻出圖案化通孔，並使基板與一電路晶片電性連接，以結合之。上述製程除了簡易而且技術成熟外，更可利用導電佈線層及絕緣層達到電性分離的目的。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (1(m)) 圖。

(二)本代表圖之元件符號簡單說明：

14	溝槽	16	二氧化矽層
18	氧化層	22	圖案化通孔
26	犧牲層	28	第一金屬層
36	第二絕緣區塊	38	金屬區塊
40	第二金屬層	47	絕緣層
48	金屬層		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種製程，特別是關於一種感測器製程。

【先前技術】

過去三十多年來，互補式金屬氧化半導體（complementary metal oxide semiconductor，以下簡稱 CMOS）已普遍成為製作積體電路（Integrated Circuits，以下簡稱 IC）的技術。由於大量的人力與資金投入於積體電路的研發與創新已頗具成效，大幅的提升了良率與可靠度，同時生產成本也因此大幅的降低。在製程技術如此成熟與穩定的發展下，半導體的下一步指標，除了延續現有技術的發展，更重要是對未來特殊製程技術的突破以及增加更高密集度的系統整合。

然而，微機電系統（MEMS）是一套完全不同於以往之全新加工技術，主要是利用半導體技術來製造微機械結構，且同時製造包含電子元件及機械元件功能之產品，具有批量製造、小型化及功能性高等優點，非常適合作為大量生產及尋求成本降低的製造產業使用。因此在穩定 CMOS 製程技術下，整合 MEMS 與電路系統（Circuitry）的應用，將是達到系統整合較佳解決方式之一。

大多數 MEMS 元件在加工時採用多晶矽作為活動元件，使用一個或多個氧化物釋放層，用氮化矽作為隔離層，並用金屬作為反射器和內部連接。MEMS 加工中一個特殊的難題是‘釋放’（release），在這個處理過程中，氧化矽犧牲層被溶解，由產生的空隙將元件中不同元件分開。MEMS 元件，包括靜電懸臂、偏轉鏡和扭轉調節器在內，都採用濕式化學製程溶解犧牲

層進行釋放。該製程通常在單塊 MEMS 電路晶片，而不是在整個晶圓上進行，此時由於靜摩擦的原因很容易引起良率下降。靜摩擦是指兩個相鄰表面黏合在一起，是因兩個微小結構之間液體乾化產生毛細作用力所引起，導致良率降低。大部份 MEMS 元件都是採用氧化物犧牲層加工而成，通常用含水氫氟酸溶解氧化物犧牲層作為釋放方法。另一種方法是採用氣體氫氟酸（HF vapor）釋放具有氧化物犧牲層的 MEMS 元件。

在美國史丹福大學所發表的一篇文獻“WAFER SCALE ENCAPSULATION OF LARGE LATERAL DEFLECTION MEMS STRUCTURES”中，其微機電元件的製作方法為先將矽覆絕緣基板進行深層離子蝕刻，接著再成長二氧化矽，並將其平面化。接續之，形成第一磊晶層，並進行深層離子蝕刻，以移除部份矽層。最後再用第二磊晶層密封第一磊晶層上被蝕刻的孔洞，並形成電極，以作為接合墊。另外，還有美國專利 US7,621,183，亦說明一種微機電元件之製作方法，其係先於一帽晶圓上形成一氧化層，接著在一陀螺儀晶圓上形成一平衡結構與一鍍層，並將陀螺儀晶圓連結於帽晶圓上。最後再將一參考晶圓與鍍層做電性連接，以固定於陀螺儀晶圓上。根據上面相關技術可知，前引證案有用到相對金屬更為昂貴的磊晶技術，且後引證案之整體製程也較為複雜。

因此，本發明係在針對上述之技術，提出一種感測器製程，以解決習知所產生的問題。

【發明內容】

本發明之主要目的，在於提供一種感測器製程，其係利用簡易及技術成熟之熱氧化法、金屬佈線、深層離子蝕刻（Deep Reactive-Ion Etching）及

電漿加強化學氣相沉積（PECVD, Plasma Enhanced Chemical Vapor Deposition）等方法來進行低成本製作及提供製成多樣性，同時藉由導電佈線層來達到電位分離的目的。

為達上述目的，本發明提供一種感測器製程，首先提供一矽覆絕緣基板，此矽覆絕緣基板之一矽層具有貫穿自身之至少一溝槽。接著於矽層開設貫穿自身之至少一圖案化通孔，且採用熱氧化法形成一犧牲層於矽層上，以充填溝槽與圖案化通孔。再來移除部分犧牲層，以露出矽層，並形成一導電佈線層於犧牲層上，以與矽層電性連接，其中導電佈線層之頂面具有至少一開孔，開孔之位置係對應圖案化通孔。最後，透過開孔移除圖案化通孔中之犧牲層。

本發明另提供一種感測器製程，首先提供一矽基板，矽基板具有貫穿自身之至少一溝槽。接著採用熱氧化法形成一犧牲層於矽基板上，以充填溝槽，或是以 PECVD 充填溝槽。再來，移除部分犧牲層，以露出矽基板，並形成一導電佈線層於犧牲層上，以與矽基板電性連接，其中導電佈線層之頂面具有至少一開孔，開孔之位置係對應導電佈線層之內側之犧牲層。透過開孔可以移除導電佈線層之內側之犧牲層。移除後，對應開孔之位置，利用深層離子蝕刻法，於矽基板開設貫穿自身之至少一圖案化通孔。

茲為使貴審查委員對本發明之結構特徵及所達成之功效更有進一步之瞭解與認識，謹佐以較佳之實施例圖及配合詳細之說明，說明如後：

【實施方式】

以下介紹本發明之微機電（MEMS）感測器之製作方法，其係以簡易及技術成熟之熱氧化法、金屬佈線、深層離子蝕刻（DRIE）及電漿加強化

學氣相沉積（PECVD）等方法來進行，此相對於成本較高之磊晶技術更具低成本及提供製成多樣性，同時還可藉由導電佈線層來達到電位分離的目的。

以下介紹第一實施例，請參閱第 1(a)圖至第 1(m)圖。

首先，如第 1(a)圖所示，先提供一矽覆絕緣（SOI）基板 10，其係具有一矽層 12。接著，如第 1(b)圖所示，以深層離子蝕刻法，於矽層 12 開設貫穿自身之至少一溝槽 14，以露出二氧化矽層 16。再來，如第 1(c)圖所示，以熱氧化法或 PECVD 形成一氧化層 18 於矽層 12 上，以充填溝槽 14。接著繼續，如第 1(d)圖所示，以活性離子蝕刻（reactive ion etching，RIE）乾蝕刻方式移除部分之氧化層 18 及其以深層離子蝕刻下方之矽層 12，以開設至少一圖案化通孔 22。然後，如第 1(e)圖所示，充填一犧牲結構 24 於圖案化通孔 22 中，以形成一犧牲層 26 於矽層 12 上。即此犧牲層 26 包含氧化層 18 與犧牲結構 24，且其材質在此可以皆為二氧化矽。

當犧牲層 26 形成完後，如第 1(f)圖所示，移除部分犧牲層 26，以露出矽層 12，並使犧牲層 26 具有一第一犧牲區塊 261 與一第二犧牲區塊 262，第二犧牲區塊 262 位於第一犧牲區塊 261 之外圍。其中，為了後續佈線層之需要，在製程上，可以進行調整，使第一犧牲區塊 261 之材質為二氧化矽，且第二犧牲區塊 262 之材質為二氧化矽、碳化矽或高阻值多晶矽。

接著，如第 1(g)圖所示，於犧牲層 26 上形成材質為鋁之一第一金屬層 28，以與矽層 12 電性連接。然後，如第 1(h)圖所示，對應圖案化通孔 22 及溝槽 14 之位置，於第一金屬層 28 開設至少一開口 30，以露出犧牲層 26，並形成材質為二氧化矽之一第一絕緣層 32 填補開口 30，如第 1(i)圖所示。

再來，如第 1(j)圖所示，形成材質為二氧化矽之一第一絕緣區塊 34 於第一絕緣層 32 上，形成材質為二氧化矽之一第二絕緣區塊 36 與材質為鎢之一金屬區塊 38 於第一金屬層 28 上，此金屬區塊 38 係作為導電通孔 (VIA) 或導電栓塞 (PLUG)，且第一絕緣區塊 34、第二絕緣區塊 36 與金屬區塊 38 鄰接，並分別位於金屬區塊 38 內、外側，且形成具有至少一開孔 42 之材質為鋁之一第二金屬層 40 於第一絕緣區塊 34、第二絕緣區塊 36 與金屬區塊 38 上，其中開孔 42 之位置係對應圖案化通孔 22 與溝槽 14，又形成材質為二氧化矽之一第二絕緣層 44 於開孔 42 中，以位於第一絕緣區塊 34 上，使一導電佈線層 45 形成於犧牲層 26 上。

或者，在第 1(j)圖之步驟中，亦可直接形成包含第一絕緣區塊 34、第二絕緣區塊 36、金屬區塊 38、第二金屬層 40 與第二絕緣層 44 之具有開孔 42 之一金屬佈線層 46，於第一絕緣層 32 與第一金屬層 28 上，其中第一絕緣區塊 34、第二絕緣區塊 36、金屬區塊 38、第二金屬層 40 與第二絕緣層 44 之位置關係與上述相同。

當導電佈線層 45 形成完後，如第 1(k)圖所示，從開孔 42 通入氫氟酸氣體 (HF VAPOR)，或透過開孔 42 採用濕蝕刻法，依序移除第二絕緣層 44、第一絕緣區塊 34、第一絕緣層 32、第一金屬層 28 內側之犧牲層 26、圖案化通孔 22 中之犧牲層 26 與矽覆絕緣基板 10 之二氧化矽層 16，並同時移除溝槽 14 中之犧牲層 26。在此所移除的犧牲層 26，係為第一犧牲區塊 261 之部分。

若第一犧牲區塊 261 未接觸溝槽 14，且第二犧牲區塊 262 卻接觸溝槽 14，使開口 30 與開孔 42 無法對應溝槽 14 時，則在第 1(k)圖之步驟中，無

法移除溝槽 14 中之犧牲層 26。

至此已可以製作麥克風、壓力計或非氣密封裝之微機電元件，若欲製作其他不同類型之感測器，更可進行下列步驟：

接著繼續，如第 1(l)圖所示，依序沉積形成至少一絕緣層 47 與一金屬層 48 於導電佈線層 45 之第二金屬層 40 上，以密封開孔 42。最後，如第 1(m)圖所示，移除部份金屬層 48 及其下方之絕緣層 47，以露出第二金屬層 40，供進行電性傳導之用。

在上述第 1(a)圖之步驟可以省略，即直接提供矽層 12 具有溝槽 14 之矽覆絕緣基板 10，如第 1(b)圖所示。此外，在第 1(b)圖之步驟後，亦可直接先於矽層 12 開設圖案化通孔 22，再於矽層 12 形成前述犧牲層 26，以充填溝槽 14 與圖案化通孔 22，完成圖如第 1(e)圖所示。又，在第 1(f)圖之步驟後，可以直接形成上述之導電佈線層 45 於犧牲層 26 上。

以下介紹第二實施例，請參閱第 2(a)圖至第 2(l)圖。

首先，如第 2(a)圖所示，提供一矽基板 50。接著，如第 2(b)圖所示，利用深層離子蝕刻法，於半導體基板 50 開設貫穿自身之至少一溝槽 52。接著，如第 2(c)圖所示，以熱氧化法或 PECVD 形成材質為二氧化矽之一犧牲層 56 於矽基板 50 上，以充填溝槽 52。再來，如第 2(d)圖所示，移除部分犧牲層 56，以露出矽基板 50，並使犧牲層 56 具有一第一犧牲區塊 561 與一第二犧牲區塊 562，第二犧牲區塊 562 位於第一犧牲區塊 561 之外圍。其中，為了後續佈線層之需要，在製程上，可以進行調整，使第一犧牲區塊 561 之材質為二氧化矽，且第二犧牲區塊 562 之材質為二氧化矽、碳化矽或高阻值多晶矽。

移除後，如第 2(e)圖所示，於犧牲層 56 上形成材質為鋁之一第二金屬層 58，以與矽基板 50 電性連接。接著，如第 2(f)圖所示，對應第二金屬層 58 內側之犧牲層 56 之位置，於第二金屬層 58 開設至少一開口 60，以露出犧牲層 56，並如第 2(g)圖所示，形成材質為二氧化矽之一第二絕緣層 62 填補開口 60。填補後，如第 2(h)圖所示，形成材質為二氧化矽之一第一絕緣區塊 64 於第二絕緣層 62 上，形成材質為二氧化矽之一第二絕緣區塊 66 與材質為鎢之一金屬區塊 68 於第一金屬層 58 上，此金屬區塊 68 係作為導電通孔 (VIA) 或導電栓塞 (PLUG)，且第一絕緣區塊 64、第二絕緣區塊 66 與金屬區塊 68 鄰接，並分別位於金屬區塊 68 內、外側，且形成具有至少一開孔 72 之材質為鋁之一第二金屬層 70 於第一絕緣區塊 64、第二絕緣區塊 66 與金屬區塊 68 上，又形成材質為二氧化矽之一第三絕緣層 74 於開孔 72 中，以位於第一絕緣區塊 64 上，使一導電佈線層 76 形成於犧牲層 56 上，其中開孔 72 之位置係對應導電佈線層之內側之犧牲層 56，即對應第一犧牲區塊 561。

或者，在第 2(h)圖之步驟中，亦可直接形成包含第一絕緣區塊 64、第二絕緣區塊 66、金屬區塊 68、第二金屬層 70 與第三絕緣層 74 之具有開孔 72 之一金屬佈線層 77，於第二絕緣層 62 與第一金屬層 58 上，其中第一絕緣區塊 64、第二絕緣區塊 66、金屬區塊 68、第二金屬層 70 與第三絕緣層 74 之位置關係與上述相同。

再來，如第 2(i)圖所示，從開孔 72 通入氫氟酸氣體，或透過氫氟酸液體之濕蝕刻法，依序移除第三絕緣層 74、第一絕緣區塊 64、第二絕緣層 62 與導電佈線層 76 之第一金屬層 58 內側之犧牲層 56，此犧牲層即為第一犧

牲區塊 561。移除後，如第 2(j)圖所示，依序沉積形成二氧化矽之一第一絕緣層 78 與材質為鋁之一接合層 80，於導電佈線層 76 之第二金屬層 70 上，以密封開孔 72。接著，如第 2(k)圖所示，對應開孔 72 之位置，利用深層離子蝕刻法，於矽基板 50 開設貫穿自身之至少一圖案化通孔 82，並於矽基板 50 之底面形成至少一第一接合墊 84。最後，如第 2(l)圖所示，提供設有至少一第二接合墊 86 之至少一電路晶片 88，並利用第一接合墊 84、第二接合墊 86 互相接合 (bonding)，以固定電路晶片 88 於矽基板 50 上。此第一接合墊 84、第二接合墊 86 的接合方式為氣密式，其係為熔化接合 (fusion bond)、熔塊接合 (glass frit) 及共熔合金接合 (eutectic bonding) 等習知技術。其中，接合技術若是以 fusion bond，則可以省略第一接合墊 84 之形成步驟，使第二接合墊 86 直接接合矽基板 50 即可。

在上述第 2(a)圖之步驟可以省略，即直接提供具有溝槽 52 之矽基板 50，如第 2(b)圖所示。又，在第 2(d)圖之步驟後，可以直接形成上述之導電佈線層 76 於犧牲層 56 上。

此外，在第二實施例之流程中，於第 2(i)圖之步驟後，可以省略第 2(j)圖與第 2(l)圖之步驟，與第 2(k)圖之形成第一接合墊 84 之步驟，並直接進行第 2(k)圖之開設圖案化通孔 82 之步驟，以完成感測器製程。

以下介紹第三實施例，請參閱第 3(a)圖至第 3(m)圖。其中第 3(a)圖至第 3(j)圖之步驟與上述第 2(a)圖至第 2(j)圖之步驟相同，於此不再贅述。

當形成第一絕緣層 78 與接合層 80 於導電佈線層 76 之第二金屬層 70 上後，如第 3(k)圖所示，提供一支撐基板 92，其頂面具有用以對位之至少一凹槽 94，並將支撐基板 92 與接合層 80 之互相接合，以固定支撐基板 92

於導電佈線層 76 上，其中支撐基板 92 以一矽基板實施之。

接著，如第 3(l)圖所示，對應開孔 72 之位置，利用深層離子蝕刻法，於矽基板 50 開設貫穿自身之至少一圖案化通孔 82，並於矽基板 50 之底面形成至少一第一接合墊 84，且移除上述凹槽 94。最後，如第 3(m)圖所示，提供設有至少一第二接合墊 86 之一電路晶片 88，並利用第一接合墊 84、第二接合墊 86 互相接合，以固定電路晶片 88 於矽基板 50 上。同樣地，此第一接合墊 84、第二接合墊 86 的接合方式亦為氣密式，其係為熔化接合、熔塊接合及共熔合金接合等習知技術。其中，接合技術若是以 fusion bond，則可以省略第一接合墊 84 之形成步驟，使第二接合墊 86 直接接合矽基板 50 即可。其中第一接合墊 84、第二接合墊 86 之材質可為二氧化矽或金屬。

利用上述各製程，可以製作各種不同的微機電感測器，例如加速度計、陀螺儀、磁場感測器或震盪器等。

綜上所述，本發明之製作技術不但成熟更具低成本，亦符合微機電技術之需求。

以上所述者，僅為本發明一較佳實施例而已，並非用來限定本發明實施之範圍，故舉凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

【圖式簡單說明】

第 1(a)圖至第 1(m)圖為本發明之第一實施例之各步驟結構剖視圖。

第 2(a)圖至第 2(l)圖為本發明之第二實施例之各步驟結構剖視圖。

第 3(a)圖至第 3(m)圖為本發明之第三實施例之各步驟結構剖視圖。

【主要元件符號說明】

10	矽覆絕緣基板	12	矽層
14	溝槽	16	二氧化矽層
18	氧化層		
22	圖案化通孔	24	犧牲結構
26	犧牲層	261	第一犧牲區塊
262	第二犧牲區塊		
28	第一金屬層		
30	開口	32	第一絕緣層
34	第一絕緣區塊	36	第二絕緣區塊
38	金屬區塊	40	第二金屬層
42	開孔	44	第二絕緣層
45	導電佈線層	46	金屬佈線層
47	絕緣層		
48	金屬層	50	矽基板
52	溝槽		
56	犧牲層	561	第一犧牲區塊
562	第二犧牲區塊		
58	第一金屬層		
60	開口	62	第二絕緣層
64	第一絕緣區塊	66	第二絕緣區塊
68	金屬區塊	70	第二金屬層
72	開孔	74	第三絕緣層



76 導電佈線層

78 第一絕緣層

80 接合層

84 第一接合墊

88 電路晶片

92 支撐基板

77 金屬佈線層

82 圖案化通孔

86 第二接合墊

94 凹槽

七、申請專利範圍：

1. 一種感測器製程，包含下列步驟：

提供一矽覆絕緣基板，且該矽覆絕緣基板之一矽層具有貫穿自身之至少一溝槽；

於該矽層開設貫穿自身之至少一圖案化通孔，且形成一犧牲層於該矽層，以充填該溝槽與該圖案化通孔；

移除部分該犧牲層，以露出該矽層，並形成一導電佈線層於該犧牲層上，以與該矽層電性連接，該導電佈線層具有至少一開孔，該開孔之位置係對應該圖案化通孔；以及

透過該開孔移除該圖案化通孔中之該犧牲層。

2. 如請求項 1 所述之感測器製程，其中於該矽層開設該圖案化通孔，且形成該犧牲層於該矽層，以充填該溝槽與該圖案化通孔之步驟，更包含下列步驟：

以熱氧化法或電漿加強化學氣相沉積（PECVD）的方式形成一氧化層於該矽層上，以充填該溝槽；

移除部分之該氧化層及其下方之該矽層，以開設該圖案化通孔；以及
充填一犧牲結構於該圖案化通孔中，以形成該犧牲層於該矽層。

3. 如請求項 1 所述之感測器製程，其中形成該導電佈線層於該犧牲層，以與該矽層電性連接之步驟，更包含下列步驟：

於該犧牲層上形成一第一金屬層，以與該矽層電性連接；

對應該圖案化通孔之位置，於該第一金屬層開設至少一開口，以露出該犧牲層，並形成一第一絕緣層填補該開口；以及

形成具有該開孔之一金屬佈線層於該第一金屬層與該第一絕緣層，使該導電佈線層形成於該犧牲層。

4. 如請求項 3 所述之感測器製程，其中在形成該金屬佈線層於該第一金屬層與該第一絕緣層之步驟中，係形成一第一絕緣區塊於該第一絕緣層上，形成一第二絕緣區塊與一金屬區塊於該第一金屬層上，且該第一絕緣區塊、該第二絕緣區塊與該金屬區塊鄰接，並分別位於該金屬區塊內、外側，且形成具有該開孔之一第二金屬層於該第一絕緣區塊、該第二絕緣區塊與該金屬區塊上，又形成一第二絕緣層於該開孔中，以位於該第一絕緣區塊上，使該金屬佈線層形成於該第一金屬層與該第一絕緣層。
5. 如請求項 4 所述之感測器製程，其中透過該開孔移除該圖案化通孔中之該犧牲層之步驟中，係依序移除該第二絕緣層、該第一絕緣區塊、該第一絕緣層、該第一金屬層內側之該犧牲層、該圖案化通孔中之該犧牲層與該矽覆絕緣基板之一二氧化矽層，且其中該第一絕緣層、該第二絕緣層、該第一絕緣區塊與該第二絕緣區塊之材質為二氧化矽。
6. 如請求項 1 所述之感測器製程，其中該圖案化通孔之開設方法為深層離子蝕刻法，且該開孔之位置更對應該溝槽，在透過該開孔移除該圖案化通孔中之該犧牲層之步驟中，係同時移除該溝槽與該圖案化通孔中之該犧牲層；以及在移除該部分該犧牲層，以露出該矽層之步驟中，係移除該部分該犧牲層，以露出該矽層，並使該犧牲層具有一第一犧牲區塊與一第二犧牲區塊，該第二犧牲區塊位於該第一犧牲區塊之外圍，且該第一犧牲區塊之材質為二氧化矽，該第二犧牲區塊之材質為二氧化矽、碳化矽或高阻值多晶矽。

7. 如請求項 1 所述之感測器製程，其中在透過該開孔移除該圖案化通孔中之該犧牲層之步驟中，係從該開孔通入氫氟酸氣體，或透過該開孔採用濕蝕刻法進行之；以及在透過該開孔移除該圖案化通孔中之該犧牲層之步驟後，更可進行一步驟，係形成至少一絕緣層於該導電佈線層上，以密封該開孔。

8. 一種感測器製程，包含下列步驟：

提供一矽基板，該矽基板具有貫穿自身之至少一溝槽；

形成一犧牲層於該矽基板，以充填該溝槽；

移除部分該犧牲層，以露出該矽基板，並形成一導電佈線層於該犧牲層，

以與該矽基板電性連接，該導電佈線層具有至少一開孔，該開孔之位

置係對應該導電佈線層之內側之該犧牲層；

透過該開孔移除該內側之該犧牲層；以及

對應該開孔之位置，於該矽基板開設貫穿自身之至少一圖案化通孔。

9. 如請求項 8 所述之感測器製程，其中在透過該開孔移除該內側之該犧牲

層之步驟後，更可依序形成一第一絕緣層與一接合層於該導電佈線層，

以密封該開孔，接著再進行於該矽基板開該圖案化通孔之步驟；以及

在形成該導電佈線層於該犧牲層，以與該矽基板電性連接之步驟，更包

含下列步驟：

於該犧牲層上形成一第一金屬層，以與該矽基板電性連接；

對應該第一金屬層內側之該犧牲層之位置，於該第一金屬層開設至少

一開口，以露出該犧牲層，並形成一第二絕緣層填補該開口；以及

形成具有該開孔之一金屬佈線層於該第一金屬層與該第二絕緣層，使

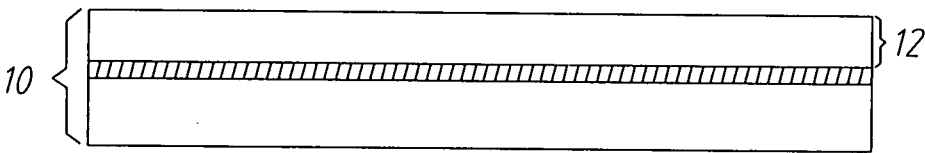


該導電佈線層形成於該犧牲層。

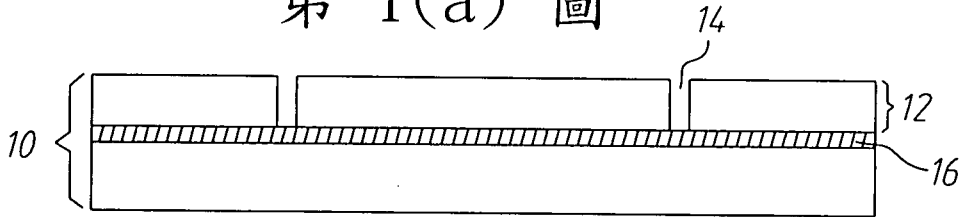
10.如請求項 9 所述之感測器製程，其中在形成該金屬佈線層於該第一金屬層與該第二絕緣層之步驟中，係形成一第一絕緣區塊於該第二絕緣層，形成一第二絕緣區塊與一金屬區塊於該第一金屬層，且該第一絕緣區塊、該第二絕緣區塊與該金屬區塊鄰接，並分別位於該金屬區塊內、外側，且形成具有該開孔之一第二金屬層於該第一絕緣區塊、該第二絕緣區塊與該金屬區塊，又形成一第三絕緣層於該開孔中，以位於該第一絕緣區塊，使該金屬佈線層形成於該第一金屬層與該第二絕緣層；在透過該開孔移除該導電佈線層內側之該犧牲層之步驟中，係移除該第三絕緣層、該第一絕緣區塊、該第二絕緣層、該第一金屬層內側之該犧牲層；以及在移除該部分該犧牲層，以露出該矽基板之步驟中，係移除該部分該犧牲層，以露出該矽基板，並使該犧牲層具有一第一犧牲區塊與一第二犧牲區塊，該第二犧牲區塊位於該第一犧牲區塊之外圍，且該第一犧牲區塊之材質為二氧化矽，該第二犧牲區塊之材質為二氧化矽、碳化矽或高阻值多晶矽。

11.如請求項 8 所述之感測器製程，其中該圖案化通孔之開設方法為深層離子蝕刻法；該犧牲層之形成方法為熱氧化法或電漿加強化學氣相沉積（PECVD）的方式；在透過該開孔移除該圖案化通孔中之該犧牲層之步驟中，係從該開孔通入氫氟酸氣體，或透過該開孔採用濕蝕刻法進行之；以及在於該矽基板開設該圖案化通孔之步驟後，更可將至少一電路晶片利用氣密接合（hermetic bond）固定於該矽基板。

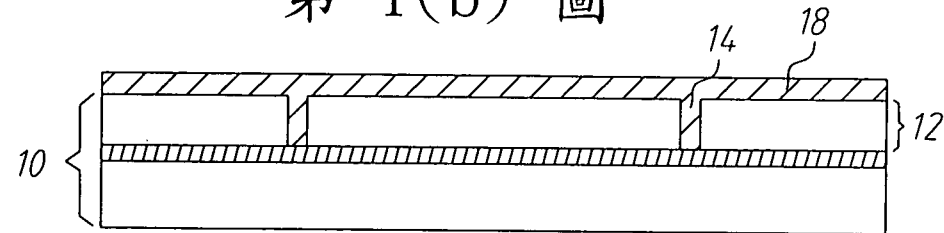
八、圖式：



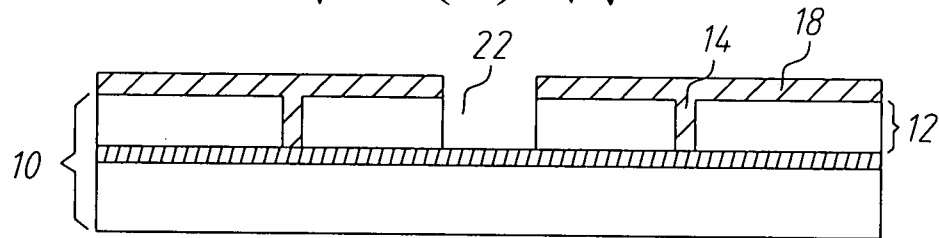
第 1(a) 圖



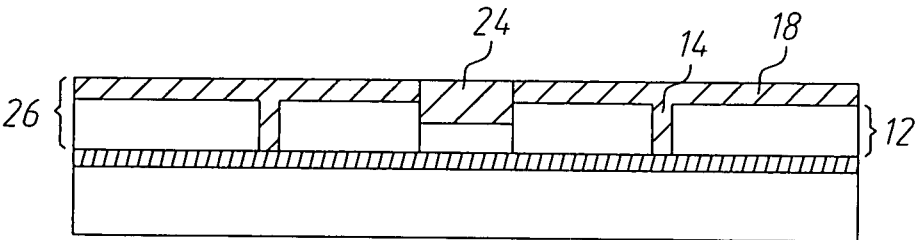
第 1(b) 圖



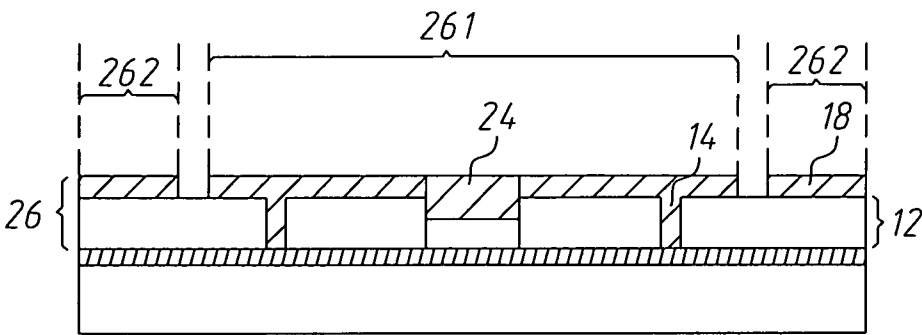
第 1(c) 圖



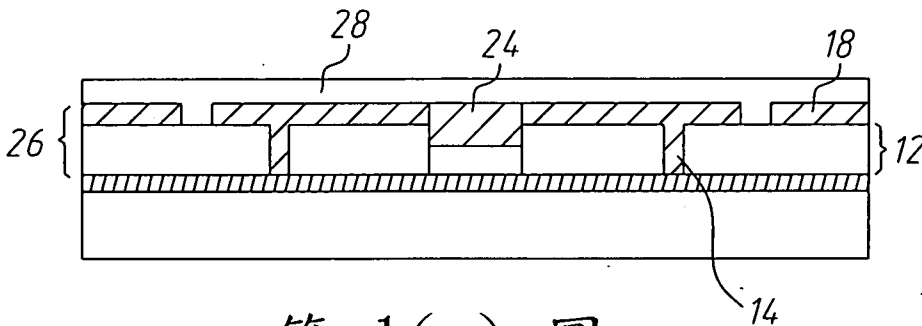
第 1(d) 圖



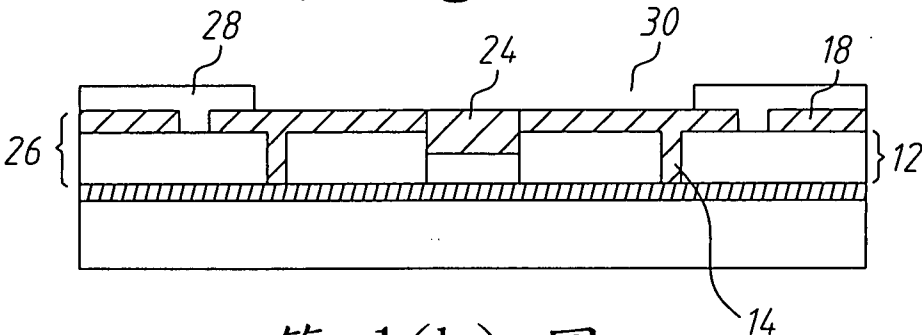
第 1(e) 圖



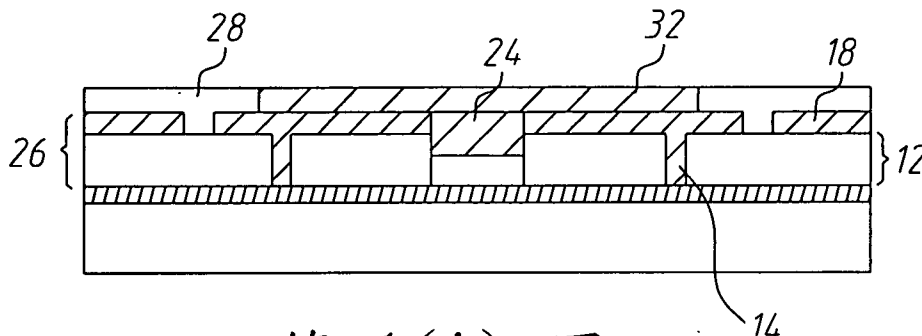
第 1(f) 圖



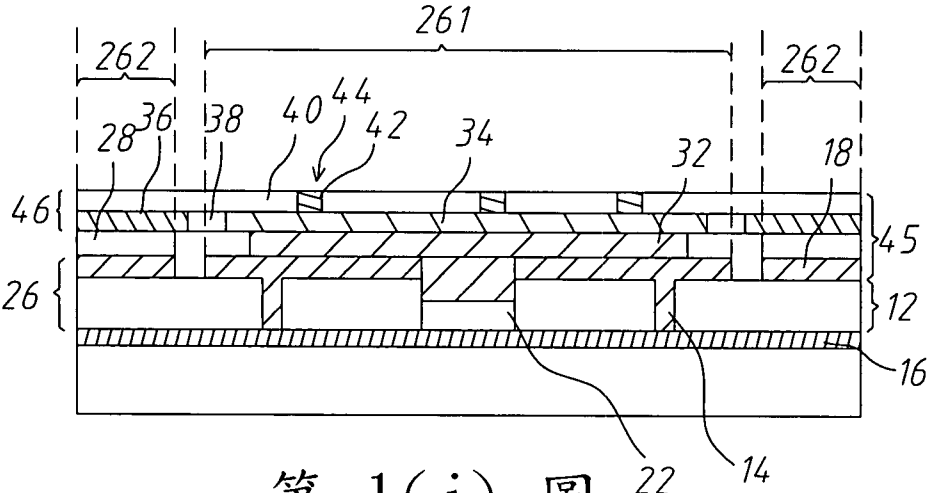
第 1(g) 圖



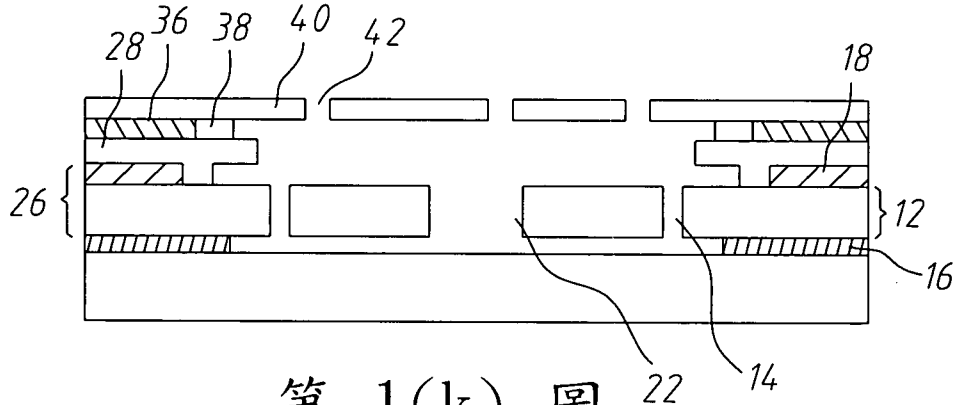
第 1(h) 圖



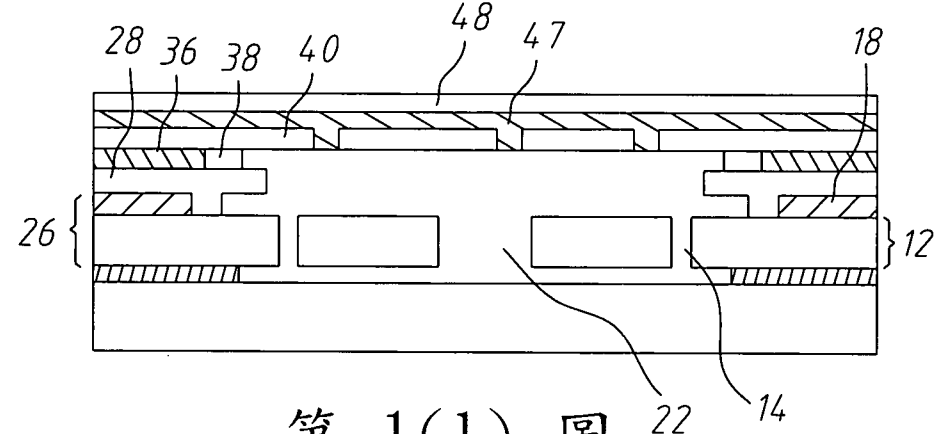
第 1(i) 圖



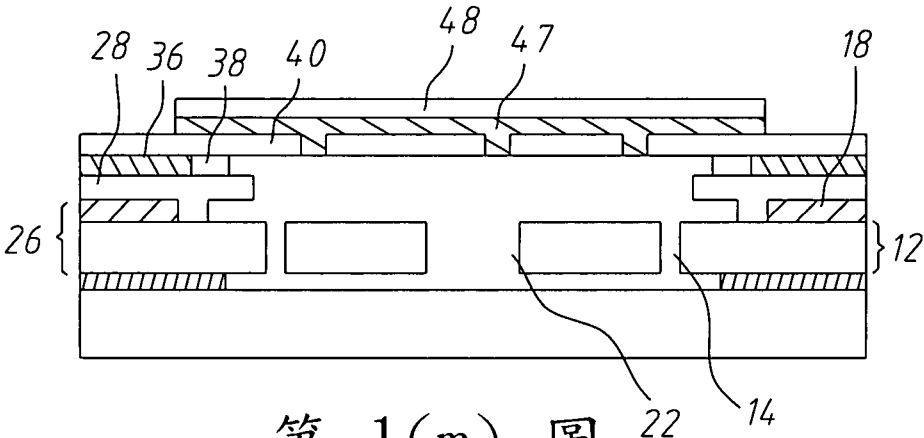
第 1(j) 圖



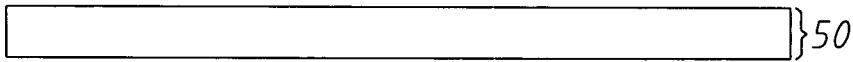
第 1(k) 圖



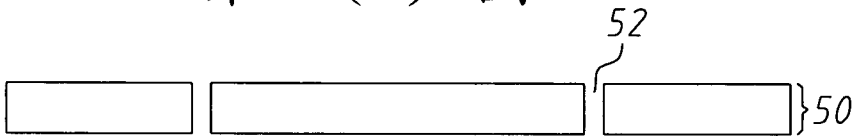
第 1(l) 圖



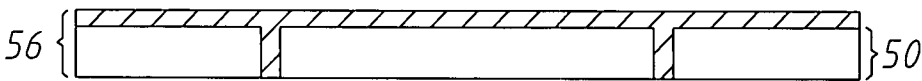
第 1(m) 圖



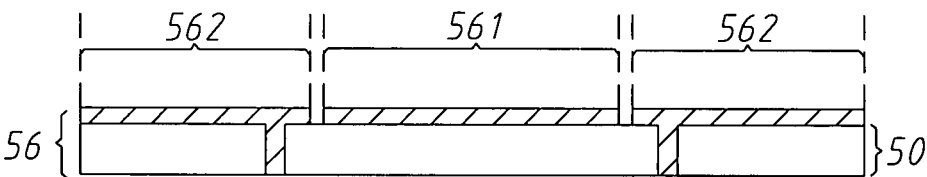
第 2(a) 圖



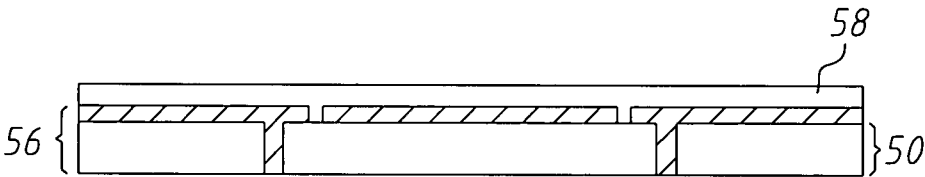
第 2(b) 圖



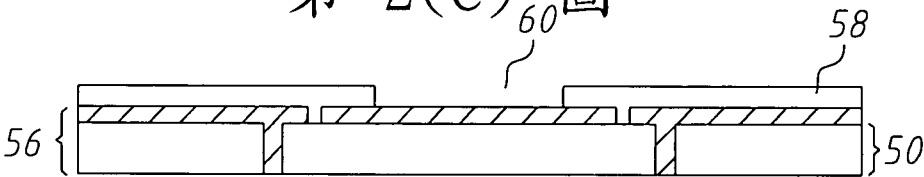
第 2(c) 圖



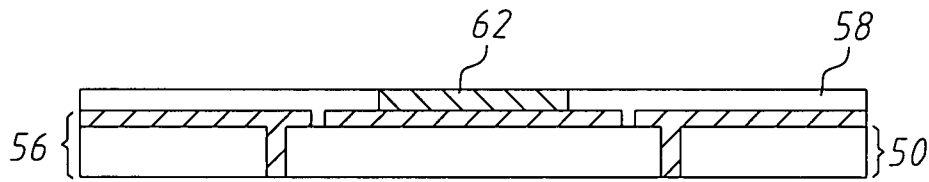
第 2(d) 圖



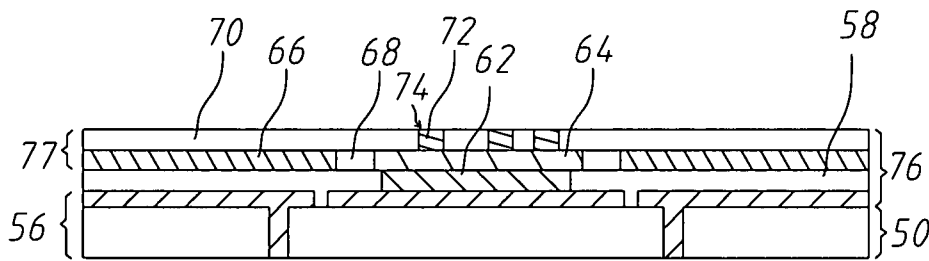
第 2(e) 圖



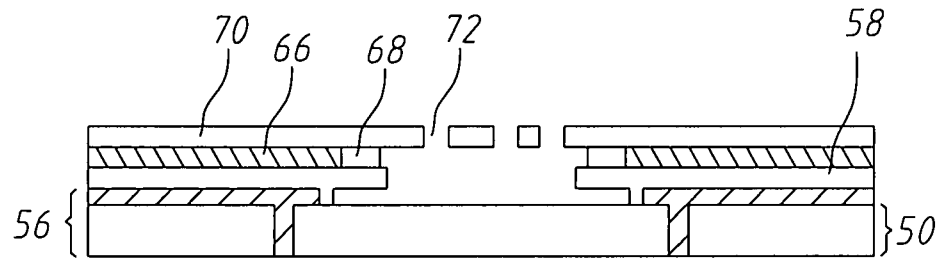
第 2(f) 圖



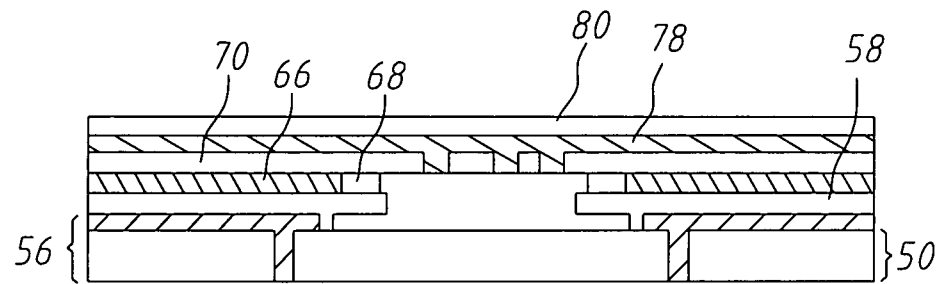
第 2(g) 圖



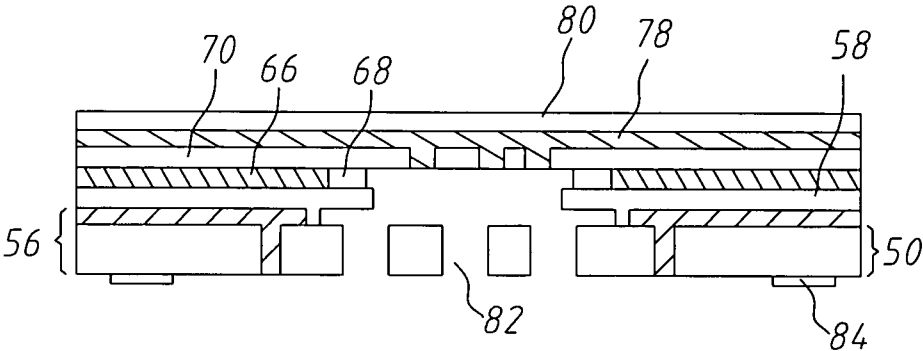
第 2(h) 圖



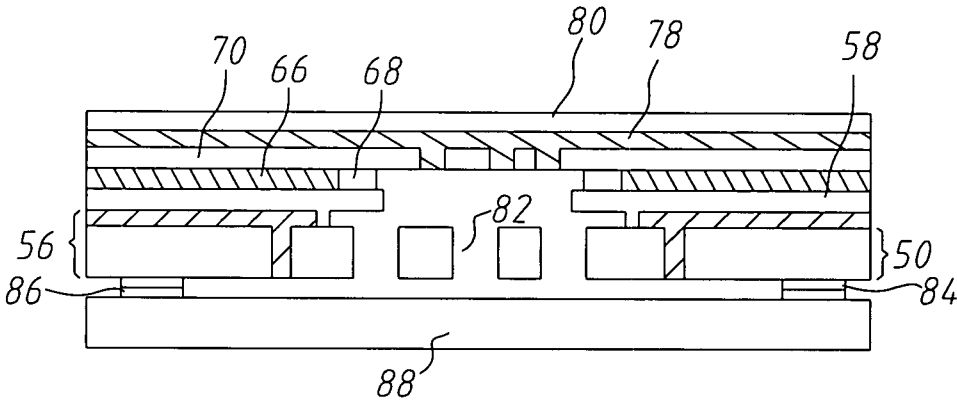
第 2(i) 圖



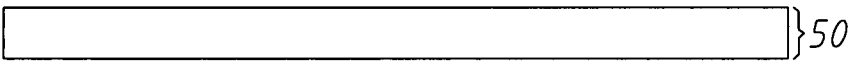
第 2(j) 圖



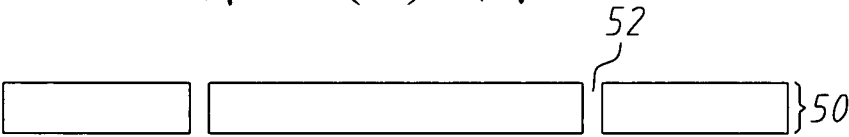
第 2(k) 圖



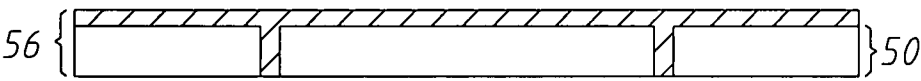
第 2(1) 圖



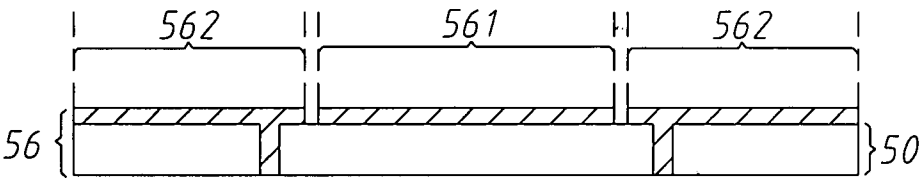
第 3(a) 圖



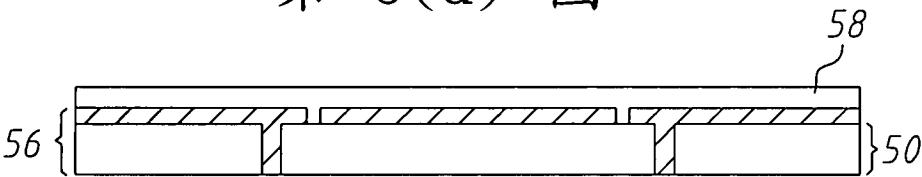
第 3(b) 圖



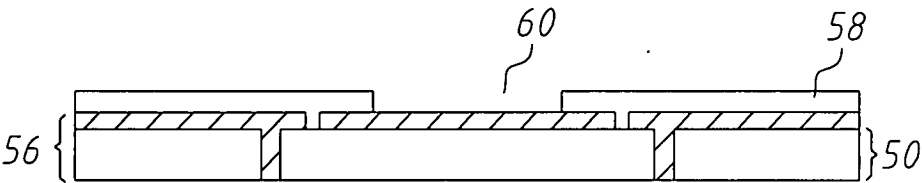
第 3(c) 圖



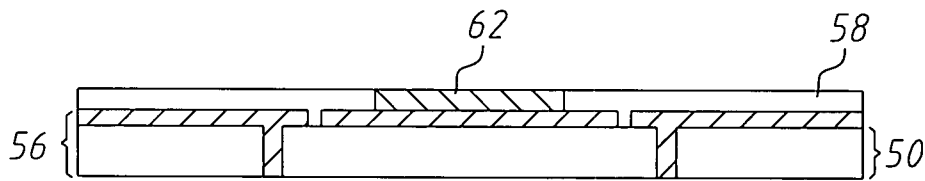
第 3(d) 圖



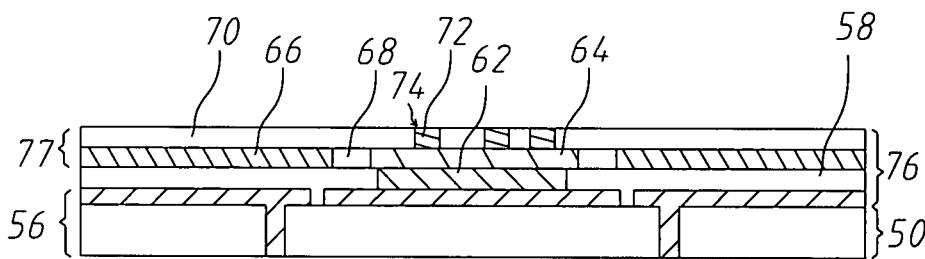
第 3(e) 圖



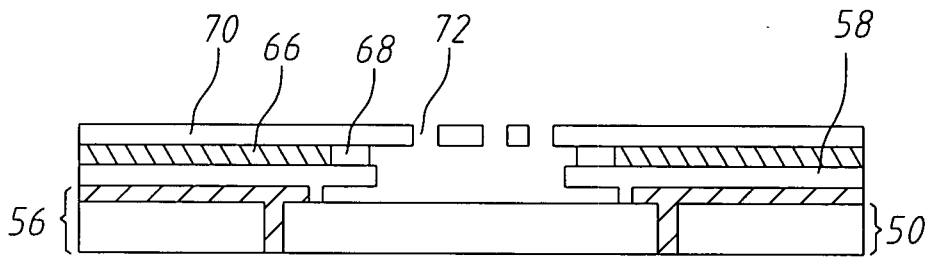
第 3(f) 圖



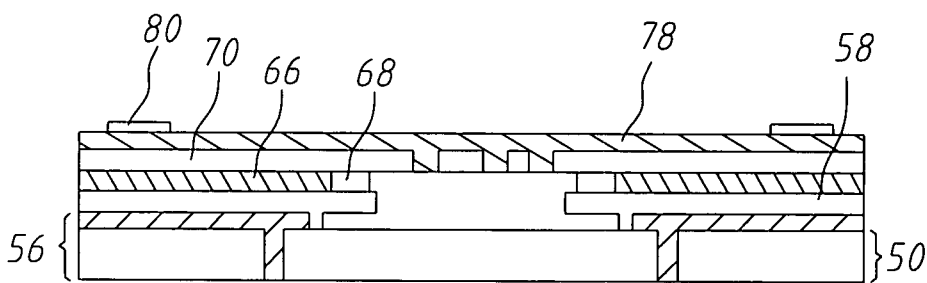
第 3(g) 圖



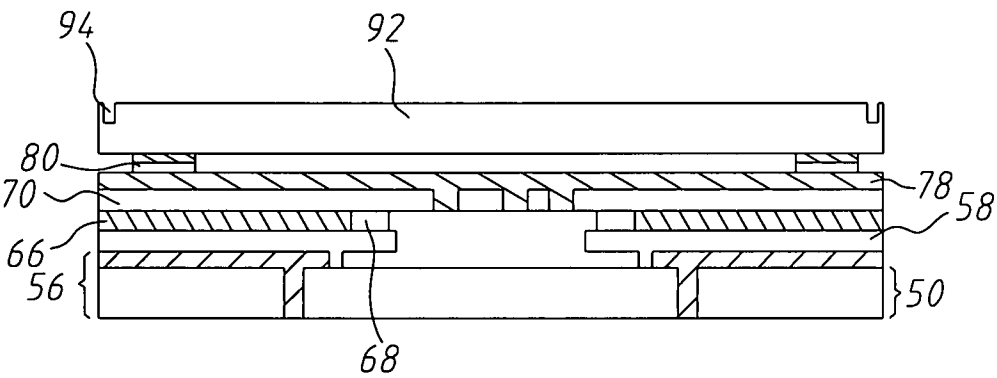
第 3(h) 圖



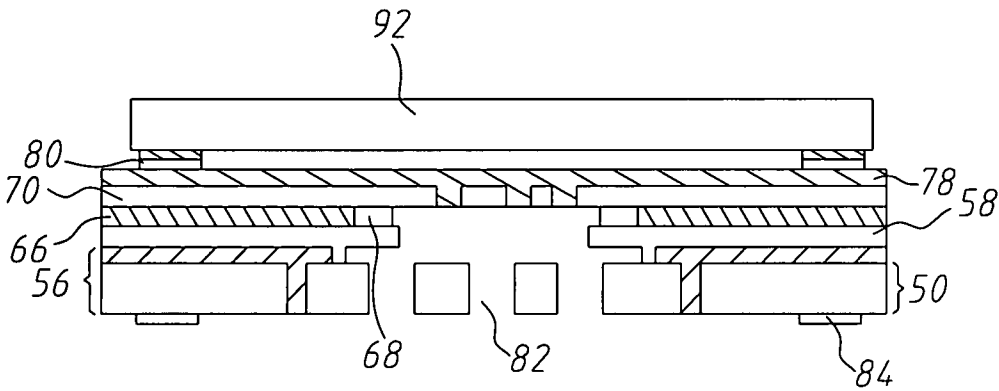
第 3(i) 圖



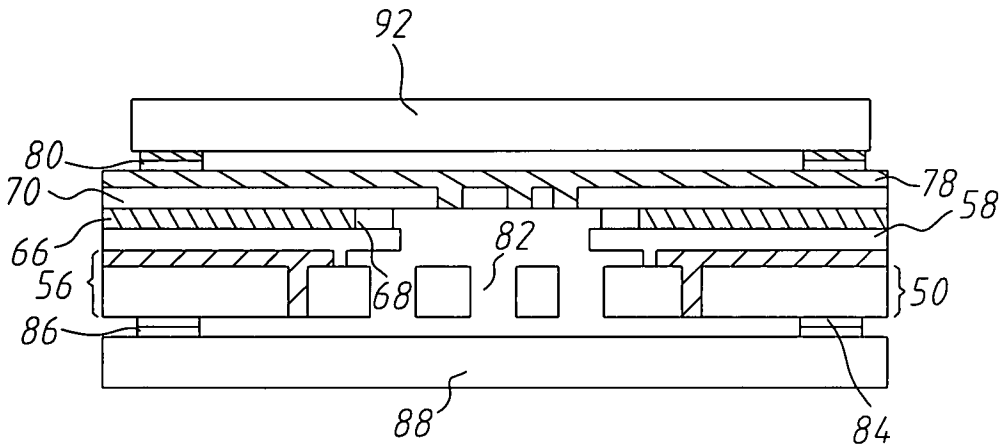
第 3(j) 圖



第 3(k) 圖



第 3(l) 圖



第 3(m) 圖