(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01Q 13/08
H01Q 23/00

(11) 공개번호 특2000-0006166
(43) 공개일자 2000년01월25일

(21) 출원번호 10-1999-0022156
(22) 출원일자 1999년06월15일
(30) 우선권주장 10-168222 1998년06월16일 일본(JP)
(71) 출원인 알프스 덴키 가부시키가이샤 가타오카 마사타카
일본국 도쿄도 오타구 유키가야 오츠카쵸 1반 7고
(72) 발명자 나카노가즈히로
일본국후쿠시마켄소마군가시마마치기타야가타아자니시우라무키112
(74) 대리인 송재련, 한규환

심사청구 : 있음

(54) 전자회로유닛

요약

본 발명은 회로부품의 일부를 다층기판의 하면에도 탑재함으로써 다층기판의 면적을 작게 하여 소형화를 도모하는 것이다.

이를 위하여 전자회로를 구성하는 회로부품과, 다층기판(1)을 가지고, 다층기판(1)의 상면에 회로부품중의 일부 회로부품(5, 6, 7)을 탑재함과 동시에 회로부품과 함께 전자회로를 구성하는 마이크로 스트립라인(4)을 형성하고 다층기판(1)의 하면에 회로부품중의 다른 회로부품(8, 9)을 탑재하였다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 본 발명의 전자회로 유닛의 평면도,

도 2는 본 발명의 전자회로 유닛의 요부단면도,

도 3은 본 발명의 전자회로 유닛의 이면도,

도 4는 종래의 전자회로 유닛의 평면도,

도 5는 종래의 전자회로 유닛의 요부단면도이다.

※도면의 주요부분에 대한 부호의 설명

1 : 다층기판	1a : 제 2 도체층
1b : 제 3 도체층	1c : 제 4 도체층
2 : 오목부	3 : 커버
4 : 마이크로 스트립라인	5 : 칩저항
6 : 칩콘덴서	7 : 바랙터 다이오드
8 : 발진 트랜지스터	9 : 증폭기용 IC 부품
10 : 수지	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전압제어 발진기, 주파수 신시사이저 등의 전자회로 유닛에 관한것이다.

종래의 전자회로 유닛인 예를 들면 전압제어 발진기를 도 4에 나타내는 평면도 및 도 5에 나타내는 단면도에 따라서 설명한다.

다층기판(21)은 예를 들면 5층의 도체층과 4층의 절연층이 교대로 적층되어 구성되어 있다. 다층기판(21)의 상면에는 전자회로를 구성하고 있는 면장착형의 회로부품(22 내지 26)이 탑재되고, 상면의 제 1 도체층(21a)에 의하여 회로배선이 되어 있다. 또 중간층의 제 2 도체층(21b)과 제 4 도체층(21d)은 접지도체로 되어 있고, 이들 도체층(21b, 21d)에 의하여 끼워진 제 3 도체층(21c)의 대략 중앙부에는 마이크로 스트립라인(27)이 형성되어 있다. 마이크로 스트립라인(27)은 그 인덕턴스치가 조정되어 사용된다. 이 때문에 다층기판(21)의 바깥쪽으로부터 레이저광선을 가함으로써 자른 홈이 가해지나, 그 때문에 마이크로 스트립라인(27)이 형성된 위치에 대응하여 다층기판(21)의 상면에는 회로부품은 탑재되어 있지 않다.

회로부품중 칩저항기(22), 칩 콘덴서(23), 바랙터 다이오드(24) 등의 비교적 소형의 회로부품은 다층기판(21)의 3변에 따른 위치에 올려놓여지고, 발진 트랜지스터(25), 증폭기용 IC(집적회로)부품(26) 등의 비교적 형상이 큰 능동회로 부품은 다른 1변을 따른 위치에 올려놓여져 있다.

바랙터 다이오드(24)는 마이크로 스트립라인(27)과 함께 공진회로를 구성한다. 그리고 마이크로 스트립라인(27)은 다층기판(21)에 형성한 도통구멍(도시생략) 등에 의하여 상면의 제 1 도체층과 서로 접속되어 있다. 다시 하면의 제 5 도체층(21e)은 신호용 단자전극 또는 접지용 단자전극이 된다.

그리고 회로부품을 덮는 커버(28)가 다층기판(21)에 설치된다(도 4에서는 커버(28)를 제거한 상태를 나타냄). 커버(28)의 일부는 다층기판(2I)의 측단면에 따라 하면측으로 연장되어 접지용 단자전극인 제 5 도체층(2Ie)과 접속된다. 또 회로부품 또는 상면의 제 1 도체층(21a)도 다층기판(21)의 측단면을 거쳐 신호용의 단자전극이 되는 제 5 도체층(21e)에 접속되고, 이에 의하여 전자회로 유닛 자신이 하나의 면설치 부품으로서 다른 기판(마더기판)상에 탑재되도록 되어 있다.

발명이 이루고자하는 기술적 과제

상기한 종래의 전자회로 유닛에서는 전자회로를 구성하는 회로부품의 모두를 다층기판의 상면에 탑재하고 있었으므로 다층기판(2I)의 면적이 커지고 있었다.

또 마이크로 스트립라인(27)은 2층의 접지 도체층(21b, 2Id)의 사이에서 상하의 절연층에 의하여 끼워져 있었으므로 절연층의 유전체 손실에 의하여 Q가 낮아져 발진신호의 C/N 비가 악화되고 있었다.

그러므로 본 발명의 전자회로 유닛에서는 회로부품의 일부를 다층기판의 하면에도 탑재함으로써 다층기판의 면적을 작게 하여 소형화를 도모하고, 또 마이크로 스트립라인을 다층기판의 상면에 배치하여 그 Q를 높였다.

발명의 구성 및 작용

상기 과제를 해결하기 위해서 청구항 1에 기재된 전자회로 유닛은 상면에 일부의 회로부품이 탑재됨과 동시에 마이크로 스트립라인이 형성되고 하면에 다른 회로부품이 탑재된 다층회로기판을 가지고, 각 회로부품 및 마이크로 스트립라인에의하여 전자회로가 구성되고 있다.

또 청구항 2에 기재된 전자회로 유닛은 상기 다른 회로부품의 높이보다도 깊은 오목부가 상기 다층회로기판의 하면에 형성되어 상기 다른 회로부품이 오목부내에 탑재되어 있다.

또 청구항 3에 기재된 전자회로 유닛은 수지가 상기 오목부내에 충전되어 오목부내에 탑재된 회로부품이 그 수지로 덮여져 있다.

(발명의 실시 형태)

도 1 내지 도 3은 본 발명의 전자회로 유닛을 나타내고, 도 1은 평면도, 도 2는 주요부 단면도, 도 3은 이면도로서, 이하 본 발명의 전자회로 유닛을 도 1 내지 도 3을 참조하여 설명한다.

이들 도면에 있어서 다층기판(1)은 예를 들면 6층의 도체층과 5층의 절연층으로 구성되고, 하면에는 오목부(2)가 형성되어 있다. 그리고 전자회로를 구성하는 면설치형의 회로부품이 상면과 오목부(2)에 탑재되어 상면에 탑재된 회로부품이 커버(3)(도 3참조)에 의하여 덮여진다. 도 1은 커버(3)를 제거한 상태의 평면도이다. 상면에 설치되어 있는 제 1 도체층(도시생략)에 의하여 마이크로 스트립라인 (4)이 형성되고, 이 마이크로 스트립라인(4)의 삼방(三方)을 둘러싸도록 형상이 비교적 작은 회로부품인 칩저항(5), 칩콘덴서(6), 바랙터 다이오드(7) 등이 상면에 탑재된다.

그리고 이들의 회로부품은 제 1 도체층에 의하여 서로 배선된다. 제 2 도체층(1a)은 접지도체로서 사용되며 마이크로 스트립라인(4)과 대향함으로써 마이크로스트립라인(4)을 소정의 임피던스로 한다. 그리고 마이크로 스트립라인(4)은 바랙터 다이오드(7)와 함께 공진회로를 구성한다.

마이크로 스트립라인(4)은 다층기판(1)의 상면에 형성되어 있기 때문에 절연층에 의하여 끼워져 있지 않다. 따라서 그 만큼 유전체 손실이 감소하여 Q는 높아져 발진신호의 C/N 비가 커진다. 또 마이크로 스트립라인(4)이 상면에 형성되어 있음으로 레이저 광선에 의한 트리밍(자른 홈을 넣음에 의한 인덕턴스의 조정)이 쉬워져 있다.

회로부품중 발진 트랜지스터(8), 증폭기용 IC(집적회로)부품(9) 등의 비교적 형상이 큰 능동형의 회로부품은 오목부(2)내에 탑재되어 오목부(2)내의 제 2 도체층(1b)에 의하여 배선된다. 오목부(2)는 그 깊이 치수가 발진 트랜지스터(8)나 증폭기용 IC 부품(9)의 높이치수 보다도 커지도록 형성되어 있으므로 발진

트랜지스터(8)나 증폭기용 IC 부품(9)이 다층기판(1)의 하면으로부터 아래쪽으로 돌출하는 일은 없다. 따라서 이 전자회로 유닛을 면장착 부품으로서 다른 기판(마더기판)상에 탑재하여도 안정된 탑재를 할 수 있다. 또 오목부(2)의 깊이를 얻기 위해서는 다층기판(1)의 층수를 적절히 설정하면좋다.

오목부(2)내에는 에폭시계의 수지(10)가 충전되어 있어 발진 트랜지스터(8)나 증폭기용 IC 부품(9)이 수지(10)에 의하여 덮여진다. 따라서 오목부(2)내에는 이물, 쓰레기, 먼지 등의 이물이 진입하지 않는다. 또 발진 트랜지스터(8)나 증폭기용 IC 부품(9)이 수지몰드되어 있지 않은 소위 비피복 칩 부품이더라도 수지로 충전됨으로써 습도의 영향을 받는 일은 없다.

또 상면의 제 1 도체층과 제 3 도체층(1b)과는 다층기판(1)에 형성한 도통구멍(도시생략)등에 의하여 서로 접속되어 있다. 그리고 하면에 설치된 제 4 도체층(1d)은 단자전극이 되어 다층기판(1)의 측단면을 거쳐 커버(3) 또는 제 1 도체층 등에 접속되어 면장착형의 부품으로서의 전자회로 유닛이 구성된다.

발명의 효과

이상과 같이 본 발명의 전자회로 유닛은 전자회로를 구성하는 회로부품과, 다층기판을 가지고, 다층기판의 상면에 회로부품 중의 일부 회로부품을 탑재함과 동시에 회로부품과 함께 전자회로를 구성하는 마이크로 스트립라인을 형성하여 다층기판의 하면에 회로부품중의 다른 회로부품을 탑재하였기 때문에 다층기판의 면적을 작게 할 수 있어 전자회로 유닛의 소형화를 도모할 수 있다. 또 마이크로 스트립라인은 다층기판의 상면에 형성되어 있으므로 절연층에 의하여 끼워져 있지 않다. 따라서 그 만큼 유전체 손실이 감소하여 Q는 높아져 발진기를 구성했을 경우는 발진신호의 C/N 비가 커진다.

또 본 발명의 전자회로 유닛은 다른 회로부품의 높이 치수보다도 깊이치수가 큰 오목부를 다층기판의 하면에 형성하고, 오목부내에 다른 회로부품을 탑재하였기때문에 다른 회로부품이 다층기판의 하면으로부터 아래쪽으로 돌출하지 않아 전자회로 유닛을 다른 마더기판위에 안정되게 탑재할 수 있으므로 소위 면장착형의 부품으로서 기능시킬 수 있다.

또 본 발명의 전자회로 유닛은 다른 회로부품을 일부의 회로부품보다도 형상이 큰 트랜지스터, 집적회로 등의 능동부품으로 하였기 때문에 다층기판의 면적을한층 작게 할 수 있어, 전자회로 유닛의 소형화를 도모할 수 있다.

또 본 발명의 전자회로 유닛은 오목부내에 수지를 충전함과 동시에 수지로 다른 회로부품을 덮었기 때문에 오목부내에 쓰레기, 먼지 등이 진입하는 일이 없다. 또 소위 비피복 칩형상의 트랜지스터나 집적회로를 사용하여도 습도에 의한 영향을 받지 않도록 할 수 있다.

(57) 청구의 범위

청구항 1

상면에는 일부의 회로부품이 탑재됨과 동시에 마이크로 스트립라인이 형성되고, 하면에는 다른 회로부품이 탑재된 다층회로기판을 가지고, 상기 각 회로부품 및 상기 마이크로 스트립라인에 의하여 전자회로가 구성되어 있는 것을 특징으로 하는 전자회로 유닛.

청구항 2

제 1항에 있어서,

상기 다른 회로부품의 높이보다도 깊은 오목부가 상기 다층회로 기판의 하면에 형성되고, 상기 다른 회로부품이 상기 오목부내에 탑재되어 있는 것을 특징으로 하는 전자회로 유닛.

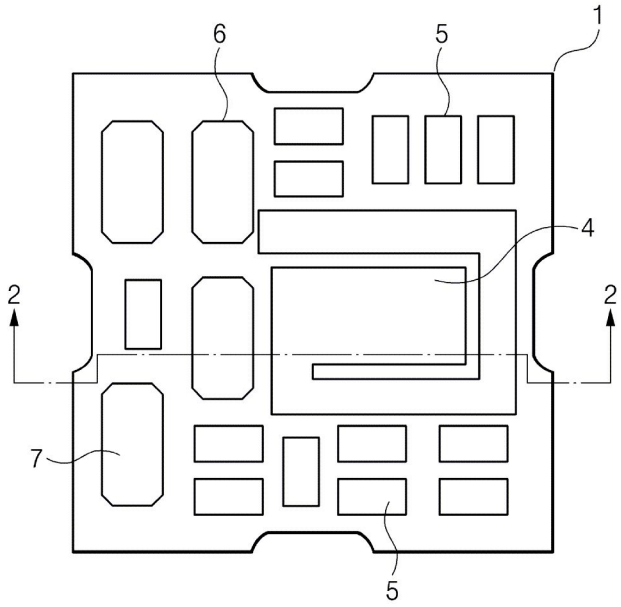
청구항 3

제 2항에 있어서,

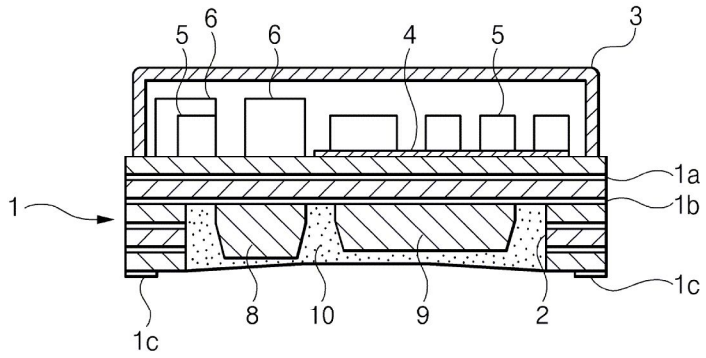
상기 오목부내에 수지가 충전되어 오목부내에 탑재된 회로부품이 상기 수지에 의해 덮여져 있는 것을 특징으로 하는 전자회로 유닛.

도면

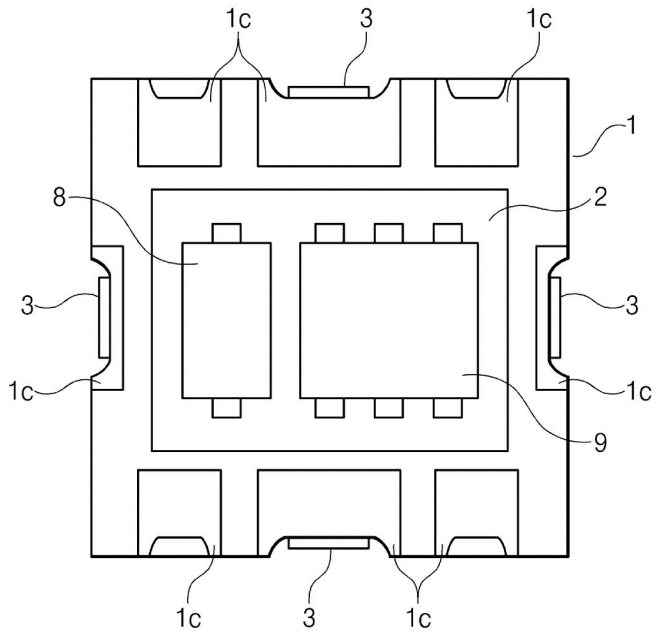
도면1



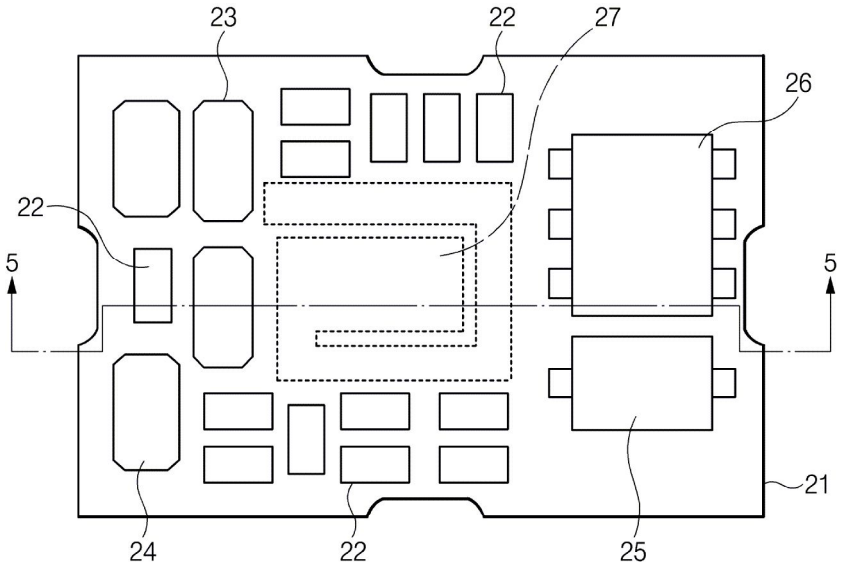
도면2



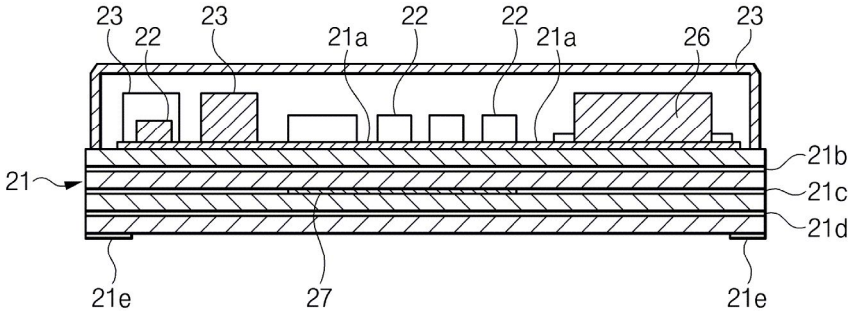
도면3



도면4


23
22
27
26
22
5
5
21
24
22
25

도면5


23
22
23
21a
22
22
21a
26
23
21b
21
21c
21d
21e
27
21e