

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009年4月16日 (16.04.2009)

PCT

(10) 国際公開番号
WO 2009/047853 A1

(51) 国際特許分類:

G06F 1/04 (2006.01) G06F 1/32 (2006.01)

(21) 国際出願番号:

PCT/JP2007/069854

(22) 国際出願日:

2007年10月11日 (11.10.2007)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(71) 出願人(米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 小中 陽介 (KONAKA, Yosuke) [JP/JP]; 〒2118588 神奈川県川崎市中原

区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 槻学 (KEYAKI, Manabu) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 木村 輝彦 (KIMURA, Teruhiko) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

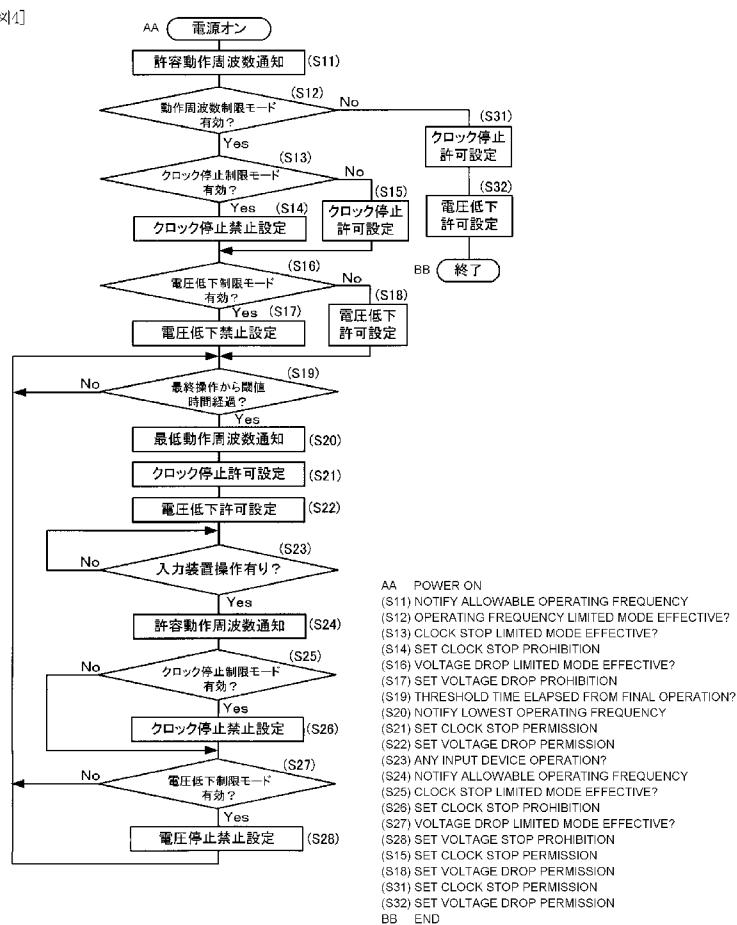
(74) 代理人: 山田 正紀, 外 (YAMADA, Masaki et al.); 〒1050003 東京都港区西新橋3丁目3-3 ペリカンビル4階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME,

/ 続葉有 /

(54) Title: INFORMATION PROCESSOR, OPERATION CONTROL METHOD, AND OPERATION CONTROL PROGRAM

(54) 発明の名称: 情報処理装置、動作制御方法および動作制御プログラム



(57) Abstract: An information processor and so forth having a processing circuit for operating at the set operating frequency to execute a program aim to achieve lower power consumption. The information processor comprises: a measuring section for measuring the elapsed time from the final user operation; a notification section for notifying the plural operating allowable frequencies of the processing circuit, instructing to fix the operating frequency of the processing circuit to a specific low operating frequency out of the operating allowable frequencies after the measurement of the elapsed time not less than a predetermined threshold time by the measuring section, and supporting the release of the fixation in response to the user operation in an input section; and a setting section for selecting an operating frequency in accordance with the status of the processing in the processing circuit from the operating allowable frequencies notified from the notification section, setting the selected operating frequency to the processing circuit, setting the low operating frequency to the processing circuit in response to the instruction of the fixation to the low operating frequency, and resuming the setting of the operating frequency in accordance with the status of the processing in the processing circuit, which is selected from the operating allowable frequencies to the processing circuit after the release of the fixation.

/ 続葉有 /

WO 2009/047853 A1



MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:
— 國際調査報告書

- (57) 要約: 本発明は、本発明は、設定された動作周波数で動作してプログラムを実行する処理回路を備えた情報処理装置等に関し、一層の低消費電力化を目的とし、最終のユーザ操作からの経過時間を計測する計測部と、処理回路の、複数の動作許容周波数を通知し、計測部により所定の閾値時間以上の経過時間が計測されたことを受けて、複数の動作許容周波数のうちの特定の低動作周波数への固定を指示し、入力部におけるユーザ操作を受けてその固定の解除を支持する通知部と、通知部から通知された複数の動作許容周波数の中から処理回路での処理の状況に応じた動作周波数を選択して選択した動作周波数を処理回路に設定し、低動作周波数への固定の指示を受けて処理回路に低動作周波数を設定し、その固定の解除を受けて、処理回路への、複数の動作許容周波数の中から選択した、処理回路での処理の状況に応じた動作周波数の設定を再開する設定部とを有する。

明細書

情報処理装置、動作制御方法および動作制御プログラム

技術分野

[0001] 本発明は、設定された動作周波数で動作してプログラムを実行する処理回路を備えた情報処理装置、並びに、その情報処理装置内で実行されて処理回路の動作を制御する動作制御方法および動作制御プログラムに関する。

背景技術

[0002] 近年では、会社や家庭を問わずパーソナルコンピュータ(以下、「PC」と略記する)が広く普及している。このPCには処理回路であるCPUが内蔵され、また基本ソフトウェアであるO/S(オペレーティングシステム)や様々なアプリケーションプログラムがインストールされ、CPUではO/Sの下で様々なアプリケーションプログラムが実行される。ここで、CPUは、消費電力抑制や発熱抑制等の観点から、複数の動作周波数の中から選択されその選択された動作周波数で動作する構成となっている。動作周波数の選択はO/Sで行なわれ、O/Sが現在の処理状況を監視してその処理状況に応じて処理が混雑しているときは高い動作周波数が選択され処理が少ないときは低い動作周波数が選択される。

[0003] 低い動作周波数が選択されると、同じ処理を行なうのに時間がかかることになるが、電源装置のエネルギー変換効率や、冷却装置での消費電力などを含むトータルの消費電力を考えると、動作周波数を下げることによりエネルギーの使用効率が高まり、低消費電力が実現できる。

[0004] また、そのPCによっては、高深度低消費電力(deep sleep)機能が搭載されているものもある。

[0005] これは、CPUでの処理自体を停止(CPUのクロックを停止)したり、さらにはCPUへの供給電力の電圧をCPU内のレジスタの内容は保存されるレベルにまで下げたりすることによる、消費電力を一段と下げる機能である。

[0006] ここで、O/Sは、処理のデマンドやO/Sの設定に応じてCPUの動作周波数を自動で変更するため、O/Sに内蔵されたファイルインデックス機能、ウイルススキャンソ

ソフトウェアの実行等、多少の時間がかかるつても何ら差しつかえない処理であっても、高い動作周波数が選択される場合があり、不必要に消費電力が増加するおそれがある。

- [0007] また、O/Sが実施する処理デマンドやO/Sの設定に応じてCPUの動作周波数を自動で変化させる機能を利用せず、特定の操作や、単位時間毎のメモリアクセス数を条件にし一律にCPUの周波数を変化させた場合は、処理デマンドによる制御ではない為、処理開始時の動作周波数が不足し、処理開始時に必要なデータを必要なタイミングまでに供給や取得できず、アンダーランやオーバーラン発生が発生するおそれがある。
- [0008] また、消費電力の低減のほか、耳障りな雑音の低減も大きな問題の1つであり、上記の高深層低消費電力機能が働いてCPUが停止したり、CPUが再度動作を開始するときに特に大きな雑音が発生するおそれがあり、その耳障りな雑音を抑えることも必要である。
- [0009] 以上の点は、PCに限らず、CPUを内蔵してプログラムを実行する情報処理装置一般に共通した問題である。
- [0010] なお、動作周波数制御の先行技術として以下の文献が知られている。
- 特許文献1:特開平08-006681号公報
特許文献2:特開2000-148315号公報
特許文献3:特許第3385811号公報
- [0011] 本発明は、上記事情に鑑み、一層の低消費電力化を実現した情報処理装置、並びに、情報処理装置内の処理回路の動作を制御することにより一層の低消費電力化を実現する動作制御方法および動作制御プログラムを提供することを目的とする。
- ### 発明の開示
- [0012] 上記目的を達成する本発明の情報処理装置は、
設定された動作周波数で動作してプログラムを実行する処理回路と、
ユーザによる操作入力を受ける入力部と、
処理の要求や基本ソフトウェアの設定に応じて処理回路の動作周波数を自動で変更する動作周波数要求機能を持つ基本ソフトウェアと、

処理回路に動作周波数を設定する設定部と、
設定部に、処理回路の、複数の動作許容周波数を通知する通知部とを備え、
設定部が、通知部から通知を受けた複数の動作許容周波数の中から処理回路で
の処理の状況に応じた動作周波数を選択して選択した動作周波数を処理回路に設
定し、処理回路は設定部により設定された動作周波数で動作する情報処理装置に
おいて、

入力部における最終のユーザ操作からの経過時間を計測する計測部を備え、
通知部は、計測部により所定の閾値時間以上の経過時間が計測されたことを受け
て、設定部に向けて、複数の動作許容周波数のうちの特定の低動作周波数への固
定を指示し、入力部におけるユーザ操作を受けてその固定の解除を指示するもので
あり、

設定部は、低動作周波数への固定の指示を受けて処理回路にその低動作周波数
を設定し、その固定の解除を受けて、処理回路への、複数の動作許容周波数の中か
ら基本ソフトウェアが選択した、処理回路での処理の状況に応じた動作周波数の設
定を再開するものであることを特徴とする。

[0013] 本発明の情報処理装置は、ユーザ操作がなかったときは基本ソフトウェアからの周
波数選択要求に対し、処理回路の動作周波数を低動作周波数に固定するため、処
理回路での処理が混雑しているときであっても、その混雑の原因がユーザ操作とは
無関係の原因であるときは、処理に時間を要しても低い動作周波数で実行され、一
層の低消費電力化が実現できる。

[0014] ここで、本発明の情報処理装置において、

上記設定部は、処理回路への動作周波数の設定に加え、さらに、処理回路での処
理の状況に応じて処理回路の動作停止を要求するものであって、

上記通知部から低動作周波数への固定が指示されている場合にのみ、設定部から
の処理回路の動作停止の要求を受け付けて処理回路の動作を停止させる動作停止
制御部を備えることが好ましい。

[0015] 低動作周波数が設定されているときのみ、処理回路の動作停止および処理回路の
動作再開が行なわれることにより、動作周波数とは無関係に処理回路の動作停止お

より処理回路の動作再開が行なわれる場合と比べ、耳障りな雑音を低減できる。

[0016] また、本発明の情報処理装置において、

上記設定部は、処理回路への動作周波数の設定に加え、さらに、処理回路での処理の状況に応じて処理回路への供給電力の電圧低下を要求するものであって、

上記通知部から低動作周波数への固定が指示されている場合にのみ、設定部からの処理回路の動作停止の要求を受け付けることにより処理回路への供給電圧を下げる電圧低下制御部を備えることも好ましい態様である。

[0017] 低動作周波数が設定されているときのみ、処理回路への供給電圧の低下、回復を許可することにより、上記の動作停止制御部を備えた場合と同様、処理回路への供給電圧の電圧低下が処理回路の動作周波数とは無関係に行なわれる場合と比べ、耳障りな雑音を低減できる。

[0018] さらに、本発明の情報処理装置において、ユーザ操作を受けて、通知部による、設定部に向けた、基本ソフトウェアに対して、低動作周波数への固定を指示する機能の無効と有効を択一的に設定する第1の入力設定部を備えることが好ましく、また、

ユーザ操作を受けて、設定部からの処理回路の動作停止の要求があったときは処理回路の動作周波数とは無関係にその要求を受け付けて処理回路の動作を停止させる、動作停止制御部の機能の無効と、通知部から基本ソフトウェアに対して低動作周波数への固定が指示されている場合にのみ、設定部からの処理回路の動作停止の要求を受け付けて処理回路の動作を停止させる、動作停止制御部の機能の有効とを択一的に設定する第2の入力設定部を備ることが好ましく、また、

ユーザ操作を受けて、設定部からの処理回路への供給電力の電圧低下の要求があったときは処理回路の動作周波数とは無関係にその要求を受け付けて処理回路への供給電力の電圧を下げる、電圧低下制御部の機能の無効と、通知部から低動作周波数への固定が指示されている場合にのみ、設定部からの処理回路の動作停止の要求を受け付けて処理回路への供給電力の電圧を下げる、電圧低下制御部の機能の有効とを択一的に設定する第3の入力設定部を備えることが好ましい。

[0019] 例えば、前述したファイルインデックス機能やウイルススキャンソフトウェアの実行等の背景的な処理ではなく、ユーザ操作とは無関係にユーザの意図した処理を実行さ

せる場合など、ユーザ操作がなくても処理回路の動作周波数を下げては不都合な場合もある。上記のようにユーザにより有効／無効を設定する機能を備えると、この不都合が回避される。

[0020] さらに、本発明の情報処理装置において、通知部による、設定部に向かた、低動作周波数への固定を指示する機能の無効と有効との一方が択一的に設定された第1の設定情報を不揮発的に記憶しておく第1のメモリを備えること、

設定部からの処理回路の動作停止の要求があったときは処理回路の動作周波数とは無関係にその要求を受け付けて処理回路の動作を停止させる、動作停止制御部の機能の無効と、通知部から低動作周波数への固定が指示されている場合にのみ、設定部からの処理回路の動作停止の要求を受け付けて処理回路の動作を停止させる、動作停止制御部の機能の有効との一方が択一的に設定された第2の設定情報を不揮発的に記憶しておく第2のメモリを備えること、または、

設定部からの処理回路への供給電力の電圧低下の要求があったときは処理回路の動作周波数とは無関係にその要求を受け付けて処理回路への供給電力の電圧を下げる、電圧低下制御部の機能の無効と、通知部から低動作周波数への固定が指示されている場合にのみ、設定部からの処理回路の動作停止の要求を受け付けて処理回路への供給電圧を下げる、電圧低下制御部の機能の有効との一方が択一的に設定された第3の設定情報を不揮発的に記憶しておく第3のメモリを備えることが好ましい。

[0021] その情報処理装置の用途が分かっているときは、その用途に合わせて、有効／無効をあらかじめメモリ上に不揮発的に書き込んでおいてもよい。

[0022] ここで、本発明の情報処理装置において、通知部は、計測部により所定の閾値時間以上の経過時間が計測されたことを受けて、設定部に向かって、複数の動作許容周波数のうちの最低の動作周波数への固定を指示するものであることが好ましい。

[0023] また、本発明の情報処理装置において、処理回路で実行される前記基本ソフトウェアとしてのオペレーティングシステムを記憶しておく記憶部を備え、上記設定部は、そのオペレーティングシステムが処理回路で実行されることにより当該情報処理装置内に構築される機能であってもよい。

- [0024] また、本発明の情報処理装置は、ユーザの接近を検出するセンサを備え、上記計測部は、入力部における最終のユーザ操作からの経過時間の計測に代えて、そのセンサによる、ユーザの存在が最終に検出されなくなった時点からの経過時間を計測するものであり、上記通知部は、計測部により所定の閾値時間以上の経過時間が計測されたことを受けて、設定部に向けて、複数の動作許容周波数のうちの特定の低動作周波数への固定を指示し、上記センサによるユーザの検出を受けてその固定の解除を指示するものであってもよい。
- [0025] ユーザによる入力装置への操作は未だなくても、操作が行なわせる可能性の高低に応じて、低動作周波数への固定／解除を行なってもよい。
- [0026] また、上記目的を達成する本発明の処理回路動作制御方法は、設定された動作周波数で動作してプログラムを実行する処理回路と、ユーザによる操作入力を受ける入力部と、処理の要求や基本ソフトウェアの設定に応じて処理回路の動作周波数を自動で変更する動作周波数要求機能を持つ基本ソフトウェアを備えた情報処理装置内で実行される、処理回路の動作を制御する処理回路動作制御方法であって、
入力部における最終のユーザ操作からの経過時間を計測する計測ステップと、
処理回路の、複数の動作許容周波数を通知し、計測ステップにより所定の閾値時間以上の経過時間が計測されたことを受けて、複数の動作許容周波数のうちの特定の低動作周波数への固定を指示し、入力部におけるユーザ操作を受けてその固定の解除を支持する通知ステップと、
通知ステップで通知された複数の動作許容周波数の中から処理回路での処理の状況に応じた動作周波数を選択して選択した動作周波数を処理回路に設定し、低動作周波数への固定の指示を受けて処理回路に低動作周波数を設定し、その固定の解除を受けて、処理回路への、複数の動作許容周波数の中から基本ソフトウェアが選択した、処理回路での処理の状況に応じた動作周波数の設定を再開する設定ステップとを有することを特徴とする。
- [0027] さらに、上記目的を達成する本発明の処理回路動作制御プログラムは、設定された動作周波数で動作してプログラムを実行する処理回路と、ユーザによる操作入力を受ける入力部とを備えた情報処理装置内で実行され、その情報処理装置内に、

入力部における最終のユーザ操作からの経過時間を計測する計測部と、
処理回路の、複数の動作許容周波数を通知し、計測部により所定の閾値時間以上の経過時間が計測されたことを受けて、複数の動作許容周波数のうちの特定の低動作周波数への固定を指示し、入力部におけるユーザ操作を受けてその固定の解除を支持する通知部と、

通知部から複数の動作許容周波数の通知を受けて複数の動作許容周波数の中から処理回路での処理の状況に応じた動作周波数を選択して選択した動作周波数を処理回路に設定し、通知部からの低動作周波数への固定の指示を受けて処理回路に低動作周波数を設定し、その固定の解除を受けて、処理回路への、複数の動作許容周波数の中から基本ソフトウェアが選択した、処理回路での処理の状況に応じた動作周波数の設定を再開する設定部とを構築することを特徴とする。

図面の簡単な説明

- [0028] [図1]本発明の情報処理装置の一実施形態としてのノートPCの開状態の外観を示した斜視図である。
- [図2]図1に示すノートPCに搭載されたCPUとその周辺回路を示したブロック図である。
- [図3]図2に示す割込みコントローラの内部構成を示すブロック図である。
- [図4]BIOSによるノートPCの環境設定のフローを示す図である。
- [図5] RSSテーブルを示す図である。
- [図6]図4に示すステップS11の詳細フローを示す図である。
- [図7]BIOSセットアップメニュー中の、モード設定画面を示す図である。
- [図8]図4のステップS20の詳細フローを示す図である。
- [図9]図4のステップS24の詳細フローを示した図である
- [図10]BIOSが格納されているBIOS-ROMのアドレスマップを示す図である。
- [図11]出荷コンフィグレーションエリア内に接続される出荷コンフィグレーションデータを示す図である。
- [図12]第3実施形態における、図4のステップS19に代わるステップを示した図である。

[図13]第3実施形態における、図4のステップS23に代わるステップを示した図である。

。

発明を実施するための最良の形態

- [0029] 以下、本発明の実施形態について説明する。
- [0030] 図1は、本発明の情報処理装置の一実施形態としてのノート型パーソナルコンピュータ(以下「ノートPC」と略記する)の開状態の外観を示した斜視図である。
- [0031] 図1に示すノートPC100は、本体ユニット110と、表示ユニット120と、表示ユニット120を、本体ユニット110に、図1に示す矢印A—Aの方向に開閉自在に連結するヒンジ部材130A、130Bを備えている。
- [0032] 本体ユニット110には、BIOSや基本ソフトウェアの一種であるO/Sやアプリケーションプログラムを実行することにより演算処理を行なう処理回路の一種であるCPUや、それらのプログラムを格納しておくハードディスクユニット、プログラムが展開されるメモリ等が内蔵されており、本体ユニット110の上面には、操作に応じた指示を入力するキーボード111や、指先でなぞることにより表示画面121a(後述する)上のカーソルを移動させ、ボタン操作によりそのカーソルの現在位置にあるアイコン等を指定するためのトラックパッド112などが配置されている。その他、この本体ユニット110の側面にも、ACアダプタ(図示せず)から供給される電力を受ける電力供給口113やその他の複数の設備が配置されているが、それらはノートPCとしての一般的な構成要素であり、ここでは説明は省略する。
- [0033] また、表示ユニット110は、情報を表示する表示画面121aを有する。
- [0034] 尚、以下では、第1実施形態と第2実施形態と第3実施形態との3つの実施形態について説明するが、第3実施形態のノートPCには、表示ユニット120の、図1に示す開状態の上部中央に、このノートPC100の前にユーザが居るか否かを検出する赤外線センサ122が備えられている。
- [0035] 以下では、先ず、図1に示すノートPCであって赤外線センサ122は不要な第1実施形態について説明する。
- [0036] 図2は、図1に示すノートPCに搭載されたCPUとその周辺回路を示したブロック図である。

- [0037] このノートPCにはO/S(Operating System)およびBIOS(Basic Input Output System)が搭載されており、ここでは、これらのO/SおよびBIOSが独立した要素のように示されているが、これらは、CPUで実行されることによりこのノートPCに処理を行なわせるプログラムの一種である。すなわち、O/Sは、PCのハードウェアとアプリケーションプログラムとの間を繋ぐ基本ソフトウェアであり、BIOSは、PCの動作環境設定等の各種設定を行なう、O/Sよりも更に基本になるプログラムである。以下では簡易に表現するために、O/Sが…する、BIOSが…する、というように表現する。
- [0038] この図2には、CPU10と、割込みコントローラ20と、CPU制御回路30と、クロック生成回路40と、DC/DCコンバータ50と、O/S60と、BIOS70とが示されている。
- [0039] CPU10には、CPUコア11と分周回路12が備えられており、CPUコア11はDC/DCコンバータ50から供給された電力と分周回路12から供給されたクロックとを使って動作し、プログラムを実行する。また分周回路12はクロック生成回路40から供給されてきたクロックを分周して分周後のクロックをCPUコア11に供給する。この分周回路12は、CPU制御回路30からの指示でその分周率が制御される。
- [0040] 割込みコントローラ20は、各種の割込みを受け付けてCPU10等に通知し、またクロック生成回路40およびDC/DCコンバータ50を制御する。
- [0041] CPU制御回路30には、O/S60により設定されるレジスタ31とBIOS70により設定されるレジスタ32が備えられている。詳細は後述する。
- [0042] クロック生成回路40は、CPU10の動作の基になる原クロックを生成してCPU10に供給する構成要素であり、CPU制御回路30からの制御を受けてクロックの生成を停止し、割込みコントローラ20からの制御を受けてクロックの生成を再開する。
- [0043] またDC/DCコンバータ50は、図示しないACアクセプタや電池からのDC電力の入力を受けて、CPU10や他の電子部品(図示せず)に供給するDC電力を生成してCPU10や他の電子部品に供給する。このDC/DCコンバータ50は、CPU10に供給する電力に関し、CPU制御回路30からの制御を受けて、CPU10内のレジスタ(図示せず)の内容は確実に保たれるがCPU10の動作には不足な電圧にまで下げ、割込みコントローラ20からの制御を受けてCPU10の動作に十分な電圧に

上げる。またこのDC／DCコントローラ50は、他の電子部品への電力の供給／停止等も制御するが、ここでの主題ではなく、図示および説明は省略する。ただし、割込みコントローラ20に関しては、CPU10への供給電力の電圧が下げられ、また、他の電子部品への電力供給が遮断された状況においても動作する必要があるため、この割込みコントローラ20への電力供給は継続している。

- [0044] CPU10の分周回路12の分周率は、CPU制御回路30のレジスタ31への設定内容によって制御され、このレジスタ31はO／S60によって書き込まれる。
- [0045] つまり、分周回路12でのクロックの分周率、すなわちCPUコア11に供給されるクロックの周波数(CPU10の動作周波数)は、O／S60によって設定される。詳細は後述する。
- [0046] また、O／S60はレジスタ31に書き込むことにより、クロック生成回路40によるクロックの停止、およびDC／DCコンバータ50によるCPU10への供給電力の電圧低下を要求する。ただし、BIOS70がレジスタ32に書き込む内容により、クロック生成回路40へのクロック停止の制御およびDC／DCコンバータ50への電圧低下の制御が実際に行なわれるかどうかが決定される。すなわち、BIOS70は、レジスタ32への書き込みにより、O／S60からの、クロック生成回路40によるクロックの停止要求、およびDC／DCコンバータ50によるCPU10への供給電力の電圧の低下要求を有効にするか無効にするかを決定することができる。
- [0047] O／S60は、後述するようにしてBIOS70から通知される複数の動作許容周波数の中から、その時その時の処理の混雑度等に応じてCPU10の動作周波数を適応的に変更し、さらにその時々の状況に応じてCPU10の動作の停止、すなわちクロック生成回路40によるクロック生成の停止や、DC／DCコンバータ50によるCPU10への供給電力の電圧の低下を要求する。ただし、クロック生成回路40およびDC／DCコンバータ50への要求の実行はBIOS70に委ねられている。
- [0048] 図3は、図2に示す割込みコントローラの内部構成を示すブロック図である。
- [0049] この図3に示す割込みコントローラ20は、2つのアドレスコンパレータ211、212、タイマクロード条件レジスタ213、複数(ここでは5つ)のアンドゲート221～225、1つのオアゲート231、タイムアウト設定レジスタ241、カウントタイマ242、割込み要因レジ

スタ243、およびもう1つのオアゲート251を備えている。

- [0050] アドレスコンパレータ211, 212は、レジスタ211a, 212aにI/O(Input/Output)アドレスを格納しておきCPU10でアクセスされたI/Oアドレスを入力し、それら双方のI/Oアドレスが一致したときに一致信号を出力するものである。
- [0051] 「キーボード割込み」は、キーボード111(図1参照)が操作されたときに発生する割込信号、「トラックパッド割込み」は、トラックパッド112(図1参照)が操作されたときに発生する割込信号である。また、割込みはその他の様々な条件で発生し、ここでは、それらを「…割込み」として略記している。
- [0052] この図3に示す割込みコントローラ20では、ある種の割込みが発生しなくなつてから(例えばキーボード111が操作されなくなつてから)の経過時間が計測されるが、タイマリロード条件レジスタ213は、多数種類の割込み(アドレスコンパレータ211, 212から出力される一致信号の出力を含む)のうちの、どの種類の割込みを経過時間計測の対象とするかを、BIOSがあらかじめ格納しておくためのレジスタである。
- [0053] アドレスコンパレータ211, 212を配備しているのは、例えばプリンタやその他の特定のI/O機器がアクセスされたことを認識し、そのI/O機器へのアクセスが最終に終了したタイミングからの経過時間を計測対象とすることもできるようにするためである。
- [0054] ここでは、タイマリロード条件レジスタ213には、キーボード111とトラックパッド112の操作に関し経過時間計測の対象とすることがBIOS70によって設定(格納)される。ここで、図1に示すノートPCに外部機器としてのマウスが接続されたことが認識されると、BIOS70は、そのマウスの操作により発生するマウス割込みに関しても経過時間計測の対象とすべく、タイマリロード条件レジスタ213に設定する。
- [0055] タイマリロード条件レジスタ213に設定された経過時間計測対象割込みの情報(ここでは、代表的にキーボードとトラックパッドを対象とする)は各割込種類ごとに各アンドゲート211～215に伝えられ、キーボード割込み又はトラックパッド割込みが発生すると、その割込信号はアンドゲート223又はアンドゲート224を通り、さらにオアゲート231を通ってカウンタタイム242に入力される。
- [0056] このカウンタタイム242には、オアゲート231を経由してきた割込信号が入力される

たびに、BIOS70によってタイムアウト設定レジスタ241にあらかじめ設定されている、閾値時間に対応する設定値がローディングされ、このカウントタイマ242は、そのローディングされた設定値を一定時間ごとにカウントダウンし、その他がゼロに達したときに、閾値時間が経過した旨、割込信号を出力する。

- [0057] このカウンタタイマ242から出力された割込信号を含む各種の割込信号は、オアゲート251を経由してこの割込みコントローラ20から出力され、図2に示すように、CPU10、クロック生成回路40およびDC／DCコンバータ50に伝えられるとともに、この割込みコントローラ20内の割込み要因レジスタ243に伝えられる。この割込み要因レジスタ242には、どの要因(例えばキーボード由来の割込みであることなど)の割込みが発生したかが記憶される。
- [0058] CPU10は、割込みコントローラ20から割込みが発生したことが伝えられるとこの割込み要因レジスタ243を参照し、今回発生した割込みがどの要因の割込みであるか認識し、その要因に応じて動作する。
- [0059] また、CPU10は、割込み要因レジスタ243を定期的に関し、割込みコントローラ20からの割込みではなく、割込み要因レジスタ243に要因があること認識し、その要因に応じて動作する構成方法もある。
- [0060] 割込みコントローラ20から出力された割込信号がクロック生成回路40およびDC／DCコンバータ50に伝えられるのは、クロック生成回路40がクロック生成を停止し、また、DC／DCコンバータ50がCPU10に供給する電力の電圧を下げたり他の電子機器への電力供給を停止しているときに何らかの割込みが発生した場合に、その割込みの発生を契機に、クロック生成や電力の供給(CPU10に向けての電圧の上昇を含む)を再開させるためである。クロック生成が停止していたり供給電力の電圧が下がっていたときは、CPU10での割込みの発生の認識は、クロック生成の再開、電圧の上昇があつてCPU10が再び安定した動作を開始してから行なわれる。
- [0061] 図4は、BIOSによるノートPCの環境設定のフローを示す図である。尚ここには、本実施形態に特有な設定要素のみについて示されている。
- [0062] このノートPCの電源がオンになると、先ず、BIOSは、O／Sに対し許容動作周波数を通知する(ステップS11)。以下、このステップS11の詳細について説明する。

- [0063] 図5は、_RSSテーブルを示す図である。
- [0064] この_RSSテーブルは、BIOSが持っているテーブルであり、ここにはCPUの種類ごとに動作可能な周波数の一覧が示されている。
- [0065] 図6は、図4に示すステップS11の詳細フローを示す図である。
- [0066] ここでは、先ずBIOSからO/Sに対し、このノートPCで使用しているCPUに対応する_RSSテーブルが渡され(ステップS111)、次いでBIOSからO/Sに対し、Notifyが発行される(ステップS112)。このNotifyは、O/Sに渡すべき情報があるので、O/Sの方で都合のよいタイミングでその情報を受け取りに来るよう、という指示を表わしている。
- [0067] さらにステップS113では、O/Sからの情報提供への要求を受けて、BIOSは、ステップS111で渡した_RSSテーブルの中の、動作を許容する最大の周波数を表わすStateNo.を、_RSS(Performance Present Capabilities)としてO/Sに渡す。例えば、図5(A)に示す_RSSテーブルがO/Sに渡され、さらに_RSSとしてStateNo. 4が渡されたとき、O/Sは、StateNo. 0～StateNo. 4の範囲内の各周波数が、現在、動作が許された、動作許容周波数であると認識する。
- [0068] 図4に戻って説明を続ける。
- [0069] 上記の許容動作周波数通知ステップ(ステップS11)が終了すると、次に、動作周波数制限モードが有効であるか否かが判定される(ステップS12)。ここでは、この動作周波数制限モードとともに、ステップS13のクロック停止制限モードおよびステップS16の電圧低下制限モードについて合わせて説明する。
- [0070] 図7は、BIOSセットアップメニュー中の、モード設定画面を示す図である。
- [0071] ユーザは、このモード設定画面を開いて、動作周波数制限モード、クロック停止制限モード、および電圧低下制限モードのそれぞれについて有効／無効を設定することができる。
- [0072] 動作周波数制限モードは、図2に示す割込みコントローラ20中のタイマカウンタ42がタイムアップの割込信号を出力したときにCPUの動作周波数を制限する(有効)か制限しない(無効)かを決めるモードであり、この動作周波数制限モードが「有効」に設定されていると、タイマカウンタ242のタイムアップの時点でCPUの動作許容周波

数が、O/Sに渡してある RSSテーブルの中のStateNo. 0(最低の動作周波数)に固定される。

- [0073] また、クロック停止制限モードは、O/Sから、図2に示すクロック生成回路40におけるクロック生成の停止の要求があったときに、その要求を動作周波数制限モードが有効になっていてかつCPUの動作周波数が最低の動作周波数に固定されている場合のみ、受け付ける(有効)か、そのO/Sからの要求を、CPUの動作周波数とは無関係に受け付ける(無効)かを決めるモードである。このクロック停止制限モードが「有効」に設定されていると、CPUの動作周波数が最低の動作周波数に固定されているときにのみ、O/Sからのクロック停止要求を受け付けるように設定され、その固定が解除されているときには、O/Sからのクロック停止要求を受け付けないように設定される。この設定は、BIOSによる、図2に示すCPU制御回路30のレジスタ32への書き込みにより行なわれる。
- [0074] また、電圧低下制限モードは、O/Sから、図2に示すDC/DCコンバータ50によるCPU10への供給電力の電圧低下の要求があったときに、その要求を動作周波数制限モードが有効になっていて、かつCPUの動作周波数が最低の動作周波数に固定されている場合のみ、受け付ける(有効)か、そのO/Sからの要求を、CPUの動作周波数とは無関係に受け付ける(無効)かを決めるモードである。この電圧低下制限モードが「有効」に設定されていると、CPUの動作周波数が最低の動作周波数に固定されたときにのみ、O/SからのCPU電圧低下要求を受け付けるように設定され、その固定が解除されているときには、O/SからのCPU電圧低下要求を受け付けないように設定される。この設定は、クロック停止制限モードの場合と同様、BIOSによる、図2に示すCPU制御回路30のレジスタ32への書き込みにより行なわれる。
- [0075] 図7に示すメニュー画面上で設定した有効／無効の情報は、B1OSにセットアップ情報として格納され、BIOSにより参照される。
- [0076] 再度、図4に戻って説明を続ける。
- [0077] ステップS12で動作周波数制御モードが有効か無効か判定され、無効のときは、ステップS11における許容動作周波数の通知を行なった後、クロック停止許可設定および電圧低下許可設定を行なって終了する(ステップS31, S32)。クロック停止許可

設定および電圧低下許可設定については、ステップS15およびステップS18とそれぞれ同一であり、ここでは説明は省略し、ステップS15, S18で説明する。

- [0078] ステップS12で動作周波数制御モードが「有効」に設定されていると判定されると、次にクロック停止制限モードが「有効」か否かが判定され(ステップS13)、「有効」のときは、図2に示すCPU制御回路30内のレジスタ32にクロック停止を禁止する旨、設定され(ステップS14)、「無効」のときは、そのレジスタ32にクロック停止を許可する旨、設定される(ステップS15)。もう1つのレジスタ31には、O/S60によりクロック停止の要求が書き込まれることがあるが、そこにクロックの停止要求が書き込まれても、レジスタ32にクロックの停止を禁止する旨、設定されているとクロック発生が続けられ、レジスタ32にクロックの停止を許可する旨、設定されているときには、O/Sによりレジスタ31にクロック停止要求が書き込まれるとクロック生成回路40にクロック停止指示が出され、クロック生成が停止する。
- [0079] 次に、図4のステップS16では、電圧低下制限モードが「有効」に設定さてているか否かが判定され、「有効」のときは、クロック停止の禁止／許可の場合と同様、図2に示すCPU制御回路30内のレジスタ32にCPU電圧低下を禁止する旨、設定され(ステップS17)、「無効」のときは、そのレジスタ32に、CPU電圧低下を許可する旨、設定される(ステップS18)。
- [0080] もう1つのレジスタ31には、O/S60によりCPU電圧低下の要求が書き込まれることがあるが、そこにCPU電圧低下要求が書き込まれても、レジスタ32にCPUの電圧を下げる 것을禁止する旨、設定されているとCPUの電圧は下げられずに、CPUには、そのCPUの正しい動作が確保されるレベルの電圧の電力が供給され続け、一方、レジスタ32にCPUの電圧を下げる 것을許可する旨、設定されているときは、O/Sによりレジスタ31にCPU電圧低下要求が書き込まれるとDC/DCコンバータ50にCPUへの供給電力の電圧を下げるよう指示がなされ、CPUへの供給電力の電圧が下げる。
- [0081] 次に、ステップS19では、I/O(ここではキーボードとトラックパッド)の最終操作から閾値時間が経過したか否かが判定される。
- [0082] この閾値時間の経過は、図3に示すカウンタタイマ242のタイムアップによる割込み

が発生したか否かにより判定される。

- [0083] 最終操作から閾値時間が経過していたときは、O/Sに向けて最低動作周波数が通知される(ステップS20)。
- [0084] 図8は、図4のステップS20の詳細フローを示す図である。
- [0085] ここでは、図4のステップS11(図6参照)の場合と同様、O/Sに対しNotifyが発行され(ステップS201)、そのO/Sからの要求に対し、_PCCとして、O/Sに渡してある_RSSテーブルの中の最低の動作周波数を表わすStateNo. がO/Sに返される。O/Sは、そのStateNo. を受け取って、CPUの動作周波数を最低の動作周波数に固定する。
- [0086] 図4に戻って説明を続ける。
- [0087] ステップS21では、O/Sからのクロック停止要求に対する許可が設定され、ステップS22ではO/SからのCPUへの供給電力の電圧を下げる要求に対する許可が設定される。クロック停止制限モードや電圧低下制限モードがもともと無効に設定されているときは、ステップS15、ステップS18で許可設定がなされているため、これらのステップS21、S22では、それらのモードが無効のときはもともと許可設定がなされている上に再度許可設定が上書きされるに過ぎず、これらのステップS21、S22は、それらのモードが「有効」のときのみ実質的な意味を持つステップである。
- [0088] 次に、入力装置(ここではキーボードとトラックパッド)の操作がモニタされ(ステップS23)、操作があると、O/Sに対し許容動作周波数の通知が行なわれる(ステップS24)。
- [0089] 図9は、図4のステップS24の詳細フローを示した図である。
- [0090] ここでも先ずO/Sに対しNotifyが発行され(ステップS241)、O/Sからの要求に従い、_PPCとして、O/Sに既に渡してある、使用CPUの_PCSテーブルの中の、動作を許容する最大の周波数を表わすStateNo. がO/Sに返される。O/Sに図5(A)の_RSSテーブルが渡されていたときに、StateNo. 4が渡されると、O/Sは、StateNo. 0～StateNo. 4の5つの動作許容周波数が存在することを認識し、それらの5つの動作許容周波数の中からそのときどきの処理の状況に応じた1つの動作周波数をダイナミックに設定し、CPUはその設定された動作周波数で動作する。

- [0091] この動作周波数の設定は、図2に示すCPU制御回路30内のレジスタ31へのO/S60からの書き込みにより行なわれ、このレジスタ31に書き込まれた、CPUの動作周波数を表わす情報がCPU10内の分周回路12に伝えられ、その設定された動作周波数のクロックが分周回路12から出力されるように、その分周回路12が調整される。
- [0092] さらに、図4のステップS25では、クロック停止制限モードが「有効」に設定されているか否かが判定されて、「有効」のときはクロック停止の禁止が設定され(ステップS26)、さらに電圧低下制限モードが「有効」に設定されているか否かが判定されて(ステップS27)、「有効」のときはCPUの電圧低下の禁止が設定される(ステップS28)。その後ステップS19に戻り、又は電圧低下制限モードが無効のときはステップS27からステップS19に戻り、上記と同様の処理が繰り返される。
- [0093] 尚、ここでは、ステップS20では、O/Sに渡してある_PSSテーブル中の最低の周波数に固定する旨、説明したが、消費電力が規格内に入る場合は、例えば遅い方から2番目の周波数に固定するなど、必ずしも最低の周波数に固定しなくてもよい。
- [0094] また、ここでは、クロック停止制限モードと電圧低下制限モードの有効／無効を別々に設定するように構成しているが、これらをまとめて、例えば「高深度低消費電力モード」とし、その高深度低消費電力モードの有効／無効を設定することにより、クロック停止およびCPU電圧低下の双方と一緒に制御するようにしてもよい。
- [0095] さらに、ここでは、CPUのクロックの周波数を固定するためにモニタされるI/O機器としてキーボードとトラックパッドを例に挙げて説明し、外付けのマウスが接続されたときはそのマウスも対象とする旨説明したが、そのノートPCの用途に応じて、それ以外のI/O機器、例えば各種センサやプリンタなども、割込みがないまま所定時間経過したときにCPUのクロックを低い周波数に固定する対象に含めてもよい。
- [0096] 以上の第1実施形態は動作周波数制限モード、クロック停止制限モード、および電圧低下制限モードの有効／無効をユーザ操作により設定する例であるが、そのノートPCの用途があらかじめ分かっているときは、そのノートPCの出荷前にBIOSのコンフィグレーションデータとして、記憶させておいてもよい。
- [0097] 以下では、このように構成された第2実施形態について説明する。
- [0098] 図10は、BIOSが格納されているBIOS-ROMのアドレスマップを示す図である。

- [0099] 図10(A)に示すように、BIOS-ROMのセクタ1～セクタ3の領域にBIOSのコードが格納され、セクタ4には、そのBIOSの設定情報が格納される。その設定情報格納領域中的一部には、出荷前の最終の段階で書き込まれる出荷コンフィグレーションエリアが用意されている。
- [0100] 図11は、出荷コンフィグレーションエリア内に格納される出荷コンフィグレーションデータを示す図である。
- [0101] X1, X2, …, XnはそのノートPCを構成する各種のデバイスを表わしており、各デバイスについて必要なコンフィグレーションデータが書き込まれるが、本実施形態に特有なこととしては、デバイスの1つであるCPUのコンフィグレーションデータとして、動作周波数制限モード、クロック停止制限モード、および電圧低下制限モードの有効／無効を示す設定情報が格納される。
- [0102] ここに格納された設定情報は、図4のステップS12, S13, S16, S25, S27で参照される。
- [0103] この第2実施形態の、前述の第1実施形態との相違点は、以上の点のみであり、その他の点は、第1実施形態と同様であり、重複説明は省略する。
- [0104] 尚、BIOSのコンフィグレーションデータに格納されている有効／無効の設定情報を初期設定とし、ユーザによりその有効／無効の変更を可能とするなど、本発明は、第1実施形態と第2実施形態とを組み合わせた形態のものであってもよい。
- [0105] 次に本発明の第3実施形態について説明する。
- [0106] この第3実施形態では、図1に破線で示す、ユーザの存在を検出する赤外線センサ122が搭載されたノートPCが採用される。
- [0107] ここでも、前述の第1実施形態との相違点のみについて説明する。
- [0108] 図12は、第3実施形態における、図4のステップS19に代わるステップS19'を示した図である。
- [0109] 図4のステップS19では、最終操作から閾値時間が経過したか否かを判定しているが、これに代わり、ここでは、その赤外線センサ122による、ユーザの最後の検出終了のタイミングで時間計測を開始し、閾値時間を経過したか否かが判定される。この判定のための回路は、例えば、図3のオア回路231よりも右側の構成部分を取り去り

、赤外線センサ122による、ユーザが検出されていた状態からユーザが検出されなくなったタイミングを表わす信号をタイマカウンタ242に入力することで構成することができ、ほとんど重複説明となるため、ここでは図示およびこれ以上の説明は省略する。

[0110] また、図13は、第3実施形態における図4のステップS23に代わるステップを示した図である。

[0111] 図4のステップS23は、入力装置(例えばキーボード)の入力があったか否かを判定するものであるが、図13に示すステップS23'では、それに代わり、赤外線センサ122でユーザが検出されたか否かが判定される。

[0112] この第3実施形態における、前述の第1実施形態との相違点は以上の点のみであって、その他の点は第1実施形態と同様であり、重複説明は省略する。

[0113] ここで、第1実施形態と第3実施形態は相容れない実施形態ではなく、本発明はそれらを統合したものであってもよい。さらには、第2実施形態も統合したものであってもよい。

[0114] 尚、ここでは、ノートPCを例に挙げて説明したが、本発明はノートPCに限られるものではなく、デスクトップ型PCやその他のコンピュータ、あるいは一般にコンピュータとは呼ばれなくてもCPUが搭載されてプログラムが実行される情報処理装置であつて、CPUの動作周波数がダイナミックに変化する情報処理装置に一般に適用することができる。

請求の範囲

- [1] 設定された動作周波数で動作してプログラムを実行する処理回路と、
ユーザによる操作入力を受ける入力部と、
処理の要求や基本ソフトウェアの設定に応じて処理回路の動作周波数を自動で変更する動作周波数要求機能を持つ基本ソフトウェアと、
前記処理回路に動作周波数を設定する設定部と、
前記設定部に、前記処理回路の、複数の動作許容周波数を通知する通知部とを備え、
前記設定部が、前記通知部から通知を受けた複数の動作許容周波数の中から前記処理回路での処理の状況に応じた動作周波数を選択して選択した動作周波数を該処理回路に設定し、該処理回路は該設定部により設定された動作周波数で動作する情報処理装置において、
前記入力部における最終のユーザ操作からの経過時間を計測する計測部を備え、
前記通知部は、前記計測部により所定の閾値時間以上の経過時間が計測されたことを受けて、前記設定部に向けて、前記複数の動作許容周波数のうちの特定の低動作周波数への固定を指示し、前記入力部におけるユーザ操作を受けて該固定の解除を指示するものであり、
前記設定部は、前記低動作周波数への固定の指示を受けて前記処理回路に該低動作周波数を設定し、該固定の解除を受けて、前記処理回路への、前記複数の動作許容周波数の中から基本ソフトウェアが選択した、前記処理回路での処理の状況に応じた動作周波数の設定を再開するものであることを特徴とする情報処理装置。
- [2] 前記設定部は、前記処理回路への動作周波数の設定に加え、さらに、該処理回路での処理の状況に応じて該処理回路の動作停止を要求するものであって、
前記通知部から前記低動作周波数への固定が指示されている場合にのみ、前記設定部からの前記処理回路の動作停止の要求を受け付けて該処理回路の動作を停止させる動作停止制御部を備えたことを特徴とする請求項1記載の情報処理装置。
- [3] 前記設定部は、前記処理回路への動作周波数の設定に加え、さらに、該処理回路での処理の状況に応じて該処理回路への供給電力の電圧低下を要求するものであ

つて、

前記通知部から前記低動作周波数への固定が指示されている場合にのみ、前記設定部からの前記処理回路の動作停止の要求を受け付けることにより処理回路への供給電圧を下げる電圧低下制御部を備えたことを特徴とする請求項1又は2記載の情報処理装置。

- [4] ユーザ操作を受けて、前記通知部による、前記設定部に向けた、前記低動作周波数への固定を指示する機能の無効と有効を択一的に設定する第1の入力設定部を備えたことを特徴とする請求項1記載の情報処理装置。
- [5] ユーザ操作を受けて、前記設定部からの前記処理回路の動作停止の要求があつたときは該処理回路の動作周波数とは無関係に該要求を受け付けて該処理回路の動作を停止させる、前記動作停止制御部の機能の無効と、前記通知部から前記低動作周波数への固定が指示されている場合にのみ、前記設定部からの前記処理回路の動作停止の要求を受け付けて該処理回路の動作を停止させる、前記動作停止制御部の機能の有効とを択一的に設定する第2の入力設定部を備えたことを特徴とする請求項2記載の情報処理装置。
- [6] ユーザ操作を受けて、前記設定部からの前記処理回路への供給電力の電圧低下の要求があつたときは該処理回路の動作周波数とは無関係に該要求を受け付けて該処理回路への供給電圧を下げる、前記電圧低下制御部の機能の無効と、前記通知部から前記低動作周波数への固定が指示されている場合にのみ、前記設定部からの前記処理回路の動作停止の要求を受け付けることにより該処理回路への供給電圧を下げる、前記電圧低下制御部の機能の有効とを択一的に設定する第3の入力設定部を備えたことを特徴とする請求項3記載の情報処理装置。
- [7] 前記通知部による、前記設定部に向けた、前記低動作周波数への固定を指示する機能の無効と有効との一方が択一的に設定された第1の設定情報を不揮発的に記憶しておく第1のメモリを備えたことを特徴とする請求項1記載の情報処理装置。
- [8] 前記設定部からの前記処理回路の動作停止の要求があつたときは該処理回路の動作周波数とは無関係に該要求を受け付けて該処理回路の動作を停止させる、前記動作停止制御部の機能の無効と、前記通知部から前記低動作周波数への固定が

指示されている場合にのみ、前記設定部からの前記処理回路の動作停止の要求を受け付けて該処理回路の動作を停止させる、前記動作停止制御部の機能の有効との一方が択一的に設定された第2の設定情報を不揮発的に記憶しておく第2のメモリを備えたことを特徴とする請求項2記載の情報処理装置。

- [9] 前記設定部からの前記処理回路への供給電力の電圧低下の要求があつたときは該処理回路の動作周波数とは無関係に該要求を受け付けて該処理回路への供給電力の電圧を下げる、前記電圧低下制御部の機能の無効と、前記通知部から前記低動作周波数への固定が指示されている場合にのみ、前記設定部からの前記処理回路の動作停止の要求を受け付けて該処理回路への供給電力の電圧を下げる、前記電圧低下制御部の機能の有効との一方が択一的に設定された第3の設定情報を不揮発的に記憶しておく第3のメモリを備えたことを特徴とする請求項3記載の情報処理装置。
- [10] 前記通知部は、前記計測部により所定の閾値時間以上の経過時間が計測されたことを受けて、前記設定部に向けて、前記複数の動作許容周波数のうちの最低の動作周波数への固定を指示するものであることを特徴とする請求項1から3のうちいづれか1項記載の情報処理装置。
- [11] 前記処理回路で実行される前記基本ソフトウェアとしてのオペレーティングシステムを記憶しておく記憶部を備え、
前記設定部は、前記オペレーティングシステムが前記処理回路で実行されることにより当該情報処理装置内に構築される機能であることを特徴とする請求項1から3のうちいづれか1項記載の情報処理装置。
- [12] ユーザの接近を検出するセンサを備え、
前記計測部は、前記入力部における最終のユーザ操作からの経過時間の計測に代えて、前記センサによる、ユーザの存在が最終に検出されなくなった時点からの経過時間を計測するものであり、
前記通知部は、前記計測部により所定の閾値時間以上の経過時間が計測されたことを受けて、前記設定部に向けて、前記複数の動作許容周波数のうちの特定の低動作周波数への固定を指示し、前記センサによるユーザの検出を受けて該固定の解

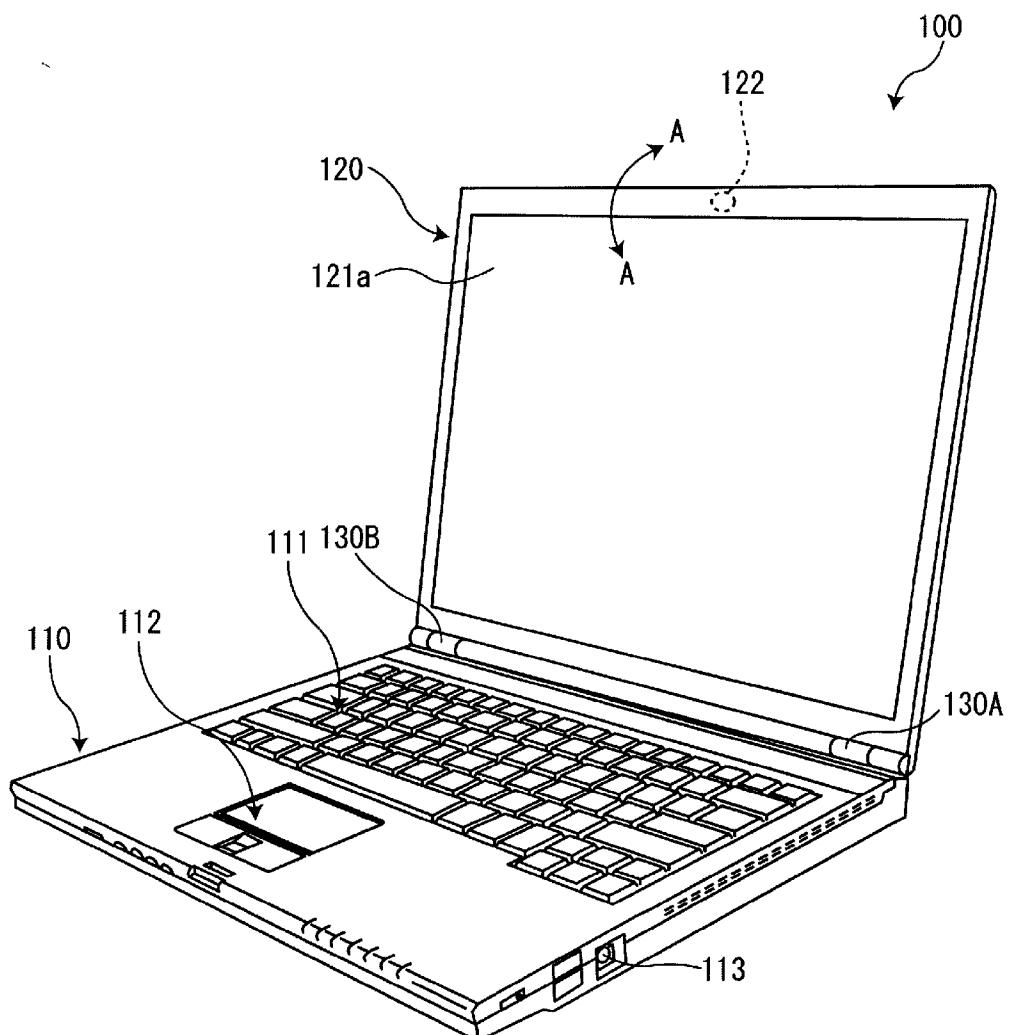
除を指示するものであることを特徴とする請求項1から3のうちいずれか1項記載の情報処理装置。

- [13] 前記処理回路はCPUであることを特徴とする請求項1から3のうちいずれか1項記載の情報処理装置。
- [14] 設定された動作周波数で動作してプログラムを実行する処理回路と、ユーザによる操作入力を受ける入力部と、処理の要求や基本ソフトウェアの設定に応じて処理回路の動作周波数を自動で変更する動作周波数要求機能を持つ基本ソフトウェアを備えた情報処理装置内で実行される、前記処理回路の動作を制御する動作制御方法であつて、
前記入力部における最終のユーザ操作からの経過時間を計測する計測ステップと、
前記処理回路の、複数の動作許容周波数を通知し、前記計測ステップにより所定の閾値時間以上の経過時間が計測されたことを受けて、前記複数の動作許容周波数のうちの特定の低動作周波数への固定を指示し、前記入力部におけるユーザ操作を受けて該固定の解除を支持する通知ステップと、
前記通知ステップで通知された複数の動作許容周波数の中から前記処理回路での処理の状況に応じた動作周波数を選択して選択した動作周波数を該処理回路に設定し、前記低動作周波数への固定の指示を受けて前記処理回路に該低動作周波数を設定し、該固定の解除を受けて、前記処理回路への、前記複数の動作許容周波数の中から基本ソフトウェアが選択した、前記処理回路での処理の状況に応じた動作周波数の設定を再開する設定ステップとを有することを特徴とする動作制御方法。
- [15] 設定された動作周波数で動作してプログラムを実行する処理回路と、ユーザによる操作入力を受ける入力部と、処理の要求や基本ソフトウェアの設定に応じて処理回路の動作周波数を自動で変更する動作周波数要求機能を持つ基本ソフトウェアを備えた情報処理装置内で実行され、該情報処理装置内に、
前記入力部における最終のユーザ操作からの経過時間を計測する計測部と、
前記処理回路の、複数の動作許容周波数を通知し、前記計測部により所定の閾値

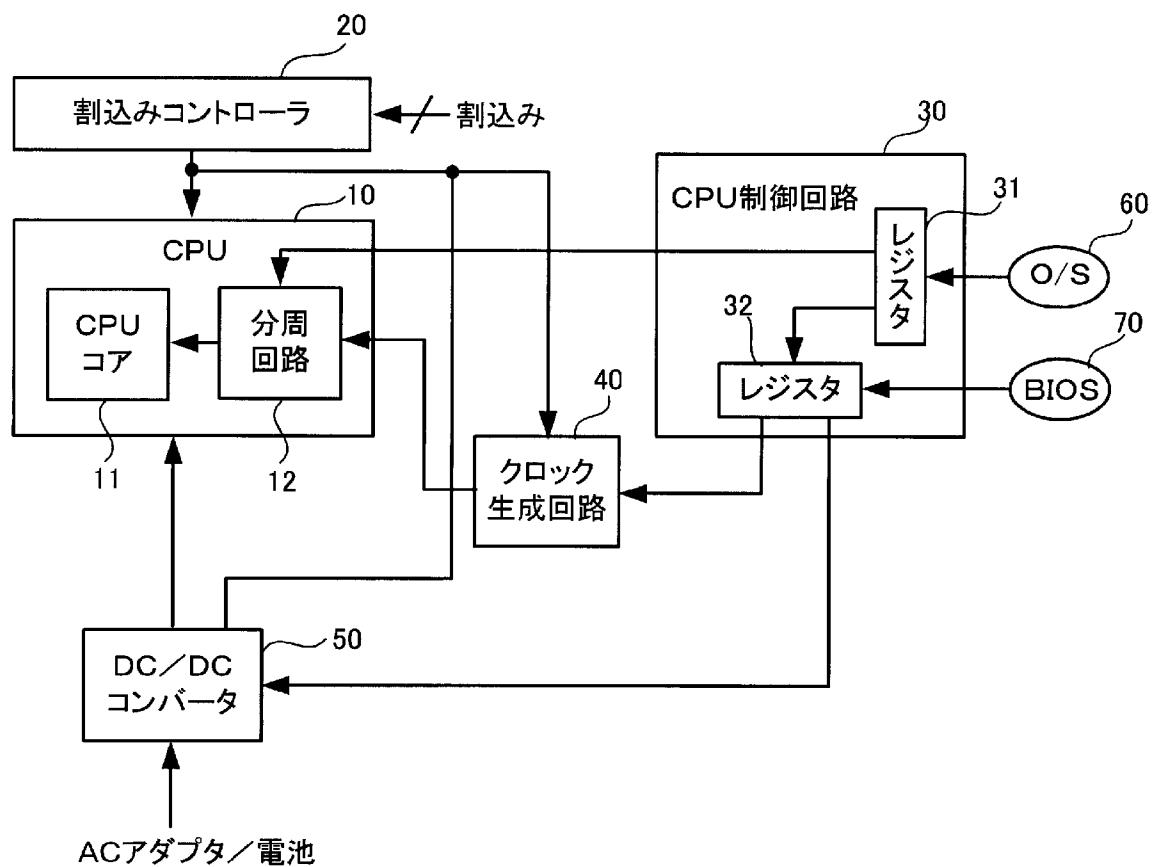
時間以上の経過時間が計測されたことを受けて、前記複数の動作許容周波数のうちの特定の低動作周波数への固定を指示し、前記入力部におけるユーザ操作を受けて該固定の解除を支持する通知部と、

前記通知部から複数の動作許容周波数の通知を受けて該複数の動作許容周波数の中から前記処理回路での処理の状況に応じた動作周波数を選択して選択した動作周波数を該処理回路に設定し、前記通知部からの前記低動作周波数への固定の指示を受けて前記処理回路に該低動作周波数を設定し、該固定の解除を受けて、前記処理回路への、前記複数の動作許容周波数の中から基本ソフトウェアが選択した、前記処理回路での処理の状況に応じた動作周波数の設定を再開する設定部とを構築することを特徴とする動作制御プログラム。

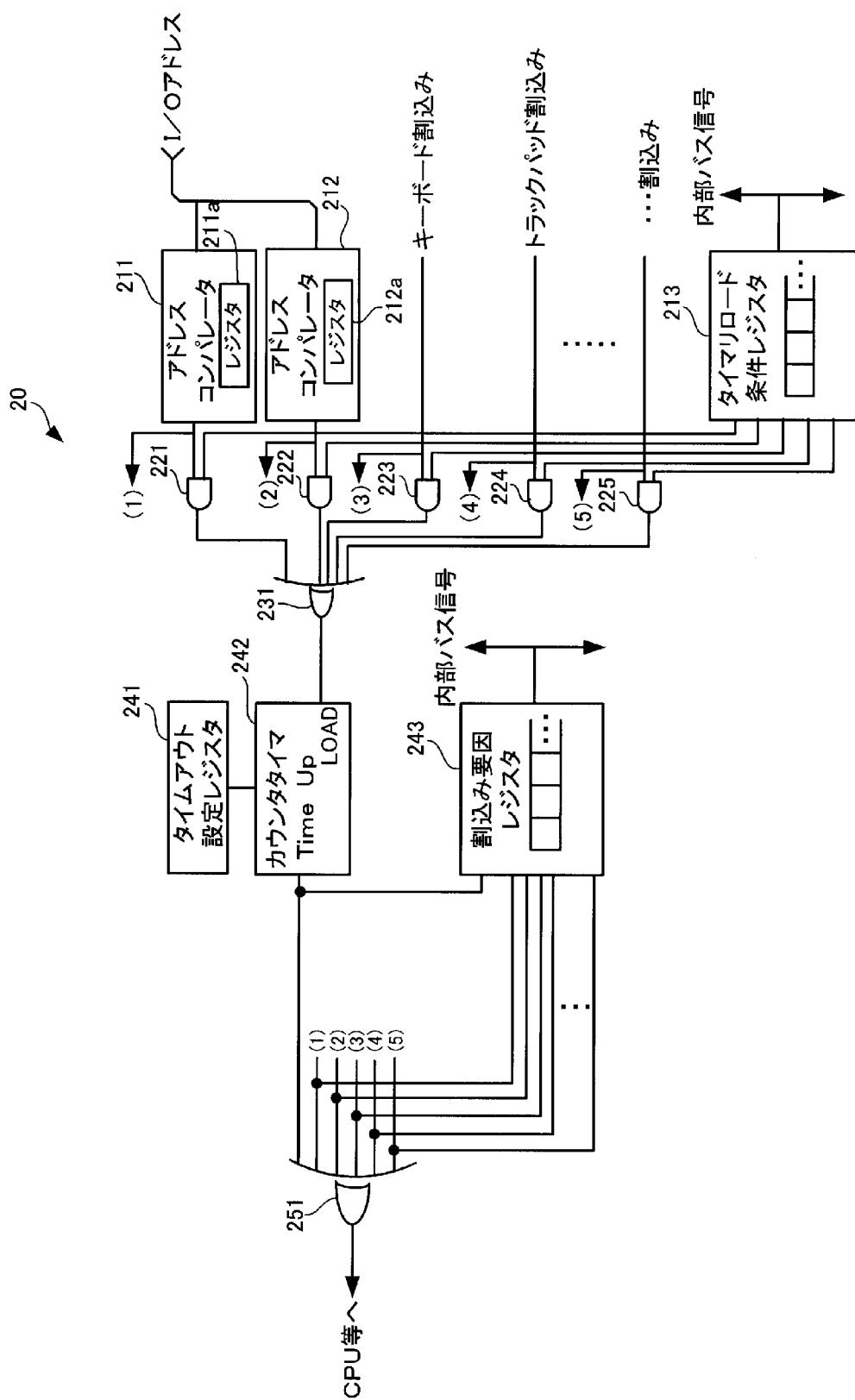
[図1]



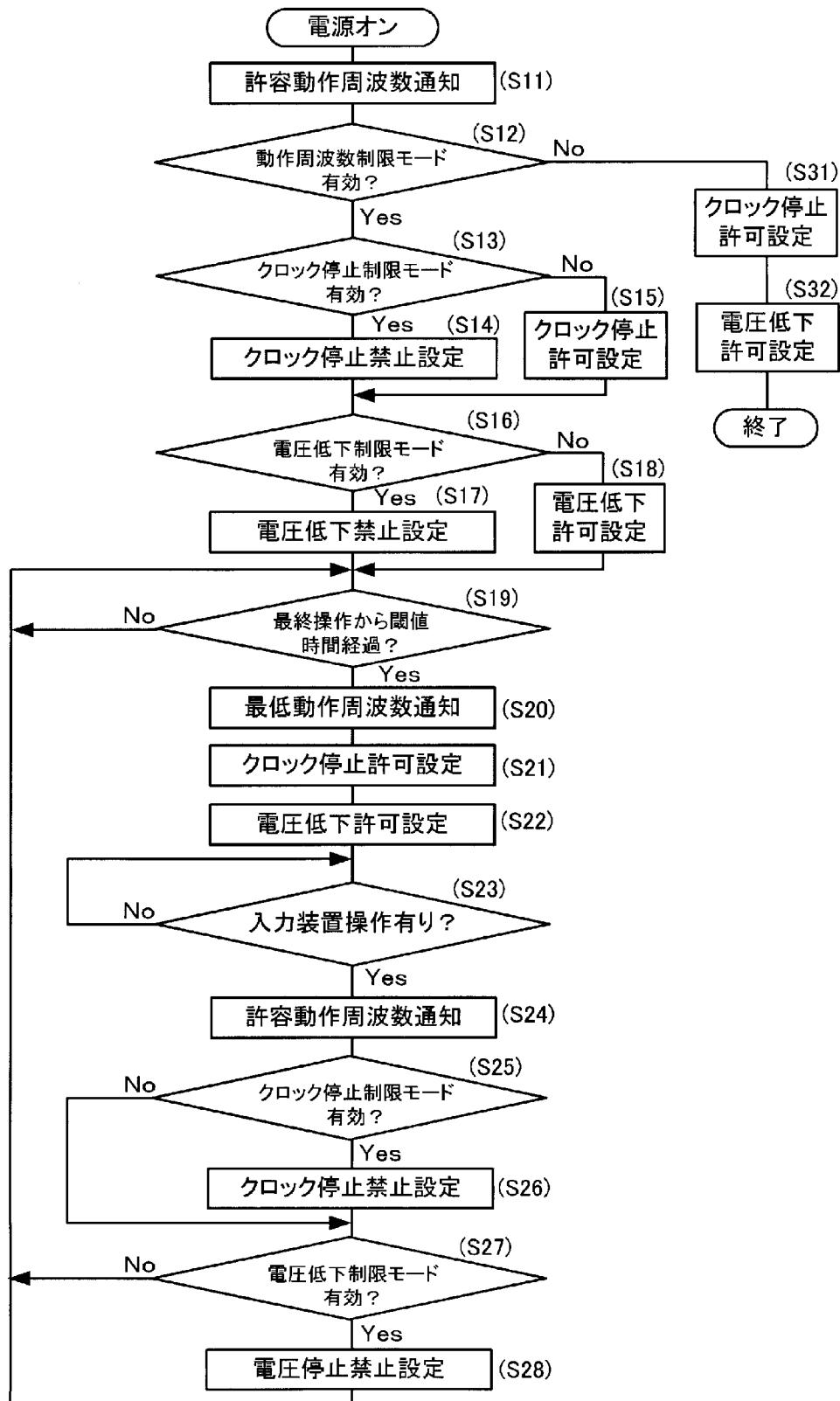
[図2]



[図3]



[図4]



[図5]

PSSテーブル

2.2GHz CPU

State	Freg
0	700MHz
1	800MHz
2	900MHz
3	1.5GHz
4	2.0GHz
5	2.2GHz

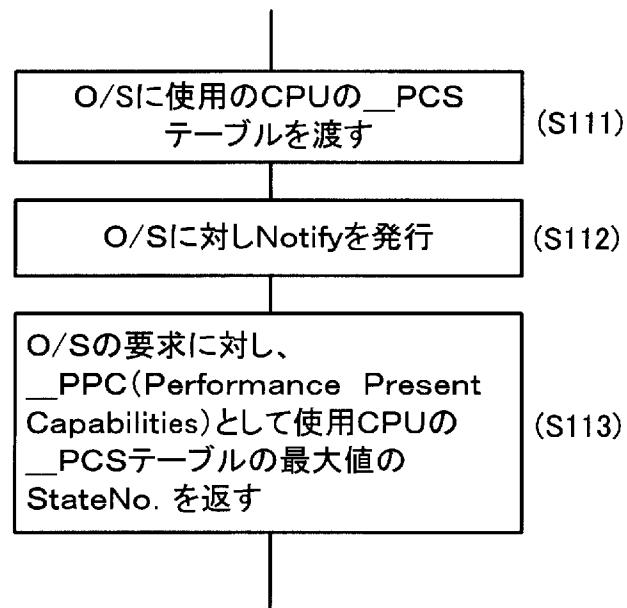
2.0GHz CPU

State	Freg
0	700MHz
1	800MHz
2	900MHz
3	1.5GHz
4	1.7GHz
5	2.0GHz

(A)

(B)

[図6]

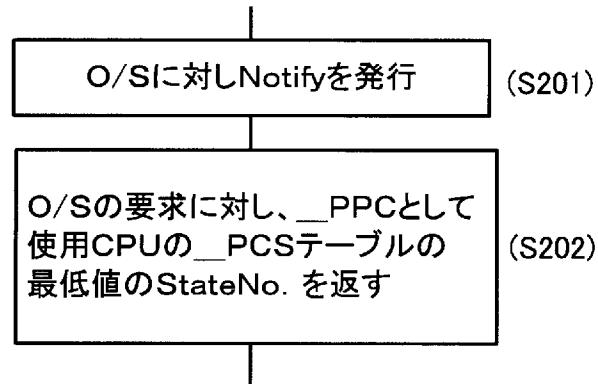


[図7]

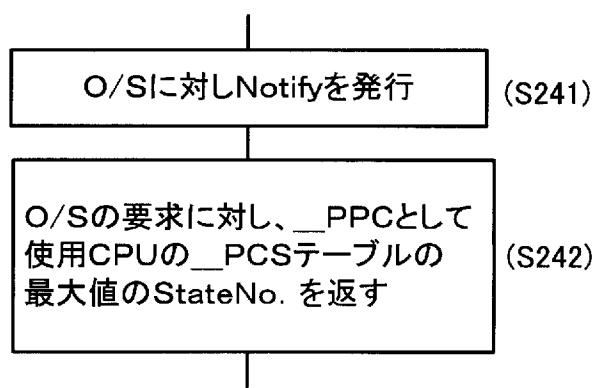
設定メニュー

動作周波数制限モード[有効／無効]
 クロック停止制限モード[有効／無効]
 電圧低下制限モード[有効／無効]

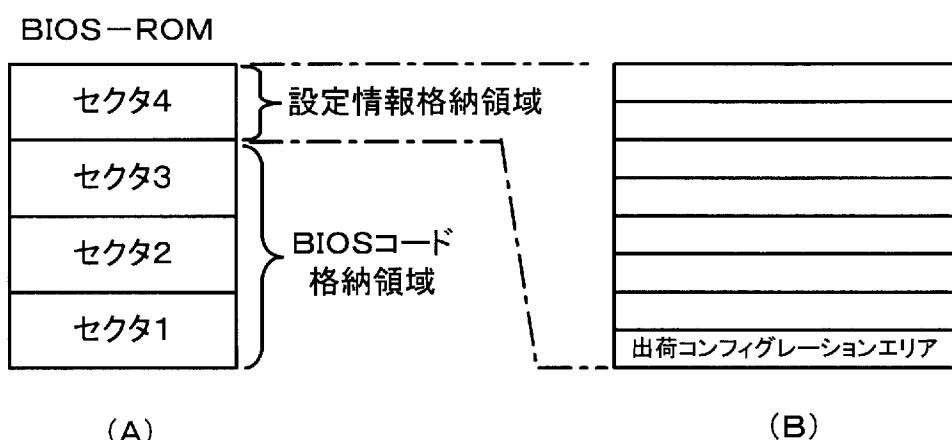
[図8]



[図9]



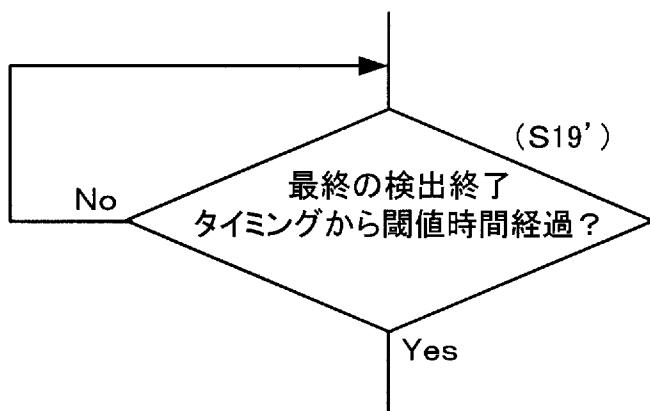
[図10]



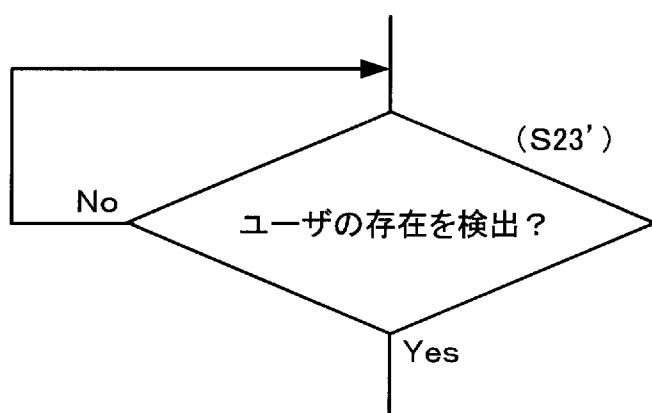
[図11]

装置名	出荷コンフィグレーションデータ
X1
X2
...
CPU	動作周波数制限モード[有効／無効] クロック停止制限モード[有効／無効] 電圧低下制限モード[有効／無効]
Xn
...

[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/069854

A. CLASSIFICATION OF SUBJECT MATTER
G06F1/04 (2006.01) i, G06F1/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F1/04-1/14, G06F1/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-6681 A (Hitachi, Ltd.), 12 January, 1996 (12.01.96), Full text; all drawings (Family: none)	1-15
A	JP 11-73237 A (Fujitsu Ltd.), 16 March, 1999 (16.03.99), Par. Nos. [0036] to [0040]; Fig. 4 (Family: none)	1, 14, 15
A	JP 2006-268246 A (Fujitsu Ltd.), 05 October, 2006 (05.10.06), Full text; all drawings (Family: none)	1, 14, 15

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
21 December, 2007 (21.12.07)

Date of mailing of the international search report
08 January, 2008 (08.01.08)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/069854

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-326236 A (International Business Machines Corp.), 18 November, 2004 (18.11.04), Claim 13 & US 2004/0215989 A1 & US 225346 B2	2, 3
A	JP 6-12158 A (Ricoh Co., Ltd.), 21 January, 1994 (21.01.94), Par. No. [0006]; Fig. 2 (Family: none)	4, 7
A	JP 5-66863 A (Canon Inc.), 19 March, 1993 (19.03.93), Par. No. [0025]; Figs. 1 to 2 (Family: none)	12

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl. G06F1/04(2006.01)i, G06F1/32(2006.01)i

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl. G06F1/04-1/14, G06F1/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 8-6681 A (株式会社日立製作所) 1996.01.12, 全文全図 (ファミリーなし)	1-15
A	J P 11-73237 A (富士通株式会社) 1999.03.16, 段落【0036】-段落【0040】, 第4図 (ファミリーなし)	1, 14, 15

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願目前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 21.12.2007	国際調査報告の発送日 08.01.2008
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 小林 正明 電話番号 03-3581-1101 内線 3521 5E 4241

C(続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2006-268246 A (富士通株式会社) 2006. 10. 05, 全文全図 (ファミリーなし)	1, 14, 15
A	J P 2004-326236 A (インターナショナル・ビジ ネス・マシーンズ・コーポレーション) 2004. 11. 18, 【請求項13】 & U S 2004/0215989 A1 & U S 225346 B2	2, 3
A	J P 6-12158 A (株式会社リコー) 1994. 01. 21, 段落【0006】，第2図 (ファミリーなし)	4, 7
A	J P 5-66863 A (キヤノン株式会社) 1993. 03. 19, 段落【0025】，第1-2図 (ファミリーなし)	12