

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6726362号
(P6726362)

(45) 発行日 令和2年7月22日 (2020.7.22)

(24) 登録日 令和2年6月30日 (2020.6.30)

(51) Int. Cl.

F I

H O 4 N 5/378 (2011.01)

H O 4 N 5/378

H O 4 N 5/3745 (2011.01)

H O 4 N 5/3745

請求項の数 7 (全 13 頁)

(21) 出願番号 特願2019-525394 (P2019-525394)
 (86) (22) 出願日 平成30年6月8日 (2018.6.8)
 (86) 国際出願番号 PCT/JP2018/022106
 (87) 国際公開番号 W02018/235638
 (87) 国際公開日 平成30年12月27日 (2018.12.27)
 審査請求日 令和1年11月18日 (2019.11.18)
 (31) 優先権主張番号 特願2017-120418 (P2017-120418)
 (32) 優先日 平成29年6月20日 (2017.6.20)
 (33) 優先権主張国・地域又は機関
 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府堺市堺区匠町 1 番地
 (74) 代理人 100147304
 弁理士 井上 知哉
 (72) 発明者 中野 年晃
 大阪府堺市堺区匠町 1 番地 シャープ株式
 会社内
 審査官 橋 高志

最終頁に続く

(54) 【発明の名称】 アナログデジタル変換器および固体撮像素子

(57) 【特許請求の範囲】

【請求項 1】

少なくとも 1 つの列または少なくとも 1 つの単位画素ごとに配置され、入力されたアナログ信号をデジタル信号に変換するアナログデジタル変換器であって、

前記アナログ信号の電圧と、基準クロックに対応して電圧値が変化する参照電圧とを比較する比較器と、

前記比較器の出力が反転したことをトリガとして、前記基準クロックに対応したグレイコードデータを下位ビットとしてラッチする下位ビットラッチ部と、

前記基準クロックに対応した制御信号の片方または両方のエッジをカウントし、かつ、前記比較器の出力が反転したことをトリガとして、上位ビットのカウントを停止する上位ビットカウンタ部とを備えていることを特徴とするアナログデジタル変換器。

10

【請求項 2】

前記上位ビットカウンタ部は、前記制御信号の片方または両方のエッジを、前記グレイコードデータに対応する複数の前記下位ビットと同時に遷移させないことを特徴とする請求項 1 に記載のアナログデジタル変換器。

【請求項 3】

前記上位ビットカウンタ部は、縦続接続された複数のリップルカウンタを有し、前記アナログ信号は、初期状態の第 1 データと、信号蓄積後の第 2 データとを含み、それぞれの前記リップルカウンタは、前記制御信号に基づいて、前記第 1 データのカウントが終了された後から前記第 2 データのカウントが開始される前の任意の時点で反転制

20

御信号およびCNT信号によって1の補数+X(Xは-1以上の整数)にビット反転し、かつ、前記第1データに対応する複数の前記上位ビットのうち最下位ビットを前記制御信号に基づいて任意の時点でラッチすることを特徴とする請求項1に記載のアナログデジタル変換器。

【請求項4】

水平信号線と、転送されたデータを信号処理する信号処理部と、をさらに備えており、前記下位ビットラッチ部は、前記第1データに対応する下位ビットを、前記水平信号線を通じて前記信号処理部に転送し、

前記上位ビットカウンタ部は、ラッチされた前記第1データのカウン트가終了する時点における前記第1データに対応する複数の前記上位ビットのうち最下位ビットを、前記水平信号線を通じて前記信号処理部に転送し、

前記信号処理部は、前記第1データに対応する前記下位ビットのバイナリデータを復元することを特徴とする請求項3に記載のアナログデジタル変換器。

【請求項5】

水平信号線と、転送したデータを信号処理する信号処理部とをさらに備えており、

前記下位ビットラッチ部は、前記第2データに対応する前記下位ビットを前記水平信号線を通じて前記信号処理部に転送し、

前記上位ビットカウンタ部は、ラッチされた前記第1データのカウン트가終了する時点における前記第1データに対応する複数の前記上位ビットのうち最下位ビットと、前記第2データのカウン트가終了する時点における前記第1データに対応する複数の前記上位ビットのうち最下位ビットとを、前記水平信号線を通じて前記信号処理部に転送し、

前記信号処理部は、前記第2データに対応する前記下位ビットのバイナリデータを復元することを特徴とする請求項3に記載のアナログデジタル変換器。

【請求項6】

前記信号処理部は、前記バイナリデータに復元された前記第2データに対応する前記下位ビットと、前記第2データのカウン트가終了された後の前記上位ビットとをビット結合した結合データから、前記バイナリデータに復元された前記第1データに対応する前記下位ビットを減算することによって、前記第2データにおける前記第1データからのデータの増加量を算出することを特徴とする請求項4または5に記載のアナログデジタル変換器。

【請求項7】

入射光をアナログ信号に変換する画素部と、

前記アナログ信号をデジタル信号に変換する請求項1～6のいずれか1項に記載のアナログデジタル変換器と、

前記アナログ信号を前記画素部から前記アナログデジタル変換器に転送するための垂直信号線とを備えていることを特徴とする固体撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CMOSイメージセンサなどの固体撮像素子に搭載され得るアナログデジタル変換器、およびそれを備えた固体撮像素子に関する。

【背景技術】

【0002】

従来のCMOSイメージセンサは、行列状に配置された画素ごとに、浮遊拡散層およびアンプを有する。CMOSイメージセンサの出力は、画素配列の中のある一行を選択し、それらを同時に列方向へと読み出すような列並列出力型が主流である。列方向に読み出された出力は、列ごとにアナログデジタル変換器にてデジタル信号に変換される。

【0003】

列並列出力型のCMOSイメージセンサに搭載されるアナログデジタル変換器について、従来、さまざまな構成ものが提案されている。中でも、初期状態と信号蓄積後の2つの

10

20

30

40

50

データをそれぞれアナログデジタル変換し、それぞれを減算処理（デジタルＣＤＳ）することによって、低ノイズ特性を実現した構成のアナログデジタル変換器が主流である。たとえば特許文献１には、上位ビットと下位ビットとで回路構成を変えることによって、消費電流および回路面積の最適化をはかる手法が開示されている。

【０００４】

図７は、特許文献１に開示される従来のアナログデジタル変換器が搭載された固体撮像素子１０１の構成例を示すブロック図である。この図に示すように、固体撮像素子１０１は、画素部１０２、行選択回路１０３、参照電圧生成部１０４、カウンタ生成部１０５、アナログデジタル変換部（ＡＤＣ部）１０６、列選択回路１０７、および信号処理部１０８を備えている。画素部１０２は、複数の単位画素１２１を備えている。ＡＤＣ部１０６は、複数のアナログデジタル変換器（ＡＤＣ）１６１を備えている。それぞれのＡＤＣ１６１は、比較器１６２、下位ビットラッチ部１６３、および上位ビットカウンタ部１６４を備えている。

10

【０００５】

行選択回路１０３は、画素部１０２内の複数の行のうちいずれか１行分の単位画素１２１を選択する。選択された１行分の単位画素１２１は、入射光をアナログ信号に変換し、対応する垂直信号線１２２を通じて、対応するＡＤＣ部１０６にアナログ信号を転送する。

【０００６】

参照電圧生成部１０４は、基準クロックに基づいて変動する参照電圧を生成する。比較器１６２は、入力されたアナログ信号電圧と、参照電圧と比較し、参照電圧がアナログ信号電圧を上回った時点で、出力信号を反転させる。カウンタ生成部１０５は、カウンタデータ１５１を生成する。下位ビットラッチ部１６３は、比較器１６２の出力信号が反転する時点をトリガとして、カウンタデータ１５１をラッチする。下位ビットラッチ部１６３は、キャリア信号１６５を生成する。上位ビットカウンタ部１６４は、キャリア信号１６５に応答して上位ビットをカウントする。

20

【０００７】

このように、図７に示す従来の固体撮像素子１０１は、データ遷移の多い下位ビットをカウントせず、カウンタ生成部１０５によって生成されたカウンタデータ１５１をラッチする。これにより低消費電流化を実現することができる。さらに、上位ビットをバイナリカウンタとすることによって、即時に減算処理を実施できるので、固体撮像素子１０１の回路規模を縮小することができる。

30

【先行技術文献】

【特許文献】

【０００８】

【特許文献１】日本国公開特許公報「特開２０１１－２３４３２６号公報（２０１１年１月１７日公開）」

【発明の概要】

【発明が解決しようとする課題】

【０００９】

40

図７に示す従来の固体撮像素子１０１では、カウンタデータ１５１をラッチしたデータと、キャリア信号１６５との間で、ビットの不整合を起こす可能性がある。このため、カウンタ生成部１０５によって生成されたマスク信号１５２を使用して、キャリア信号１６５を取り込む時点を制御する必要がある。また、マスク信号１５２をカウンタデータ１５１から生成しなければならない場合もある。これらのことから、ＡＤＣ１６１の回路構成および設計を簡素化できない問題が生ずる。

【００１０】

本発明は前記の課題を解決するためになされたものであり、その目的は、アナログデジタル変換器の回路構成および設計を簡素化することにある。

【課題を解決するための手段】

50

【 0 0 1 1 】

本発明の一態様に係るアナログデジタル変換器は、前記の課題を解決するために、少なくとも1つの列または少なくとも1つの単位画素ごとに配置され、入力されたアナログ信号をデジタル信号に変換するアナログデジタル変換器であって、前記アナログ信号の電圧と、基準クロックに対応して電圧値が変化する参照電圧とを比較する比較器と、前記比較器の出力が反転したことをトリガとして、前記基準クロックに対応したグレイコードデータを下位ビットとしてラッチする下位ビットラッチ部と、前記基準クロックに対応した制御信号の片方または両方のエッジをカウントし、かつ、前記比較器の出力が反転したことをトリガとして、上位ビットのカウントを停止する上位ビットカウンタ部とを備えていることを特徴としている。

10

【発明の効果】

【 0 0 1 2 】

本発明の一態様によれば、アナログデジタル変換器の回路構成および設計を簡素化することができるという効果を奏する。

【図面の簡単な説明】

【 0 0 1 3 】

【図1】本発明の一実施形態に係るアナログデジタル変換器が搭載された固体撮像素子の構成例を示すブロック図である。

【図2】本発明の一実施形態に係るADC部の具体的な構成例を示す図である。

【図3】本発明の一実施形態に係るADCの詳細な構成を示すブロック図である。

20

【図4】本発明の一実施形態に係る上位ビットカウンタ部に備えられる制御回路およびリップルカウンタの構成例を示す図である。

【図5】本発明の一実施形態に係るADCの動作の流れ例を示す図である。

【図6】信号処理部に送信されたグレイコードデータをバイナリデータに復元するためのグレイバイナリ変換回路の構成例を示す図である。

【図7】特許文献1に開示される従来のアナログデジタル変換器が搭載された固体撮像素子の構成例を示すブロック図である。

【発明を実施するための形態】

【 0 0 1 4 】

図1～図6を参照して、本発明に係る一実施形態について以下に説明する。

30

【 0 0 1 5 】

(固体撮像素子1の構成)

図1は、本発明の一実施形態に係るアナログデジタル変換器が搭載された固体撮像素子1の構成例を示すブロック図である。この図に示すように、固体撮像素子1は、画素部2、行選択回路3、参照電圧生成部4、カウンタ生成部5、アナログデジタル変換部(ADC部)6、列選択回路7、および信号処理部8を備えている。画素部2は、マトリックス状に配置される複数の単位画素21を備えている。ADC部6は、複数のアナログデジタル変換器(ADC)61を備えている。それぞれのADC61は、比較器62、下位ビットラッチ部63、および上位ビットカウンタ部64を備えている。

【 0 0 1 6 】

40

行選択回路3は、いずれか1行分の単位画素21を選択するための選択信号を画素部2に出力する。選択信号が入力されたそれぞれの単位画素21は、入射光をアナログ信号に変換し、対応する垂直信号線22を通じて、対応するADC部6にアナログ信号を転送する。

【 0 0 1 7 】

参照電圧生成部4は、一種のデジタルアナログ変換器(DAC)であり、基準クロックに基づいて電圧値が変化する電圧を生成する。比較器62は、入力されたアナログ信号の電圧と参照電圧とを比較し、参照電圧がアナログ信号電圧を上回った時点で出力信号を反転させる。

【 0 0 1 8 】

50

カウンタ生成部 5 は、A D C 6 1 に対応して配置される。カウンタ生成部 5 は、いずれもが基準クロックに対応したグレイコードデータ 5 1、C N T 信号 5 3、および反転制御信号 5 4 を生成し、それらを下位ビットラッチ部 6 3 に出力する。グレイコードデータ 5 1 は、一種のカウントデータである。

【 0 0 1 9 】

下位ビットラッチ部 6 3 は、比較器 6 2 の出力が反転する時点をトリガとして、グレイコードデータ 5 1 を下位ビットとしてラッチする。上位ビットカウンタ部 6 4 は、C N T 信号 5 3 の片方または両方のエッジをカウントし、かつ、比較器 6 2 の出力が反転したことをトリガとして、上位ビットのカウントを停止する。

【 0 0 2 0 】

それぞれの A D C 6 1 は、入力されたアナログ信号をデジタル信号に変換し、水平信号線 7 1 を通じて信号処理部 8 に出力する。図 1 に示す固体撮像素子 1 では、それぞれの A D C 6 1 が画素部 2 の 1 つの列ごとに配置されている。しかし A D C 6 1 の配置はこれに限られない。A D C 6 1 は、少なくとも 1 つの列ごとまたは少なくとも 1 つの単位画素 2 1 ごとに配置されることもできる。言い換えれば、A D C 6 1 は、1 つの単位画素 2 1 ごと、または複数の単位画素 2 1 ごとに、配置されることができ、個々の A D C 6 1 に対応する複数の単位画素 2 1 は、すべての単位画素 2 1 から選択される任意の数の単位画素 2 1 の組み合わせでもよい。

【 0 0 2 1 】

列選択回路 7 は、複数の列のうちいずれかの一行に含まれるいずれかの単位画素 2 1 を選択する。信号処理部 8 は、水平信号線 7 1 を通じて信号処理部 8 に転送されたデータを信号処理する。図 1 に示す例では、列選択回路 7 は、少なくとも 1 つの A D C 6 1 を選択する回路である。仮に A D C 6 1 を 1 つの単位画素 2 1 ごとに配置した場合、1 つの単位画素 2 1 を個別に選択する画素選択回路が、列選択回路 7 の代わりに設けられる。

【 0 0 2 2 】

(A D C 部 6 の詳細)

図 2 は、本発明の一実施形態に係る A D C 部 6 の具体的な構成例を示す図である。この図に示す A D C 部 6 では、デジタル信号の上位ビットを 8 ビットとし、かつデジタル信号の下位ビットを 5 ビットとしている。それぞれの比較器 6 2 は、比較器 6 2 1 ~ 6 2 9 として実装される。それぞれの下位ビットラッチ部 6 3 は、下位 5 ビットグレイコードラッチ 6 3 1 ~ 6 3 9 として実装される。それぞれの上位ビットカウンタ部 6 4 は、上位 8 ビットバイナリ U / D カウンタ 6 4 1 ~ 6 4 9 として実装される。

【 0 0 2 3 】

比較器 6 2 1 ~ 6 2 9 のそれぞれは、出力信号を、対応する下位 5 ビットグレイコードラッチ 6 3 1 ~ 6 3 9 および対応する上位 8 ビットバイナリ U / D カウンタ 6 4 1 ~ 6 4 9 に出力する。

【 0 0 2 4 】

カウンタ生成部 5 は、5 ビットのグレイコードデータ G C [0] ~ G C [4] を生成し、下位 5 ビットグレイコードラッチ 6 3 1 ~ 6 3 9 に出力する。カウンタ生成部 5 は、C N T 信号を、下位 5 ビットグレイコードラッチ 6 3 1 ~ 6 3 9 に出力する。下位 5 ビットグレイコードラッチ 6 3 1 ~ 6 3 9 には、反転制御信号 5 4 も入力される。

【 0 0 2 5 】

(A D C 6 1 の詳細)

図 3 は、本発明の一実施形態に係る A D C 6 1 の詳細な構成を示すブロック図である。この図に示すように、下位ビットラッチ部 6 3 は、ラッチ回路 3 1 1 ~ 3 1 5 および 3 4 1 ~ 3 4 5 を備えている。ラッチ回路 3 1 1 ~ 3 1 5 は、ラッチ回路 3 4 1 ~ 3 4 5 に一対一の関係で接続されている。

【 0 0 2 6 】

下位ビットラッチ部 6 3 は、ラッチ回路 3 1 1 ~ 3 1 5 を使用することによって、入力されたグレイコードデータ G C [0] ~ G C [4] を、ビットごとにラッチする。詳細に

10

20

30

40

50

は、ラッチ回路 3 1 1 ~ 3 1 5 は、入力された 1 ビットのグレイコードデータ $GC[0] \sim GC[4]$ のいずれかを、比較器 6 2 の出力信号 (VCO 信号) が反転したことをトリガとしてラッチする。ラッチ回路 3 1 1 ~ 3 1 5 は、ラッチされたグレイコードデータ $GC[0] \sim GC[4]$ を、対応するラッチ回路 3 4 1 ~ 3 4 5 に退避させる。

【0027】

図 3 に示すように、上位ビットカウンタ部 6 4 は、2 進 8 段の縦続接続されるリップルカウンタ 3 2 1 ~ 3 2 8、制御回路 3 3 1、およびラッチ回路 3 5 1 を備えている。制御回路 3 3 1 は、カウンタ生成部 5 から出力された CNT 信号 5 3 と、比較器 6 2 から出力された出力信号とを受信する。制御回路 3 3 1 は、 CNT 信号 5 3 および VCO 信号に基づいて信号 $FF_IN[5]$ を生成し、最下位ビットのリップルカウンタ 3 2 1 に出力する。最下位ビットのリップルカウンタ 3 2 1 は、ラッチ回路 3 5 1 にデータをラッチする。

10

【0028】

(上位ビットカウンタ部 6 4 の詳細)

図 4 は、本発明の一実施形態に係る上位ビットカウンタ部 6 4 に備えられる制御回路 3 3 1 およびリップルカウンタ 3 2 1 ~ 3 2 9 の構成例を示す図である。図 4 の (a) に、制御回路 3 3 1 の構成例を示す。図 4 の (b) に、初段のリップルカウンタ 3 2 1 の構成例を示す。図 4 の (c) に、2 段目 ~ 8 段目のリップルカウンタ 3 2 2 ~ 3 2 9 の構成例を示す。

【0029】

20

図 4 の (a) に示すように、制御回路 3 3 1 は、 $NAND$ 4 0 1 を備えている。制御回路 3 3 1 は、 CNT 信号 5 3 に基づいてビット反転する。

【0030】

図 4 の (b) に示すように、リップルカウンタ 3 2 1 は、インバータ 4 0 2 およびフリップフロップ 4 0 3 を備えている。リップルカウンタ 3 2 1 は、制御回路 3 3 1 の出力を入力 ($FF_IN[5]$) とし、1 つの後段のリップルカウンタ 3 2 2 に出力 ($FF_OUT[5]$) を出力する。

【0031】

図 4 の (c) に示すように、リップルカウンタ 3 2 2 ~ 3 2 8 は、 NOR 4 0 3 n およびフリップフロップ 4 0 4 n を備えている。ここで、 $n = 6 \sim 12$ のいずれかである。リップルカウンタ 3 2 2 ~ 3 2 7 は、1 つ前段のリップルカウンタ 3 2 1 ~ 3 2 6 の出力 ($FF_OUT[n-1]$) を入力 ($FF_IN[n]$) とし、1 つ後段のリップルカウンタ 3 2 3 ~ 3 2 8 に出力 ($FF_OUT[n]$) を出力する。ここで、 $n = 6 \sim 11$ のいずれかである。リップルカウンタ 3 2 8 は、1 つ前段のリップルカウンタ 3 2 7 の出力 ($FF_OUT[11]$) を入力 ($FF_IN[12]$) とする。

30

【0032】

アナログ信号は、初期状態の第 1 データと、信号蓄積 (状態変化) 後の第 2 データとを含む。リップルカウンタ 3 2 1 ~ 3 2 8 は、反転制御信号 5 4 および CNT 信号 5 3 に基づいて、初期状態の第 1 データのカウントが終了された後から信号蓄積後の第 2 データのカウントが開始される前の任意の時点でビット反転する。

40

【0033】

(動作の流れ例)

図 5 は、本発明の一実施形態に係る ADC 6 1 の動作の流れの一例を示す図である。この図に示すように、 ADC 6 1 は、入力されたグレイコードデータ $GC[1] \sim GC[4]$ のいずれかと CNT 信号 5 3 とのうち、基準クロックに対していずれか 1 つのみを遷移させる。言い換えると、上位ビットカウンタ部 6 4 は、 CNT 信号 5 3 の片方または両方のエッジを、基準クロックに対応して生成されるグレイコードデータ 5 1 に対応する複数の下位ビットと同時に遷移させない。これにより、グレイコードデータ 5 1 に対応する複数の下位ビットと、複数の上位ビットのうち最下位ビットとが、同じ基準クロックタイミングにおいて同時に遷移することを防ぐことができる。下位ビットラッチ部 6 3 は、比較

50

器 6 2 の出力信号 (V C O) が反転する時点で、グレイコードデータ G C [1] ~ G C [4] をラッチする。

【 0 0 3 4 】

A D C 6 1 は、C N T 信号 5 3 と、比較器 6 2 の出力信号 (V C O) に基づいて生成される信号 F F _ I N [5] とを、V C O が反転する時点で L o w 電位に固定させる。これにより、上位ビットカウンタ部 6 4 による上位ビットのカウンタが停止する。

【 0 0 3 5 】

すべての A D C 6 1 によるデータが確定した後、A D C 6 1 は、下位ビットラッチ部 6 3 によってラッチされたグレイコードデータの各下位ビットをデータラッチ回路 3 4 1 ~ 3 4 5 にラッチし、かつ、上位ビットカウンタ部 6 4 によってカウンタされた最下位ビットを、ラッチ回路 3 5 1 にラッチする。

10

【 0 0 3 6 】

反転制御信号 5 4 は、図 5 に示すビット第 1 反転タイミングで H i g h 電位から L o w 電位に遷移する。このタイミングでカウンタされた上位ビットは、1 の補数よりも 1 だけ少ないデータとなる。さらに、C N T 信号 5 3 を、図 5 に示すビット第 2 反転タイミングで H i g h 電位から L o w 電位に遷移することによって、カウンタされた上位ビットは 1 の補数 (ビット反転データ) となる。本実施形態では、ビット第 2 反転タイミングにおける C N T 信号 5 3 の遷移を 1 回としており、かつ、ビット反転データは 1 の補数となっている。しかし、C N T 信号 5 3 の遷移回数を変えることにより、ビット反転信号を 1 の補数 + X (X は - 1 以上の整数) とすることが可能である。また、ビット第 2 反転タイミングを、第 2 データのカウンタ終了後としてもよい。

20

【 0 0 3 7 】

本実施形態では、ビット反転データを 1 の補数としており、ビットの反転後では、信号蓄積 (状態変化) 後の第 2 データをカウンタした結果は、第 1 データよりも 1 だけ小さいものとなる。第 2 データにおける第 1 データからの絶対的な増加量を求めたい場合、C N T 信号 5 3 の遷移回数を 2 回とすることによって、ビット反転データを 2 の補数とすればよい。また、ある単位画素 2 1 の第 2 データにおける他の単位画素 2 1 の第 2 データと比べた相対的なデータ変化量を求めるだけであれば、C N T 信号 5 3 を H i g h 電位から L o w 電位に遷移させる動作は必要ない。この場合の演算結果は、絶対的な増加量よりも 2 小さいものとなる。

30

【 0 0 3 8 】

固体撮像素子 1 は、信号蓄積後の第 2 データを処理する前に、カウンタ生成部 5 を初期化する。初期状態と同様に、比較器 6 2 の出力 (V C O) が反転する時点で、下位ビットラッチ部 6 3 はグレイコードデータをラッチし、上位ビットカウンタ部 6 4 は上位ビットのカウンタを停止する。

【 0 0 3 9 】

その後、A D C 6 1 は、ラッチ回路 3 1 1 ~ 3 1 5 によってラッチされたグレイコードデータを、G D _ S [0] ~ G D _ S [4] として、水平信号線 7 1 およびセンサアンプ 7 2 を通して信号処理部 8 に転送する。A D C 6 1 は、さらに、ラッチ回路 3 4 1 ~ 3 4 5 によってラッチされたグレイコードデータを、グレイコードデータ G D _ R [0] ~ G D _ R [4] として、水平信号線 7 1 およびセンサアンプ 7 2 を通して信号処理部 8 に転送する。A D C 6 1 は、さらに、ラッチ回路 3 5 1 によってラッチされたデータを、バイナリデータ B D _ R [5] として信号処理部 8 に送信する。A D C 6 1 は、さらに、リップルカウンタ 3 2 1 ~ 3 2 8 によって生成されたデータを、バイナリデータ B D _ S [5] ~ B D _ S [1 2] として、信号処理部 8 に送信する。信号処理部 8 は、入力された各データを使用してバイナリデータを復元する。

40

【 0 0 4 0 】

(グレイバイナリ変換回路の構成例)

図 6 は、信号処理部 8 に送信されたグレイコードデータをバイナリデータに復元するためのグレイバイナリ変換回路 7 0 1 および 7 0 2 の構成例を示す図である。図 6 の (a)

50

は、初期状態の第1データを処理するためのグレイバイナリ変換回路701の構成例を示す。図6の(b)は、信号蓄積後の第2データを処理するためのグレイバイナリ変換回路702の構成例を示す。グレイバイナリ変換回路701および702は、信号処理部8に備えられる。

【0041】

図6の(a)に示すように、グレイバイナリ変換回路701は、入力されたバイナリデータBD__R[5]およびグレイコードデータGD__R[0]~GD__R[4]に変換処理を施すことによって初期状態の第1データの下位ビットのバイナリデータBD__R[0]~BD__R[4]を生成する。図6の(b)に示すように、グレイバイナリ変換回路701は、入力されたバイナリデータBD__R[5]、バイナリデータBD__S[5]、およびグレイコードデータGD__R[0]~GD__R[4]に変換処理を施すことによって、信号蓄積後の第2データの下位ビットのバイナリデータBD__S[0]~BD__S[4]を生成する。

10

【0042】

信号処理部8は、生成された下位ビットのバイナリデータBD__S[0]~BD__S[4]と、初期状態の第1データを信号蓄積後の第2データから減算処理した上位バイナリデータBD[5]__S~BD[12]__Sとをビット結合することによって、結合データを生成する。さらに、信号処理部8は、減算処理されていない初期状態の第1データの下位ビットのバイナリデータBD__R[0]~BD__R[4]を結合データから減算することによって、信号蓄積後の第2データから初期状態の第1データを減算した値に上位ビットの最下位ビットが1だけ少ない値を得ることができる。信号処理部8において絶対値の補正処理が行われることが多く、他の単位画素21との相対的な差を求められれば十分なことが多い。なお、減算値の上位ビットの最下位ビットに1を加算すれば、絶対的な増加量を算出することができる。U/DカウンタにおいてCNT信号53をHigh電位からLow電位に遷移させることによって1を加算した場合、信号処理部8において上位ビットの最下位ビットに1を加算する必要はない。

20

【0043】

本実施形態に係るADC61は、下位ビットラッチ部63によってキャリー信号を生成するのではなく、下位ビットラッチ部63に送信されるデータとは別に、上位ビットカウンタ部64による上位ビットのカウンタに必要な制御信号(CNT信号53)を、上位ビットカウンタ部64に送信する。これによりADC61は、下位ビットの複数のビットと上位ビットの最下位ビットの変化時点とを、ビットの不整合が起こらない時点に制御することができる。そのため、ADC61の回路構成および設計を簡素化することができる。

30

【0044】

〔まとめ〕

本発明の態様1に係るアナログデジタル変換器は、少なくとも1つの列または少なくとも1つの単位画素ごとに配置され、入力されたアナログ信号をデジタル信号に変換するアナログデジタル変換器であって、前記アナログ信号の電圧と、基準クロックに対応して電圧値が変化する参照電圧とを比較する比較器と、前記比較器の出力が反転したことをトリガとして、前記基準クロックに対応したグレイコードデータを下位ビットとしてラッチする下位ビットラッチ部と、前記基準クロックに対応した制御信号の片方または両方のエッジをカウントし、かつ、前記比較器の出力が反転したことをトリガとして、上位ビットのカウントを停止する上位ビットカウンタ部とを備えていることを特徴としている。

40

【0045】

前記の構成によれば、マスク信号を生成することなくビットの非整合性を防止することができるので、アナログデジタル変換器の回路構成および設計を簡素化することができる。

【0046】

本発明の態様2に係るアナログデジタル変換器は、前記態様1において、前記上位ビットカウンタ部は、前記制御信号の片方または両方のエッジを、前記基準クロックに対応し

50

て生成される前記グレイコードデータに対応する複数の前記下位ビットと同時に遷移させないことを特徴としている。

【0047】

前記の構成によれば、グレイコードデータに対応する複数の下位ビットと、複数の上位ビットのうち最下位ビットとが、同じ基準クロックタイミングにおいて同時に遷移することを防ぐことができる。

【0048】

本発明の態様3に係るアナログデジタル変換器は、前記態様1において、前記上位ビットカウンタ部は、縦続接続された複数のリップルカウンタを有し、前記アナログ信号は、初期状態の第1データと、信号蓄積後の第2データとを含み、それぞれの前記リップルカウンタは、前記制御信号に基づいて、前記第1データのカウン트가終了された後から前記第2データのカウン트가開始される前の任意の時点で反転制御信号およびCNT信号によって1の補数+X(Xは-1以上の整数)にビット反転し、かつ、前記第1データに対応する複数の前記上位ビットのうち最下位ビットを前記制御信号に基づいて任意の時点でラッチすることを特徴としている。CNT信号は、下位ビットのラッチ部と独立しているため、CNT信号を独立で遷移させることが可能となる。さらに、アナログデジタル変換器の回路構成を変更することなく、反転データを1の補数+X(Xは-1以上の整数)としたデータとすることが可能である。

10

【0049】

前記の構成によれば、アップダウンにより不明となる上位ビットの最下位ビットの値を保存可能となり、かつ、下位ビットの情報と合わせて、正確にバイナリデータに復元することが可能である。また、反転データは、アナログデジタル変換器の回路構成を変更することなく1の補数+X(Xは-1以上の整数)の範囲で可変であり、用途に応じてアナログデジタル変換器の仕様を容易に変更可能である。

20

【0050】

本発明の態様4に係るアナログデジタル変換器は、前記態様3において、水平信号線と、転送されたデータを信号処理する信号処理部とをさらに備えており、前記下位ビットラッチ部は、前記第1データに対応する下位ビットを、前記水平信号線を通じて前記信号処理部に転送し、前記上位ビットカウンタ部は、ラッチされた前記第1データのカウン트가終了する時点における前記第1データに対応する複数の前記上位ビットのうち最下位ビットを、前記水平信号線を通じて前記信号処理部に転送し、前記信号処理部は、前記第1データに対応する前記下位ビットのバイナリデータを復元することを特徴としている。

30

【0051】

前記の構成によれば、下位ビットのバイナリデータを復元することができる。

【0052】

本発明の態様5に係るアナログデジタル変換器は、前記態様3において、水平信号線と、転送したデータを信号処理する信号処理部とをさらに備えており、前記下位ビットラッチ部は、前記第2データに対応する前記下位ビットを前記水平信号線を通じて前記信号処理部に転送し、前記上位ビットカウンタ部は、ラッチされた前記第1データのカウン트가終了する時点における前記第1データに対応する複数の前記上位ビットのうち最下位ビットと、前記第2データのカウン트가終了する時点における前記第1データに対応する複数の前記上位ビットのうち最下位ビットとを、前記水平信号線を通じて前記信号処理部に転送し、前記信号処理部は、前記第2データに対応する前記下位ビットのバイナリデータを復元することを特徴としている。

40

【0053】

前記の構成によれば、下位ビットのバイナリデータを正確に復元することができる。

【0054】

本発明の態様6に係るアナログデジタル変換器は、前記態様4または5において、前記信号処理部は、前記バイナリデータに復元された前記第2データに対応する前記下位ビットと、前記第2データのカウン트가終了された後の前記上位ビットとをビット結合した結

50

合データから、前記バイナリデータに復元された前記第1データに対応する前記下位ビットを減算し、前記第2データにおける前記第1データからのデータの増加量を算出することを特徴としている。

【0055】

前記の構成によれば、データの増加量を正確に算出することができる。

【0056】

本発明の態様7に係る固体撮像素子は、入射光をアナログ信号に変換する画素部と、前記アナログ信号をデジタル信号に変換する態様1～6のいずれかのアナログデジタル変換器と、前記アナログ信号を前記画素部から前記アナログデジタル変換器に転送するための垂直信号線とを備えていることを特徴としている。

10

【0057】

前記の構成によれば、マスク信号を生成することなくビットの非整合性を防止することができる固体撮像素子を提供することができる。

【0058】

本発明は前述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態も、本発明の技術的範囲に含まれる。各実施形態にそれぞれ開示された技術的手段を組み合わせることによって、新しい技術的特徴を形成することもできる。

【符号の説明】

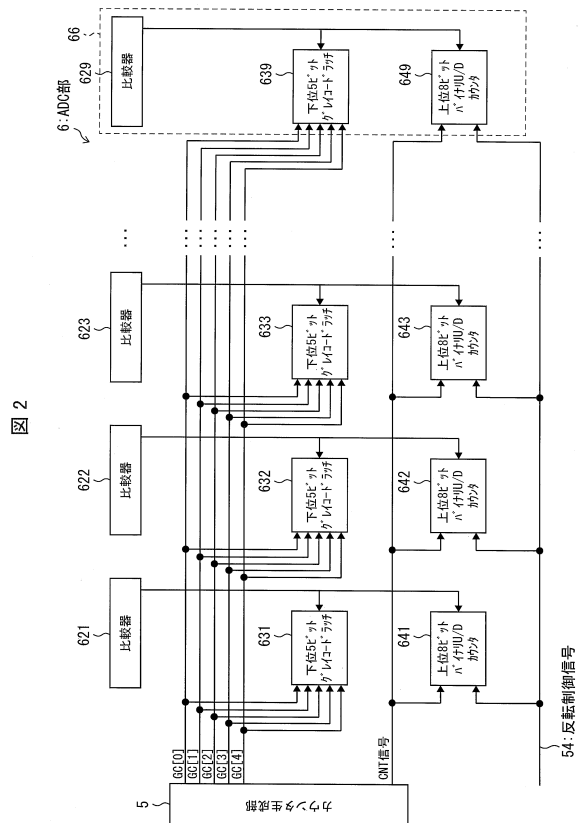
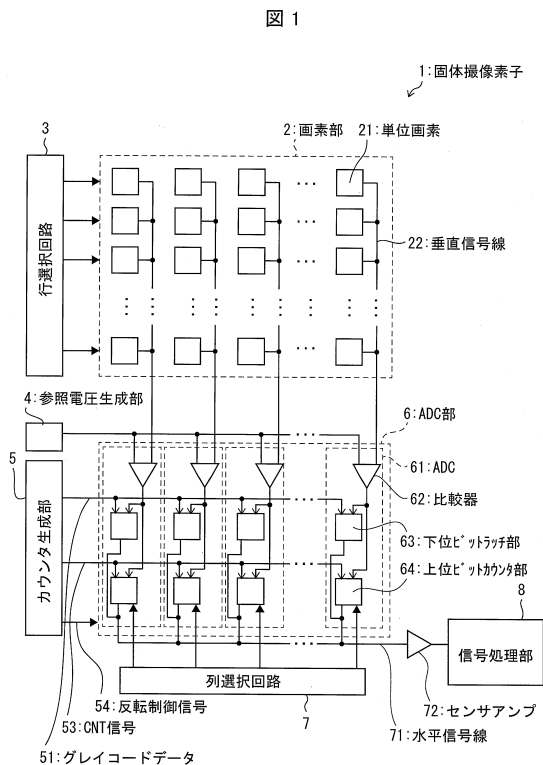
【0059】

20

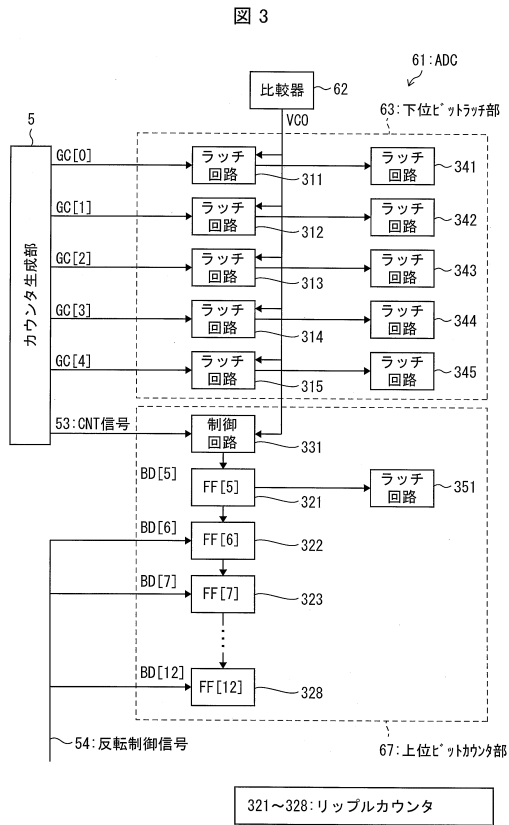
1 固体撮像素子、2 画素部、3 行選択回路、4 参照電圧生成部、5 カウンタ生成部、6 ADC部、7 列選択回路、8 信号処理部、21 単位画素、22 垂直信号線、51 グレイコードデータ、53 CNT信号、54 反転制御信号、61 ADC(アナログデジタル変換器)、62 比較器、63 下位ビットラッチ部、64 上位ビットカウンタ部、71 水平信号線、72 センサアンプ

【図1】

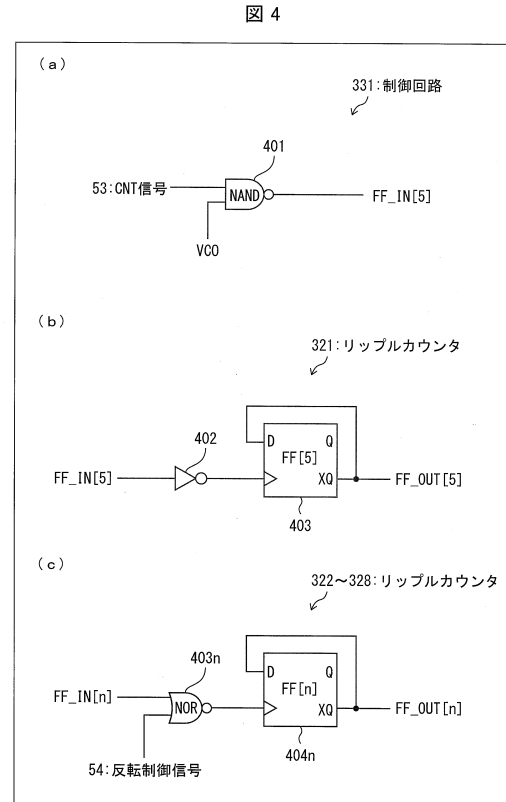
【図2】



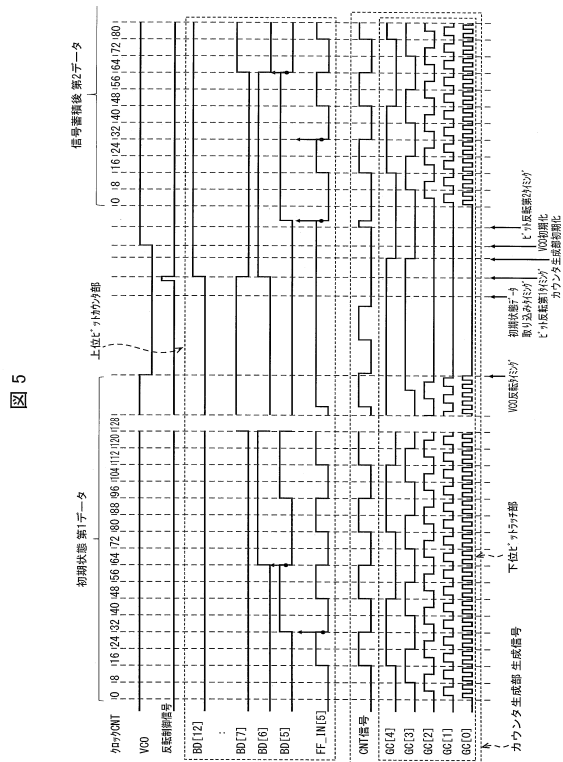
【 図 3 】



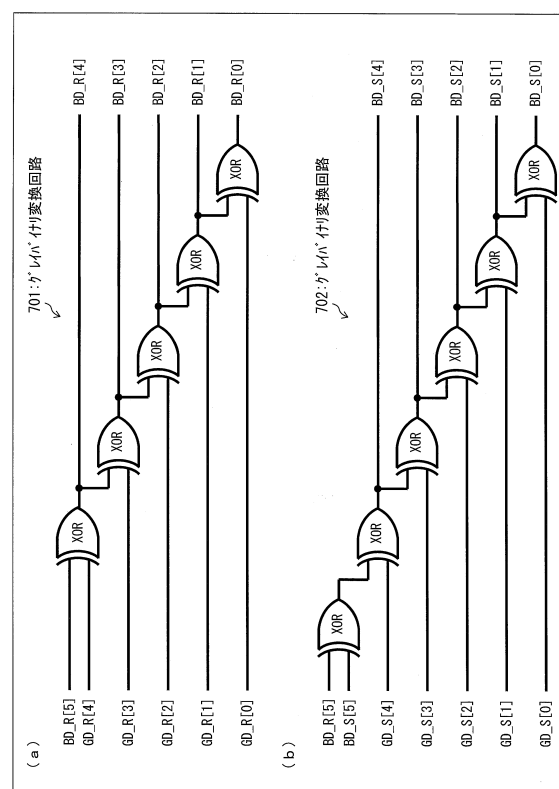
【 図 4 】



【 図 5 】

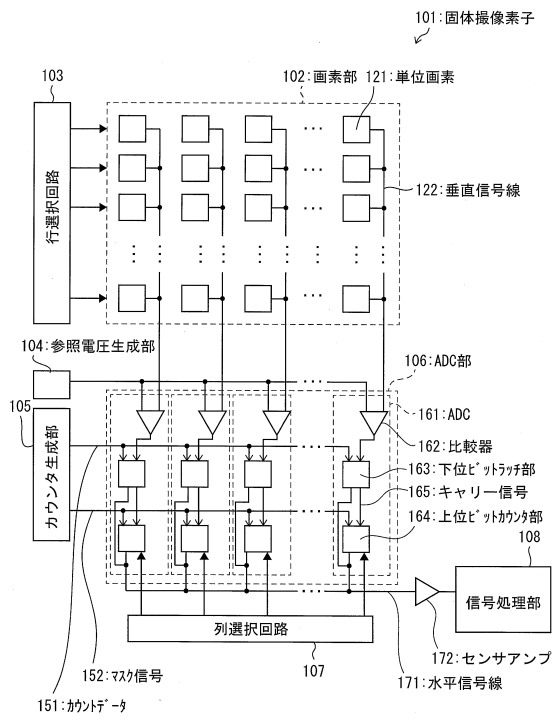


【 図 6 】



【図 7】

図 7



フロントページの続き

(56)参考文献 国際公開第2011/135815(WO,A1)
特開2016-213549(JP,A)
国際公開第2013/129202(WO,A1)

(58)調査した分野(Int.Cl.,DB名)

H04N	5/378
H04N	5/3745