

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 3 区分  
 【発行日】平成 20 年 9 月 25 日 (2008.9.25)

【公開番号】特開 2002-165137 (P2002-165137A)  
 【公開日】平成 14 年 6 月 7 日 (2002.6.7)  
 【出願番号】特願 2001-246261 (P2001-246261)  
 【国際特許分類】

H 0 4 N 5/335 (2006.01)

G 0 6 T 1/00 (2006.01)

H 0 4 N 1/028 (2006.01)

【 F I 】

H 0 4 N 5/335 P

G 0 6 T 1/00 4 2 0 G

H 0 4 N 1/028 Z

【手続補正書】

【提出日】平成 20 年 8 月 11 日 (2008.8.11)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

k ビット (k は整数) でデジタル画素データとしてデジタル信号を夫々が出力するデジタル画素の 2 次元配列を有し、k 個のビット面にビット面形式で配置される、シーンの画像を表す前記 k ビットデジタル画素データをセンサビット配置で出力するセンサ配列と、

前記センサ配列と通信し、前記センサビット配置で前記 k ビットデジタル画素データを蓄積するデータメモリと、

前記 k ビットデジタル画素データを画素 - ビット順に再配置し且つ前記再配置された画素データを出力信号として供給する、前記データメモリに接続された画素正規化回路とを有し、

前記再配置された画素データは、連続した順序で各デジタル画素と関連する全ての k ビットの前記デジタル画素データを有する前記画素 ビット順にある、画像センサ。

【請求項 2】

前記センサ配列、前記データメモリ及び、前記画素正規化回路は、単一の集積回路内に形成されている、請求項 1 に記載の画像センサ。

【請求項 3】

前記画素正規化回路は、前記デジタル画素データを、前記データメモリと前記画素正規化回路との間の信号線のルーティングを通して再配置する、請求項 1 に記載の画像センサ。

【請求項 4】

前記画素正規化回路は、前記デジタル画素データを、前記データメモリと前記画素正規化回路との間のハードワイアの信号線を通して再配置する、請求項 1 に記載の画像センサ。

【請求項 5】

前記再配置された画素データは、前記画像センサの出力信号として供給される、請求項 1 に記載の画像センサ。

## 【請求項 6】

前記再配置された画素データは、前記データメモリに書込まれる、請求項 1 に記載の画像センサ。

## 【請求項 7】

前記再配置された画素データは、連続する順序で、 $k$  ビットの第 1 の画素と、それに続いて  $k$  ビットの第 2 の画素とを有する、請求項 1 に記載の画像センサ。

## 【請求項 8】

前記画素正規化回路は、前記データメモリからの前記デジタル画素データのブロックを蓄積するバッファを有し、且つ、前記画素正規化回路は、前記デジタル画素データを、前記データメモリと前記バッファとの間の信号線のルーティングにより、再配置する、請求項 1 に記載の画像センサ。

## 【請求項 9】

前記データメモリは、 $N$  掛ける  $M$  掛ける  $k$  ビットであり且つ、前記データメモリは、連続的に、前記デジタル画素の各々によって出力されるデジタル画素データの第 1 のビット、続いて、前記デジタル画素の各々によって出力されるデジタル画素データの第 2 のビットを蓄積することによって、前記デジタル画素データをビット面形式で記憶する、請求項 1 に記載の画像センサ。

## 【請求項 10】

前記再配置された画素データは、連続するビット順序で、第 1 のデジタル画素の  $k$  ビットのデジタル画素データと、それに続いて、連続するビット順序で第 2 のデジタル画素の  $k$  ビットのデジタル画素データとを有する、請求項 9 に記載の画像センサ。

## 【請求項 11】

前記第 1 のデジタル画素と前記第 2 のデジタル画素は、前記センサ配列内で隣接しないデジタル画素である、請求項 10 に記載の画像センサ。

## 【請求項 12】

画像センサ内の方法であって、

シーンの画像を表す  $k$  ビット ( $k$  は整数) でのデジタル画素データとしてデジタル信号を出力するデジタル画素の 2 次元配列を有するセンサ配列を使用してシーンの画像を捕捉する段階と、

センサ - ビット順序で、 $k$  個のビット面にビット面形式で配置される前記  $k$  ビットデジタル画素データを出力する段階と、

前記デジタル画素データをデータメモリ内に蓄積する段階と、

前記デジタル画素データを画素 - ビット順に再配置する段階とを有し、

各デジタル画素と関連する全ての  $k$  ビットの前記デジタル画素データは、連続した順序にある、方法。

## 【請求項 13】

前記再配置された画素データを前記データメモリ内に蓄積する段階を更に有する、請求項 12 に記載の方法。

## 【請求項 14】

前記再配置された画素データを前記画像センサからの出力信号として供給する段階を更に有する、請求項 12 に記載の方法。

## 【請求項 15】

前記画素データを再配置する前記動作は、信号線のルーティングにより行われる、請求項 12 に記載の方法。