



(12) 发明专利申请

(10) 申请公布号 CN 103730372 A

(43) 申请公布日 2014. 04. 16

(21) 申请号 201310734857. 1

(22) 申请日 2013. 12. 27

(71) 申请人 西安龙腾新能源科技发展有限公司

地址 710021 陕西省西安市凤城十二路 1 号  
出口加工区

(72) 发明人 陈桥梁 马治军 任文珍 倪嘉

(74) 专利代理机构 西安新思维专利商标事务所  
有限公司 61114

代理人 李罡

(51) Int. Cl.

H01L 21/336 (2006. 01)

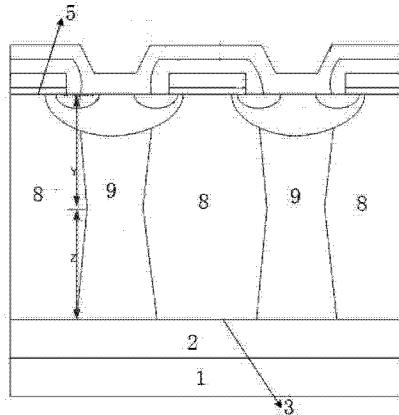
权利要求书1页 说明书5页 附图9页

(54) 发明名称

一种可提高器件耐压的超结制造方法

(57) 摘要

本发明涉及一种可提高器件耐压的超结制造方法。沟槽越深沟槽的倾斜度越严重，使得实际的沟槽刻蚀及填充与预期设计出现较大的工艺偏差，深沟槽工艺难度增加。一种可提高器件耐压的超结制造方法，准备 N 型掺杂的硅片；通过刻蚀工艺形成第一沟槽；在第一表面上生长 P 型外延层填充第一沟槽；形成相间排列的 P 柱和 N 柱，形成复合缓冲层；在硅片的第一表面上生长一层 N 型外延层；在第二表面刻蚀形成第二沟槽；填充第二沟槽；形成相间排列的 P 柱和 N 柱，即形成复合缓冲层；在硅片的第二表面制造器件的特征层。本发明在不改变掺杂浓度的情况下可以实现深沟槽高耐压。



1. 一种可提高器件耐压的超结制造方法,其特征在于:具体包括以下步骤:

步骤一:准备N型掺杂的硅片;硅片厚度为Y+Z,且满足X/2<Y<X, X/2<Z<X,其中X为传统沟槽制造的沟槽深度;

步骤二:在N型掺杂硅片的第一表面上(3)上通过光刻界定出第一沟槽(4)的区域,并通过刻蚀工艺形成第一沟槽(4);第一沟槽(4)深度为Y,且满足X/2<Y<X;

步骤三:在N型掺杂硅片的第一表面上(3)上生长预定浓度的P型外延层(6)填充第一沟槽(4);

步骤四:将N型掺杂硅片的第一表面上多余的P型外延层(6)去除掉,形成相间排列的P柱(9)和N柱(8),即形成复合缓冲层;

步骤五:在硅片的第一表面上生长一层N型外延层(2),其厚度为5-10um;在N型外延层(2)上生长一层N+外延层(1);

步骤六:将与硅片的第一表面(3)相对的另一表面称为硅片的第二表面(5),在第二表面(5)通过光刻界定出第二沟槽(7)的区域,并通过刻蚀工艺形成第二沟槽(7),所述第二沟槽(7)的底部位置与第一表面(3)形成的第一沟槽(4)的底部相接,第二表面(5)形成的第二沟槽(7)深度为Z,满足X/2<Z<X,其中X为传统沟槽制造的沟槽深度;

步骤七:在N型掺杂硅片的第二表面(5)上生长预定浓度的P型外延层(6)填充第二沟槽(7);

步骤八:将N型掺杂硅片的第二表面(5)上多余的P型外延层(6)去除掉,形成相间排列的P柱(9)和N柱(8),即形成复合缓冲层;

步骤九:在硅片的第二表面(5)制造器件的特征层。

## 一种可提高器件耐压的超结制造方法

### 技术领域

[0001] 本发明属于半导体技术领域，涉及一种可提高器件耐压的超结制造方法。

### 背景技术

[0002] 现有超结的制造方法大致分为两种：外延法和沟槽法。

[0003] 外延法：如图 3 至图 4 是现有技术外延法制造超级结的流程图，其具体方法是：

先在重掺杂的 N<sup>+</sup>(P<sup>+</sup>) 衬底上生长第一层外延 N(P)，在该外延层的预定位置注入预定剂量的 P(N) 型杂质，使得该外延层中的 N(P) 型杂质的量与 P(N) 型杂质的量匹配，由于需要在这一层外延中用注入的方法形成 P(N) 区，所以每层外延的厚度不能太厚，对于一个 600v 的晶体管，大致需要如图 3 所示的几层 N(P) 型外延，并在每次外延之后要做 P(N) 型离子注入；如图 4 所示，P(N) 型离子注入层经过扩散后形成了图中所示的上下形状较一致气泡状相连且浓度扩散均匀的 P(N) 型柱状结；由此，形成了相间排列的 P 柱与 N 柱，将此相间排列的 P 柱与 N 柱称为复合缓冲层；外延法制造的超级结中的 P(N) 型形柱状结是经过多次反复外延、氧化、光刻和棚离子注入而形成的；工艺过程中，前次注入的棚离子会随着后次外延而扩散漂移，需要经过大量实验来校准。所以此过程需要精确控制棚离子注入剂量、窗口及推进时间，来形成上下形状较一致气泡状相连且浓度扩散均匀的柱状结，以实现超级结的电荷补偿。并且多次外延生长、离子注入和扩散会产生大量的晶格缺陷，也会影响器件的可靠性。

[0004] 沟槽法是目前超结结构的主流制造方法之一，如图 5 至图 6 是现有技术沟槽法制造超级结的流程图；其具体制作过程为：

如图 5 所示；先在重掺杂的 N<sup>+</sup>(P<sup>+</sup>) 衬底上生长一层 N(P) 型外延，此处以 650v 晶体管为例大约需要 40um，在该 N(P) 型掺杂类型的外延层的预定区域挖沟槽，沟槽的深度大约为 40um；

如图 6 所示然后在沟槽中分别形成具有 P(N) 型掺杂类型的外延层，此 P(N) 型外延中的 P(N) 型杂质的含量是根据电荷平衡要求预先设定的，外延层中的 N(P) 型杂质的量与 P(N) 型杂质的量相等。

[0005] 由此，形成了相间排列的 P 柱与 N 柱，将此相间排列的 P 柱与 N 柱称为复合缓冲层。在不改变外延层掺杂浓度的情况下想要提高器件的耐压就需要更深的沟槽深度，以形成更厚的复合缓冲层，即拥有了更厚的耐压层，器件的耐压也会提高。

[0006] 然而沟槽深度越深，图 8 中 θ 角度越大，即沟槽越深沟槽的倾斜度越严重，使得实际的沟槽刻蚀及填充与预期设计出现较大的工艺偏差，深沟槽工艺难度增加。

[0007] 在 MOSFET 中有个寄生的 NPN 三极管，如图 1 所示，基极与发射极间的电阻等效为 Rbb，当功率 MOSFET 在感性负载回路中，MOSFET 由开启状态到瞬间关断时，电感将储存的电量释放给 MOSFET，基区有电流流过，基极与发射极间的 PN 结压降 Vbi=I\*Rbb。当 Vbi>0.7v 时，寄生三极管就会导通，器件会失效。防止此类失效的方法之一是降低基区电阻 Rbb。减小 Rbb 可以通过增加基区 p 型杂质的浓度来实现，但这通常会对器件的电学性能造成影响，

会使得器件的开启电压及导通电阻增大,解决方法是增加一层 p+ 掩膜版来进行 p+ 注入,以此降低基区电阻 Rbb 且不影响器件的其他特性。对于超结 MOSFET 而言,如图 2 所示 P 柱的浓度越低,超结 MOSFET 中的寄生三极管越容易导通,原理如下:若 P 柱的浓度低,当功率 MOSFET 在感性负载回路中,MOSFET 由开启状态到瞬间关断时,电感将储存的电量释放给 MOSFET,基区有电流流过,因为 P 柱的浓度低,意味着 P 柱的电阻较大,所以从 P 柱内通过的电流就少了,从 p+ 处通过的电流就增大了,即  $V_{bi}=I \cdot R_{bb}$  中的 I 变大了,所以  $V_{bi}$  会变大,当  $V_{bi} > 0.7v$  时,寄生三极管就会导通,器件会失效。

## 发明内容

[0008] 本发明的目的是提供一种改善深沟槽倾斜度且可以提高器件耐压的超结结构深沟槽的制造方法。

[0009] 为解决上述技术问题,本发明的技术方案是:一种可提高器件耐压的超结制造方法,其特别之处在于:具体包括以下步骤:

步骤一:准备 N 型掺杂的硅片;硅片厚度为 Y+Z,且满足  $X/2 < Y < X$ ,  $X/2 < Z < X$ ,其中 X 为传统沟槽制造的沟槽深度;

步骤二:在 N 型掺杂硅片的第一表面上通过光刻界定出第一沟槽的区域,并通过刻蚀工艺形成第一沟槽;第一沟槽深度为 Y,且满足  $X/2 < Y < X$ ;

步骤三:在 N 型掺杂硅片的第一表面上生长预定浓度的 P 型外延层填充第一沟槽;

步骤四:将 N 型掺杂硅片的第一表面上多余的 P 型外延层去除掉,形成相间排列的 P 柱和 N 柱,即形成复合缓冲层;

步骤五:在硅片的第一表面上生长一层 N 型外延层,其厚度为 5~10μm;在 N 型外延层上生长一层 N+ 外延层;

步骤六:将与硅片的第一表面相对的另一表面称为硅片的第二表面,在第二表面通过光刻界定出第二沟槽的区域,并通过刻蚀工艺形成第二沟槽,所述第二沟槽的底部位置与第一表面形成的第一沟槽的底部相接,第二表面形成的第二沟槽深度为 Z,满足  $X/2 < Z < X$ ,其中 X 为传统沟槽制造的沟槽深度;

步骤七:在 N 型掺杂硅片的第二表面上生长预定浓度的 P 型外延层填充第二沟槽;

步骤八:将 N 型掺杂硅片的第二表面上多余的 P 型外延层去除掉,形成相间排列的 P 柱和 N 柱,即形成复合缓冲层。

[0010] 步骤九:在硅片的第二表面制造器件的特征层。

[0011] 与现有技术相比较,本发明具有以下有益效果:

传统的沟槽区域的光刻、刻蚀及填充是在同一硅片的一个表面上进行的,本发明的的沟槽区域的光刻、刻蚀及填充是在同一硅片上的两个表面上分别进行的,而且第一表面及第二表面的沟槽较浅,所以制造难度较低,沟槽的倾斜度也比传统方法制造的沟槽倾斜度小,所以沟槽制造与预期设计的工艺偏差会更小;

本发明分别形成于第一表面及第二表面的沟槽较浅,所以沟槽的宽度也可以较窄,即形成的 P 柱较窄,从而使得单个元胞的尺寸变小且不改变单个元胞的电流能力,在超结器件芯片面积一定的情况下本发明中器件的元胞数会变多,从而使得器件的电流能力变强;

本发明形成的 P 柱较窄,所以本发明 P 柱的杂质浓度可以更高,从而使得在感性负载

回路中,由开启状态到瞬间关断时器件的寄生三极管更不容易导通,由此提高器件的可靠性;

沟槽总的深度大于传统方法形成的沟槽深度,所以在不改变掺杂浓度的情况下可以实现深沟槽高耐压。

## 附图说明

[0012] 图 1 为传统的 MOSFET 寄生三极管示图说明;

图 2 为超结 MOSFET 寄生三极管示图说明;

图 3- 图 4 为外延法制造超结结构的示意图;

图 5- 图 6 为传统沟槽法制造超结结构的示意图;

图 7 为本发明的步骤一的示意图;

图 8 为本发明的步骤二的示意图;

图 9 为本发明的步骤三的示意图;

图 10 为本发明的步骤四的示意图;

图 11 为本发明的步骤五的示意图;

图 12 为本发明的步骤六的示意图;

图 13 为本发明的步骤七的示意图;

图 14 为本发明的步骤八的示意图;

图 15 为本发明的步骤九的示意图。

[0013] 其中:1. N+ 外延层,2. N 型外延层,3. 第一表面;4. 第一沟槽;5. 第二表面;6. P 型外延层;7. 第二沟槽;8. N 柱;9. P 柱。

## 具体实施方式

[0014] 下面结合具体实施方式对本发明进行详细的说明。

[0015] 一种可提高器件耐压的超结制造方法,具体包括以下步骤:

步骤一:准备 N 型掺杂的硅片;硅片厚度为 Y+Z,且满足 X/2<Y<X, X/2<Z<X,其中 X 为传统沟槽制造的沟槽深度,如图 7 所示;

步骤二:在 N 型掺杂硅片的第一表面上通过光刻界定出第一沟槽 4 的区域,并通过刻蚀工艺形成第一沟槽 4;第一沟槽 4 深度为 Y,且满足 X/2<Y<X;如图 8 所示;

步骤三:在 N 型掺杂硅片的第一表面上生长预定浓度的 P 型外延层 6 填充第一沟槽 4,如图 9 所示;

步骤四:将 N 型掺杂硅片的第一表面上多余的 P 型外延层 6 去除掉,形成相间排列的 P 柱 9 和 N 柱 8,即形成复合缓冲层,如图 10 所示;

步骤五:在硅片的第一表面 3 上生长一层 N 型外延层 2,N 型外延层 2 厚度 5-10um;再在硅片 N 型外延层 2 上生长一层 N+ 外延层 1,如图 11 所示;

步骤六:将与硅片的第一表面 3 相对的另一表面称为硅片的第二表面 5,在第二表面 5 通过光刻界定出第二沟槽 7 的区域,并通过刻蚀工艺形成第二沟槽 7,此第二沟槽 7 的底部位置与第一表面 3 形成的第一沟槽 4 的底部相接,第二表面 5 形成的第二沟槽 7 深度为 Y,满足 X/2<Y<X,其中假设传统沟槽制造的沟槽深度为 X,此处第二表面 5 形成的第二沟槽 7

深度为 Z, 且满足 : $X/2 < Z < X$ , 如图 12 所示 ;

步骤七 : 在 N 型掺杂硅片的第二表面 5 上生长预定浓度的 P 型外延层 6 填充第二沟槽 7, 如图 13 所示 ;

步骤八 : 将 N 型掺杂硅片的第二表面 5 上多余的 P 型外延层 6 去除掉, 形成相间排列的 P 柱 9 和 N 柱 8, 即形成复合缓冲层, 如图 14 所示 ;

步骤九 : 在硅片的第二表面 5 制造器件的特征层, 包括如下步骤, 如图 15 所示 :

1) 在半导体硅片上生长氧化层 ;

2) 通过光刻, 界走出有源区, 对场氧化层进行刻蚀 ;

3) 生长栅氧化层, 于栅氧化层表面淀积导电多晶硅 ;

4) 通过光刻, 界走出多晶硅区域, 进行多晶硅刻蚀

5) 与整个半导体硅片表面进行 P 型杂质离子注入, 前面工艺形成的场氧化层和多晶硅区域可以界定形成的 P 阵的区域, 高温返火形成阵列的 P 阵 ;

6) 通过光刻界走出源极区域, N 型杂质离子注入, 并进行推阱形成 N+ 型源区 ;

7) 与整个半导体硅片表面淀积介质层 ;

8) 通过光刻, 界走出接触孔区域, 并进行氧化层刻蚀 ;

9) 淀积金属层, 通过光刻, 定义出刻蚀区域, 进行金属刻蚀。

[0016] 通过上述步骤制造的器件含有 : 一个第一导电类型材料的衬底层, 它可以是 n 型半导体也可以是 p 型半导体, 但在本发明中用 n 型半导体来加以说明, 我们称其为 n+ 衬底。

[0017] 在衬底上生长第一导电类型材料的外延层, 它可以是 n 型半导体也可以是 p 型半导体, 但在本发明中用 n 型半导体来加以说明, 我们称其为 n 型外延层。

[0018] 在 n 外延层上有许多个元胞, 每一个元胞具有一个含器件特征区域的器件特征层, 器件特征层起第二种导电类型材料的作用, 它可以起 n 型半导体的作用, 也可以起 p 型半导体的作用, 但在本发明中用 p 型半导体来加以说明, 我们将其称为 p 阵。

[0019] 在 p 阵与 n 型外延层之间有一个复合缓冲层 (Composite Buffer Layer), 简称 CB 层。

[0020] CB 层中含有第一种导电类型材料构成的第一半导体区, 此第一种导电类型的材料可以是 n 型半导体也可以是 p 型半导体, 但在本发明中用 n 型导电材料来说明。

[0021] CB 层中还含有第二种导电类型材料构成的第二半导体区, 此第二种导电类型的材料可以是 p 型半导体也可以是 n 型半导体, 但在本发明中用 p 型导电材料来说明。

[0022] CB 层中的第一种半导体区和第二种半导体区是交替排列的, 在本发明中我们将 CB 层中的第一种半导体区称为 N 柱, 我们将 CB 层中的第二种半导体区成为 P 柱。

[0023] 若以 MOSFET 为例, 如图 15 所示, 除了包含 P 柱、N 柱、p 阵外, 在有源区硅片的表面还需要形成 : 源区 n+, 栅氧化层 (gate oxide)、栅电极 (poly)、漏极 (drain)、bpsg 层、源极 (source)。

[0024] 传统的沟槽区域的光刻、刻蚀及填充是在同一硅片的一个表面上进行的, 上述的沟槽区域的光刻、刻蚀及填充是在同一硅片上的两个表面上分别进行的。

[0025] 上述在第一表面及在第二表面沟槽区域的深度均比传统方法制造的沟槽深度浅, 假设传统沟槽制造的沟槽深度为 X, 此处形成的沟槽深度为 Y, 且满足 : $X/2 < Y < X$ 。

[0026] 上述第一表面及第二表面的沟槽较浅, 所以制造难度较低, 沟槽的倾斜度也比传

统方法制造的沟槽倾斜度小,所以沟槽制造与预期设计的工艺偏差会更小。

[0027] 上述第一表面及第二表面的沟槽较浅,所以沟槽宽度可以较窄,即形成的 P 柱较窄,从而使得单个元胞的尺寸变小且不改变单个元胞的电流能力,在超结器件芯片面积一定的情况下器件的元胞数会变多,从而使得器件的电流能力变强。

[0028] 上述方法形成的 P 柱较窄,所以 P 柱的杂质浓度可以更高,从而使得在感性负载回路中,由开启状态到瞬间关断时器件的寄生三极管不容易导通,由此提高器件的可靠性。

[0029] 上述方法形成的沟槽总的深度大于传统方法形成的沟槽深度。所以在不改变掺杂浓度的情况下可以实现深沟槽高耐压。上述方法形成的沟槽总深度为  $Y+Z$ , 且满足  $X < Y+Z < 2X$ 。

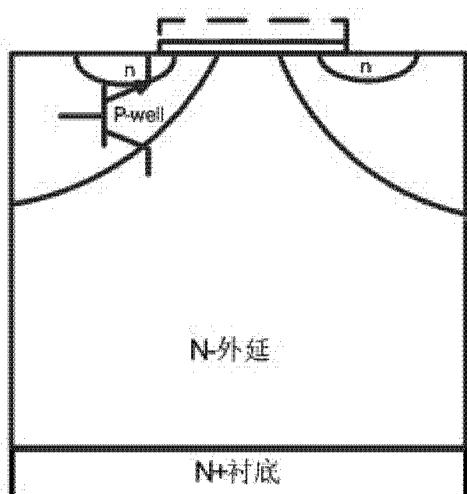


图 1

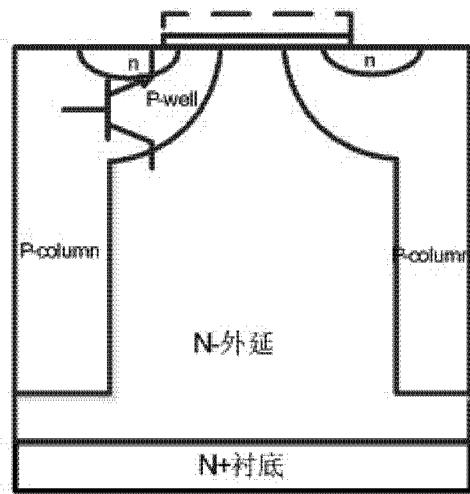


图 2

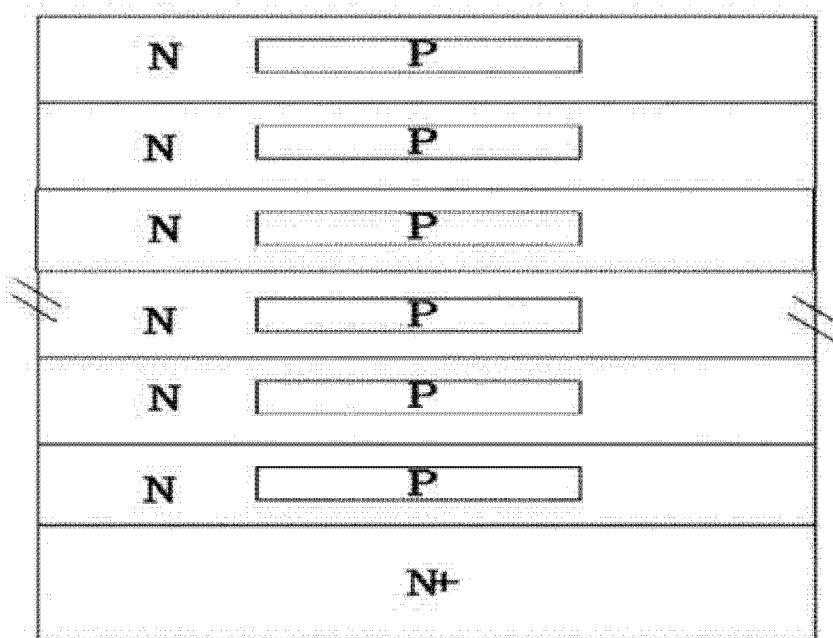


图 3

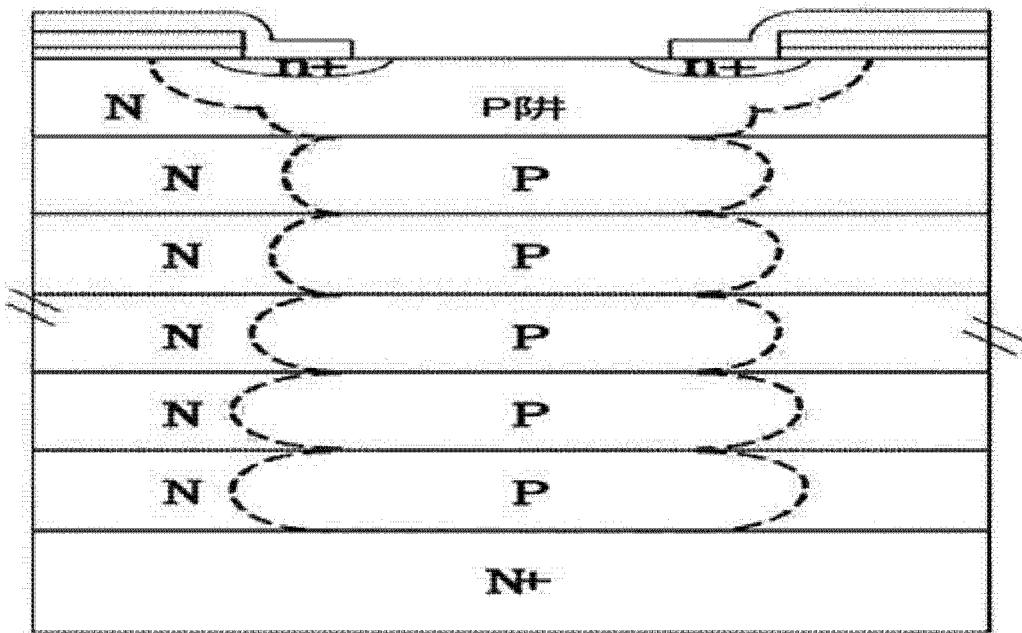


图 4

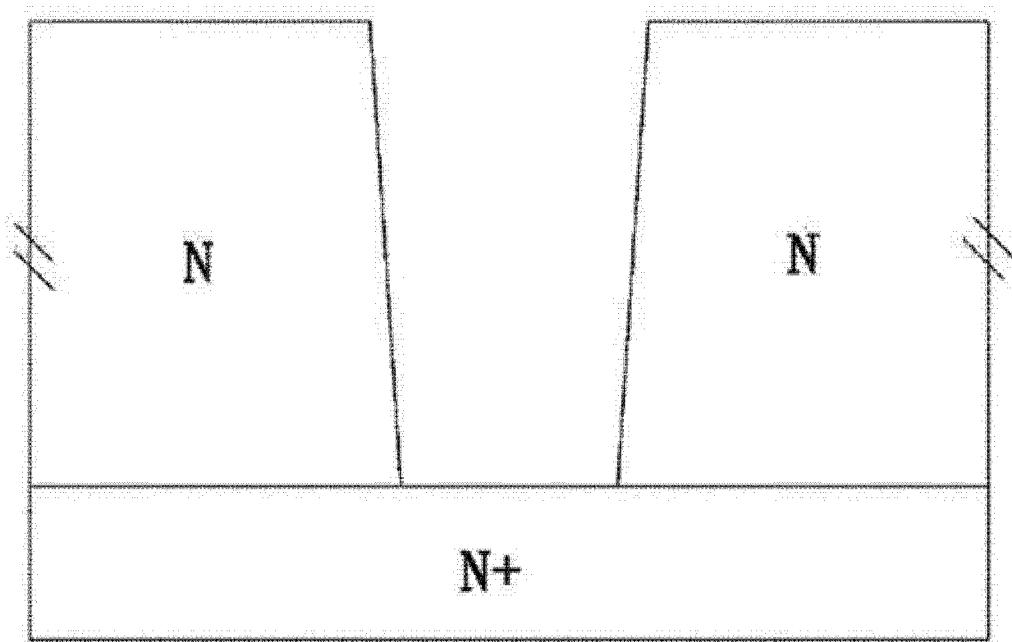


图 5

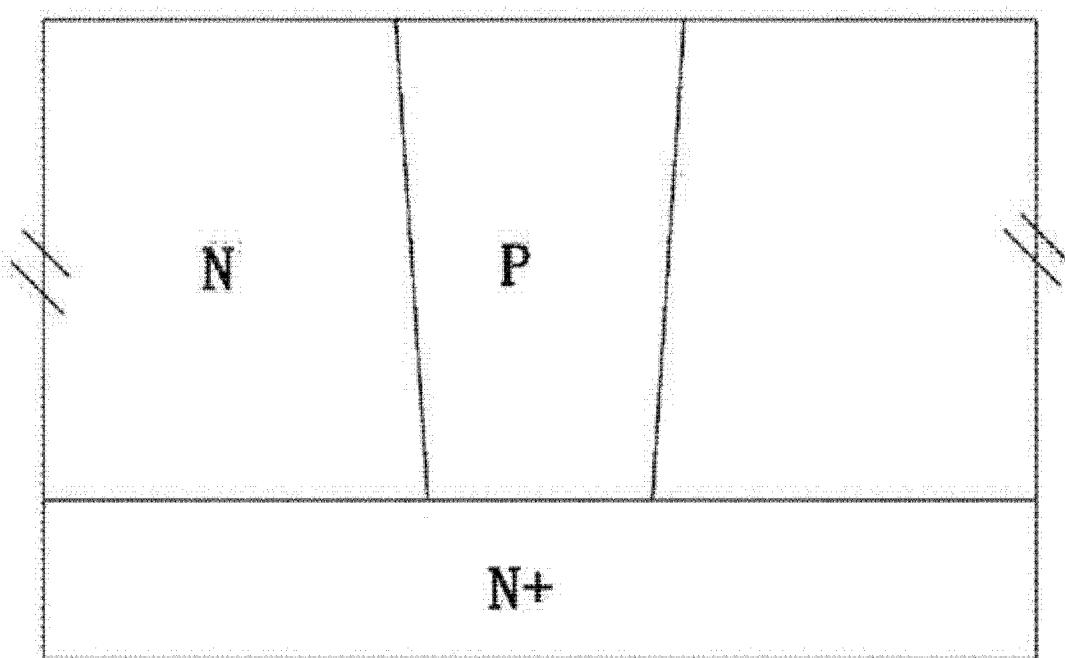


图 6

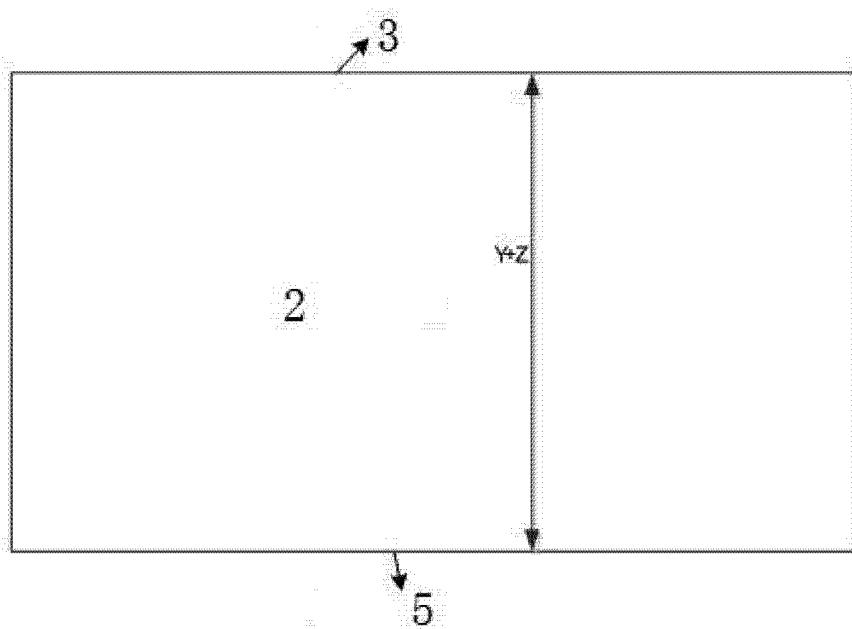


图 7

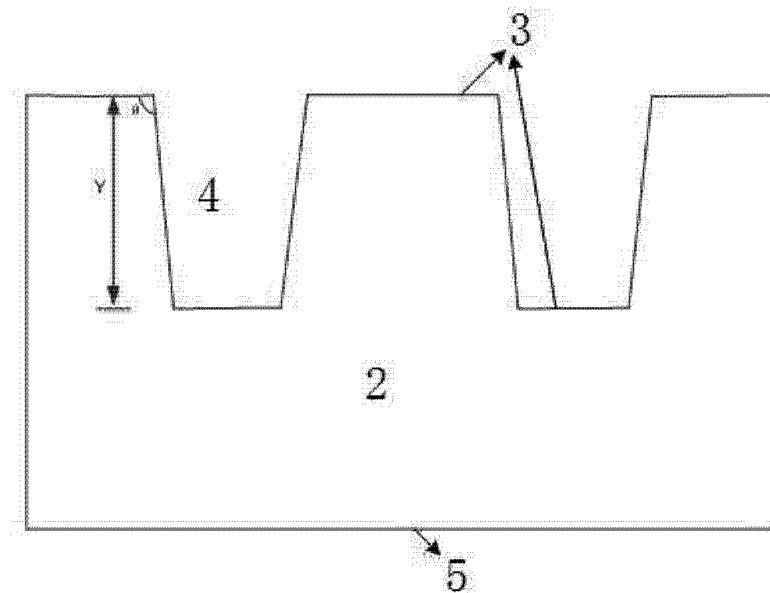


图 8

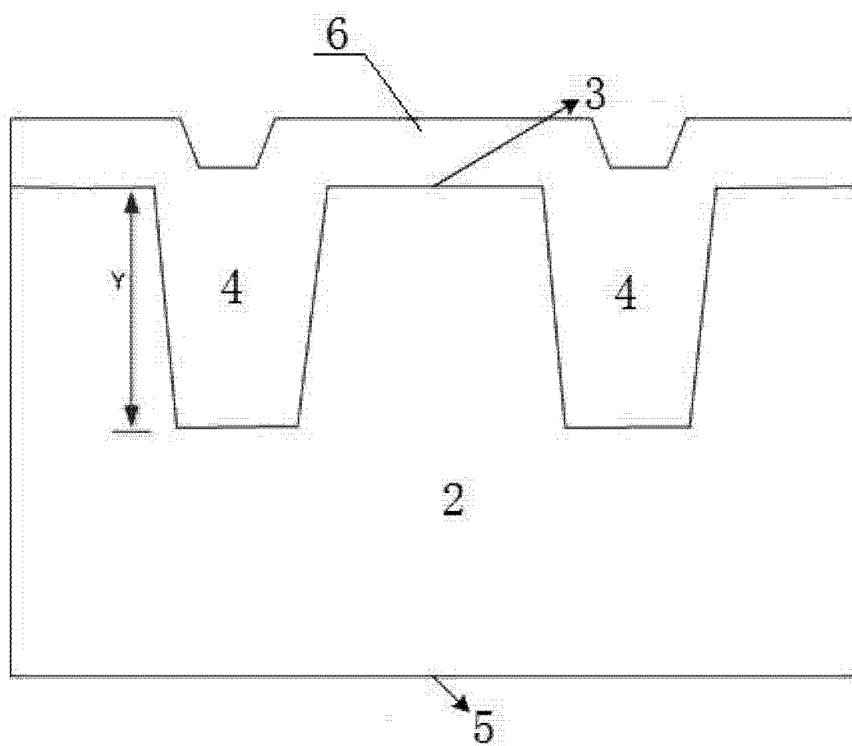


图 9

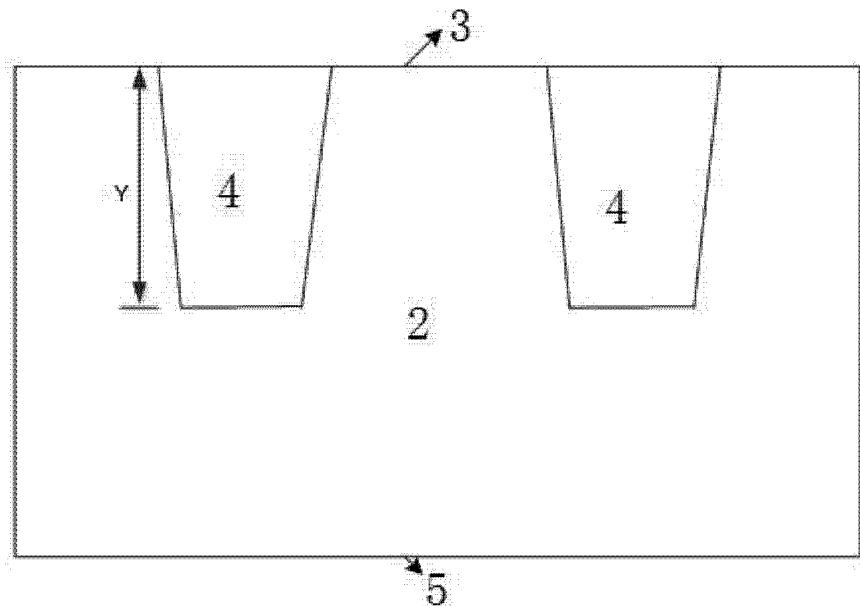


图 10

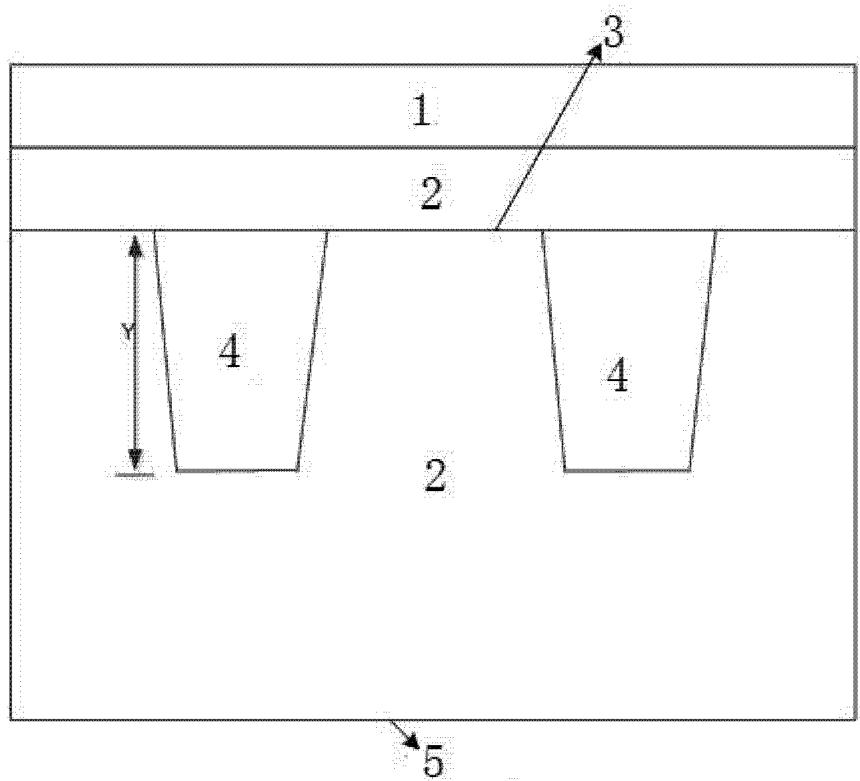


图 11

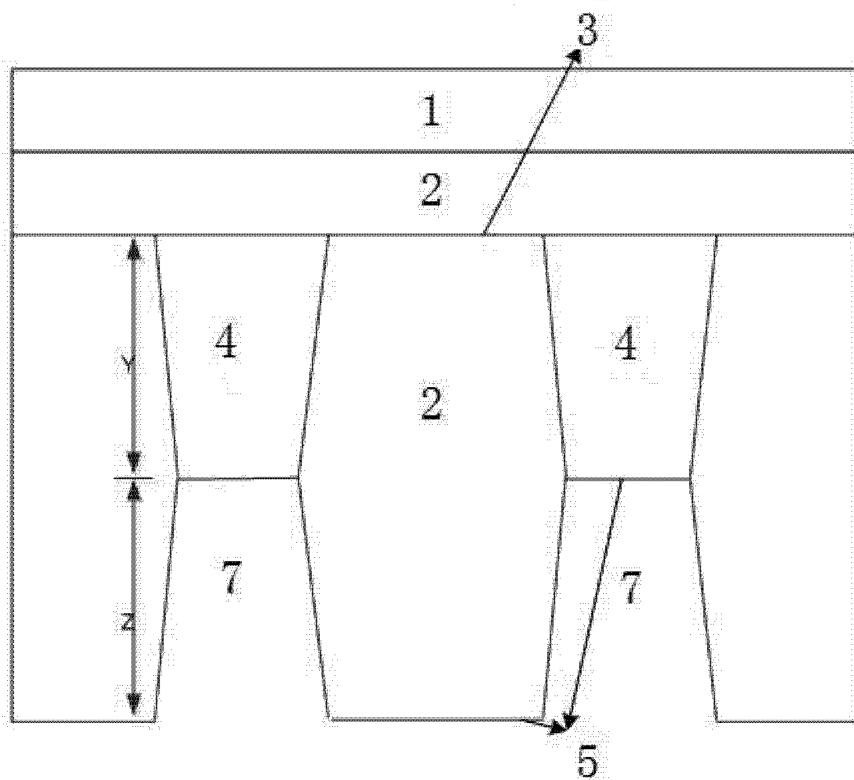


图 12

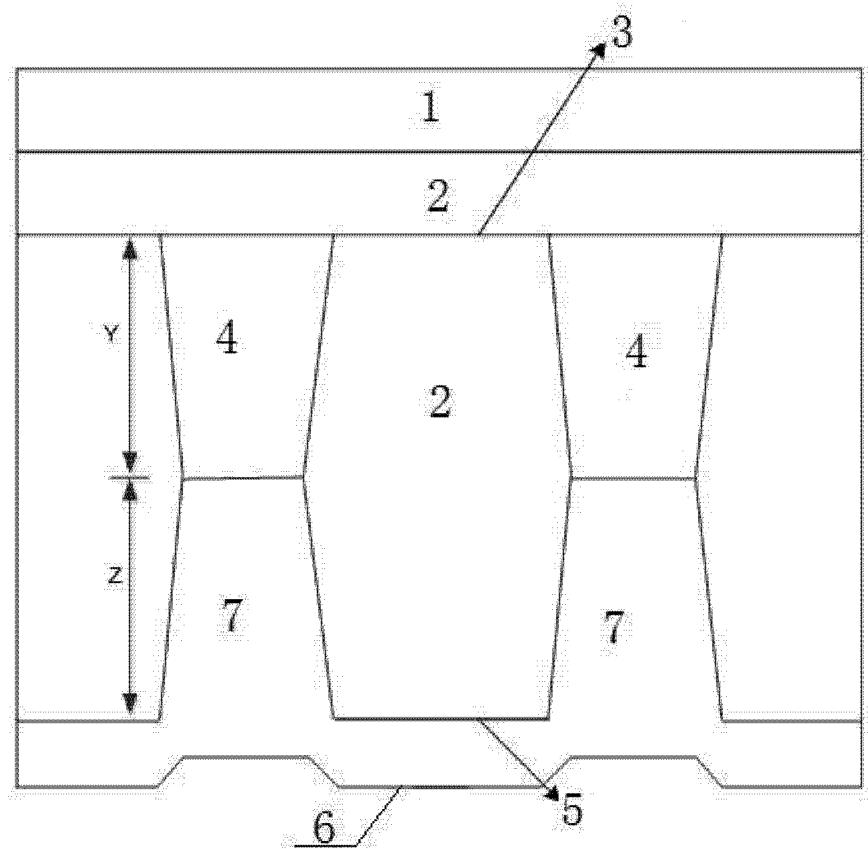


图 13

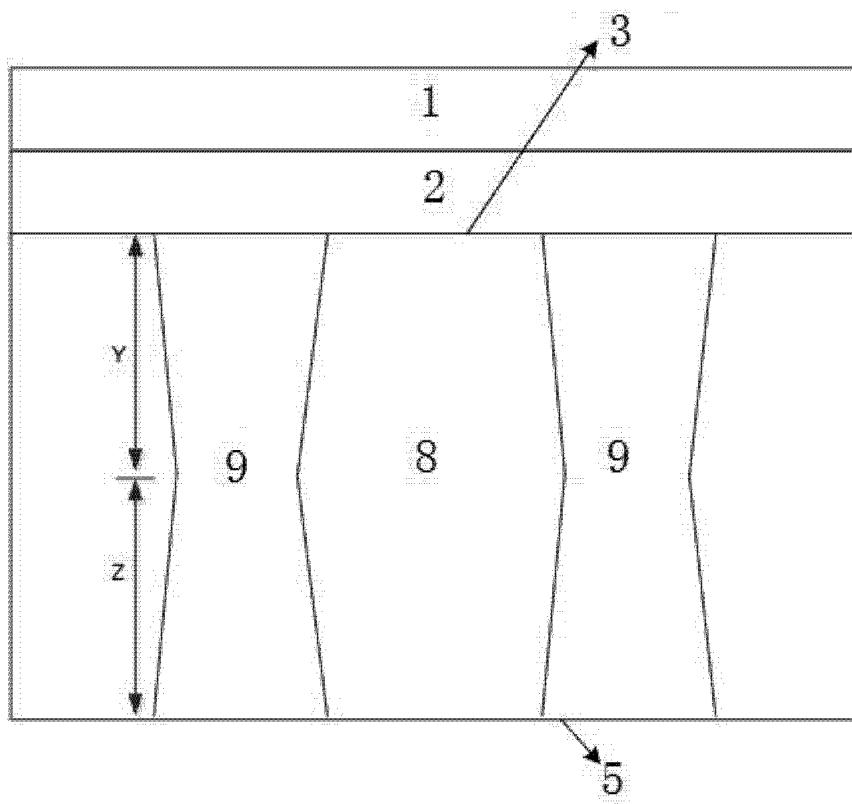


图 14

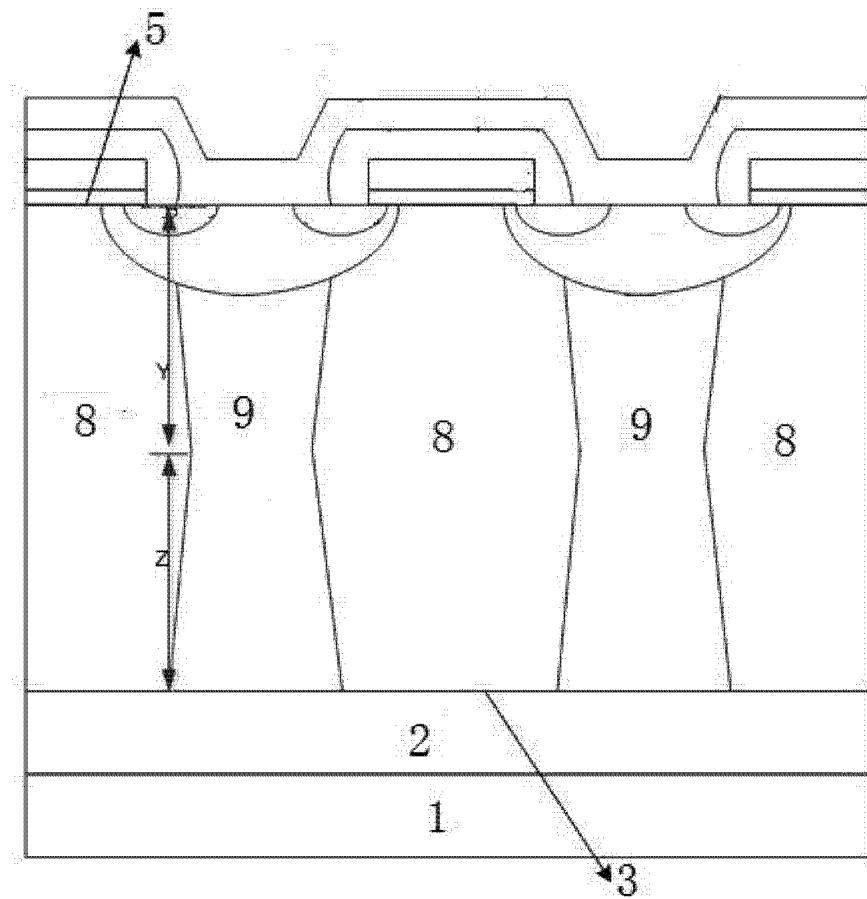


图 15