



(12) 发明专利

(10) 授权公告号 CN 1904982 B

(45) 授权公告日 2011.06.08

(21) 申请号 200610105993.4

W0 2004/021322 A2, 2004.03.11, 说明书第

(22) 申请日 2006.07.21

6 页第 2 段 - 第 13 页第 1 段、附图 1-6.

(30) 优先权数据

审查员 索子繁

67334/05 2005.07.25 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 朴度炫

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 蒲迈文 黄小临

(51) Int. Cl.

G09G 3/20 (2006.01)

(56) 对比文件

US 5900854 A, 1999.05.04, 全文.

US 6414670 B1, 2002.07.02, 全文.

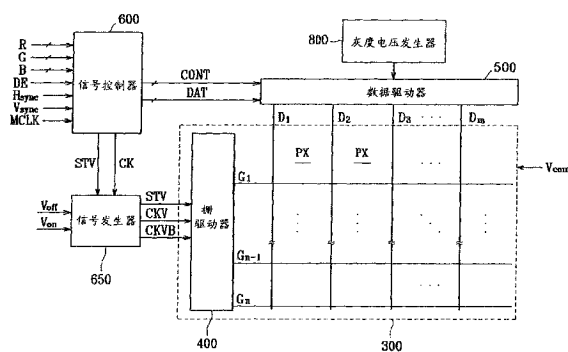
权利要求书 4 页 说明书 10 页 附图 4 页

(54) 发明名称

使用增强栅驱动器的显示设备

(57) 摘要

一种显示设备,包括:多条选通线,用于发送选通信号;多条数据线,用于发送数据信号;多个连接到选通线和数据线的开关元件;多个连接到开关元件的像素电极;连接到选通线的栅驱动器,其包括选通信号生成机构,用于生成选通信号和将该选通信号施加到选通线;数据驱动器,用于将数据信号施加到数据线;信号控制器,用于接收和处理将被提供给数据驱动器的输入图像信号,该信号控制器生成用于控制栅驱动器的第一选通控制信号和生成用于控制数据驱动器的数据控制信号;和信号发生器,基于接收到的第一选通控制信号而生成第二和第三选通控制信号。



1. 一种显示设备,包括:

多条选通线,用于发送选通信号;

多条数据线,用于发送数据信号;

多个连接到选通线和数据线的开关元件;

多个连接到开关元件的像素电极;

连接到选通线的栅驱动器,其包括选通信号生成机构,用于生成选通信号和将该选通信号施加到选通线;

数据驱动器,用于将数据信号施加到数据线;

信号控制器,用于接收和处理将被提供给数据驱动器的输入图像信号,该信号控制器生成用于控制栅驱动器的第一选通控制信号和生成用于控制数据驱动器的数据控制信号;和

信号发生器,用于接收第一选通控制信号,并且基于接收到的第一选通控制信号而生成第二和第三选通控制信号,

其中,栅驱动器能够接收第二和第三选通控制信号,

其中,栅驱动器基于第二和第三选通控制信号而生成选通信号,和

其中,第一选通控制信号是具有第一周期的周期信号,第二选通控制信号是具有第二周期的周期信号,第三选通控制信号是具有第三周期的周期信号,并且第一周期基本等于第二和第三周期,

其中,所述栅驱动器包括多个栅驱动器级,其中第二选通控制信号被提供到第 n 个栅驱动器级的第一个时钟端子,而第三选通控制信号被提供到第 n 个栅驱动器级的第二个时钟端子以及第 $n+1$ 个栅驱动器级的第一个时钟端子,其中 n 为大于 1 的正整数,并且所述第 n 个栅驱动器级的第二个时钟端子连接到所述第 $n+1$ 个栅驱动器级的第一个时钟端子。

2. 如权利要求 1 所述的显示设备,其中,选通信号生成机构将选通信号依次施加到多条选通线中的每一条。

3. 如权利要求 1 所述的显示设备,其中,第一选通控制信号具有第一相位,而第二选通控制信号具有第二相位,并且第一相位近似等于第二相位。

4. 如权利要求 1 所述的显示设备,其中,第二选通控制信号具有第二相位,第三选通控制信号具有第三相位,并且第二相位与第三相位之间的相位差大约是 180 度。

5. 如权利要求 1 所述的显示设备,其中,所述选通信号包括多个脉冲。

6. 如权利要求 5 所述的显示设备,其中,选通信号包括具有多个周期脉冲的脉冲序列,每个周期脉冲的脉冲宽度近似等于第一周期的一半。

7. 如权利要求 1 所述的显示设备,其中,信号发生器与信号控制器组合。

8. 如权利要求 1 所述的显示设备,其中,信号发生器包括:

放大器,用于放大第一选通控制信号,以生成第二选通控制信号;和

反相器,用于对第二选通控制信号进行反相,以生成第三选通控制信号。

9. 一种显示设备,包括:

多条选通线,用于发送选通信号;

多条数据线,用于发送数据信号;

多个连接到选通线和数据线的开关元件;

多个连接到开关元件的像素电极；

连接到选通线的栅驱动器，其包括选通信号生成机构，用于生成选通信号和将该选通信号施加到选通线；

数据驱动器，用于将数据信号施加到数据线；

信号控制器，用于接收和处理将被提供给数据驱动器的输入图像信号，该信号控制器生成用于控制栅驱动器的第一选通控制信号和生成用于控制数据驱动器的数据控制信号；和

信号发生器，用于接收第一选通控制信号，并且基于接收到的第一选通控制信号而生成第二和第三选通控制信号，

其中，栅驱动器能够接收第二和第三选通控制信号，

其中，栅驱动器基于第二和第三选通控制信号而生成选通信号，

其中，选通信号包括具有一脉冲宽度的脉冲，和

其中，第一选通控制信号是具有第一周期的周期信号，第一周期大约等于所述脉冲宽度的两倍，

其中，所述栅驱动器包括多个栅驱动器级，其中第二选通控制信号被提供到第 n 个栅驱动器级的第一个时钟端子，而第三选通控制信号被提供到第 n 个栅驱动器级的第二个时钟端子以及第 $n+1$ 个栅驱动器级的第一个时钟端子，其中 n 为大于 1 的正整数，并且所述第 n 个栅驱动器级的第二个时钟端子连接到所述第 $n+1$ 个栅驱动器级的第一个时钟端子。

10. 如权利要求 9 所述的显示设备，其中，选通信号生成机构将选通信号依次施加到多条选通线中的每一条。

11. 如权利要求 9 所述的显示设备，其中，第二选通控制信号是具有第二周期的周期信号，第二周期大约等于第一周期，并且第二选通控制信号具有大约与第一选通控制信号相同的相位。

12. 如权利要求 11 所述的显示设备，其中，第三选通控制信号是具有第三周期的周期信号，并且第三选通控制信号与第二选通控制信号之间的相位差大约是 180 度。

13. 如权利要求 11 所述的显示设备，其中，信号发生器包括：

放大器，用于放大第一选通控制信号，以生成第二选通控制信号；和

反相器，用于对第二选通控制信号进行反相，以生成第三选通控制信号。

14. 一种显示设备，包括：

多条选通线，用于发送选通信号；

多条数据线，用于发送数据信号；

多个连接到选通线和数据线的开关元件；

多个连接到开关元件的像素电极；

连接到选通线的栅驱动器，其包括选通信号生成机构，用于生成选通信号并将该选通信号施加到选通线；

数据驱动器，用于将数据信号施加到数据线；和

信号控制器，用于接收和处理将被提供给数据驱动器的输入图像信号，该信号控制器生成用于控制栅驱动器的第一和第二选通控制信号和生成用于控制数据驱动器的数据控制信号，其中，使用一个或多个集成电路芯片来实现信号控制器，

其中,栅驱动器基于第一和第二选通控制信号而生成选通信号,

其中,选通信号包括具有一脉冲宽度的脉冲,和

其中,第一选通控制信号是具有第一周期的周期信号,第二选通控制信号是具有第二周期的周期信号,第一周期大约等于第二周期,并且第一周期基本等于所述脉冲宽度的两倍,

其中,所述栅驱动器包括多个栅驱动器级,其中第一选通控制信号被提供到第 n 个栅驱动器级的第一个时钟端子,而第二选通控制信号被提供到第 n 个栅驱动器级的第二个时钟端子以及第 $n+1$ 个栅驱动器级的第一个时钟端子,其中 n 为大于 1 的正整数,并且所述第 n 个栅驱动器级的第二个时钟端子连接到所述第 $n+1$ 个栅驱动器级的第一个时钟端子。

15. 如权利要求 14 所述的显示设备,其中,选通信号生成机构将选通信号依次施加到多条选通线中的每一条。

16. 如权利要求 14 所述的显示设备,其中,第二选通控制信号与第一选通控制信号之间的相位差大约是 180 度。

17. 如权利要求 1 所述的显示设备,其中,信号控制器生成起始信号,并且将该起始信号仅施加到第一和第二栅驱动器级中的一个栅驱动器级。

18. 如权利要求 9 所述的显示设备,其中,信号控制器生成起始信号,并且将该起始信号仅施加到第一和第二栅驱动器级中的一个栅驱动器级。

19. 如权利要求 14 所述的显示设备,其中,信号控制器生成起始信号,并且将该起始信号仅施加到第一和第二栅驱动器级中的一个栅驱动器级。

20. 如权利要求 1 所述的显示设备,其中,开关元件包括第一薄膜晶体管。

21. 如权利要求 20 所述的显示设备,其中,第一薄膜晶体管包括非晶硅。

22. 如权利要求 20 所述的显示设备,其中,选通信号发生机构包括多个第二薄膜晶体管。

23. 如权利要求 20 所述的显示设备,其中,选通线、数据线、第一薄膜晶体管、像素电极和栅驱动器被集成在基底上。

24. 一种栅驱动单元,包括:

信号控制器,用于生成用于控制栅驱动器的第一选通控制信号和生成用于控制数据驱动器的数据控制信号;

信号发生器,用于接收第一选通控制信号,并且基于接收到的第一选通控制信号而生成第二和第三选通控制信号;

其中,栅驱动器能够接收第二和第三选通控制信号,和

其中,第一选通控制信号是具有第一周期的周期信号,第二选通控制信号是具有第二周期的周期信号,第三选通控制信号是具有第三周期的周期信号,并且第一周期基本等于第二和第三周期,

其中,所述栅驱动器包括多个栅驱动器级,其中第二选通控制信号被提供到第 n 个栅驱动器级的第一个时钟端子,而第三选通控制信号被提供到第 n 个栅驱动器级的第二个时钟端子以及第 $n+1$ 个栅驱动器级的第一个时钟端子,其中 n 为大于 1 的正整数,并且所述第 n 个栅驱动器级的第二个时钟端子连接到所述第 $n+1$ 个栅驱动器级的第一个时钟端子。

25. 如权利要求 24 所述的栅驱动单元,其中,第一选通控制信号具有第一相位,第二选

通控制信号具有第二相位,并且第一相位近似等于第二相位。

26. 如权利要求 24 所述的栅驱动单元,其中,第二选通控制信号具有第二相位,第三选通控制信号具有第三相位,并且第二相位与第三相位之间的相位差大约是 180 度。

27. 如权利要求 24 所述的栅驱动单元,其中,选通信号包括多个脉冲。

28. 如权利要求 24 所述的栅驱动单元,其中,选通信号包括具有多个周期脉冲的脉冲序列,每个周期脉冲的脉冲宽度近似等于第一周期的一半。

29. 如权利要求 24 所述的栅驱动单元,其中,信号发生器与信号控制器组合。

30. 如权利要求 24 所述的栅驱动单元,其中,信号发生器包括:

放大器,用于放大第一选通控制信号,以生成第二选通控制信号;和

反相器,用于对第二选通控制信号进行反相,以生成第三选通控制信号。

使用增强栅驱动器的显示设备

技术领域

[0001] 本发明涉及显示设备。

背景技术

[0002] 最近,诸如有机发光二极管(OLED)、电致发光(EL)、等离子体显示面板(PDP)、和液晶显示器(LCD)之类的平板显示器已被积极开发来替代体积大且笨重的阴极射线管(CRT)。

[0003] PDP使用通过气体放电产生的等离子体来显示字符或图像,而OLED使用曝露于电场而发光的有机材料来显示子图或图像。液晶显示器通过在放置于两个面板之间的液晶层施加电场并且调节电场强度以便调节通过液晶层的光透射率来显示图像。

[0004] 诸如LCD或OLED之类的平板显示器利用具有包括开关元件的像素的显示面板。所述开关元件由选通线和数据线控制。选通线将扫描信号发送到像素,从而导通和截止开关元件。数据线将图像信号发送到像素。栅驱动器为选通线提供选通信号。栅驱动器能够以至少一个芯片的形成实现或者被集成到显示面板中。

[0005] 能够处理输入图像数据并且控制诸如栅驱动器之类的其他元件的信号控制器生成多个控制信号用于开关元件的上述控制。信号发生器接收控制信号,以便生成并提供栅驱动器直接所需的信号。信号发生器被放置于信号控制器与栅驱动器之间。

[0006] 信号控制器生成各种信号,例如,指定选通信号的应用的扫描开始信号、确定施加选通信号的脉冲的时间的选通时钟信号、和确定选通信号的脉冲宽度的输出使能信号。信号发生器接收这些信号,并且生成栅驱动器所需的信号。然而,上述信号的生成对信号控制器和信号发生器要求较高。信号控制器和信号发生器利用了制造昂贵的复杂结构。

发明内容

[0007] 本发明的动机是提供一种解决现有技术中出现的上述和其他问题的显示设备。

[0008] 本发明的示例性实施例提供了一种显示设备,包括:多条选通线,用于发送选通信号;多条数据线,用于发送数据信号;多个连接到选通线和数据线的开关元件;多个连接到开关元件的像素电极;连接到选通线的栅驱动器(gate driver),其包括选通信号生成机构,用于生成选通信号和将该选通信号施加到选通线;数据驱动器,用于将数据信号施加到数据线;信号控制器,用于接收和处理将被提供给数据驱动器的输入图像信号,该信号控制器生成用于控制栅驱动器的第一选通控制信号和生成用于控制数据驱动器的数据控制信号;和信号发生器,用于接收第一选通控制信号,并且基于接收到的第一选通控制信号而生成第二和第三选通控制信号,其中,栅驱动器能够接收第二和第三选通控制信号,其中,栅驱动器基于第二和第三选通控制信号而生成选通信号,和其中,第一选通控制信号是具有第一周期的周期信号,第二选通控制信号是具有第二周期的周期信号,第三选通控制信号是具有第三周期的周期信号,并且第一周期基本等于第二和第三周期,其中,所述栅驱动器包括多个栅驱动器级,其中第二选通控制信号被提供到第n个栅驱动器级的第一个时钟端

子,而第三选通控制信号被提供到第 n 个栅驱动器级的第二个时钟端子以及第 $n+1$ 个栅驱动器级的第一个时钟端子,其中 n 为大于 1 的正整数,并且所述第 n 个栅驱动器级的第二个时钟端子连接到所述第 $n+1$ 个栅驱动器级的第一个时钟端子。

[0009] 根据其他示例性实施例,第二选通控制信号可以具有大约与第一选通控制信号相同的相位。第三选通控制信号与第二选通控制信号之间的相位差可以大约是 180 度。选通信号可以包括多个脉冲。脉冲的脉冲宽度可以是第一、第二和第三选通控制信号中每一个的一个周期的一半。信号发生器可以与信号控制器组合。信号发生器可以包括:放大器,用于放大第一选通控制信号,以生成第二选通控制信号;和反相器,用于对第二选通控制信号进行反相,以生成第三选通控制信号。

[0010] 本发明的另一示例性实施例提供了一种显示设备,包括:多条选通线,用于发送选通信号;多条数据线,用于发送数据信号;多个连接到选通线和数据线的开关元件;多个连接到开关元件的像素电极;连接到选通线的栅驱动器,其包括选通信号生成机构,用于生成选通信号和将该选通信号施加到选通线;数据驱动器,用于将数据信号施加到数据线;信号控制器,用于接收和处理将被提供给数据驱动器的输入图像信号,该信号控制器生成用于控制栅驱动器的第一选通控制信号和生成用于控制数据驱动器的数据控制信号;和信号发生器,用于接收第一选通控制信号,并且基于接收到的第一选通控制信号而生成第二和第三选通控制信号,其中,栅驱动器能够接收第二和第三选通控制信号,其中,栅驱动器基于第二和第三选通控制信号而生成选通信号,其中,选通信号包括具有一脉冲宽度的脉冲,和其中,第一选通控制信号的周期大约是所述脉冲宽度的两倍,其中,所述栅驱动器包括多个栅驱动器级,其中第二选通控制信号被提供到第 n 个栅驱动器级,的第一个端子,而第三选通控制信号被提供到第 n 个栅驱动器级的第二个端子以及第 $n+1$ 个栅驱动器级的第一个端子,其中 n 为大于 1 的正整数,并且所述第 n 个栅驱动器级的第二个端子连接到所述第 $n+1$ 个栅驱动器级的第一个端子。

[0011] 根据其他示例性实施例,第二选通控制信号可以具有大约与第一选通控制信号相同的周期和相同的相位。第三选通控制信号与第二选通控制信号之间的相位差可以大约是 180 度。信号发生器可以包括:放大器,用于放大第一选通控制信号,以生成第二选通控制信号;和反相器,用于对第二选通控制信号进行反相,以生成第三选通控制信号。

[0012] 本发明的另一示例性实施例提供了一种显示设备,包括:多条选通线,用于发送选通信号;多条数据线,用于发送数据信号;多个连接到选通线和数据线的开关元件;多个连接到开关元件的像素电极;连接到选通线的栅驱动器,其包括选通信号生成机构,用于生成选通信号和将该选通信号施加到选通线;数据驱动器,用于将数据信号施加到数据线;信号控制器,用于接收和处理将被提供给数据驱动器的输入图像信号,该信号控制器生成用于控制栅驱动器的第一和第二选通控制信号和生成用于控制数据驱动器的数据控制信号,其中,使用一个或多个集成电路芯片来实现信号控制器,其中,栅驱动器基于第一和第二选通控制信号而生成选通信号,其中,选通信号包括具有一脉冲宽度的脉冲,其中,所述栅驱动器包括多个栅驱动器级,其中第一选通控制信号被提供到第 n 个栅驱动器级的第一个端子,而第二选通控制信号被提供到第 n 个栅驱动器级的第二个端子以及第 $n+1$ 个栅驱动器级的第一个端子,其中 n 为大于 1 的正整数,并且所述第 n 个栅驱动器级的第二个端子连接到所述第 $n+1$ 个栅驱动器级的第一个端子。

[0013] 根据其他示例性实施例,第二选通控制信号与第一选通控制信号之间的相位差可以是 180 度。信号控制器可以生成起始信号,并且将该起始信号仅施加到多个栅驱动器级中的一个栅驱动器级。开关元件可以包括第一薄膜晶体管,并且第一薄膜晶体管可以包括非晶硅。每个级可以包括多个第二薄膜晶体管,并且选通线、数据线、第一薄膜晶体管、像素电极和栅驱动器可以被集成在基底上。

[0014] 本发明的另一示例性实施例提供了一种栅驱动单元,包括:信号控制器,用于生成用于控制栅驱动器的第一选通控制信号和生成用于控制数据驱动器的数据控制信号;信号发生器,用于接收第一选通控制信号,并且基于接收到的第一选通控制信号而生成第二和第三选通控制信号;其中,栅驱动器能够接收第二和第三选通控制信号,和其中,第一选通控制信号是具有第一周期的周期信号,第二选通控制信号是具有第二周期的周期信号,第三选通控制信号是具有第三周期的周期信号,并且第一周期基本等于第二和第三周期,其中,所述栅驱动器包括多个栅驱动器级,其中第二选通控制信号被提供到第 n 个栅驱动器级的第一个端子,而第三选通控制信号被提供到第 n 个栅驱动器级的第二个端子以及第 $n+1$ 个栅驱动器级的第一个端子,其中 n 为大于 1 的正整数,并且所述第 n 个栅驱动器级的第二个端子连接到所述第 $n+1$ 个栅驱动器级的第一个端子。

[0015] 根据其他示例性实施例,第一选通控制信号具有第一相位,第二选通控制信号具有第二相位,并且第一相位近似等于第二相位。第二选通控制信号可以具有第二相位,第三选通控制信号具有第三相位,并且第二相位与第三相位之间的相位差大约是 180 度。选通信号可以包括多个脉冲。选通信号可以包括具有多个周期脉冲的脉冲序列,每个周期脉冲的脉冲宽度近似等于第一周期的一半。信号发生器可以与信号控制器组合。信号发生器包括:放大器,用于放大第一选通控制信号,以生成第二选通控制信号;和反相器,用于对第二选通控制信号进行反相,以生成第三选通控制信号。

[0016] 附图说明

[0017] 通过参考附图描述本发明的示例性实施例,本发明的上面和其他特征和优点将变得更加明显,其中:

[0018] 图 1 是根据本发明示例性实施例的说明性显示设备的方框图;

[0019] 图 2 是根据本发明示例性实施例的 LCD 的像素的等效电路图;

[0020] 图 3 是图解说明根据本发明示例性实施例的信号发生器的时钟信号生成块的电路图;

[0021] 图 4 是图 1 中所示的栅驱动器的示例方框图;

[0022] 图 5 是图解说明图 4 中所示的栅驱动器的一个级的示例性电路图。

[0023] 具体实施方式

[0024] 现在将在下文中参考附图来更全面地描述本发明,在附图中示出了本发明的实施例。然而,本发明能够以许多不同形式来体现,并且不应当被曲解为限于此处所阐述的实施例。相反,提供这些实施例,从而使得本公开透彻全面,并且像本领域的普通技术人员完全表达本发明的范围。

[0025] 在附图中,层、薄膜、基板、区域灯的厚度为了清晰而被放大。这个说明书中相同的附图标记指代相同的元件。应当理解,当诸如层、薄膜、区域或基板之类的元件被称作在另一个元件“之上”时,它可以直接在其他元件之上,或者也可能存在中间元件。相反,当一个

元件被称作“直接在另一元件上”时,不存在中间元件。如此处所使用的,术语“和 / 或”包括一个或多个相反的所列项的任意和所有组合。

[0026] 应该理解:虽然此处可能使用术语第一、第二、第三等等来描述各个元件、组件、区域、层和 / 或部分,但是这些元件、组件、区域、层和 / 或部分不应该受这些术语的限制。这些术语仅用来区分各个元件、组件、区域、层或部分。例如,可以将下面讨论的第一元件、组件、区域、层或部分称为第二元件、组件、区域、层或部分,而不会脱离本分明的范围。

[0027] 此处使用的术语用于描述特定实施例的目的,而不是要限制本发明。此处使用的单数形式也要包含复数形式,除非上下文明确作出另外的指示。还应该理解:在该说明书中使用的术语“包含”和 / 或“包括”或者“具有”指明存在所声明的特征、区域、整数、步骤、操作、元件、和 / 或组件,但是不排除存在其他一个或多个特征、区域、整数、步骤、操作、元件、组件、和 / 或其群组。

[0028] 另外,相对性的术语,例如“在... 下”或“底部”和“在... 上”或“顶部”,在此处可被用来描述如图中所示的一个元件与另一个元件的关系。应当理解,相对性的术语意在包含除了附图中所示的方位外的器件的不同方位。例如,如果一个附图中的器件翻转,则被描述为在其他元件“下”侧的元件将随后被定位在其他元件的“上”侧。因此,示例性术语“在... 下”可以包含“在... 下”和“在... 上”两种方位,取决于附图的特定方位。类似地,如果一个附图中的器件翻转,则被描述为在其他元件“以下”或“之下”的元件然后在其他元件“上”。因此,示例性术语“以下”或“之下”可以包含之上和之下的两种方位。

[0029] 除非另外定义,否则此处使用的所有术语都具有与本发明所属技术领域普通技术人员通常理解相同的含义。还应该理解:在常用词典中定义的术语应该被理解为具有与其在相关技术上下文中的含义一致的含义,而不应该以理想化或过于形式化的意思解释,除非此处明确定义如此。

[0030] 此处参考作为本发明理想实施例的示意性插图的横截面图示来描述本发明的实施例。因此,作为例如制造技术和 / 或公差的结果,可以期望各种图示形状的变化。因此,本发明的实施例不应当被曲解为限于此处所描述的区域的具体形状,而是可以包括例如制造引起的形状的变化。例如,图示或所述为平面的区域通常可以具有粗糙和 / 或非线性的特征。例如,所示的锐角可以是圆的。因此,附图中所示的区域本质是示意性的,它们的形状不是意在说明区域的精确形状,并且不意在显示本发明的范围。

[0031] 下文中,将参考附图来详细描述本发明。

[0032] 首先,参考图 1 和图 2 来详细描述根据本发明示例性实施例的显示设备。图 1 是根据本发明示例性实施例的显示设备的方框图,而图 2 是根据本发明示例性实施例的 LCD 的像素的等效电路图。

[0033] 如图 1 所示,显示设备包括显示面板组件 300、连接到显示面板组件 300 的栅驱动器 400 和数据驱动器 500、连接到数据驱动器 500 的灰度电压发生器 800、连接到栅驱动器 400 的信号发生器 650、以及连接到信号发生器 650 和数据驱动器 500 的信号控制器 600,该信号控制器 600 控制信号发生器 650 和数据驱动器 500。显示面板组件 300 包括连接到它的多个像素 PX 和多条信号线,并且基本以矩阵布置,如图 2 的等效电路图所示。返回参考图 1,信号线包括用于发送选通信号(也称作“扫描信号”)的多条选通线 G_1 - G_n 以及用于发送数据信号的多条数据线 D_1 - D_m 。选通线 G_1 - G_n 基本在行方向上延伸,并且基本彼此平行,数

据线 D_1-D_m 基本在列方向上延伸,并且基本彼此平行。

[0034] 每个像素,例如,连接到第 i ($i = 1, 2, \dots, n$) 选通线 G_i 和第 j ($j = 1, 2, \dots, m$) 数据线 D_j 的像素 PX ,包括连接到信号线 G_i 和 D_j 的开关元件 Q (图 2) 和连接到开关元件 Q 的像素电路。

[0035] 包括薄膜晶体管的开关元件 Q 是在下面板 100 上提供的三端元件,其中,其控制端连接到选通线 G_i ,其输入端连接到数据线 D_j ,而其输出端连接到液晶电容器 C_{LC} 和存储电容器 C_{ST} 。而且,开关元件 Q 可以是薄膜晶体管,并且可以但是不必,包括非晶硅。

[0036] 在 LCD 的情况下,作为所有平板显示器的代表,如图 2 所示,其显示面板组件 300 包括下面板 100、上面板 200 和液晶层 3,该液晶层介于其间,并且信号线 G_1-G_n 和 D_1-D_m 以及开关元件 Q 被提供在下面板 100 上。液晶显示器的像素电路包括都连接到开关元件 Q 的液晶电容器 C_{LC} 和存储电容器 C_{ST} 。可选地,可以省略存储电容器 C_{ST} 。

[0037] 液晶电容器 C_{LC} 包括在下面板 100 上提供的像素电极 190 和在上面板 200 上提供的公共电极 270。因此,像素电极 190 和公共电极 270 表示液晶电容器 C_{LC} 的两端。放置在两个电极 190 和 270 之间的液晶层 3 充当液晶电容器 C_{LC} 的电介质材料。像素电极 190 连接到开关元件 Q ,公共电极 270 被形成在上面板 200 的整个表面上并且被提供有公共电压 V_{com} 。可替换地或者除了图 2 的结构以外,在下面板 100 上可以提供公共电极 270,在这种情况下,两个电极 190 和 270 中的至少一个可以具有带状或条状。

[0038] 存储电容器 C_{ST} ,用作液晶电容器 C_{LC} 的辅助电容器,可以通过在其间放置的绝缘体将下面板 100 上提供的可选信号线(未示出)和像素电极 190 重叠来形成。这种可选信号线可被提供有诸如公共电压 V_{com} 之类的预定电压。或者,存储电容器 C_{ST} 可通过绝缘体将像素电极 190 与位于像素电极之上的选通线重叠来形成。

[0039] 为了实现彩色显示,每个像素 PX 能够显示一种基色,(空间划分)或者每个像素 PX 依次(时间划分)连续显示基色,从而基色的空间或时间和被识别为显示的彩色。一组基色的示例包括红、绿和蓝。图 2 示出了其中每个像素包括滤色器 230 的空间划分的示例,该滤色器 230 在面对像素电极 190 的上面板 200 的区域中呈现一种基色。可替换地或者除了图 2 的结构以外,滤色器 230 可被提供在下面板 100 的像素电极 190 上或者在其下面。可选地,用于偏振光的一个或多个偏光器(未示出)被附着在液晶显示器的显示面板组件 300 中两个面板 100 和 200 中的至少一个面板的外表面上。

[0040] 参考图 1,灰度电压发生器 800 生成多个与像素 PX 的亮度相关的灰度信号(或参考灰度信号)。栅驱动器 400 连接到显示面板组件 300 的选通线 G_1-G_n ,并且将选通信号施加到选通线 G_1-G_n 。栅驱动器 400 可以但是不必通过与像素 PX 的开关元件 Q 相同的工艺来形成和集成到显示面板组件 300 中。

[0041] 信号发生器 650 生成多个用于控制栅驱动器 400 的信号,所述多个信号被施加到栅驱动器 400。数据驱动器 500 连接到显示面板组件 300 的数据线 D_1-D_m ,并且将从灰度电压发生器 800 提供的灰度信号中选择的数据信号施加到数据线 D_1-D_m 。然而,在灰度电压发生器 800 不提供与所有灰度级对应的信号而是仅提供与预定数量的灰度级对应的参考信号的情况下,数据驱动器 500 最好通过基于从中选择数据信号的参考灰度信号进行分压来生成所有灰度级的灰度信号。

[0042] 信号控制器 600 控制信号发生器 650、栅驱动器 400 和数据驱动器 500 的操作。上

述驱动元件 400、500、600、650 和 800 中的每一能够以至少一个集成电路 (IC) 芯片的方式直接安装在显示面板组件 300 上,或者能够以柔性电路板 (TCP) 形式安装在将被附着到显示面板组件 300 的柔性印刷电路薄膜 (未示出) 上,或者可以安装在分离的印刷电路板 (未示出) 上。另一方面,这些驱动元件 400、500、600、650 和 800 可以与数据线 G_1-G_n 和 D_1-D_m 以及 TFT 开关元件 Q 一起被集成到显示面板组件 300 中。而且,驱动元件 400、500、600、650 和 800 中的一个或多个可被集成到一个或多个芯片,如果如此集成,则驱动元件的一个或多个电路元件可位于该芯片的外部。

[0043] 接着,将更详细地描述上述的显示设备的操作。信号处理器 600 从外部图形控制器 (未示出) 接收控制图像信号的显示的输入控制信号以及输入图像信号 R、G 和 B。输入图像信号 R、G 和 B 包括每个像素 PX 的亮度信息,并且所述亮度具有预定数量,例如 $1024 (= 2^{10})$ 、 $256 (= 2^8)$ 、或者 $64 (= 2^6)$ 灰度级。输入控制信号包括例如垂直同步信号 Vsync、水平同步信号 Hsync、主时钟 MCLK 和数据使能信号 DE。

[0044] 基于输入控制信号以及输入图像信号 R、G 和 B,信号控制器 600 处理适用于驱动显示面板组件 300 的输入图像信号 R、G 和 B。信号控制器 600 也生成选通控制信号和数据控制信号 CONT。然后,信号控制器 600 将选通控制信号发送到信号发生器 650,并且将处理后的图像信号 DAT 和数据控制信号 CONT 发送到数据驱动器 500。

[0045] 选通控制信号包括用于指示开始扫描的扫描起始信号 STV 和用于控制栅导通电压 Von 的输出时间的时钟信号 CK。数据控制信号 CONT 包括用于通知起始发送一行像素 PX 的数字图像信号 DAT 的水平同步起始信号 STH、用于指示将模拟数据信号施加到数据线 D_1-D_m 的负载信号 LOAD、和数据时钟信号 HCLK。数据控制信号 CONT 还可以包括用于对于公共电压 Vcom 反转模拟数据信号的极性的反转 (inversion) 信号 RVS (下文中,“关于公共电压 Vcom 的数据信号的极性”被称作“数据信号的极性”)。

[0046] 响应于来自信号控制器 600 的数据控制信号 CONT,数据驱动器 500 依次接收一行像素 PX 的数字图像信号 DAT,选择与各个数字图像信号 DAT 对应的灰度电压,从而将数字图像信号 DAT 转换为模拟数据信号,所述模拟数据信号被施加到相应的数据线 D_1-D_m 。

[0047] 信号发生器 650 接收栅导通电压 (gate-on) Von 和栅截止电压 (gate-off) Voff,该栅导通电压 Von 具有能够导通开关元件 Q 的强度,该栅截止电压 Voff 具有能够截止开关元件 Q 的强度。然后,信号发生器通过处理来自信号控制器 600 的时钟 CK,生成一对相位彼此相对相位的时钟信号 CKV 和 CKVB。时钟信号 CKV 和 CKVB 的周期等于时钟信号 CK 的周期。时钟信号 CKV 的相位可以与时钟信号 CK 的相位相同。信号发生器 650 将从信号控制器 600 提供的扫描起始信号 STV 以及一对时钟信号 CKV 和 CKVB 施加到栅驱动器 400。

[0048] 栅驱动器 400 响应于从信号发生器 650 提供的扫描起始信号 STV 以及一对时钟信号 CKV 和 CKVB,将包括栅导通电压 Von 和栅截止电压 Voff 的选通信号施加到选通线 G_1-G_n ,从而导通或者截止连接到选通线 G_1-G_n 的开关元件 Q。然后,当开关元件 Q 导通时,通过导通的开关元件 Q 将施加到数据线 D_1-D_m 的数据信号施加到相应的像素 PX。这里,选通信号是栅导通电压 Von 的间隔可被看作一个脉冲,其宽度是时钟信号 CKV 和 CKVB 的宽度的一半。

[0049] 在图 2 所示的 LCD 中,施加到像素 PX 的数据信号的电压和公共电压 Vcom 之间的差呈现为液晶电容器 C_{LC} 的充电电压,即,像素电压。液晶分子的排列根据像素电压的大小而变化。因此,通过液晶层 3 的光的偏振发生变化。这种光偏振的变化使得通过附接到显

示面板组件 300 的偏光器的光透射率的变化,以这种方式,像素 PX 显示具有由图像信号 DAT 的灰度级表示的亮度的图像。

[0050] 通过水平周期(也称作“1H”,等于水平同步信号 Hsync 和数据使能信号 DE 的一个周期)单位来重复所述过程,所有的选通线 G_1 - G_n 依次被提供有栅导通电压 V_{on} ,从而将数据信号施加到所有像素 PX,以显示帧的图像。

[0051] 在图 2 所示的 LCD 中,当在完成一帧之后开始下一帧时,控制施加到数据驱动器 500 的反转信号 RVS,从而施加到每个像素 PX 的数据信号的极性被反转为与前一帧的极性相反(其被称作“帧反转(frame inversion)”)。这里,即使在一帧中,在数据线中流动的数据信号的极性也可以变化(例如,行反转或点反转)或者施加到一行中的像素的数据信号的极性可能根据反转信号 RVS 的特性而彼此不同(例如,列反转或点反转)。将参考图 3 来详细描述根据本发明示例性实施例的信号发生器的一部分。更具体地,图 3 是图解说明信号发生器的时钟信号发生块的电路图。

[0052] 根据本发明示例性实施例的信号发生器包括放大器 651 和反相器(inverter)652。放大器 651 接收来自信号控制器 600 的时钟信号 CK,并且将该时钟信号 CK 放大到栅导通电压 V_{on} 和栅截止电压 V_{off} 的电平,反相器 652 对放大后的信号再次反相。以这种方式,放大器 651 的输出变成时钟信号 CKV,反相器 652 的输出变成时钟信号 CKVB。

[0053] 该信号发生器 650 可以与信号控制器 600 组合在一起,以便形成一个芯片,在这种情况下,时钟信号 CK 不是独立地生成的,而是生成相位彼此相对的一对时钟信号 CKV 和 CKVB。

[0054] 现在将参考图 4 和 5 来详细描述根据本发明示例性实施例的 TFT 阵列面板和显示设备。图 4 是图 1 中所示的栅驱动器的示例方框图,图 5 是图解说明图 4 中所示的栅驱动器的一级的示例电路图。参考图 4 和 5,栅驱动器 400 包括选通信号生成机构,其图示为以用于依次输出选通信号的多个互连级 ST_1 - ST_{n+1} 的形式。栅驱动器 400 接收栅截止电压 V_{off} 、第一和第二时钟信号 CKV 和 CKVB、以及初始化信号 INT。除了最后级 ST_{n+1} 以外,所有级 ST_1 - ST_n 一对一地连接到相应的选通线 GL_1 - GL_n 。

[0055] 级 ST_1 - ST_{n+1} 中的每一级包括第一时钟端 CK1、第二时钟端 CK2、设置端 S、复位端 R、栅电压端 GV、帧复位端 FR、栅输出端 OUT1 和进位输出端 OUT2。

[0056] 在每一级中,例如,在第 j 级 ST_j 中,设置端 S 接收前一级 ST_{j-1} 的进位输出,也就是,前一进位输出 $C_{out}(j-1)$,而复位端 R 接收下一级 ST_{j+1} 的栅输出,也就是,下一栅输出 $G_{out}(j+1)$ 。而且,第一和第二时钟端 CK1 和 CK2 接收时钟信号 CKV 和 CKVB。栅电压端 GV 接收栅截止电压 V_{off} ,帧复位端 FR 接收初始化信号 INT。栅输出端 OUT1 输出栅输出 $G_{out}(j)$,进位输出端 OUT2 输出进位输出 $C_{out}(j)$ 。最后级 ST_{n+1} 的进位输出 $C_{out}(n+1)$ 被提供到每一级 ST_1 - ST_{n+1} 作为初始化信号 INT。

[0057] 在栅驱动器 400 中,第一级 ST_1 接收扫描起始信号 STV(与接收前一进位输出相对),最后级 ST_{n+1} 接收扫描起始信号 STV(与接收来自下一栅的输出相对)。而且,如果第 j 级 ST_j 的第一时钟端 CK1 接收第一时钟信号 CKV 和第 j 级 ST_j 的第二时钟端 CK2 接收第二时钟信号 CKVB,则与第 j 级 ST_j 相邻的第 (j-1) 级和第 (j+1) 级 ST_{j-1} 和 ST_{j+1} 的第一时钟端 CK1 接收第二时钟信号 CKVB,其第二时钟端 CK2 接收第一时钟信号 CKV。

[0058] 为了驱动像素的晶体管 Tr ,当第一和第二时钟信号 CKV 和 CKVB 的电压电平为高

时,它们可以但是不必表示栅导通电压 V_{on} ,而当第一和第二时钟信号 CKV 和 CKVB 的电压电平为低时,它们可以但是不必表示栅截止电压 V_{off} 。第一和第二时钟信号 CKV 和 CKVB 可以但是不必具有 50% 的占空比和 180 度的相位差。

[0059] 参考图 5,根据本发明示例性实施例的栅驱动器 400 的每个级,例如,第 j 级,包括输入部分 420、上拉驱动部分 430、下拉驱动部分 440 和输出部分 450。说明性地,这些元件包括 NMOS 晶体管 T1-T14,尽管除了 NMOS 晶体管以外,可以使用诸如 PMOS 晶体管的其他类型的晶体管来代替 NMOS 晶体管。上拉驱动部分 430 和输出部分 450 可以包括电容器 C1-C3。注意,电容器 C1-C3 中的任一个可以表示在制造期间形成的晶体管的栅极与漏极 / 源极端之间的寄生电容。

[0060] 输入部分 420 包括三个晶体管 T11、T10 和 T5,它们在设置端 S 与栅电压端 GV 之间源极到漏极串联连接。晶体管 T11 和 T5 的栅极连接到第二时钟端 CK2,晶体管 T10 的栅极连接到第一时钟端 CK1。晶体管 T11 和 T10 之间的交点连接到交点 J1,晶体管 T10 和 T5 之间的交点连接到交点 T2。

[0061] 上拉驱动部分 430 包括连接在设置端 S 与交点 J1 之间的晶体管 T4、连接在第一时钟端 CK1 和交点 J3 之间的晶体管 T12、和连接在第一时钟端 CK1 与交点 J4 之间的晶体管 T7。晶体管 T4 的栅极和漏极共同连接到设置端 S,而晶体管 T4 的源极连接到交点 J1,晶体管 T12 的栅极和漏极共同连接到第一时钟端 CK1,而晶体管 T12 的源极连接到交点 J3。晶体管 T7 的栅极通过电容器 C1 连接到交点 J3 和第一时钟端 CK1,并且其漏极连接到第一时钟端 CK1,而其源极连接到交点 J4。电容器 C2 连接在交点 J3 与交点 J4 之间。

[0062] 下拉驱动部分 440 包括多个晶体管 T9、T13、T8、T3、T2 和 T6,每个晶体管具有用于接收栅截止电压 V_{off} 的源极,并且每个晶体管具有用于将栅截止电压 V_{off} 发送到交点 J1、J2、J3 和 J4 的漏极。晶体管 T9 具有连接到复位端 R 的栅极和连接到交点 J1 的漏极,而晶体管 T13 和 T8 具有共同连接到交点 J2 的栅极以及分别连接到交点 J3 和 J4 的漏极。晶体管 T3 具有连接到交点 J4 的栅极,晶体管 T2 具有连接到复位端 R 的栅极,而晶体管 T3 和 T2 具有连接到交点 J2 的漏极。晶体管 T6 具有连接到帧复位端 FR 的栅极、连接到交点 J1 的漏极、以及连接到栅截止电压端 GV 的源极。

[0063] 输出部分 450 包括一对晶体管 T1 和 T14,每个晶体管具有连接到第一时钟端 CK1 的源极,每个晶体管具有连接到输出端 OUT1 和 OUT2 之一的漏极,并且每个晶体管具有连接到交点 J1 的栅极。晶体管 T1 的漏极连接到输出端 OUT1,晶体管 T2 的漏极连接到输出端 OUT2。输出部分 450 包括连接在晶体管 T1 的栅极与漏极之间,即,交点 J1 与交点 J2 之间的电容器 C3。晶体管 T1 的漏极也连接到交点 J2。

[0064] 现在,描述示例性级的操作。为了更好理解描述,下文中,将第一和第二时钟信号 CKV 和 CKVB 的高电平电压称作“高电压”,将第一和第二时钟信号 CKV 和 CKVB 的低电平电压称作“低电压”,其近似等于栅截止电压 V_{off} 。

[0065] 首先,当第二时钟信号 CKVB 和前一进位输出 $C_{out}(j-1)$ 变为高时,晶体管 T11 和 T5 以及晶体管 T4 都导通。然后,两个晶体管 T11 和 T4 将高电压发送到交点 J1,而晶体管 T5 将低电压发送到交点 J2。因此,晶体管 T1 和 T14 导通,并且第一时钟信号 CKV 被输出到输出端 OUT1 和 OUT2。因为交点 J2 处的电压以及第一时钟信号 CKV 的电压都为低,因此输出电压 $G_{out}(j)$ 和 $C_{out}(j)$ 都是低电压。大约同时,电容器 C3 用表示高电压和低电压之间

的差的电压充电。

[0066] 由于第一时钟信号 CKV、交点 J2 和下一栅输出 Gout(j+1) 都处于低电压电位, 因此具有连接到 J2 的栅极的晶体管 T10、T9、T12、T13、T8 和 T2 都截止。

[0067] 随后, 当第二时钟信号 CKVB 变为低时, 晶体管 T11 和 T5 截止。同时, 当第一时钟信号 CKV 变为高时, 晶体管 T1 的输出电压和交点 J2 的电压变为高。这时, 由于高电压被施加到晶体管 T10 的栅极并且连接到交点 J2 的源极的电位也是同一高电压, 栅极与源极之间的零电压差使得晶体管 T10 保持在其截止状态。因此, 交点 J1 浮动, 相应地, 电容器 C3 的高电压被加到浮动交点 J1 的电位。

[0068] 由于第一时钟信号 CKV 和交点 J2 都处于高电压, 因此晶体管 T12、T13 和 T8 导通。在该状态下, 晶体管 T12 和晶体管 T13 串联连接在高电压与低电压之间, 因此, 交点 J3 的电位对应于来源于两个导通晶体管 T12 和 T13 的源极到漏极电阻的电压。这里, 如果导通晶体管 T13 的源极到漏极电阻被设置为比导通晶体管 T12 在其电阻状态的电阻大得多, 例如, 大约大 10000 倍, 则交点 J3 的电压基本等于高电压。因此, 与晶体管 T8 串联的晶体管 T7 导通。交点 J4 的电位对应于由两个导通晶体管 T7 和 T8 的源极到漏极电阻分压的电压。这里, 如果两个晶体管 T7 和 T8 的电阻被设置为基本相同, 则交点 J4 的电位具有高电压与低电压之间的中间的电压, 从而晶体管 T3 维持截止。这时, 因为下一栅输出 Gout(j+1) 仍旧为低, 因此晶体管 T9 和 T12 也维持截止。所以, 输出端 OUT1 和 OUT2 仅连接到第一时钟信号 CKV 并且与低电压隔离, 从而发送高电压。电容器 C1 和 C2 中的每一个用与其两端之间的电位差对应的电压充电, 交点 J3 的电压低于交点 J5 的电压。

[0069] 随后, 当下一栅输出 Gout(j+1) 和第二时钟信号 CKVB 变为高以及第一时钟信号 CKV 变为低时, 晶体管 T9 和 T2 导通, 从而使得低电压出现在交点 J1 和 J2 处。这里, 一旦电容器 C3 放电, 交点 J1 的电压就下降到低电压。由于放电电容器 C3 的时间, 电压完全下降到低电压可能要花费一些时间。因此, 两个晶体管 T1 和 T15 维持导通一段下一栅输出 Gout(j+1) 变为高之后的时间, 因此, 输出端 OUT1 和 OUT2 都连接到第一时钟信号 CKV, 以发送低电压。由于输出端 OUT2 因为晶体管 T14 在电容器 C3 变成放电之后截止从而交点 J1 的电位对应于低电压, 而与第一时钟信号 CKV 隔离, 因此进位输出 Cout(j) 浮动并且维持低电压。同时, 当晶体管 T1 截止时, 输出端 OUT1 因为通过晶体管 T2 连接到低电压而继续发送低电压。

[0070] 因为晶体管 T12 和 T13 都截止, 所以交点 J3 处的电压浮动。而且, 交点 J5 的电压低于交点 J4 的电压, 并且, 因为交点 J3 的电压由于电容器 C1 而维持低于交点 J5 的电压, 晶体管 T7 截止。同时, 因为晶体管 T8 截止, 所以晶体管 T3 也维持截止, 从而导致交点 J4 的电压相应地降低。而且, 晶体管 T10 由于它的栅极连接到第一时钟信号 CKV 的低电压而维持截止, 并且交点 J2 的电压也为低。

[0071] 接着, 当第一时钟信号 CKV 变为高时, 晶体管 T12 和 T7 导通。交点 J4 的电压增加, 从而晶体管 T3 导通, 并且将低电压发送到交点 J2, 以便使得输出端 OUT1 连续发送低电压。即使下一栅输出 Gout(j+1) 的输出为低, 交点 J2 的电压也可以是低电压。由于晶体管 T10 的栅极连接到第一时钟信号 CKV 的高电压, 以及交点 J2 的电压是低电压, 晶体管 T10 导通以便将交点 J2 的低电压传送到交点 J1。两个晶体管 T1 和 T14 的漏极都连接到将被持续提供有第一时钟信号 CKV 的第一时钟端 CK1。注意, 晶体管 T1 可被制成大于其他晶体管,

以便提供较大的电流处理能力、改进的功率耗散或者两者。然而,增加 T1 的大小也会增加栅极与漏极之间的 T1 的寄生电容。因此,漏电压的变化由于所增加的寄生电容而可能影响选通电压。当第一时钟信号 CKV 为高时,因为选通电压由于栅极与漏极之间的寄生电容而增加,因此晶体管 T1 可以导通。因此,当晶体管 T1 继续将交点 J2 的低电压传送到节点 J1 时,可以防止晶体管 T1 导通,从而将晶体管 T1 的选通电压维持在低电压。

[0072] 随后,交点 J1 的电压维持在低电压,直到前一进位输出 Cout(j-1) 变成高。当第一时钟信号 CKV 为高和第二时钟信号 CKVB 为低时,交点 J2 的电压经过晶体管 T3 为低电压。否则,当第一时钟信号为低和第二时钟 CKVB 为高时,交点 J2 的电压经过晶体管 T5 维持低电压。晶体管 T6 从最后级 STn+1 接收初始化信号 INT 和进位输出 Cout(n+1) 并且将栅截止电压 Voff 发送到交点 J1,从而将交点 J1 的电压再一次设置为低电压。以这种方式,与第一和第二时钟信号 CKV 和 CKVB 同步,级 ST_j 基于前一进位信号 Cout(j-1) 和下一栅信号 Gout(j+1) 生成进位信号 Cout(j) 和栅信号 Gout(j)。

[0073] 如先前所述,通过在信号控制器中直接生成具有大约两倍于选通信号的脉冲宽度的周期的信号,相对于生成各种信号的现有技术,可以更加简化信号控制器的结构以及信号发生器的结构。当信号发生器被实现为分离芯片时,由于可以省略一个输入,因此成本降低了,并且当省略信号发生器本身时,也可以降低成本。

[0074] 尽管前面已经详细描述了本发明的优选实施例,但是应当清楚地理解,本领域技术人员可以看出的此处示教的基本发明概念的许多变化和 / 或修改将仍旧落入所附权利要求定义的本发明的精神和范围之内。

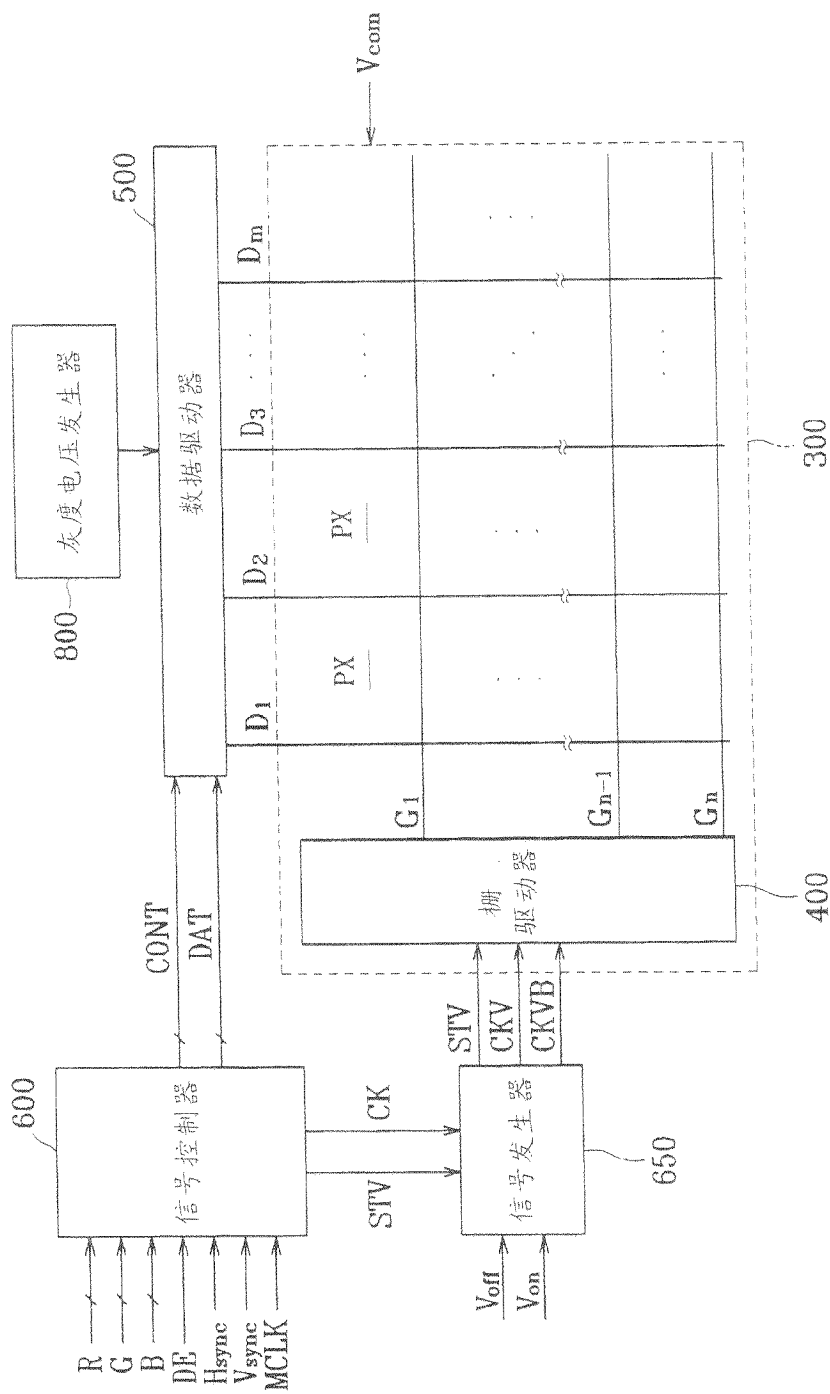


图 1

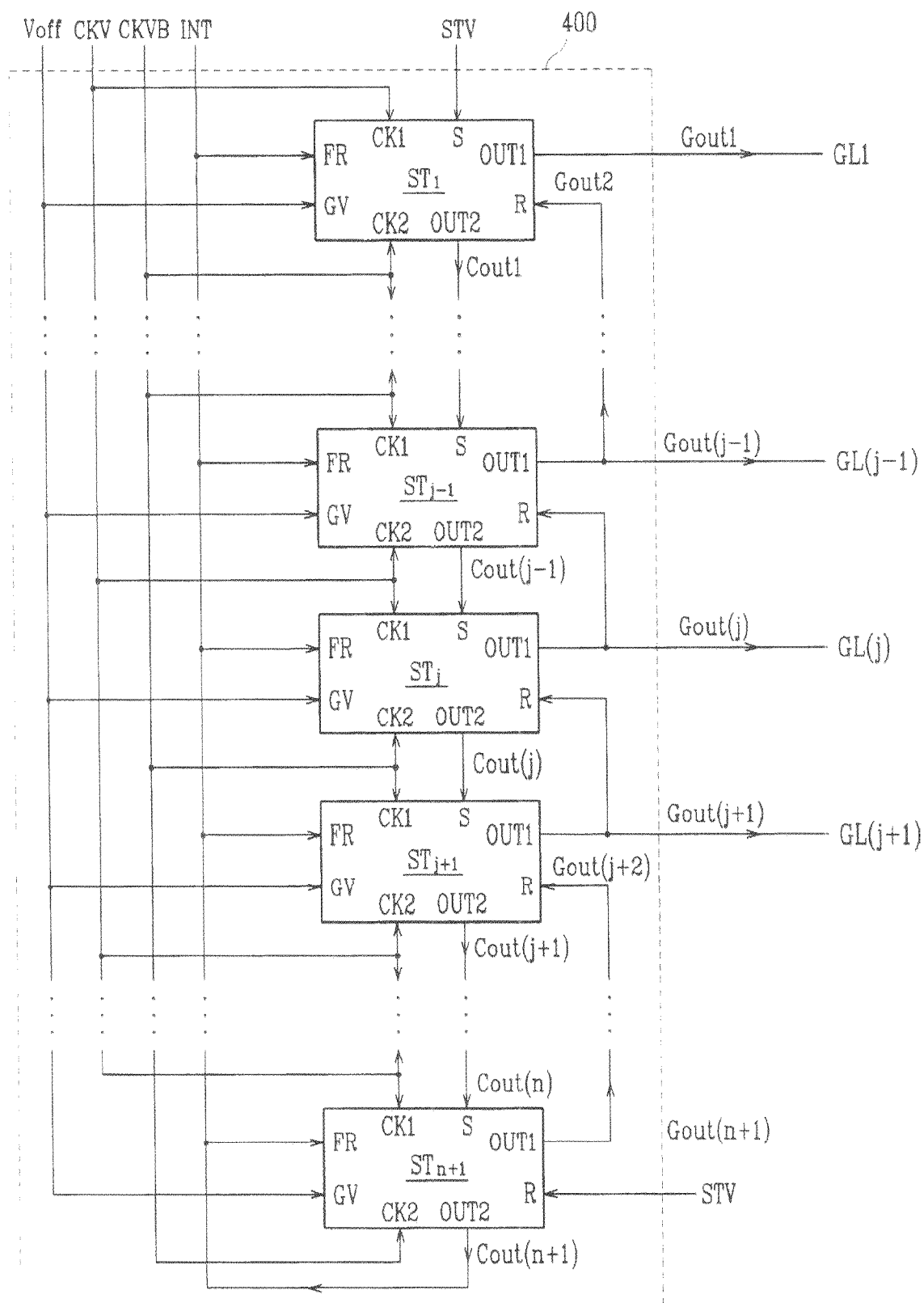


图 4

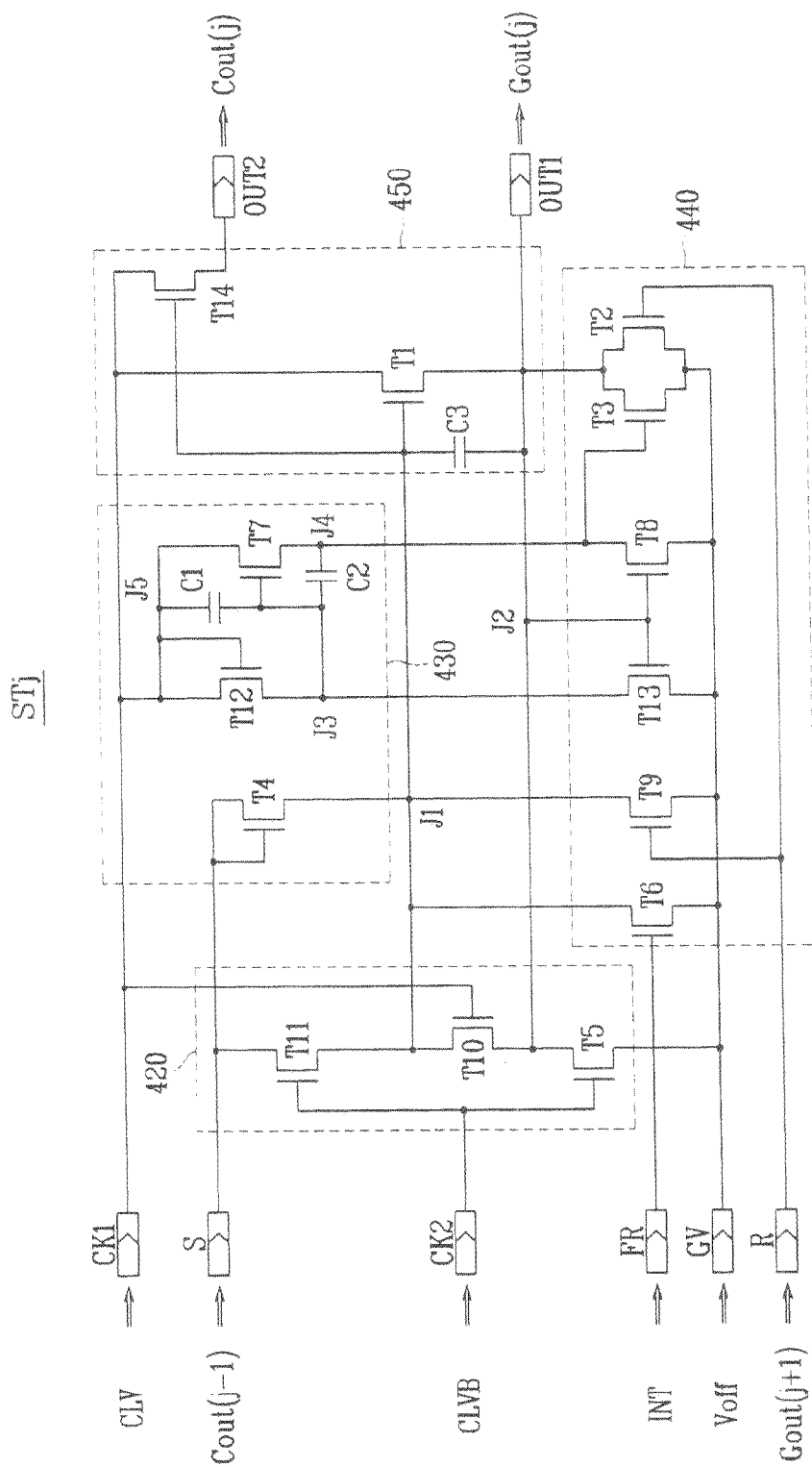


图 5