(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0002709
(43) 공개일자 2025년01월07일

(51) 국제특허분류(Int. Cl.)
H01G 4/232 (2006.01) *H01G 2/06* (2006.01)
H01G 4/012 (2006.01) *H01G 4/12* (2006.01)
H01G 4/252 (2006.01) *H01G 4/30* (2006.01)
(52) CPC특허분류
H01G 4/232 (2013.01)
H01G 2/065 (2013.01)
(21) 출원번호 10-2024-7039860
(22) 출원일자(국제) 2023년05월24일
심사청구일자 2024년11월29일
(85) 번역문제출일자 2024년11월29일
(86) 국제출원번호 PCT/JP2023/019394
(87) 국제공개번호 WO 2024/038650
국제공개일자 2024년02월22일
(30) 우선권주장
JP-P-2022-130642 2022년08월18일 일본(JP)

(71) 출원인
가부시키가이샤 무라타 세이사쿠쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고
(72) 발명자
치쿠마 시노부
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고 가부시키가이샤 무라타 세이사쿠쇼 내
(74) 대리인
윤앤리특허법인(유한)

전체 청구항 수 : 총 4 항

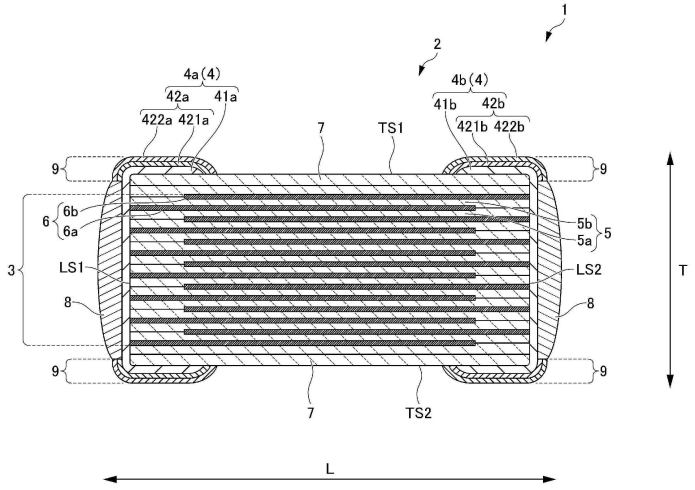
(54) 발명의 명칭 **적층 세라믹 콘덴서**

(57) 요 약

배선 기판에 실장했을 때에 발생하는 압전 현상을 기인으로 하는 유전체의 진동을 억제하고, 귀에 거슬리는 진동음을 저감할 수 있는 적층 세라믹 콘덴서를 제공하는 것.

유전체층(5)과 내부전극층(6)이 교대로 적층된 적층체(2)와, 상기 적층체(2)의 적층방향(T)과 직교하는 길이방향(L)의 양측 단면에 각각 배치되면서 상기 내부전극층(6)과 접속된 외부전극(4)을 가지는 적층 세라믹 콘덴서로서, 상기 외부전극(4)은 상기 길이방향(L)으로부터 평면에서 봤을 때의 표면이, 바깥둘레 가장자리로부터 폭 1㎛ 이상 100㎛ 이하의 테두리 영역(9)을 제외하고 절연층(8)으로 덮이는, 적층 세라믹 콘덴서(1).

대 표 도



(52) CPC특허분류
H01G 4/012 (2013.01)
H01G 4/1227 (2013.01)
H01G 4/252 (2013.01)
H01G 4/30 (2013.01)
Y02E 60/13 (2020.08)

명 세 서

청구범위

청구항 1

유전체층과 내부전극층이 교대로 적층된 적층체와, 상기 적층체의 적층방향과 직교하는 길이방향의 양측 단면(端面)에 각각 배치되면서 상기 내부전극층과 접속된 외부전극을 가지는 적층 세라믹 콘덴서로서,

상기 외부전극은 상기 길이방향으로부터 평면에서 봤을 때의 표면이, 바깥둘레 가장자리로부터 폭 1㎛ 이상 100㎛ 이하의 테두리 영역을 제외하고 절연층으로 덮이는, 적층 세라믹 콘덴서.

청구항 2

제1항에 있어서,

상기 외부전극은, 상기 길이방향으로부터 평면에서 봤을 때의 상기 내부전극층이 적층되는 영역에 상당하는 표면이 상기 절연층으로 덮이는, 적층 세라믹 콘덴서.

청구항 3

제1항 또는 제2항에 있어서,

상기 절연층은 상기 길이방향의 두께가 200㎛ 이하이며, 상기 길이방향으로부터 본 대략 중앙에서 가장 두꺼운 형상인, 적층 세라믹 콘덴서.

청구항 4

제1항 내지 제3항 중 어느 한 항에 기재된 적층 세라믹 콘덴서와, 배선 기판 상에 배치된 랜드와, 상기 적층 세라믹 콘덴서의 상기 외부전극과 상기 랜드를 접속하는 솔더를 포함한 실장 구조로서, 상기 솔더가 상기 절연층보다 하방에 배치되는, 적층 세라믹 콘덴서의 실장 구조.

발명의 설명

기 술 분 야

[0001] 본 발명은 실장 시에서의 압전(壓電) 현상을 기인으로 하는 진동음의 발생을 억제할 수 있는 적층 세라믹 콘덴서에 관한 것이다.

배 경 기 술

[0002] 종래부터, 적층 세라믹 콘덴서 등의 전자부품은 휴대전화기 등의 이동체 단말기기 또는 PC 등의 각종 전자기기에 많이 이용되고 있다. 적층 세라믹 콘덴서는 유전체층과 내부전극층을 교대로 적층한 직방체상의 적층체와, 상기 적층체의 대향하는 양단(兩端)에 형성된 외부전극으로 구성된다.

[0003] 유전체층을 구성하는 유전체는 통상 티탄산바륨 등의 페로브스카이트형 구조의 유전체 세라믹을 이용함으로써, 직류 전압을 인가하면서 교류 전압을 인가하면 압전 현상에 의해 진동이 발생한다. 그 때문에, 적층 세라믹 콘덴서가 배선 기판에 실장되고, 예를 들면, 20㎐~20㎑의 가청(可聽) 주파수 대역의 교류 전압이 외부전극에 인가되면, 적층 세라믹 콘덴서가 신축 진동하고, 주위의 공기가 진동하여 소리가 발생함과 함께, 배선 기판도 공명 진동하고, 소리가 증폭되어 귀에 거슬리게 된다는 문제가 있었다.

[0004] 이 때문에, 배선 기판에 실장했을 때에 발생하는 압전 현상을 기인으로 하는 유전체의 진동을 억제하고, 귀에 거슬리는 진동음을 저감할 수 있는 적층 세라믹 콘덴서의 개발이 요구된다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 공개특허공보 특개2000-182888호

발명의 내용

해결하려는 과제

[0006] 본 발명은 배선 기판에 실장했을 때에 발생하는 압전 현상을 기인으로 하는 유전체의 진동을 억제하고, 귀에 거슬리는 진동음을 저감할 수 있는 적층 세라믹 콘덴서를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명자는 적층 세라믹 콘덴서의 외부전극의 소정 위치에 절연체를 배치함으로써, 실장했을 때에 발생하는 압전 현상을 기인으로 하는 진동음을 억제할 수 있음을 발견하여, 본 발명을 완성시키기에 이르렀다.

[0008] 즉, 본 발명은 유전체층과 내부전극층이 교대로 적층된 적층체와, 상기 적층체의 적층방향과 직교하는 길이방향의 양측 단면(端面)에 각각 배치되면서 상기 내부전극층과 접속된 외부전극을 가지는 적층 세라믹 콘덴서로서,

[0009] 상기 외부전극은, 상기 길이방향으로부터 평면으로 봤을 때의 표면이, 바깥둘레 가장자리로부터 폭 1㎛ 이상 100㎛ 이하의 테두리 영역을 제외하고 절연층으로 덮이는, 적층 세라믹 콘덴서이다.

발명의 효과

[0010] 본 발명에 따르면, 배선 기판에 실장했을 때에 발생하는 압전 현상을 기인으로 하는 유전체의 진동을 억제하고, 귀에 거슬리는 진동음을 저감할 수 있는 적층 세라믹 콘덴서를 제공하는 것이 가능해진다.

도면의 간단한 설명

[0011] 도 1은 적층 세라믹 콘덴서의 외관도이다.

도 2는 도 1에 나타내는 적층 세라믹 콘덴서의 A-A선 단면도이다.

도 3은 내층부(內層部)의 일례를 모식적으로 나타내는 분해 사시도이다.

도 4는 본 발명에 따른 적층 세라믹 콘덴서의 실장 상태의 일례를 나타내는 외관도이다.

도 5는 종래의 적층 세라믹 콘덴서의 실장 상태의 일례를 나타내는 외관도이다.

도 6은 본 발명에 따른 적층 세라믹 콘덴서의 진동음을 저감하는 효과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 본 발명의 실시형태의 적층 세라믹 콘덴서에 대해 설명하겠지만, 본 발명이 이에 한정되는 것은 아니다. 또한, 도면은 발명의 내용을 설명하기 위해, 모식적으로 간략화하여 묘화한 경우가 있고, 묘화된 구성 요소 또는 구성 요소 간의 치수의 비율이 명세서에 기재된 그들의 치수 비율과 일치하지 않는 경우가 있다. 또한, 명세서에 기재되어 있는 구성 요소가 도면에서 생략된 경우나, 개수를 생략하여 묘화되어 있는 경우 등이 있다.

[0013] (적층 세라믹 콘덴서)

[0014] 도 1~도 3에 적층 세라믹 콘덴서(1)의 형상 및 구조를 나타낸다. 도 1은 적층 세라믹 콘덴서(1)의 외관도이다. 도 2는 도 1에 나타내는 폭방향(W) 중앙부의 A-A선으로 절단한 적층 세라믹 콘덴서(1)의 단면도(LT단면도)이다. 도 3은 내층부(3)의 구조를 나타내는 모식도이다. 한편, 유전체층과 내부전극층을 적층하는 방향을 적층방향(T)으로 하고, 적층방향(T)에 직교하는 길이방향(L), 또한 적층방향(T)과 길이방향(L)에 직교하는 폭방향(W)을 이용하여, 적층 세라믹 콘덴서(1)의 구조에 대해 언급한다. 한편, 실시형태에서는 폭방향(W), 길이방향(L), 및 적층방향(T)은 서로 직교하지만, 반드시 서로 직교하는 관계가 된다고는 할 수 없고 서로 교차하는 관계이어도 된다.

[0015] 적층 세라믹 콘덴서(1)는 직방체형상으로 이루어지는 적층체(2)를 포함한다. 적층체(2)는 내층부(3)를 포함하고, 적층방향(T)에서 서로 대향하는 한 쌍의 제1 주면(主面)(TS1), 제2 주면(TS2)과, 적층방향(T)에 직교하는 길이방향(L)에서 서로 대향하는 한 쌍의 제1 단면(端面)(LS1), 제2 단면(LS2)과, 적층방향(T) 및 길이방향

(L) 양쪽에 직교하는 폭방향(W)에서 서로 대향하는 한 쌍의 제1 측면(WS1), 제2 측면(WS2)을 가진다.

[0016] 적층 세라믹 콘덴서(1)의 치수는 특별히 한정되어야 하는 것은 아니지만, 예를 들면, 적층방향(T)의 치수를 0.1㎜~2.5㎜ 정도로 하고, 길이방향(L)의 치수를 0.1㎜~3.2㎜ 정도로 하고, 폭방향(W)의 치수를 0.1㎜~2.5㎜ 정도로 할 수 있다.

[0017] 내층부(3)는 복수개의 유전체층(5)과 복수개의 내부전극층(6)이 적층된 것으로 이루어진다. 내부전극층(6)은 제1 내부전극층(6a)과 제2 내부전극층(6b)으로 구성된다. 제1 내부전극층(6a)과 제2 내부전극층(6b)은 각각 유전체층(5a, 5b) 상에 배치된다.

[0018] 내부전극층(6)은 길이방향(L)으로 연장되고, 적층방향(T)으로부터의 평면에서 봤을 때 직사각형 형상을 하고 있다. 그리고 제1 내부전극층(6a)이 적층체(2)의 제1 단면(LS1)으로 인출되고, 제2 내부전극층(6b)이 적층체(2)의 제2 단면(LS2)으로 인출된다.

[0019] 유전체층(5)은 유전체 재료에 의해 구성된다. 유전체 재료는 예를 들면, $BaTiO_3$, $CaTiO_3$, $SrTiO_3$, 또는 $CaZrO_3$ 등의 성분을 포함하는 유전체 세라믹을 사용할 수 있다. 또한, 유전체 재료는 이들 주성분에 Mn화합물, Fe화합물, Cr화합물, Co화합물, Ni화합물 등의 부성분을 첨가한 것이어도 된다.

[0020] 유전체층(5)의 두께는 특별히 한정되어야 하는 것은 아니지만, 예를 들면, 제1 내부전극층(6a)과 제2 내부전극층(6b)에 의해 형성된 용량형성의 실효영역에서, 0.3㎛~2.0㎛ 정도로 할 수 있다.

[0021] 유전체층(5)의 층수는 특별히 한정되어야 하는 것은 아니지만, 예를 들면, 제1 내부전극층(6a)과 제2 내부전극층(6b)에 의해 형성된 용량형성의 실효영역에서 1층~6000층으로 할 수 있다.

[0022] 내층부(3)의 상하 양측에 내부전극층(6)이 형성되지 않고, 유전체층(5)으로만 구성된 외층부(7)가 마련된다. 외층부(7)의 두께는 한정되는 것은 아니지만, 예를 들면, 15㎛~150㎛로 할 수 있다. 한편, 외층부(7)에서의 유전체층의 두께는 내부전극층(6)이 형성되어 있는 용량형성의 실효영역의 유전체층의 두께보다도 크게 해도 된다. 또한, 외층부에서의 유전체층의 재질은 내층부에서의 유전체층의 재질과 달라도 된다.

[0023] 도 3은 내층부(3)를 적층방향(T)으로 유전체층(5)마다 분해하여 나타낸 것이다.

[0024] 내부전극층(6)은 도전체가 되는 금속분말과 유기 용제와 바인더와 분산제를 포함하는 도전성(導電性) 페이스트를 유전체층 상에서 소결함으로써 형성된다. 내부전극층(6)과 유전체층(5)은 교대로 적층되어 내층부(3)를 형성한다. 내부전극층(6)은 제1 내부전극층(6a)과 제2 내부전극층(6b)에 의해 구성되며, 제1 내부전극층(6a)과 제2 내부전극층(6b)은 각각 유전체층(5a, 5b) 상에 배치된다.

[0025] 내부전극층(6)은 예를 들면 Ni, Cu, Ag, Pd, Ag-Pd합금, Au 등의 금속을 사용할 수 있다. 또한, 이들의 금속은 이들 금속 원소를 포함하는 화합물이나 다른 금속과의 합금이어도 된다.

[0026] 내부전극층(6)의 두께는 특별히 한정되는 것은 아니지만, 예를 들면, 0.3㎛~1.5㎛ 정도로 할 수 있다.

[0027] 적층체(2)의 제1 단면(LS1)과 제2 단면(LS2)에는 각각 제1 외부전극(4a)과 제2 외부전극(4b)이 형성된다.

[0028] 제1 외부전극(4a)은 제1 하부전극층(41a)과, 제1 하부전극층(41a) 상에 배치된 제1 도금층(42a)을 가진다.

[0029] 제2 외부전극(4b)은 제2 하부전극층(41b)과, 제2 하부전극층(41b) 상에 배치된 제2 도금층(42b)을 가진다.

[0030] 제1 하부전극층(41a)은 제1 단면(LS1) 상에 배치된다. 제1 하부전극층(41a)은 제1 내부전극층(6a)에 접속된다. 본 실시형태에서는 제1 하부전극층(41a)은 제1 단면(LS1) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.

[0031] 제2 하부전극층(41b)은 제2 단면(LS2) 상에 배치된다. 제2 하부전극층(41b)은 제2 내부전극층(6b)에 접속된다. 본 실시형태에서는 제2 하부전극층(41b)은 제2 단면(LS2) 상으로부터 제1 주면(TS1)의 일부 및 제2 주면(TS2)의 일부, 그리고 제1 측면(WS1)의 일부 및 제2 측면(WS2)의 일부까지 연장되어 형성된다.

[0032] 제1 하부전극층(41a) 및 제2 하부전극층(41b)은 베이킹층, 도전성 수지층, 박막층 등에서 선택되는 적어도 하나를 포함한다. 본 실시형태의 제1 하부전극층(41a) 및 제2 하부전극층(41b)은 베이킹층이다. 베이킹층은 금속 성분과, 유리 성분 혹은 세라믹 성분 중 어느 한쪽을 포함하거나, 그 양쪽을 포함하는 것이 바람직하다. 금속 성분은 예를 들면, Cu, Ni, Ag, Pd, Ag-Pd합금, Au 등에서 선택되는 적어도 하나를 포함한다. 유리 성분은 예를 들면, B, Si, Ba, Mg, Al, Li 등에서 선택되는 적어도 하나를 포함한다. 세라믹 성분은 유전체층(5)과 동종의

세라믹 재료를 사용해도 되고, 다른 종류의 세라믹 재료를 사용해도 된다. 세라믹 성분은 예를 들면, $BaTiO_3$, $CaTiO_3$, $(Ba,Ca)TiO_3$, $SrTiO_3$, $CaZrO_3$ 등에서 선택되는 적어도 하나를 포함한다.

[0033] 베이킹층은 예를 들면, 유리 및 금속을 포함하는 도전성 페이스트를 적층체에 도포하여 베이킹한 것이다. 베이킹층은, 내부전극층 및 유전체층을 가지는 적층 칩과 적층 칩에 도포한 도전성 페이스트를 동시 소성한 것이어도 되고, 내부전극층 및 유전체층을 가지는 적층 칩을 소성하여 적층체를 얻은 후에 적층체에 도전성 페이스트를 도포하여 베이킹한 것이어도 된다. 한편, 내부전극층 및 유전체층을 가지는 적층 칩과 적층 칩에 도포한 도전성 페이스트를 동시에 소성하는 경우에는 베이킹층은 유리 성분 대신에 세라믹 재료를 첨가한 것을 베이킹하여 형성하는 것이 바람직하다. 이 경우, 첨가하는 세라믹 재료로서, 유전체층과 동종의 세라믹 재료를 사용하는 것이 특히 바람직하다. 베이킹층은 복수층이어도 된다.

[0034] 제1 단면(LS1)에 위치하는 제1 하부전극층(41a)의 길이방향(L)의 두께는 제1 하부전극층(41a)의 적층방향(T) 및 폭방향(W)의 중앙부에서 예를 들면, 3㎛ 이상 160㎛ 이하 정도인 것이 바람직하다.

[0035] 제2 단면(LS2)에 위치하는 제2 하부전극층(41b)의 길이방향(L)의 두께는 제2 하부전극층(41b)의 적층방향(T) 및 폭방향(W)의 중앙부에서 예를 들면, 3㎛ 이상 160㎛ 이하 정도인 것이 바람직하다.

[0036] 제1 주면(TS1) 또는 제2 주면(TS2) 중 적어도 한쪽 면의 일부에도 제1 하부전극층(41a)을 마련하는 경우에는 이 부분에 마련된 제1 하부전극층(41a)의 적층방향(T)의 두께는 이 부분에 마련된 제1 하부전극층(41a)의 길이방향(L) 및 폭방향(W)의 중앙부에서, 예를 들면, 3㎛ 이상 40㎛ 이하 정도인 것이 바람직하다.

[0037] 제1 측면(WS1) 또는 제2 측면(WS2) 중 적어도 한쪽 면의 일부에도 제1 하부전극층(41a)을 마련하는 경우에는 이 부분에 마련된 제1 하부전극층(41a)의 폭방향(W)의 두께는 이 부분에 마련된 제1 하부전극층(41a)의 길이방향(L) 및 적층방향(T)의 중앙부에서 예를 들면, 3㎛ 이상 40㎛ 이하 정도인 것이 바람직하다.

[0038] 제1 주면(TS1) 또는 제2 주면(TS2) 중 적어도 한쪽 면의 일부에도 제2 하부전극층(41b)을 마련하는 경우에는 이 부분에 마련된 제2 하부전극층(41b)의 적층방향(T)의 두께는, 이 부분에 마련된 제2 하부전극층의 길이방향(L) 및 폭방향(W)의 중앙부에서 예를 들면, 3㎛ 이상 40㎛ 이하 정도인 것이 바람직하다.

[0039] 제1 측면(WS1) 또는 제2 측면(WS2) 중 적어도 한쪽 면의 일부에도 제2 하부전극층(41b)을 마련하는 경우에는 이 부분에 마련된 제2 하부전극층(41b)의 폭방향(W)의 두께는, 이 부분에 마련된 제2 하부전극층(41b)의 길이방향(L) 및 적층방향(T)의 중앙부에서 예를 들면, 3㎛ 이상 40㎛ 이하 정도인 것이 바람직하다.

[0040] 한편, 제1 하부전극층(41a) 및 제2 하부전극층(41b)을 마련하지 않고, 적층체(2) 상에 후술의 제1 도금층(42a) 및 제2 도금층(42b)이 직접 배치되는 구성이어도 된다.

[0041] 또한, 제1 하부전극층(41a) 및 제2 하부전극층(41b)은 베이킹층에 한정되지 않고 박막층이어도 된다. 박막층은 스퍼터링법 또는 증착법 등의 박막 형성법에 의해 형성된다. 박막층은 금속 입자가 퇴적된 1㎛ 이하의 층이다.

[0042] 제1 도금층(42a)은 제1 하부전극층(41a)을 덮도록 배치된다.

[0043] 제2 도금층(42b)은 제2 하부전극층(41b)을 덮도록 배치된다.

[0044] 제1 도금층(42a) 및 제2 도금층(42b)은 예를 들면, Cu, Ni, Sn, Ag, Pd, Ag-Pd합금, Au 등에서 선택되는 적어도 하나를 포함해도 된다. 제1 도금층(42a) 및 제2 도금층(42b)은 각각 복수층에 의해 형성되어도 된다.

[0045] 제1 도금층(42a) 및 제2 도금층(42b)은 각각 Ni도금층(421a, 421b) 상에 Sn도금층(422a, 422b)이 형성된 2층 구조가 바람직하다. 그 경우, Ni도금층(421a, 421b)은 제1 하부전극층(41a) 및 제2 하부전극층(41b)이 적층 세라믹 콘덴서(1)를 실장할 때의 솔더링에 의해 침식되는 것을 방지한다. 또한, Sn도금층은 적층 세라믹 콘덴서(1)를 실장할 때에 솔더링의 젖음성을 향상시킨다. 이로써, 적층 세라믹 콘덴서(1)의 실장을 용이하게 한다. 제1 도금층(42a) 및 제2 도금층(42b) 각각을 Ni도금층과 Sn도금층의 2층 구조로 하는 경우, Ni도금층과 Sn도금층 각각의 두께는 2㎛ 이상 15㎛ 이하인 것이 바람직하다.

[0046] 제1 외부전극(4a)과 제2 외부전극(4b)은 길이방향(L)으로부터 평면에서 봤을 때의 표면이, 바깥둘레 가장자리로부터 폭 1㎛ 이상 100㎛ 이하의 테두리 영역(9)을 제외하고 절연층(8)으로 덮인다.

[0047] 외부전극이 하부전극층과 도금층에 의해 구성되는 경우, 절연층은 도금층 표면의 소정 범위에 배치할 수 있는데, 하부전극층 표면의 소정 범위에 절연층을 배치했을 때는, 도금층은 절연층을 배치한 범위를 제외하고 하부전극층의 표면에 형성한다.

[0048] 또한, 도금층이 복수개의 층으로 이루어지는 경우, 최외층(最外層)이 되는 도금층 표면의 소정 범위에 절연층을 배치할 수 있는데, 최외층 이외의 어느 한 층의 도금층 표면에 절연층을 배치하는 경우에는 절연층을 배치한 도금층 상에 배치하는 도금층은 절연층을 배치한 범위를 제외한 부분에 도금층을 적층하는 것으로 하고 솔더 필렛(solder fillet)과 접촉할 수 있는 외부전극의 표면에는 절연층이 배치되는 바와 같은 구성으로 한다.

[0049] 도 2에 나타내는 실시형태에서는 제1 외부전극(4a)과 제2 외부전극(4b)을 각각 구성하는 제1 하부전극층(41a)과 제2 하부전극층(41b) 상에, 길이방향(L)으로부터 평면에서 봤을 때의 표면을, 바깥둘레 가장자리로부터 폭 1㎛ 이상 100㎛ 이하의 테두리 영역(9)을 제외한 범위에 절연층(8)을 형성하고, 절연층(8)을 배치한 범위를 제외한 제1 하부전극층(41a)과 제2 하부전극층(41b) 표면에 Ni도금층(421a, 421b)과 Sn도금층(422a, 422b)을 형성한다.

[0050] 적층 세라믹 콘덴서(1)는 제1 외부전극(4a)과 제2 외부전극(4b)의 절연층(8)보다 하방의 표면에 솔더를 도포하고, 랜드(51a, 51b)에 접속된다. 테두리 영역(9)을 마련함으로써, 바깥둘레 가장자리의 하방으로부터 일정 높이의 범위에 솔더 필렛을 형성할 수 있기 때문에, 배선 기판에 대한 접합을 확실하게 수행할 수 있다.

[0051] 절연층(8)의 재질로는 절연 특성을 포함하는 것이라면 특별히 제한되는 것은 아니지만, 합성 수지를 사용하면 외부전극의 표면에 절연층을 용이하게 형성할 수 있기 때문에 바람직하다. 합성 수지로는 에폭시 수지, 폴리이미드 수지, 페놀 수지 등의 열경화성 수지, 폴리에틸렌 수지, 폴리아미드 수지 등의 열가소성 수지를 사용할 수 있다.

[0052] 길이방향(L)으로부터 평면에서 봤을 때, 내부전극층(6)이 적층되는 영역에 상당하는 제1 외부전극(4a)과 제2 외부전극(4b)의 표면에 절연층(8)을 배치함으로써 실장 시에 내부전극층(6)이 배치되는 높이까지, 솔더 필렛(52a, 52b)이 젖어 올라가는 것을 방지할 수 있다. 이로써 압전 현상을 기인으로 하는 진동음의 발생을 효과적으로 억제할 수 있다.

[0053] 절연층(8)은 길이방향(L)의 두께를 200㎛ 이하로 하고, 길이방향(L)으로부터 본 대략 중앙에서 가장 두꺼운 형상으로 한다. 이로써 적층 세라믹 콘덴서가 대형화되는 것을 방지함과 함께, 배선 기판에 실장했을 때, 절연층 표면의 중앙부분이 밑변 부분보다 외방(外方)으로 돌출된 형상이 되기 때문에 솔더 필렛의 젖어 오름을 확실하게 방지하는 것이 가능해진다.

[0054] 적층 세라믹 콘덴서(1)는 제1 외부전극(4a)과 제2 외부전극(4b)의 표면에 솔더를 도포하고 랜드(51a, 51b)에 접속함으로써 실장되는데, 종래의 적층 세라믹 콘덴서(1)는 도 5에 나타내는 바와 같이, 실장 시에 형성되는 솔더 필렛(52a, 52b)의 젖어 올라가는 높이가 높아, 내부전극층(6)이 배치하는 높이에 이르면, 유전체의 압전 현상이 생기고, 적층 세라믹 콘덴서(1)의 신축 진동이 발생되기 쉽다.

[0055] 도 4에, 본 실시형태에 따른 적층 세라믹 콘덴서(1)의 실장예를 나타낸다. 적층 세라믹 콘덴서(1)는 제1 외부전극(4a)과 제2 외부전극(4b) 표면의 소정 범위에 절연층(8)이 마련되기 때문에, 솔더 필렛(52a, 52b)의 젖어 올라가는 높이는 낮게 억제되고, 압전 현상을 기인으로 하는 진동음의 발생을 억제할 수 있다.

[0056] (확인 시험)

[0057] 본 발명에 따른 적층 세라믹 콘덴서에 대해 진동음을 억제하는 효과의 확인 시험을 실시했다.

[0058] 확인 시험은 본 발명의 외부전극 표면의 소정 범위에 절연층을 배치한 적층 세라믹 콘덴서를 샘플로 한 실시예와 종래의 절연층을 포함하지 않는 적층 세라믹 콘덴서를 샘플로 한 비교예에 대해, 직류 3V와 교류 1V를 인가했을 때에 발생하는 진동음의 음압(dB)을 측정했다.

[0059] 도 6에 나타내는 바와 같이, 본 발명의 적층 세라믹 콘덴서(실시예)에서는 배선 기판에 실장했을 때에 발생하는 압전 현상을 기인으로 하는 유전체의 진동을 억제하고, 귀에 거슬리는 진동음을 저감하는 것을 확인할 수 있었다.

[0060] 이상, 본 발명의 실시형태에 대해 설명했는데, 본 발명은 실시형태에 한정되는 것은 아니며, 본 발명의 요지를 일탈하지 않는 범위에서 다양한 양태로 실시하는 것이 가능하다. 예를 들면, 실시형태는 제1 외부전극(4a)과 제2 외부전극(4b) 쌍방에 절연층(8)을 마련한 예를 나타냈는데, 제1 외부전극(4a)과 제2 외부전극(4b) 중 어느 하나에 절연층(8)을 마련한 경우에도 동일한 효과를 얻는 것을 기대할 수 있다.

[0061] 본 발명은 이하와 같다.

[0062] <1>

[0063] 유전체층과 내부전극층이 교대로 적층된 적층체와, 상기 적층체의 적층방향과 직교하는 길이방향의 양측 단면에 각각 배치되면서 상기 내부전극층과 접속된 외부전극을 가지는 적층 세라믹 콘덴서로서,

[0064] 상기 외부전극은, 상기 길이방향으로부터 평면에서 봤을 때의 표면이, 바깥둘레 가장자리로부터 폭 1㎛ 이상 100㎛ 이하의 테두리 영역을 제외하고 절연층으로 덮이는, 적층 세라믹 콘덴서.

[0065] <2>

[0066] <1>에 있어서,

[0067] 상기 외부전극은, 상기 길이방향으로부터 평면에서 봤을 때의 상기 내부전극층이 적층되는 영역에 상당하는 표면이 상기 절연층으로 덮이는, 적층 세라믹 콘덴서.

[0068] <3>

[0069] <1> 또는 <2>에 있어서,

[0070] 상기 절연층은, 상기 길이방향의 두께가 200㎛ 이하이며, 상기 길이방향으로부터 본 대략 중앙에서 가장 두꺼운 형상인, 적층 세라믹 콘덴서.

[0071] <4>

[0072] <1> 내지 <3> 중 어느 하나에 기재되는 적층 세라믹 콘덴서와, 배선 기판 상에 배치된 랜드와, 상기 적층 세라믹 콘덴서의 상기 외부전극과 상기 랜드를 접속하는 솔더를 포함한 실장 구조로서, 상기 솔더가 상기 절연층보다 하방에 배치되는, 적층 세라믹 콘덴서의 실장 구조.

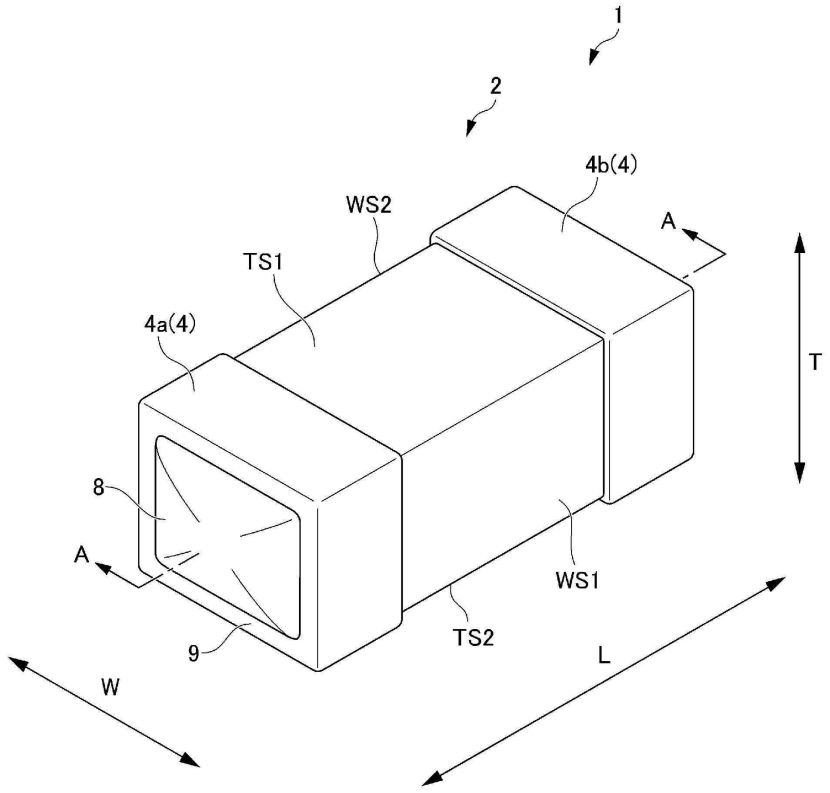
부호의 설명

[0073]

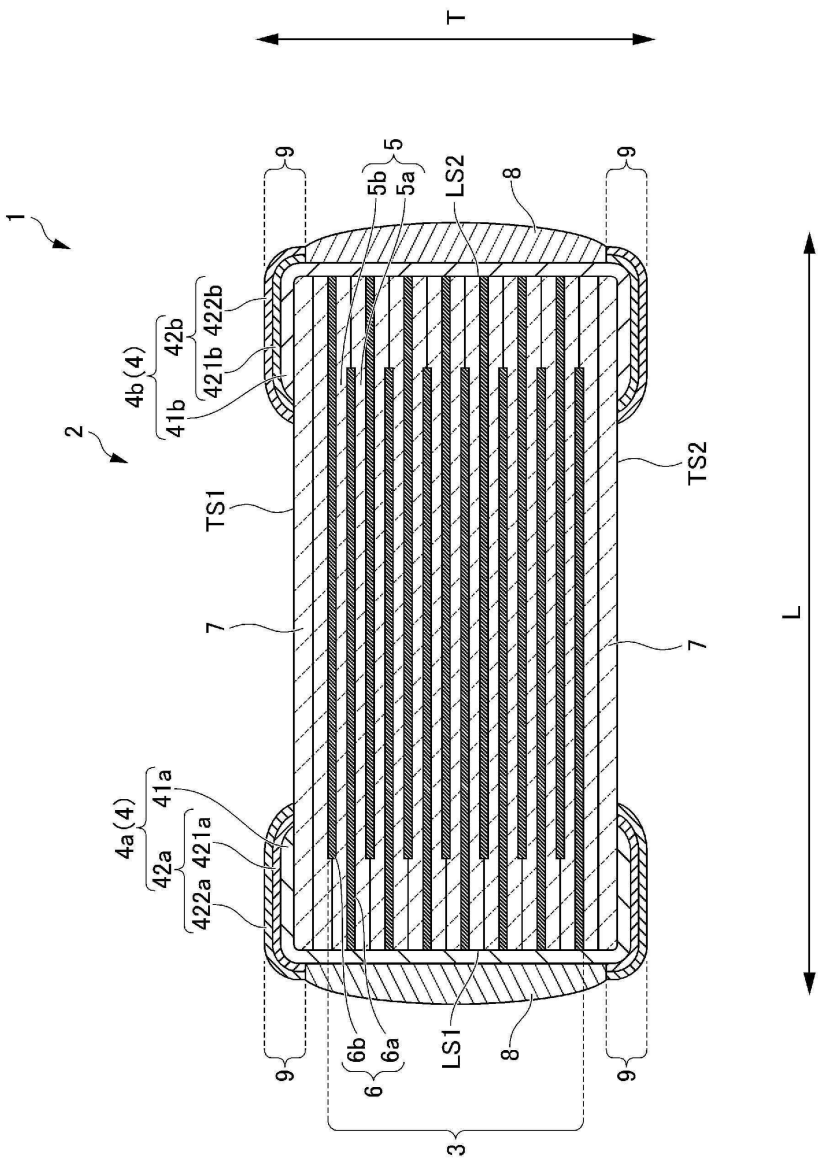
1: 적층 세라믹 콘덴서
2: 적층체
3: 내층부
4: 외부전극
4a: 제1 외부전극
4b: 제2 외부전극
5: 유전체층
5a: 유전체층
5b: 유전체층
6: 내부전극층
6a: 제1 내부전극층
6b: 제2 내부전극층
7: 외층부
8: 절연층
9: 테두리 영역
41a: 제1 하부전극층
41b: 제2 하부전극층
42a: 제1 도금층
42b: 제2 도금층
421a: Ni도금층
421b: Ni도금층
422a: Sn도금층
422b: Sn도금층
50: 배선 기판
51a: 랜드
51b: 랜드
52a: 솔더 필렛
52b: 솔더 필렛
TS1: 제1 주면
TS2: 제2 주면
WS1: 제1 측면
WS2: 제2 측면
LS1: 제1 단면
LS2: 제2 단면

도면

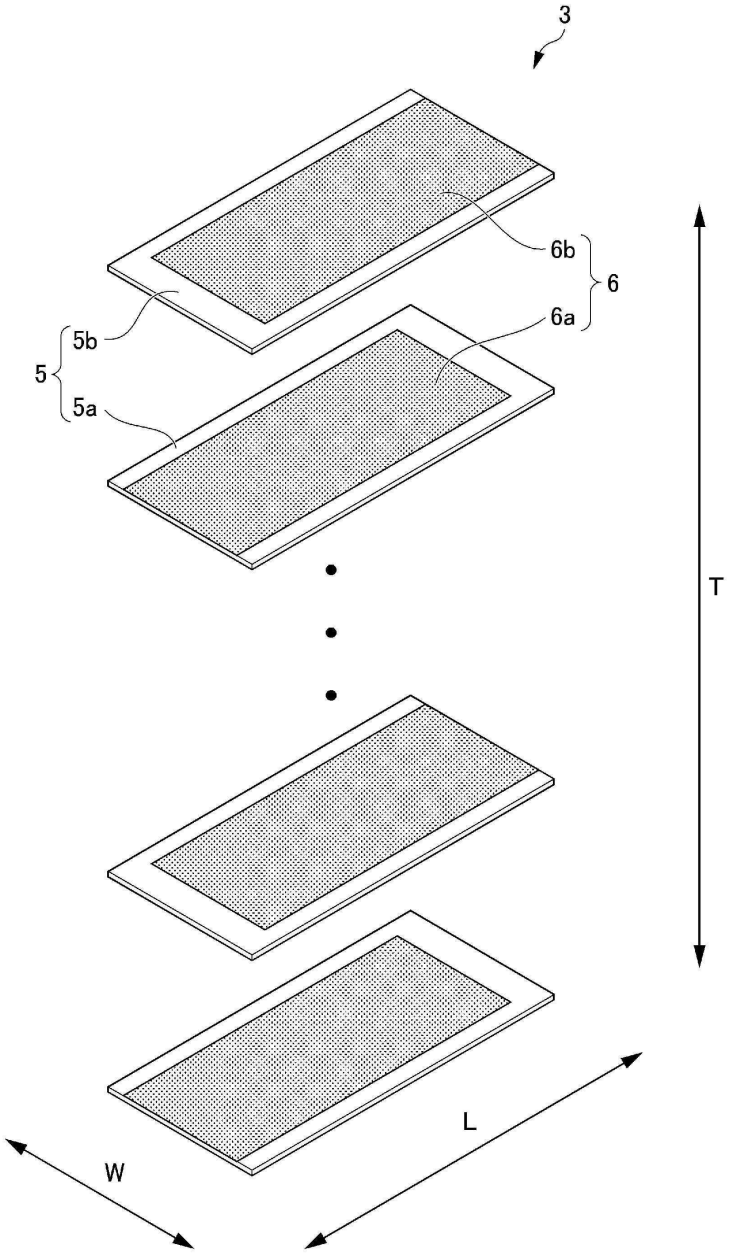
도면1



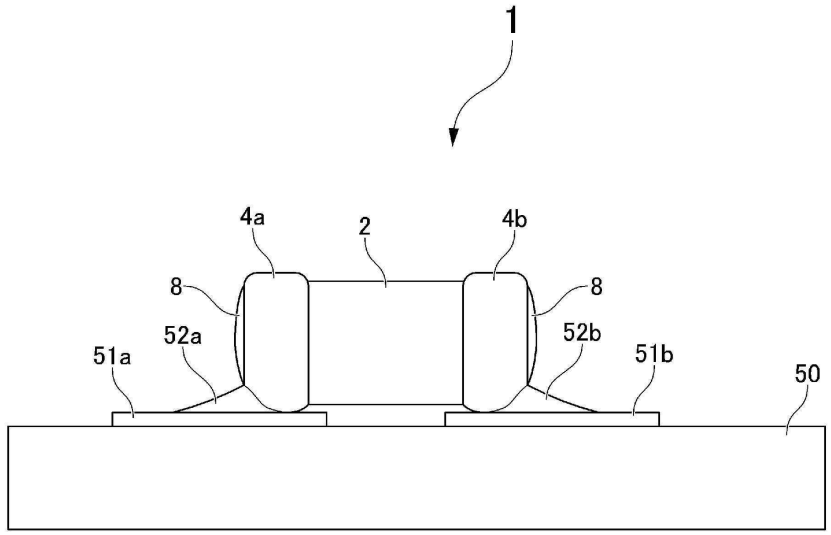
도면2


T
L
1
2
3
4a(4)
41a
42a
421a
422a
4b(4)
41b
42b
421b
422b
5
5b
5a
6
6b
6a
7
8
9
LS1
LS2
TS1
TS2

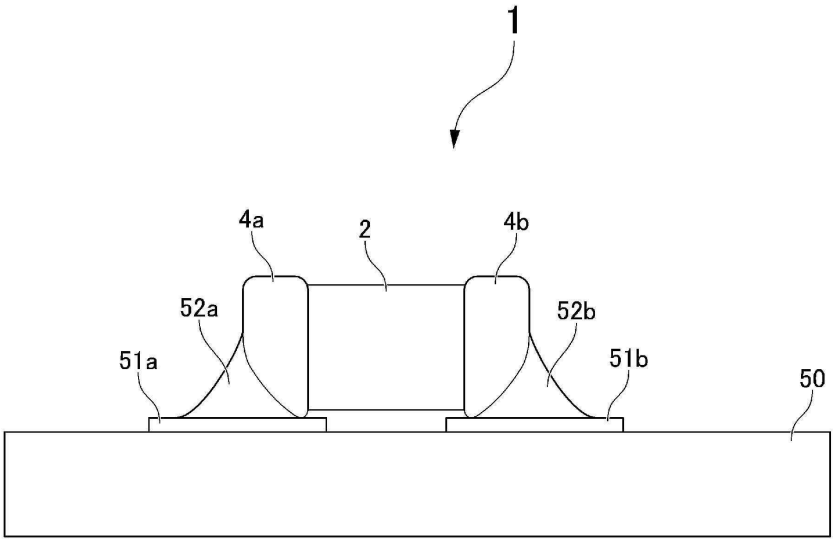
도면3



도면4



도면5



도면6

