

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4797129号
(P4797129)

(45) 発行日 平成23年10月19日(2011.10.19)

(24) 登録日 平成23年8月12日(2011.8.12)

(51) Int.Cl.

F 1

G09G	3/36	(2006.01)	G09G	3/36
G02F	1/133	(2006.01)	G02F	1/133 550
G02F	1/1368	(2006.01)	G02F	1/1368
G09F	9/30	(2006.01)	G09F	9/30 338
G09G	3/20	(2006.01)	G09G	3/20 621B

請求項の数 5 (全 19 頁) 最終頁に続く

(21) 出願番号

特願2000-181692 (P2000-181692)

(22) 出願日

平成12年6月16日 (2000.6.16)

(65) 公開番号

特開2001-356743 (P2001-356743A)

(43) 公開日

平成13年12月26日 (2001.12.26)

審査請求日

平成19年3月5日 (2007.3.5)

(73) 特許権者 502356528

株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地

(73) 特許権者 506087819

パナソニック液晶ディスプレイ株式会社
兵庫県姫路市飾磨区妻鹿日田町1-6

(74) 代理人 100093506

弁理士 小野寺 洋二

(74) 代理人 110000154

特許業務法人はるか国際特許事務所

(72) 発明者 宮沢 敏夫

千葉県茂原市早野3300番地 株式会社
日立製作所 ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】アクティブマトリクス型表示装置

(57) 【特許請求の範囲】

【請求項 1】

画素に映像信号を印加する信号線と、

前記信号線に映像信号を供給する信号線駆動手段と、

前記映像信号を印加する画素を選択するための選択信号線とを有するアクティブマトリクス型表示装置であって、

前記画素のそれぞれには、固定電圧と、フィールド毎に異なる2種類の電圧を互いに異なるように交番する一対の電圧とが供給され、かつ、前記画素のそれぞれは、前記選択信号線により選択されて画素内に書きこまれた前記映像信号をゲート電位とし、一対のp型、n型電界効果型トランジスタの各々のソースあるいはドレインに接続された第1の出力部を有する第1のインバータと、

前記第1のインバータの前記第1の出力部の電位をゲート電位とする一対のp型、n型電界効果型トランジスタからなり、第2の出力部を有する第2のインバータと前記第2のインバータの前記第2の出力部の電位をゲート電位とする一対のp型、n型電界効果型トランジスタからなる第3のインバータとを有し、

前記第2のインバータの前記第2の出力部と、前記第1のインバータの前記一対のp型、n型電界効果型トランジスタのゲートとは電気的に接続され、

前記第1と第2のインバータのn型電界効果トランジスタの前記各出力部でないソースあるいはドレインには、前記交番する一対の電圧の一方が供給され、

前記第1と第2のインバータのp型電界効果トランジスタの前記各出力部でないソースあ

10

20

るいはドレインには、前記交番する一対の電圧の他方が供給され、

前記第3のインバータのn型電界効果トランジスタのインバータの出力でないソースあるいはドレインには前記交番する一対の電圧の前記一方が供給され、

前記第3のインバータのp型電界効果トランジスタのインバータの出力でないソースあるいはドレインには前記固定電圧が供給されていることを特徴とするアクティブマトリクス型表示装置。

【請求項2】

前記第2のインバータの前記第2の出力部と、前記第1のインバータの前記一対のp型n型電界効果型トランジスタの前記ゲートとの間を抵抗を介して電気的に接続したことを特徴とする請求項1記載のアクティブマトリクス型表示装置。

10

【請求項3】

前記第2のインバータの前記第2の出力部と、前記第1のインバータの前記一対のp型、n型電界効果型トランジスタの前記ゲートとの間にn型電界効果トランジスタを備え、

前記n型電界効果トランジスタのゲートには、前記交番する一対の電圧の前記他方が供給されていることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項4】

前記固定電圧を、交番する一対の電圧の中間電圧値に設定したことを特徴とする請求項1または2の何れかに記載のアクティブマトリクス型表示装置。

【請求項5】

前記固定電圧の値を、交番する一対の電圧の中間電圧値よりも前記第3のインバータの前記n型電界効果トランジスタの閾値の1/2だけ低く設定したことを特徴とする請求項3記載のアクティブマトリクス型表示装置。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス形表示装置に係り、特に高開口率で高精細な画素メモリ方式の液晶表示装置やエレクトロルミネッセンス形表示装置に関する。

【0002】

【従来の技術】

ノート型コンピュータやディスプレイモニター用の高精細かつカラー表示が可能な表示装置として液晶表示装置が広く採用されている。

30

【0003】

この液晶表示装置には、各内面に互いに交差する如く形成された平行電極を形成した一対の基板で液晶層を挟持した液晶表示素子を用いた単純マトリクス型と、一対の基板の一方に画素単位で選択するためのスイッチング素子を有する液晶表示素子を用いたアクティブマトリクス型液晶表示装置とが知られている。

【0004】

アクティブマトリクス型液晶表示装置として代表的な薄膜トランジスタ(TFT)型は、画素毎に設けた薄膜トランジスタTFTをスイッチング素子として画素電極に信号電圧(映像信号電圧:階調電圧)を印加するものであるため、画素間のクロストークがなく、高精細で多階調表示が可能である。

40

【0005】

一方、この種の液晶表示装置を携帯型の情報端末など、電源にバッテリーを用いる電子装置に実装した場合、その表示に伴う消費電力の低減化が必要になる。そのために、液晶表示装置の各画素にメモリ機能を持たせようというアイデアが従来より多くの提案がなされている。

【0006】

図14は画素にメモリ機能を持たせた液晶表示装置の一画素の構成例の説明図である。図14は、所謂ダイナミックメモリタイプと称するもので、信号線と走査線の交点に設置した薄膜トランジスタTFTの出力側(画素電極側)にメモリ容量を設け、これに表示デー

50

タを保持することで所定時間の間、表示データを保持するものである。なお、L C は液晶容量を示す。

【0007】

このダイナミックメモリタイプは、メモリ容量に保持したデータが時間と共にリークするため、定期的なリフレッシュを必要とする。特に、多結晶シリコン半導体を用いて画素のメモリ機能を構成する場合は、このリーク電流が大きくなる傾向がある。そのため、リフレッシュサイクルを短くする必要がある。

【0008】

しかし、リフレッシュサイクルを短くすることは、各画素にメモリ機能を持たせることで不必要的書込みを省き、周辺回路、及び消費電力の低減を図るという効果を低減してしまうという不具合を招く。

10

【0009】

上記の不具合を解消するために、ダイナミックメモリタイプに代えてスタティックメモリタイプとしたものも提案されている。

【0010】

図15は特開平4-333094号公報図3に記載のスタティックメモリタイプのメモリ回路の一例を説明する要部回路図である。図中、一点鎖線で囲った部分が画素メモリを示す。この回路は、NMOSトランジスタ111、PMOSトランジスタ112、インバータ121, 122で構成される。走査信号VgはNMOSトランジスタ111とPMOSトランジスタ112のゲートに、階調信号(輝度信号)VdはNMOSトランジスタ111のドレインに供給される。NMOSトランジスタ111のソースはPMOSトランジスタ112のソースと共にインバータ122の入力に接続されている。

20

【0011】

液晶駆動電圧を選択するメモリ回路の出力DMはインバータ122の出力から取り出される。インバータ121は、この信号DMを入力して、その出力をPMOSトランジスタ112のドレインに接続される。

【0012】

NMOSトランジスタ111は走査信号Vgが“0”的ときにオフ状態となり、“1”的ときにオン状態となる。これと逆にPMOSトランジスタ112は走査信号Vgが“1”的ときにオフ状態となり、“0”的ときにオン状態となる。このため、このメモリ回路は走査信号Vgが“0”的ときに輝度信号Vdを遮断し、インバータ121の出力をインバータ122の入力を接続してデータ保持状態となる。また、走査信号Vgが“1”的ときに輝度信号Vdをインバータ122の入力に接続してデータ通過状態となる。

30

【0013】

図16は特開平8-194205号公報図2(b)記載のスタティックメモリタイプのメモリ回路の他例を説明する要部回路図である。図中、一点鎖線で囲った部分が画素メモリを示す。この回路は、走査線3と信号線4の交差部に設けた薄膜トランジスタからなるスイッチ素子21、22、23、24から構成される。スイッチ素子22と23はインバータを構成し、メモリ回路となっている。走査線3に走査電圧(パルス)を印加し、これに同期させてスイッチ素子24の開閉を制御する信号を信号線4を介してスイッチ素子21に入力する。

40

【0014】

その他にも、各画素毎にメモリを設けた先行技術には、特開平6-102530号、特開平8-286170号、特開平9-113867号、特開平9-212140号、特開平11-65489号及び特開平11-75144号公報がある。

【0015】

しかしいずれの先行技術でも、各画素のメモリ回路の電源ノードには、時間毎に電圧レベルが変化しない直流電圧を印加しており、時間の経過と共に電圧レベルが変化する交流電圧をメモリ回路の電源ノードに印加する思想は記載も示唆もなかった。

【0016】

50

従っていずれの先行技術でも、各画素のメモリの記憶を維持するために、各画素毎に直流電圧を供給する配線を、特別に設ける必要がある。

【0017】

【発明が解決しようとする課題】

上記従来の構成では、スタティックメモリタイプとしたことで、本来、液晶表示装置の画素アレー部分に不必要的高低二つの固定電圧を各画素に供給する必要があるため、そのための配線スペースを要し、特に透過型の液晶表示装置では開口率の低下につながる。

【0018】

また反射型液晶表示装置や、エレクトロルミネッセンス表示装置でも、透過型液晶は言うに及ばず、画素を駆動するドライバ等の周辺回路の配線が多くなり、表示装置の周辺領域が大きくなり、コンパクト化を疎外する。

10

【0019】

本発明の目的は、上記従来技術の諸問題を解消して、本来、液晶表示装置の画素アレー部分に不必要的高低二つの固定電圧を用いることなく、スタティックメモリ回路と等価な画像メモリ回路を持つ高開口率で高精細、かつ少ない配線数で多階調の画像表示を可能としたアクティブマトリックス形表示装置を提供することにある。

【0020】

【課題を解決するための手段】

上記目的を達成するために、本発明は、画像メモリのデータ保持を、画素駆動用パルス、例えば液晶では液晶交流駆動用パルスを電源とする回路構成とした。すなわち、複数の走査線と複数の信号線が交差する部分に対応して画素を設けてなり、上記画素を、画素電極と該画素電極を選択するスイッチング素子と上記画素電極に書き込むデータを記憶する記憶回路とで構成し、上記記憶回路に交流電圧を印加する電源線を備えた。

20

【0021】

行方向及び列方向に配列した複数の画素と、前記各画素に対応して設けた前記行方向に延在する複数の走査線と複数の信号線とを備え、

上記画素を、画素電極と該画素電極を選択するスイッチング素子と上記画素電極の表示データを記憶するメモリ回路と前記画素電極に印加する電圧を選択するとともに選択した上記電極の一つを前記メモリ回路に供給する選択回路とで構成した。

30

【0022】

複数の要素画素（セル）を集めて1画素（単位画素）を構成し、上記単位画素を行方向および列方向に複数配列し、上記要素画素に対応して行方向に延在する複数の行選択線と列方向に延在する複数の列選択線を設け、上記要素画素は画素電極と該画素電極を選択するスイッチング回路と上記画素電極の点灯／非点灯のデータを記憶するメモリ回路と上記画素電極に印加する電圧を選択する選択回路を備え、

上記メモリ回路に前記画素電極に印加する電圧の一つを供給し、上記複数の行選択線を駆動する行選択回路と、上記複数の列選択線を駆動する列選択回路を設け、

上記一つの単位画素に属する複数の要素画素を上記行選択回路及び列選択回路により同時に選択する。

40

【0023】

一つの前記単位画素に属する複数の要素画素の点灯する数を前記メモリ回路に書き込むデータにより制御して階調を表示する。

【0024】

一つの前記単位画素に属する要素画素の点灯周期と非点灯周期の割合を前記メモリ回路に書き込むデータにより制御して階調を表示する。

【0025】

この構成により、配線数を低減して画素の開口率の低下を防止し、多階調かつ高精細の画像表示を得ることができる。

【0026】

50

なお、本発明は上記の構成および後述する実施例の構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変更が可能である。

【0027】

【発明の実施の形態】

以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。

【0028】

図1は本発明によるアクティブマトリックス形表示装置、具体的には液晶表示装置の概略構成を説明する模式図である。このアクティブマトリックス形表示装置は、基板上に複数の画素PIXをX-Y平面に2次元配列した画素メモリアレーの1辺にX方向のランダムアクセス回路(X)RAXを配置し、他の1辺にY方向のランダムアクセス回路(Y)RAYを配置してある。また、ランダムアクセス回路(X)RAX側には選択スイッチアレーSELが設けてある。

10

【0029】

ランダムアクセス回路(X)RAXからは選択信号線HADLが、ランダムアクセス回路(Y)RAYからは選択信号線VADLが画素メモリアレーに配線され、また、選択スイッチアレーSELからはデータ線(映像信号線)DLが画素メモリアレーに配線されている。上記の選択信号線HADL、選択信号線VADL、データ線DLの交差部に画素PIXが形成されている。なお、画素PIXには固定電圧(共通電極電圧)VCOMを印加する共通線VCOM-Lが配線されている。

20

【0030】

画素メモリアレーのさらに他の辺には、固定電圧VCOMの印加パッドVCON-Pが設けられている。

【0031】

そして、固定電圧VCOMの印加パッドVCON-Pを設けた辺側には、フィールド毎に異なる2種類の電圧PBPとPBNの印加パッドPBP-PとPBN-Pが設けられ、この印加パッドPBP-PとPBN-Pに接続した交番電圧線PBP-LとPBN-Lが画素PIXに延びている。

【0032】

表示制御装置CTLから出力されるXアドレスデータX、YアドレスデータYおよび表示信号であるデジタルデータ(R, G, B)はそれぞれのバスラインX, Y, Dを介してランダムアクセス回路(X)RAX、ランダムアクセス回路(Y)RAY、デジタルデータバスラインDのそれぞれに供給される。

30

【0033】

固定電圧VCOM、交番電圧PBPとPBNは表示制御装置CTLで制御される電源回路PWUから供給される。

【0034】

図2は本発明の第1実施例である液晶表示装置の1画素の構成を説明する回路図である。液晶LCを挟む一方の基板において、映像信号線DLを構成する映像信号線DL1は画素に映像信号を供給する配線を構成し、選択信号線HADL1とVADLは映像信号を印加する画素を選択するための配線である。画素は、次に選択されて書き換えるまでの間印加された映像信号を保持する機能を持つ。

40

【0035】

なお、本実施例において液晶LCをエレクトロルミネッセンス素子に置き換えれば、エレクトロルミネッセンス形表示装置になる。

【0036】

固定電圧VCOMは固定電圧線VCOM-Lに印加される。また、固定電圧VCOMは液晶LCを挟む他方の基板に形成した電極にも印加される。交番電圧PBPとPBNは、交番電圧線PBP-LとPBN-Lに印加される。

【0037】

画素への映像信号の書き込みは、選択信号線HADLを構成する選択信号線HADL1と選

50

択信号線 V A D L に印加される各選択信号で 2 つの N M O S トランジスタトランジスタ V A D S W 1 と H A D S W 1 がオン状態となることにより行われる。

【 0 0 3 8 】

書き込まれた映像信号電位を入力ゲート（電圧ノード N 8 ）電位とし、一対の p 型電界効果トランジスタ P L T F 1 と n 型電界効果トランジスタ N L T F 1 の各々のソースあるいはドレインとなる電極もしくは拡散領域が電気的に接続されて出力部（電圧ノード N 9 ）を形成する第 1 のインバータを構成する。以下、電圧ノードを、単にノードと称する。

【 0 0 3 9 】

第 1 のインバータを構成する一対の p 型電界効果トランジスタ P L T F 1 と n 型電界効果トランジスタ N L T F 1 の各々のソースまたはドレインとなる電極もしくは拡散領域が電気的に接続された出力部（ノード N 9 ）の電位を入力ゲート電位とする一対の p 型電界効果トランジスタ P L T R 1 と n 型電界効果トランジスタ N L T R 1 で第 2 のインバータを構成する。

10

【 0 0 4 0 】

第 2 のインバータを構成する一対の p 型電界効果トランジスタ P L T R 1 と n 型電界効果トランジスタ N L T R 1 の各々のソースまたはドレインとなる電極もしくは拡散領域が電気的に接続された出力部（ノード N 8 ）の電位を入力ゲート電位とする一対の p 型電界効果トランジスタ P P V S 1 と n 型電界効果トランジスタ N P V S 1 で第 3 のインバータを構成する。

20

【 0 0 4 1 】

そして、第 2 のインバータを構成する一対の p 型電界効果トランジスタ P L T R 1 と n 型電界効果トランジスタ N L T R 1 の出力部（ノード N 8 ）は、同時に第 1 のインバータの入力ゲート（ノード N 8 ）と電気的に接続される。

【 0 0 4 2 】

第 1 と第 2 のインバータを構成する n 型電界効果トランジスタ N L T F 1 と N L T R 1 の、インバータの出力でないソースあるいはドレインもしくは拡散領域（ノード N 6 ）が前記一対の交番電圧線の一方（ P B N ）に接続される。

【 0 0 4 3 】

さらに、第 1 と第 2 のインバータを構成する p 型電界効果トランジスタ P L T F 1 と P L T R 1 の、インバータの出力でないソースあるいはドレインもしくは拡散領域（ノード N 4 ）が前記第 1 および第 2 のインバータの n 型電界効果トランジスタのインバータ出力でないソースとなる電極あるいはドレインもしくは拡散領域が接続された交番電圧線（ノード N 6 ）と対をなす電圧の交番電圧線 P B P に接続される。

30

【 0 0 4 4 】

第 3 のインバータを構成する一対の p 型電界効果トランジスタ P P V S 1 と n 型電界効果トランジスタ N P V S 1 のインバータ出力部（ノード N 1 0 ）でない各々のソースあるいはドレインとなる電極（ノード N 6 および N 1 0 ）もしくは拡散領域の一方（ノード N 6 ）は、前記交番電圧線のいずれか一方（ P B N ）に接続され、他方は固定電圧線 V C O M に接続される。

40

【 0 0 4 5 】

図 3 は図 2 に示した画素回路の動作を説明する波形図であり、横軸に時間をとて各々の信号線に印加されるパルス電圧とノードの電圧を示す。図中、 D L 1 は当該画素を含む画素アレー（画素メモリアレー）内の画素列（或いは画素行）に共通な映像信号線（ドレイン線）に加えられる信号パルスの一例である。

【 0 0 4 6 】

本実施例では、選択信号線 H A D L 1 と V A D L 1 が同時にハイ（ H i g h ）状態になったときに 2 つのトランジスタ V A D S W 1 と H A D S W 1 がオン状態となる。このときの映像信号線（ドレイン線） D L 1 の電圧レベルが画素メモリのノード N 8 に書き込まれる。

【 0 0 4 7 】

50

図2では、まず、(1) t1のタイミングでトランジスタVADSW1とHADSW1のNMOSトランジスタがオン状態になり、このときの映像信号線DL1の電圧レベルが画素メモリのノードN8に書き込まれる。

【0048】

(2)タイミングt1以前のノードN8の状態がロー(Low)であったとすると、この書き込みにより、ノードN8の状態はロー状態からハイ状態に変化する。このとき、図3に示した例では、一対の交番電圧線PBP、PBNの電圧状態はPBPがハイ(+V)、PBNがロー(-V)であるので、2つのインバータのp型電界効果トランジスタPLTF1とn型電界効果トランジスタNLT1およびp型電界効果トランジスタPLTR1とn型電界効果トランジスタNLT1の電圧印加条件は正常動作状態にあり、ノードN8がハイ状態になる。これにより、p型電界効果トランジスタPLTF1がオフ状態、n型電界効果トランジスタNLT1がオン状態になり、その出力ノードN9は交番電圧線PBNと接続されることになる。すなわち、その状態はハイ状態からロー状態に変化する。

10

【0049】

ノードN9の状態がハイ状態からロー状態に変化することにより、p型電界効果トランジスタPLTR1とn型電界効果トランジスタNLT1のうちのPLTR1がオン状態、NLT1がオフ状態になるので、その出力ノードN8は交番電圧線PBPと接続され、その状態はハイとなる。その結果として、タイミングでNMOSトランジスタVADSW1とHADSW1がオフ状態となり、ノードN8が電気的に映像信号線DL1から切り離された後も、タイミングt1での書き込み状態(ハイ状態)の外部電位と接続して、その状態を保持することができる(メモリ機能をもつ)。

20

【0050】

(3)ノードN8の電圧は同時に第3のインバータを構成する一対のp型電界効果トランジスタPPVS1とn型電界効果トランジスタNPVS1のゲート電圧である。ノードN8はハイ状態であるので、第3のインバータを構成するp型電界効果トランジスタPPVS1がオフ状態、n型電界効果トランジスタNPVS1がオン状態となって、液晶LCを駆動する図示しない画素電極は交番電圧線PBPと接続される。

【0051】

タイミングt1からt3の期間は、交番電圧線PBNの電位はロー(-V)であるので、画素電極はロー(-V)となり、対向電極電位VCOM(~((+V)+(-V))/2)との電圧差分だけの電圧を液晶に印加する状態となる。

30

【0052】

(4)タイミングt1からt3の期間は一対の交番電圧線PBP、PBNの電位は変動しないので、上記の(2)(3)の状態が保持される。

【0053】

(5)タイミングt4で一対の交番電圧線PBP、PBNは、その電位を反転する。すなわち、交番電圧線PBPはハイ状態(+V)からロー状態(-V)に、交番電圧線PBNはロー状態(-V)からハイ状態(+V)に変化する。

【0054】

(6)このときの画素メモリの動作は次のとおりである。ノードN8はハイ状態にあるので第1のインバータを構成する一対のp型電界効果トランジスタPLTF1とn型電界効果トランジスタNLT1は依然としてNLT1がオン状態にあり、その出力ノードN9は交番電圧線PBNと電気的に接続している。

40

【0055】

したがって、交番電圧線PBNの電位がロー状態(-V)からハイ状態(+V)に変化したことによって、ノードN9もロー状態(-V)からハイ状態(+V)に変化に変化する。

【0056】

(7)ノードN9がハイ状態(+V)になると、第2のインバータを構成するp型電界効果トランジスタPLTR1とn型電界効果トランジスタNLT1はPLTR1がオフ状

50

態となり、NLT R 1がオン状態に変化する。これにより、その出力ノードN 8はn型電界効果トランジスタNLT R 1を介して交番電圧線PBNと接続することになる。したがって、その電位はハイ状態(+V)であり、この場合もノードN 8をハイ状態(+V)に維持するようにバイアスされ、第3のインバータを構成する一対のp型電界効果トランジスタPPVS 1とn型電界効果トランジスタNPVS 1のPPVS 1がオフ状態、NPVS 1がオン状態を維持することになる。

【0057】

このときも、液晶LCを駆動する画素電極(図示せず)は交番電圧線PBNと接続されるが、交番電圧線PBNの電位はハイ状態(+V)であるので、画素電極の電位はハイ状態(+V)となる。このときも、対向電極電位VCOM($\sim ((+V) + (-V)) / 2$)との電圧差分だけの電圧を液晶に印加する状態となる。

10

【0058】

このときの電圧符号は対向電極電位VCOMに対して上記(3)の場合とは逆になるが、これは、液晶を駆動するときに液晶の劣化防止のために一般的に用いられる交番電圧印加法そのものであり、画素メモリが実現した駆動方法に合致する。

【0059】

(8)図3では、タイミングt7で、再び一対の交番電圧線PBP、PBNは、その電位を反転する。すなわち、交番電圧線PBPはロー状態(-V)からハイ状態(+V)に、PBNはハイ状態(+V)からロー状態(-V)に変化する。この場合は、上記(2)、(3)で説明した状態が繰り返されることになる。

20

【0060】

(9)図2では、タイミングt9で、再びNMOSトランジスタVADSW1とHADSW1がオン状態となり、ノードN8が映像信号線DL1と接続される。このときの映像信号線DL1の状態はロー状態(-V)である。したがって、ノードN8はロー状態(-V)に変化し、第1のインバータを構成する一対のp型電界効果トランジスタPLTF1とn型電界効果トランジスタNLT F1のうち、トランジスタPLTF1がオン状態、NLT F1はオフ状態に変化する。

【0061】

このとき、交番電圧線PBPはハイ状態(+V)、PBNはロー状態(-V)になっているので、一対のp型電界効果トランジスタPLTF1とn型電界効果トランジスタNLT F1の出力ノードN9は交番電圧線PBPと接続され、ハイ状態(+V)となる。

30

【0062】

ノードN9がハイ状態(+V)であるので、第2のインバータを構成する一対のp型電界効果トランジスタPLTR1とn型電界効果トランジスタNLT R1のうち、トランジスタPLTR1がオフ状態に、トランジスタNLT R1がオンに変化する。その出力ノードN8は交番電圧線PBNと電気的に接続される。

【0063】

交番電圧線PBNはロー状態(-V)になっているので、ノードN8はロー状態(-V)となり、再びNMOSトランジスタVADSW1とHADSW1がオフ状態になった後も、ロー状態(-V)を保持することになる。

40

【0064】

(10)ノードN8がロー状態(-V)にあるので、第3のインバータを構成する一対のp型電界効果トランジスタPPVS1とn型電界効果トランジスタNPVS1のうち、トランジスタPPVS1はオン状態に、トランジスタNPVS1はオフ状態となり、液晶LCを駆動する画素電極(図示せず)は対向電極電位VCOMに接続される。画素電極は電圧VCOMとなり、対向電極電位VCOMと同電位のため、液晶には電圧が印加されない状態となる。

【0065】

(11)タイミングt12で、再び一対の交番電圧線PBPとPBNは、その電位を反転する。すなわち、交番電圧線PBPはハイ状態(+V)からロー状態(-V)に、交番電

50

圧線 P B N はロー状態 (- V) からハイ状態 (+ V) に変化する。ノード N 8 はロー状態 (- V) のままなので、第 1 のインバータを構成する一対の p 型電界効果トランジスタ P L T F 1 と n 型電界効果トランジスタ N L T F 1 のうち、トランジスタ P L T F 1 がオン状態、 N L T F 1 はオフ状態のまま、すなわちロー状態 (- V) となる。

【 0 0 6 6 】

ノード N 9 がロー状態 (- V) に変化すると、第 2 のインバータを構成する一対の p 型電界効果トランジスタ P L T R 1 と n 型電界効果トランジスタ N L T R 1 のうち、トランジスタ P L T R 1 がオン状態に、トランジスタ N L T R 1 がオフに変化する。出力ノード N 8 は交番電圧線 P B P と電気的に接続される。交番電圧線 P B P はロー状態 (- V) となつてるので、ノード N 8 はロー電位 (- V) となり、ロー状態 (- V) を保持することになる。

10

【 0 0 6 7 】

(1 2) ノード N 8 はロー電位 (- V) にあるので、第 3 のインバータを構成する一対の p 型電界効果トランジスタ P P V S 1 と n 型電界効果トランジスタ N P V S 1 のうち、トランジスタ P P V S 1 はオン状態に、トランジスタ N P V S 1 はオフ状態となり、液晶 L C を駆動する画素電極 (図示せず) は対向電極電位 V C O M に接続される。画素電極は電圧 V C O M となり、対向電極電位 V C O M と同電位のため、液晶には電圧が印加されない状態となる。

【 0 0 6 8 】

(1 3) 以上説明した構成により、本来、液晶の劣化を防止するために各々の電極に与える交番電圧を用いて、画素内に設けたメモリ (ラッチメモリ) の状態を保持できる。

20

【 0 0 6 9 】

(1 4) 上記 (6) および (1 1) で、交番電圧の電位が変化しても、ノード N 8 の電位は変化しないことを前提としたが、実際の回路設計では変化する要素である。極端な場合、例えばノード N 8 に比べてノード N 9 の容量が非常に大きくなるような設計とした場合、ノード N 9 の電位が変化し難いので、自己安定化に向かって変化を始める閉じたラッチアップメモリ (一対の p 型電界効果トランジスタ P L T F 1 と n 型電界効果トランジスタ N L T F 1 で構成した第 1 のインバータと一対の p 型電界効果トランジスタ P L T R 1 と n 型電界効果トランジスタ N L T R 1 で構成した第 2 のインバータの互いの出力が相手の入力になる回路構成) では、自己安定状態がノード N 9 の電位によって支配されることになる。すなわち、上記 (6) の場合をノード 9 が支配しているという仮定で考えると、ノード N 9 はロー状態 (- V) にあるので、第 2 のインバータのトランジスタ P L T R 1 はオン状態 (+ V) で、トランジスタ N L T R 1 はオフ状態 (- V) となる。したがって、ノード N 8 は交番電圧線 P B P と接続して、(6) の条件下では、交番電圧線 P B P はロー状態 (- V) になっており、ノード N 8 はハイ状態 (+ V) からロー状態 (- V) に変化し、メモリ保持が行われなくなる。

30

【 0 0 7 0 】

(1 5) ノード N 8 とノード N 9 を図 2 で考えると、ノード N 9 が第 2 のインバータのトランジスタ P L T R 1 と N L T R 1 のゲート容量および自己配線容量のみである。これに対し、ノード N 8 は第 1 のインバータのトランジスタ P L T F 1 と N L T F 1 のゲート容量および自己配線容量のほかに、第 3 のインバータのトランジスタ P P V S 1 と N P V S 1 のゲート容量および N M O S トランジスタ H A D S W 1 のゲートとカップリング容量を持つので、一般的にはノード N 8 が自己安定状態を支配すると考えられるが、設計次第では上記 (1 4) の状況が起こり得る。この対策を考慮した回路構成を図 4 ~ 図 6 に示す。

40

【 0 0 7 1 】

図 4 は本発明の第 2 実施例の 1 画素の構成を説明する回路図である。図 2 と同一符号は同一機能部分を示す (なお、符号の数字 2 は図 2 の数字 1 を付したものと同一素子または線に対応する) 。

【 0 0 7 2 】

本実施例では、第 2 のインバータを構成する p 型電界効果トランジスタ P L T R 1 と n 型

50

電界効果トランジスタNLT R 1の入力ノードN 8と第1のインバータのp型電界効果トランジスタPLT F 1とn型電界効果トランジスタNLT F 1の入力ノードN 8'の間に抵抗RFBを挿入した。

【0073】

ノードN 8のメモリ状態は、主にNMOSトランジスタVADSW 2とHADSW 2のオフレベルでのリークや他の配線(DL 2、PBP、PBN、VADL、HADL 2)との容量結合による電位変動であり、通常メモリ状態が反転するほど大きな変動量になるのは比較的長い時間をする、と想定できる。

【0074】

したがって、出力ノードN 8'の電位は、その比較的ゆっくりとした変動による電荷の変化分を補うことが目的であるため、高抵抗な抵抗RFBを上記した部分に挿入しても、その目的を達成することができる。

【0075】

本実施例の構成としたことで、たとえ上記(14)で述べたようなノードN 9の容量が比較的大きくて、一時的に第2のインバータを構成するトランジスタPLT R 1とトランジスタNLT R 1の状態がのN 9に支配され、その出力が不都合な電位になった場合でも、その電位が抵抗RFBを介してノードN 8の状態を変化させる前に、上記(6)、(11)で記述した手順でノードN 8に支配された状態での設定が起こるため、メモリデータの保持がより確実になる。

【0076】

図5は本発明の第3実施例の1画素の構成を説明する回路図である。図4と同一符号は同一機能部分を示す。本実施例では、第2のインバータを構成するp型電界効果トランジスタPLT R 2とn型電界効果トランジスタNLT R 2の入力ノードN 8と第1のインバータのp型電界効果トランジスタPLT F 2とn型電界効果トランジスタNLT F 2の入力ノードN 8'の間にNMOSトランジスタNFB SWを挿入した。このNMOSトランジスタNFB SWのゲート入力ノードを交番電圧線PBPに接続した。

【0077】

本実施例の構成によれば、2つのインバータ(第2のインバータと第1のインバータ)を構成するトランジスタPLT R 2とトランジスタNLT R 2、PLT F 2とNLT F 2が一般的なバイアス状態、すなわちp型側がn型よりも電圧が高い場合にのみ、NMOSトランジスタNFB SWがオン状態となる。これにより、上記(6)、(11)で記述した状態では、第2のインバータを構成するトランジスタPLT R 2とNLT R 2の出力ノードN 8'と第1のインバータを構成するトランジスタPLT F 2とNLT F 2の入力ノードN 8との電気的接続が切られる。したがって、上記(14)で記述したような状況は起らなくなる。

【0078】

図6は本発明の第4実施例の1画素の構成を説明する回路図である。図5と同一符号は同一機能部分を示す。本実施例では、第2のインバータを構成するp型電界効果トランジスタPLT R 2とn型電界効果トランジスタNLT R 2の出力ノードN 8'、と第1のインバータのp型電界効果トランジスタPLT F 2とn型電界効果トランジスタNLT F 2の入力ノードN 8の間にNMOSトランジスタPFB SWを挿入した。このNMOSトランジスタPFB SWのゲート入力ノードを交番電圧線PBNに接続した。

【0079】

本実施例の構成によっても、上記図5で説明したものと同様の効果を得ることができる。

【0080】

上記各実施例で説明した構成では、CMOSトランジスタをデスチャージモードだけでなく、チャージモードでも使用するため、チャージモードにおける伝達電圧の閾値電圧降下に留意して設計する必要がある。例えば、第3のインバータを構成するトランジスタN P VS 2がオン状態で交番電圧線PBNと画素電極が電気的につながっている場合、交番電圧線PBNのロー電圧はそのまま伝わるが、ハイ電圧は閾値分だけ電圧降下した電圧と

10

20

30

40

50

なる。

【0081】

例えば、この閾値をVthNとしたとき、固定電圧VCOMを{(ハイ(+V)+ロー(-V))/2}-VthN/2付近に設定する、といった配慮が必要になる。

【0082】

図2の回路構成において、第2のインバータ(トランジスタPLTR1とNLTR1)の出力インピーダンスが非常に低い場合は、トランジスタVADSW1とHADSW1がオン状態になって書き込みが行われるときも、前の状態が保存されることが懸念される。このような場合には図4に示した構成とすることが有効である。

【0083】

上記各実施例では、信号入力部のMOSトランジスタとして、画素部にXYアドレス用の2つのトランジスタVADSW1とHADSW1を用いたものを説明した。しかし、上記のトランジスタのうちの一方、例えば通常使われているようにXアドレス用のMOSトランジスタHADSW1を映像信号線(ドレイン線)DLを選択するスイッチとして、図に表れない部分に配置してもよい。また、MOSトランジスタVADSW1とHADSW1の配置を図とは逆にしてもよい。

【0084】

次に、本発明の他の実施例について、図7～図12を参照して説明する。メモリ機能を有する画素を用いてディザによる多階調表示を行う場合、階調分の信号線が必要となる。そのため、高精細化が困難である。

【0085】

これを解決するために、本発明では、メモリ内蔵型画素を用いて、11画素を表示面積が異なる複数セル(液晶セルやエレクトロルミネッセンス素子等からなる、副画素で構成する。22本の信号線で4階調を表示する。33本の信号線で8階調を表示する。4階調をディザにより表示する。5階調をFRC(Frame Rate Control)によって表示する。

【0086】

図7は4階調表示を行う画素構成の説明図である。本実施例は1画素を2つのセル(セルA:cell-AとセルB:cell-B)で構成し、各セルにはそれぞれメモリMR1、MR2を持つ。

【0087】

XLとYLは選択線であり、XLは横(水平)方向のアドレス線、YLは縦(垂直)方向のアドレス線、DL1はセルAのデータ線(ドレイン線、または映像信号線)、DL2はセルBのデータ線を示す。CLCは液晶容量である。

【0088】

1画素の構成は、表示面積を(セルB:cell-B/セルA:cell-A)=2/1とする。セルA:cell-AおよびセルB:cell-Bは、各々1ビット(bit)メモリMR1、MR2を備えている。

【0089】

1ビットメモリMR1、MR2のそれぞれは“1”と“0”的2値を有する。アドレス線XLとYLは表示データを書き込む画素のアドレスの指定を行う。データ線DL1とDL2は各セルの表示データを入力する。

【0090】

アドレス線XLとYLにより選択された画素は、データ線DL1とDL2により表示データを取込み、各セルのメモリMR1、MR2に記憶する。記憶されたデータは次の書き換えられる時間まで保持される。

【0091】

図8は4階調表示のセルの表示状態の説明図であり、図中の白抜きが選択セル、斜線で示した部分が非選択セルを示す。また、図9は4階調表示のマトリクス構成図である。2つのセルA:cell-AおよびセルB:cell-Bで構成した画素は、第0階調表示から第3階調表

10

20

30

40

50

示までの4階調を表示する。

【0092】

第0階調表示の場合は、セルA:cell-AおよびセルB:cell-Bは共に“0”である。第1階調表示の場合は、セルA:cell-Aは“1”でセルB:cell-Bは“0”である。第2階調表示の場合は、セルA:cell-Aは“0”でセルB:cell-Bは“1”、第3階調表示の場合は、セルA:cell-Aは共に“1”である。セルA:cell-Aの面積を1Sとすると、セルB:cell-Bの面積はその2倍の2Sとなる。

【0093】

セルの表示データが“1”的ときに液晶に電圧を印加する状態の場合を例にすると、各階調表示における電圧面積は、第0階調表示では0、第1階調表示では1S、第2階調表示では2S、第3階調表示では3Sである。

10

【0094】

本実施例により、メモリ機能を有する画素を用いた高精細表示が可能となる。

【0095】

図10は8階調表示を行う画素構成の説明図である。本実施例は1画素を3つのセル(セルA:cell-AとセルB:cell-BおよびセルC:cell-C)で構成し、各セルにはそれぞれメモリMR1、MR2、MR3を持つ。

【0096】

XLとYLは選択線であり、XLは横(水平)方向のアドレス線、YLは縦(垂直)方向のアドレス線、DL1はセルAのデータ線(ドライン線、または映像信号線)、DL2はセルBのデータ線、DL3はセルCのデータ線を示す。CLCは液晶容量である。

20

【0097】

1画素の構成は、表示面積を(セルC:cell-C/セルB:cell-B/セルA:cell-A)=3/2/1とする。セルA:cell-AとセルB:cell-BおよびセルC:cell-Cは、各々1ビット(bit)メモリMR1、MR2、MR3を備えている。

【0098】

1ビットメモリMR1、MR2、MR3のそれぞれは“1”と“0”的2値を有する。アドレス線XLとYLは表示データを書き込む画素のアドレスの指定を行う。データ線DL1とDL2は各セルの表示データを入力する。

30

【0099】

アドレス線XLとYLにより選択された画素は、データ線DL1とDL2とDL3により表示データを読み込み、各セルのメモリMR1、MR2、MR3に記憶する。記憶されたデータは次の書き換えられるまで保持される。

【0100】

図11は8階調表示のセルの表示状態の説明図であり、図中の白抜きが選択セル、斜線で示した部分が非選択セルを示す。また、図12は8階調表示のマトリクス構成図である。

2つのセルA:cell-AとセルB:cell-BおよびセルC:cell-Cで構成した画素は、第0階調表示から第7階調表示までの8階調を表示する。

【0101】

第0階調表示の場合は、セルA:cell-AとセルB:cell-BおよびセルC:cell-Cは全て“0”である。第1階調表示の場合は、セルA:cell-Aは“1”でセルB:cell-BとセルC:cell-Cは“0”である。第2階調表示の場合は、セルA:cell-Aは“0”、セルB:cell-Bは“1”、セルC:cell-Cは“0”である。

40

【0102】

第3階調表示の場合は、セルA:cell-AとセルB:cell-Bは共に“1”、セルC:cell-Cは“0”である。第4階調表示の場合は、セルA:cell-AとセルB:cell-Bは共に“0”、セルC:cell-Cは“1”である。第5階調表示の場合は、セルA:cell-Aは“1”、セルB:cell-Bは“0”、セルC:cell-Cは“1”である。セルC:cell-Cは“1”である。第6階調表示の場合は、セルA:cell-Aは“0”、セルB:cell-Bは“1”、セルC:cell-Cは“1”である。第7階調表示の場合は、セルA:cell-A、セルB:cell-B、セルC:cell-Cは“1”である。

50

C :cell-C は共に “ 1 ” である。

【 0 1 0 3 】

セル A :cell-A の面積を 1 S とすると、セル B :cell-B の面積はその 2 倍の 2 S 、セル C :cell-C の面積はセル A :cell-A の 3 倍の 3 S となる。

【 0 1 0 4 】

セルの表示データが “ 1 ” のときに液晶に電圧を印加する状態の場合を例にすると、各階調表示における電圧面積は、第 0 階調表示では 0 、第 1 階調表示では 1 S 、第 2 階調表示では 2 S 、第 3 階調表示では 3 S 、第 4 階調表示では 4 S 、第 5 階調表示では 5 S 、第 6 階調表示では 6 S 、第 7 階調表示では 7 S である。

【 0 1 0 5 】

本実施例によつても、上記したメモリ機能を有する画素を用いた高精細表示が可能となる。

【 0 1 0 6 】

なお、1 画素を構成するセルの数は上記した 2 または 3 に限るものではなく、さらに多数のセルで 1 画素を構成することができる。

【 0 1 0 7 】

上記の各実施例で説明した多階調表示では、階調分の信号線を必要とせず、通常のディザによる表示に比べて配線数の大幅な低減が可能である。

【 0 1 0 8 】

また、上記図 7 または図 10 のディザ表示に代えて、F R C 法を適用しても同様の効果が得られる。F R C を適用した回路構成は図 7 または図 10 におけるセルの点灯する時間と非点灯する時間の割合を周辺駆動回路 (X 駆動回路 R A X 、 S E L 及び Y 駆動回路 R A Y) を用いて制御することにより、中間階調を表示するものである。

【 0 1 0 9 】

本発明において、F R C 法を用いて、階調表示を行うことにより、ディザ表示よりも少ない配線数で多階調表示を行う事が出来る。なお F R C 法を行うと、階調表示の為に、速い表示に対応出来ない。従つて、動画を表示する場合はディザ表示の方が優れている。

【 0 1 1 0 】

さらに本発明において、ディザ表示と F R C 法の両方を用いて階調表示を行うことにより、静止画においてはさらに階調数を増すことが出来、動画においても十分な階調を出すことが出来る。

【 0 1 1 1 】

このように、上記の複数セルによる多階調表示のための構成では、4 階調表示では 1 画素につき 2 本の信号線、8 階調表示では 1 画素につき 3 本の信号線、・・・・、すなわち n 階調表示について 1 画素につき n^2 本の信号線、つまりデジタルデータのビット数と同数の信号線で構成できる。

【 0 1 1 2 】

図 13 は本発明によるアクティブマトリックス形表示装置を実装した電子機器の一例としての携帯型情報端末の構成例を説明する斜視図である。この携帯型情報端末 (P D A) はホストコンピュータ H O S T やバッテリー B A T を収納し、表面にキーボード K B を備えた本体部 M N と、表示装置に液晶表示装置 L C D を用いバックライト用のインバータ I N V を実装した表示部 D P で構成されている。

【 0 1 1 3 】

本体部 M N には接続ケーブル L 2 を介して携帯電話機 P T P が接続できるようになっており、遠隔地との間で通信が可能となっている。

【 0 1 1 4 】

表示部 D P の液晶表示装置 L C D とホストコンピュータ M N との間はインターフェースケーブル L 1 で接続されている。

【 0 1 1 5 】

本発明によれば表示装置が画像記憶機能を有するので、ホストコンピュータ M N が表示装

10

20

30

40

50

置LCDに送るデータは、前回の表示と異なる部分だけで良く、表示に変化がない時は、データを送る必要がないので、ホストコンピュータMNの負担が極めて軽くなる。

【0116】

従って、本発明の表示装置を用いた情報処理装置は、小型にもかかわらず極めて高速で、多機能なものになる。

【0117】

また、表示部DPの一部にはペンホールダPNHが設けてあり、ここに入力ペンPNが収納される。

【0118】

この液晶表示装置は、キーボードKBを使用した情報の入力と入力ペンPNでタッチパネルの表面を押圧操作したり、なぞり、あるいは記入で種々の情報を入力し、あるいは液晶表示素子PNLに表示された情報の選択、処理機能の選択、その他の各種操作を可能としてある。 10

【0119】

なお、この種の携帯型情報端末(PDA)の形状や構造は図示したものに限るものではなく、この他に多様な形状、構造および機能を具備したもののが考えられる。

【0120】

また、図13の携帯電話機PTPの表示部に使われる表示素子LCD2に本発明のアクティブマトリックス形表示装置を用いることにより、表示素子LCD2に送る表示データの情報量を少なく出来るので、電波や通信回線で送る画像データを少なくすることが出来、携帯電話機の表示部に多階調かつ高精細の文字や図形、写真表示、さらには動画表示を行うことが出来る。 20

【0121】

なお、本発明の液晶表示装置は、図13で説明した形態型情報端末のみならず、ディスクトップ型パソコン、ノート型パソコン、投射型液晶表示装置、その他の情報端末のモニター機器に用いることができるとは言うまでもない。

【0122】

また本発明のアクティブマトリックス表示装置は、液晶エレクトロルミネッセンス形表示装置に限るものでなく、例えばプラズマディスプレイのような、マトリックス形の表示装置であればどのようなものにも応用出来る。 30

【0123】

【発明の効果】

以上説明したように、本発明によれば、スタティックメモリ回路と等価な画像メモリ回路を持つ高開口率で高精細、かつ少ない配線数で多階調の画像表示を可能としたアクティブマトリックス形表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の概略構成を説明する模式図である。

【図2】本発明の第1実施例の1画素の構成を説明する回路図である。

【図3】図2に示した画素回路の動作を説明する波形図である。

【図4】本発明の第2実施例の1画素の構成を説明する回路図である。 40

【図5】本発明の第3実施例の1画素の構成を説明する回路図である。

【図6】本発明の第4実施例の1画素の構成を説明する回路図である。

【図7】4階調表示を行う画素構成の説明図である。

【図8】4階調表示のセルの表示状態の説明図である。

【図9】4階調表示のマトリックス構成図である。

【図10】8階調表示を行う画素構成の説明図である。

【図11】8階調表示のセルの表示状態の説明図である。

【図12】8階調表示のマトリックス構成図である。

【図13】本発明による液晶表示装置を実装した電子機器の一例としての携帯型情報端末の構成例を説明する斜視図である。 50

【図14】画素にメモリ機能を持たせた液晶表示装置の一画素の構成例の説明図である。

【図15】スタティックメモリタイプのメモリ回路の一例を説明する要部回路図である。

【図16】スタティックメモリタイプのメモリ回路の他例を説明する要部回路図である。

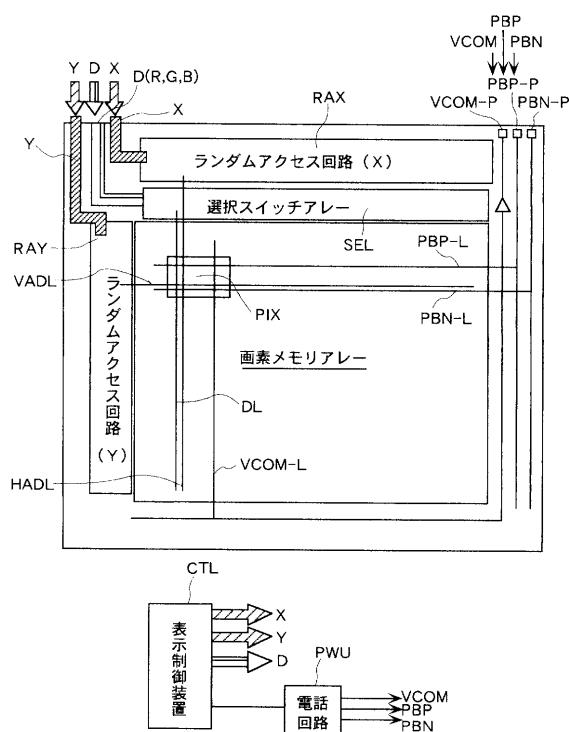
【符号の説明】

P I X 画素、 R A X X 方向のランダムアクセス回路、 R A Y Y 方向のランダムアクセス回路、 S E L 選択スイッチアレー、 H A D L , V A D L 選択信号線、 D L データ線（映像信号線）、 V C O M - L 固定電圧（共通電極電圧）V C O M を印加する共通線、 P B P - L , P B N - L 交番電圧線、 C T L 表示制御装置、 D デジタルデータバスライン、 P W U 電源回路。

10

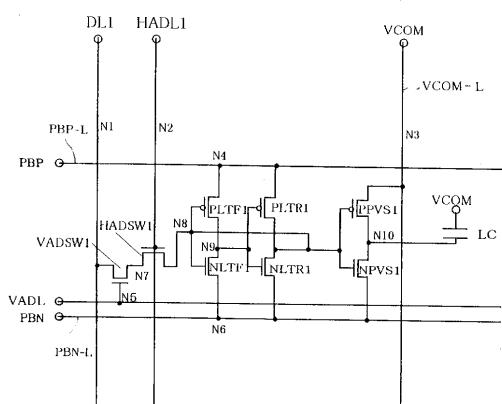
【図1】

図1



【図2】

図2



【図3】

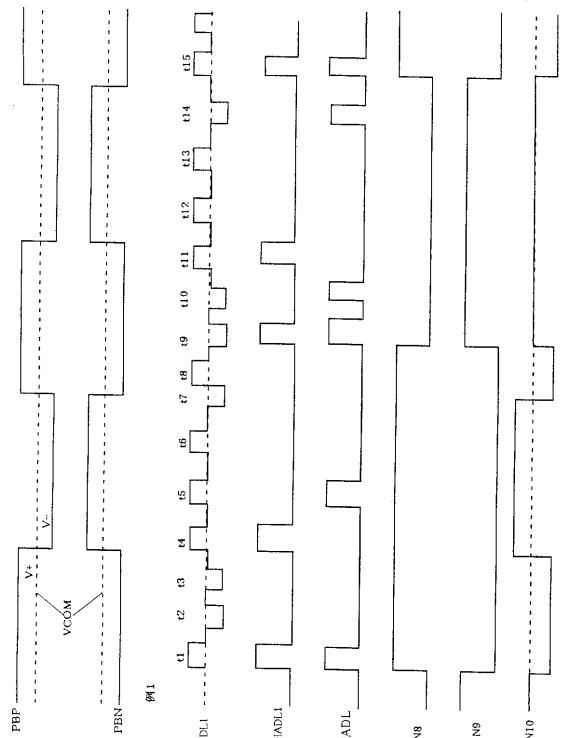
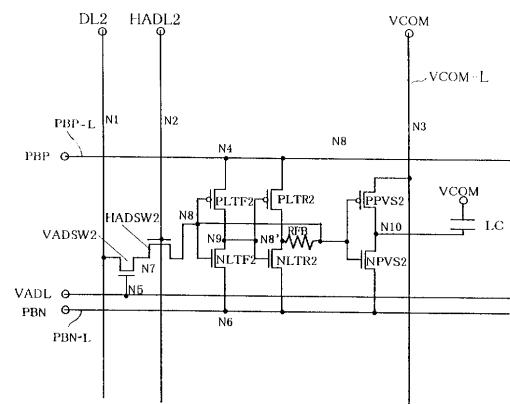


図3

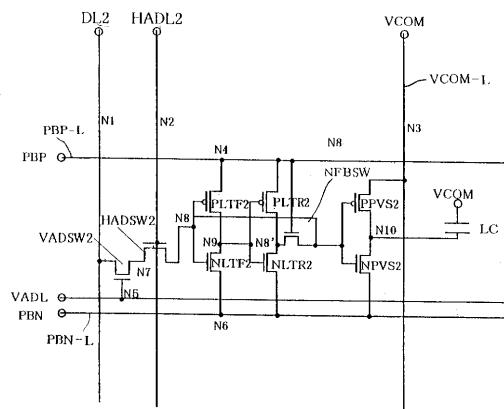
【図4】

図4



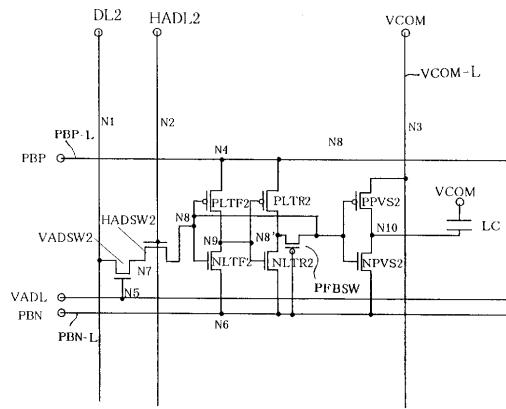
【図5】

図5



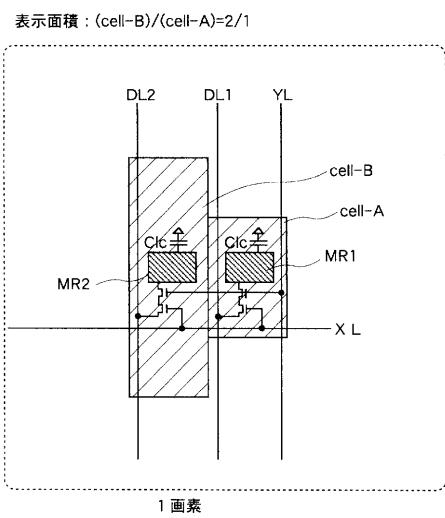
【図6】

図6



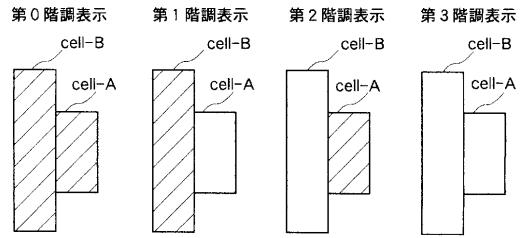
【図7】

図7



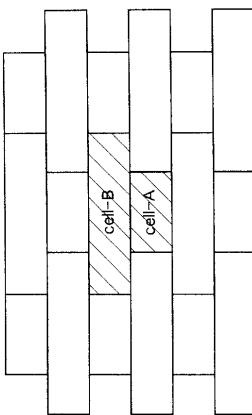
【図8】

図8



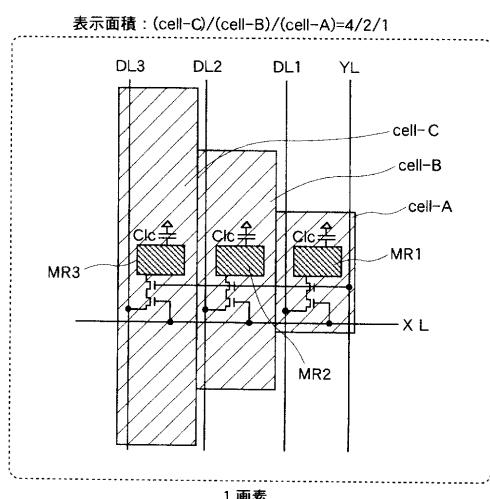
【図9】

図9



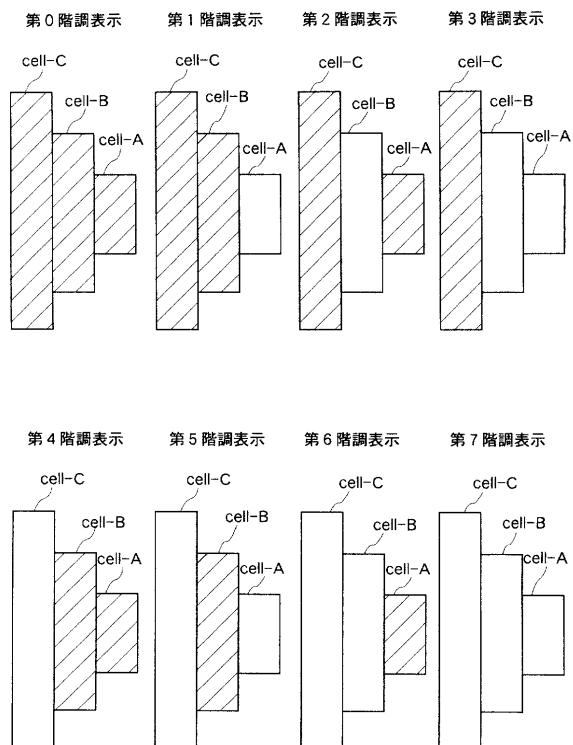
【図10】

図10



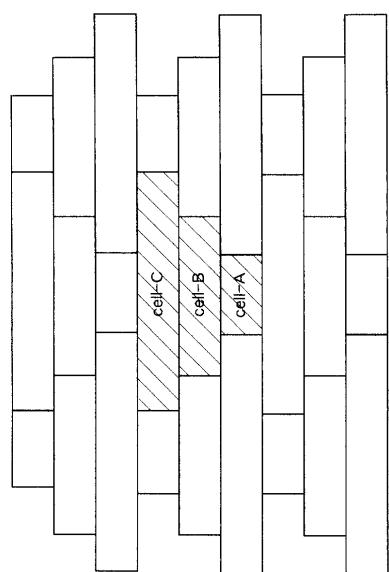
【図11】

図11



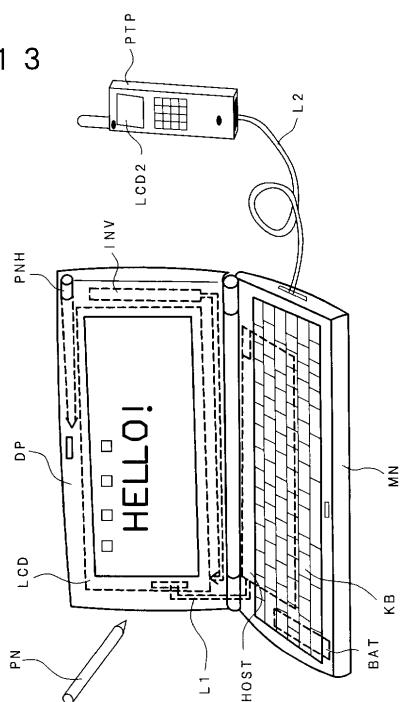
【図12】

図12



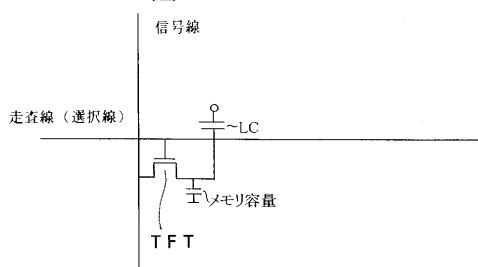
【図13】

図13



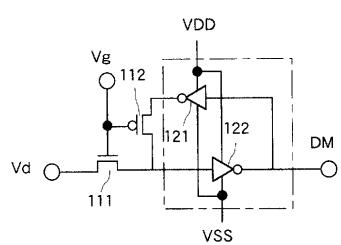
【図14】

図14



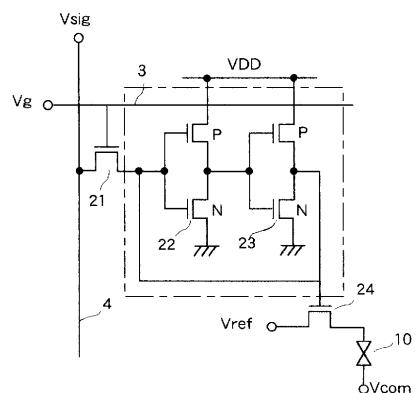
【図15】

図15



【図16】

図16



フロントページの続き

(51)Int.Cl.	F I
G 09 G 3/30 (2006.01)	G 09 G 3/20 6 2 4 B
	G 09 G 3/20 6 4 1 G
	G 09 G 3/20 6 4 1 A
	G 09 G 3/30 J
	G 09 G 3/30 K

(72)発明者 佐藤 友彦
千葉県茂原市早野3300番地 株式会社 日立製作所 ディスプレイグループ内

審査官 一宮 誠

(56)参考文献 特開2000-056334 (JP, A)
特開平09-212140 (JP, A)
特開平08-194205 (JP, A)
特開平04-333094 (JP, A)
特開平11-352954 (JP, A)
特開平07-253764 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38
G02F 1/133