

[19]中华人民共和国专利局

[51]Int.Cl⁶

H01L 27/04

H01L 27/06 H01L 21/76

H01L 21/82



[12]发明专利申请公开说明书

[21]申请号 98102288.X

[43]公开日 1998年12月30日

[11]公开号 CN 1203457A

[22]申请日 98.6.19

[74]专利代理机构 中科专利代理有限责任公司

[30]优先权

代理人 刘晓峰

[32]97.6.20 [33]JP[31]164492 / 97

[71]申请人 日本电气株式会社

地址 日本国东京都

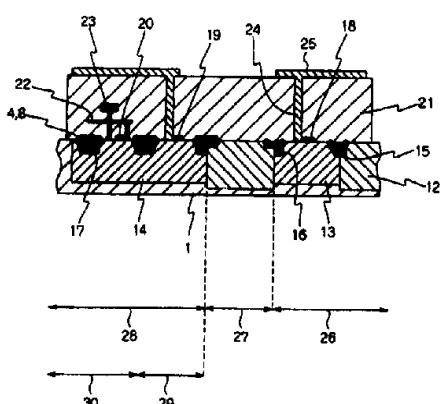
[72]发明人 白川英树

权利要求书 2 页 说明书 8 页 附图页数 7 页

[54]发明名称 半导体器件及其制造方法

[57]摘要

在根据本发明的半导体器件中，通过不同方法在半导体器件的基片上形成两种或多种隔离氧化膜4和11，从而对应于在同一半导体基片1上形成的器件类型18、19和20。另外，根据本发明的制造半导体器件方法包含：第一隔离氧化膜形成过程；及第二隔离氧化膜形成过程。其中第一过程中含有形成第一掩模层10及将其选择去除并选择氧化基片等步骤。



权利要求书

- 1、一种半导体器件，其特征在于包含：
形成在同一半导体基片上的两种或更多种的半导体器件；及
对应每一半导体器件通过不同方法形成的两种或多种隔离氧化膜。
- 2、根据权利要求 1 所述的半导体器件，其特征在于所述半导体器件为 D R A M 器件及逻辑器件。
- 3、根据权利要求 1 所述的半导体器件，其特征在于在作为缓冲区的所述隔离氧化膜间形成预定的扩散层。
- 4、一种制造半导体器件的方法，包含：
第一隔离氧化膜形成过程；及
第二隔离氧化膜形成过程；其特征在于
所述第一隔离氧化膜形成过程包含如下步骤：
在所述基片上形成第一掩膜层；
选择地去除所述第一掩膜层，并部分地去除基片的表面中所述第一掩膜层已被去除的区域；及
通过选择氧化第一掩膜层已被去除的区域形成第一隔离氧化膜；及
所述第二隔离氧化膜形成过程包含如下步骤：
去除所述第一掩膜层；
在所述基片上形成第二掩膜层；
选择地去除所述第二掩膜层；及
通过选择地氧化其中第二掩膜层已被去除的区域形成第二隔离氧化膜。
- 5、根据权利要求 4 所述的半导体器件的生产方法，其特征在于在由所述第一隔离氧化膜已经分开的区域内形成逻辑器件，在由所述第二隔离氧化膜已经分开的区域内形成 D R A M 器件。
- 6、根据权利要求 4 所述的半导体器件的生产方法，其特征在于第一掩膜层和第二掩膜层的形成还包含在基片的表面上形成氧化膜的步骤；并在所述的氧化膜上形成氮膜。

7、根据权利要求 4 所述的半导体器件的生产方法，其特征在于第一掩膜层和第二掩膜层的形成还包含如下步骤：在基片的表面上形成氧化膜；在所述氧化膜上形成多晶硅膜及在所述多晶硅膜表面上形成氮膜。

8、根据权利要求 6 所述的半导体器件的生产方法，其特征在于所述氮膜包含 Si_3N_4 。

9、根据权利要求 7 所述的半导体器件的生产方法，其特征在于所述氮膜包含 Si_3N_4 。

10、根据权利要求 4 所述的半导体器件的生产方法，其特征在于包含如下过程，其中所述第一隔离氧化膜形成过程包含如下步骤：在基片上形成第一掩膜层，其包含大约 300 埃厚的氧化膜及大约 2000 埃厚的氮膜；选择地去除所述第一掩膜层，并在其中所述第一掩膜层已被去除的区域内部分地去除大约 800 埃厚的基片的表面；在 1000 °C，通过选择氧化其中第一掩膜层已被去除的区域形成大约 3000 埃厚的第一隔离氧化膜；且所述第二隔离氧化膜形成过程包含如下过程：去除所述第一掩膜层；在基片上形成第二掩膜层，其包含大约 100 埃厚的氧化膜，及大约 1500 埃厚的氮膜；选择地去除所述第二掩膜层；并在 1000 °C 通过选择氧化其中第二掩膜已被去除的区域形成大约 2000 埃厚的第二隔离氧化膜。

11、根据权利要求 4 所述的半导体器件的生产方法，其特征在于包含如下步骤：形成所述第一隔离氧化膜；在基片上形成第一掩膜层，其包含大约 300 埃厚的氧化膜和大约 2000 埃厚的氮膜；选择地去除所述第一掩膜层，并在所述第一掩膜层已被去除的区域去除大约 800 埃厚的基片表面；在 1000 °C，在第一掩膜层已被去除的区域内，通过选择氧化形成大约 3000 埃厚的第一隔离氧化膜；而所述第二隔离氧化膜形成过程包含如下步骤：去除所述第一掩膜层；在第二掩膜层的基片上顺序形成大约 200 埃厚的氧化膜，大约 500 埃厚的多晶硅膜，及大约 1800 埃厚的氮膜；选择地去除所述第二掩膜层；在 1000 °C，通过选择氧化第二掩膜层已被去除的区域形成大约 2000 埃厚的第二隔离氧化膜。

说 明 书

半导体器件及其制造方法

本发明涉及C M O S（互补金属氧化物半导体）型的半导体器件，尤其是涉及这样一种C M O S型的半导体器件，其中在同一基片上形成D R A M（动态存机存取存储器）器件及逻辑器件，还涉及其生产方法。

最近，在寻求制造更小型化和快速L S I（大规模集成电路）的过程中，在双一固定D R A M逻辑技术中，D R A M器件及逻辑器件被形成在同一基片上。D R A M器件及逻辑器件被形成在同一基片上具有很多好处。这是因为大量的导线可形成在L S I内的D R A M器件与逻辑器件之间。换句话说，数据传输速度可被大大提高，例如可提高图形处理能力。为此，应用领域可扩展到用于图像处理的图形加速器。

一般而言，对于D R A M的半导体器件与用于逻辑部分的半导体器件的生产过程有很大的差别。即使当比较器件隔离的方法时，在D R A M器件与逻辑器件间也有不同之处。

通常地，如图4和图5中所示，对于选择氧化（下面指L O C O S 1和L O C O S 2）的方法被用在D R A M器件隔离中。这里，L O C O S为硅的局部氧化缩写。首先，参考图4对L O C O S 1进行简单描述。

如图4（a）中所示，在P型半导体基片1上按顺序形成薄的氧化膜5 2和Si₃N₄膜5 3。

如图4（b）中所示，通过众所公知的光刻技术来选择地去除Si₃N₄膜5 3和薄氧化膜5 2。然后，使用Si₃N₄膜5 2作为掩膜，进行选择氧化，用于器件隔离目的的隔离氧化膜5 4被形成。接着，如图4（c）中所示，器件被隔离并通过对去除Si₃N₄膜5 3及薄氧化膜5 2来完成L O C O S 1。

在D R A M器件的尺寸缩减方面存在一些问题，当通过L O C O S

— 1 形成隔离氧化膜 5 4 时，存在这样一些问题，即器件隔离区与器件形成区间的间隔由于众所周知的在氧化膜在横向上突出出来的鸟喙的存在无法被减小。为了克服此问题，并抑制氧化扩展到器件形成区，在实践中使用 L O C O S — 2，其中的多晶硅膜置于 Si_3N_4 下面，在此区域内鸟喙被吸收。下面将参考图 5 对 L O C O S — 2 进行简要描述。

如图 5 (a) 中所示，按顺序在 P 型半导体基片 6 1 上形成薄氧化膜 6 5，多晶硅膜 6 6 及 Si_3N_4 膜 6 7。

如图 5 (b) 中所示，通过传统的光刻技术选择地去除 Si_3N_4 膜 6 7，并用 Si_3N_4 膜 6 7 作为掩膜进行选择氧化，并形成隔离氧化膜 6 8。接着，如图 5 (c) 中所示形成隔离氧化膜，并通过去除 Si_3N_4 膜 6 7、多晶硅膜 6 5 完成 L O C O S — 2。

同时，在传统上 L O C O S — 1 及 L O C O S — 2 已被用在逻辑器件的器件隔离中。伴随着栅极长度在半微米量级上的变化，已经引入了一种使用 L O C O S — 3 的方法。在该方法中，跟着半导体基片的稍微预挖掘，已被挖的区域被选择氧化。L O C O S — 3 的目的是抑制作为氧化膜的结果导致的高度差。这是因为，在已形成隔离氧化膜的基片的表面内存在高度差的地方，并且在已覆上的光刻胶作为掩膜的地方，光刻胶膜的厚度不均匀。在这样形成的光刻胶厚不均匀的地方，在随后的光刻过程中形成的 D R A M 线的厚度及其它器件的厚度也不均匀。这被称为驻波效应。为此，已开始使用了一种可保证隔离氧化膜具有较小高度差的 L O C O S — 3 方法。下面通过图 6 对 L O C O S — 3 进行简单描述。

首先，如图 6 (a) 中所示，在 P — 型半导体基片 7 1 上按顺序形成薄氧化膜 7 9 及 Si_3N_4 膜 8 0。

如图 6 (b) 中所示， Si_3N_4 膜 8 0、薄氧化膜 7 9，半导体基片 7 1 的一部分被通过光刻选择去除到所需的深度。通过用 Si_3N_4 膜 8 0 作为掩膜，然后进行选择氧化，并形成隔离氧化膜 8 1。接着，进行如图 6 (c) 中所示的器件隔离，并通过去除 Si_3N_4 膜 8 0 和薄氧化膜 7 9 完成 L O C O S — 3。

如上所述，在 L O C O S — 1、L O C O S — 2 及 L O C O S — 3 中，通过用来自选择氧化的隔离氧化膜来进行器件隔离。然而，通常

地，L O C O S 方法会伴随在半导体基片的表面上形成大的高度差，这是由于在选择氧化过程中所发生的体积膨胀的结果造成的。L O C O S - 3 的一个主要特点在于，对硅基片有一个通过光刻蚀的预挖刻，以防止产生这些大的高度差。

在上述所述的每一个现有技术的实例中，存在下面的一些缺点。也就是说，L O C O S - 1 和 L O C O S - 2 适宜于D R A M 器件的器件隔离。然后在用 L O C O S - 1 或 L O C O S - 2 形成大约半微米量级高度的逻辑器件的器件隔离的地方，就产生这样一个问题，即很难控制栅极的长度尺寸。这是因为无法控制光刻胶过程中的驻波效应。

因此，L O C O S - 3 适用于逻辑器件的器件隔离，当将 L O C O S - 3 用于D R A M 器件的器件隔离时，其问题在于，在对于半导体基片挖刻的结果会在半导体基片内产生缺陷，扩散层泄漏会增加。一般地，为子保存数据，在L S I 中对于D R A M 的扩散层泄漏设置得比逻辑器件低。为此，对于D R A M 的L S I 的性能在使用其中半导体基片被挖刻的L O C O S - 3 的方法中退化了。

另外，已用不同的生产技术设计和制造出了用于D R A M 的L S I 和用于逻辑的L S I 。这些生产技术已经成熟，这里，有通过不同生产技术制成的不同的隔离氧化膜。更具体地，鸟喙结构的形状及延展有区别。为此，当通过其中一种方法（L O C O S - 1 或 L O C O S - 3 ）形成隔离氧化膜时，会使器件形成区的面积增大或减小。其特点在于，会产生L S I 水平面和 / 或容量的上升或降低，已经完成的一种用于D R A M 或逻辑部分的L S I 变得不实用，而无其它限制。

在生产具有双固定D R A M / 逻辑部分的L S I 的情况下，为了更好地使用现有技术的用于D R A M 及用于逻辑的各L S I 设计，必须使用现有技术的用于D R A M 及用于逻辑器件的设计规则。

在日本专利申请公开No. H3-262154中揭示了与本发明类似的技术。在该L S I 中在同一基片上形成不同种类的隔离氧化膜。更具体地，其涉及一种用于制造Bi-C M O S 型L S I 的方法。在该公知的实例中，在双极晶体管及C M O S 晶体管上形成不同厚度的隔离氧化膜。这里，用于形成隔离氧化膜的方法是一样的。

本发明的目的是为了解决由于在每个不同的生产过程在同一基片上

形成D R A M及逻辑器件时所产生的问题。本发明的另一个目的是解决当无其它限制地使用用于逻辑及D R A M的L S I的有价值的设计时所产生的问题。

本发明的另一个目的在于消除当在同一基片上形成不同种类的器件时彼此间所产生的影响，并提供一种C M O S型半导体器件，其中在同一基片上形成D R A M器件及逻辑器件，并提供其制造方法。

为了实现上述目的，根据本发明的半导体器件是在对应于形成在同一半导体基片上的器件类型同一基片上用不同方法在器件中形成两种或更多种的隔离氧化膜。

另外，根据本发明的用于生产半导体器件的方法包含：第一隔离氧化膜形成过程及第二隔离氧化膜形成过程。更具体地，在上述的第一隔离氧化膜形成过程中，接着在半导体基片上第一掩膜层的形成，逻辑器件的器件隔离区的上述第一掩膜层被选择地去除，且在该区域的半导体基片被选择氧化。因此，在第二隔离氧化膜形成过程中，在去除上述所余第一掩膜后，形成第二掩膜层，D R A M器件的器件隔离区的上述第二掩膜层然后被去除，并且如上所述，在该区域的半导体基片被选择氧化。

本发明可保证在基片上形成的器件类型所需的最优隔离氧化膜。换句话说，在逻辑器件形成区内的驻波效应很低，并可形成具有低水平面差的隔离氧化膜。为此，所形成的器件的栅极长度可以被稳定。另外，在D R A M器件的形成区内，通过用低扩散层泄漏的选择氧化来形成隔离氧化膜，并可防止D R A M品质的下降。

另外，使用本发明，因为用于器件隔离的隔离氧化膜是单独形成的，不会发生器件隔离面积的上升或减小。为此，在L S I容量及集成水平面也不会升高和/或降低。其结果，即使当制造双固定型的L S I时，也可无任何限制地使用传统的用于D R A M及L S I部分的设计原则，并能更好地使用现有技术的有价值的设计原则。

另外，通过在用于逻辑部分的隔离氧化膜与用于D R A M的隔离氧化膜之间形成预定的扩散层，并通过隔离氧化膜及扩散层覆盖住单元一晶体管一形成槽（cell-transistor-forming well）周围的区域，对噪声敏感的D R A M器件用于防止逻辑器件的漏电流。为此，可防止

D R A M器件的错误操作。

图 1 为根据本发明一实施例的按工序顺序的生产一种半导体器件的方法的截面示意图；

图 2 为根据本发明一实施例的按工序顺序的生产另一种半导体器件的方法的截面示意图；

图 3 为根据本发明一实施例的半导体器件的截面示意图；

图 4 为现有技术的一实例的截面示意图；

图 5 为现有技术的一实例的截面示意图；

图 6 为现有技术的一实例的截面示意图；

图 7 为本发明的半导体器件的生产工艺的流程。

下面参考附图对本发明的实施例进行描述。

(实施例 1)

图 3 为根据本发明的上面固定有 D R A M 器件与逻辑器件的 L S I 的截面示意图。

如图 3 中所示，在 P - 型半导体基片（Si 基片）1 的表面上的逻辑器件形成区 2 6 内形成具有低水平差（小于 5 0 0 ）的隔离氧化膜 1 1，从而抑制驻波效应。同时，在 D R A M 器件区 2 8 内形成用于 D R A M 的隔离氧化膜 4 和 8。这里，用于逻辑器件的隔离氧化膜 1 1 的厚度和用于 D R A M 器件的隔离氧化膜 4 或 8 的厚度的范围为 1 5 0 0 埃到 3 0 0 0 埃。

为了电绝缘逻辑器件形成区 2 6 和 D R A M 器件区 2 8，既不属于逻辑器件也不属于 D R A M 器件的扩散层被作为缓冲区 2 7 形成在隔离氧化膜 1 1 和隔离氧化膜 4 或 8 之间。

在已经形成隔离氧化膜 1 1 及隔离氧化膜 4 或 8 后，D R A M 器件的 P - 槽 1 4 和 N - 槽以及逻辑器件的 P - 槽 1 2 及 N - 槽 1 3 被形成。

用同样的方法，在已经形成隔离氧化膜 1 1 及隔离氧化膜 4 或 8 后，在 D R A M 及逻辑器件的 P M O S 或 N M O S 的一个或两个 M O S 内形成沟道阻挡层 1 5、1 6 及 1 7。标号 2 9 表示外围电路，3 0 表示单元部分。

接着，形成 D R A M 器件的栅极 1 9 和 2 0 及逻辑器件的栅极

1 8。然后形成夹层膜 2 1，并形成存储单元部分的位线 2 2 及 2 3。并用接头 2 4 及铝线 2 5 形成所需的电路。

(实施例 2)

下面参考附图对本发明第二实施例的半导体的制造方法进行详细描述。

在根据本发明第一实施例的半导体器件生产方法中，首先，如图 1 (a) 中所示，在 P-型半导体基片 1 上生长大约 300 埃的薄氧化膜 9 及大约 2000 埃的氮膜。然后，如同一图中所示逻辑器件的器件隔离区的氮膜 10 和薄氧化膜 9 用公知的光刻方法被选择地去除。接着，半导体基片 1 被挖刻到大约 800 埃的深度。接着，使用作为掩膜的氮膜，在大约 1000 °C 的温度下，通过选择地氧化逻辑器件的器件隔离区的半导体基片 1 形成大约 3000 埃的隔离氧化膜 11。

接着，去除留在半导体基片上的氮膜 10 和薄氧化膜 9。此后，如图 1 (b) 中所示，在 P-型半导体基片上形成大约 100 埃的薄氧化膜 2 和大约 1500 埃的氮膜 3。此后，如同一图中所示，选择去除 D R A M 器件的器件隔离区的氮膜 3 和薄氧化膜 2。接着，用氮膜 3 作为掩膜，在大约 1000 °C 的温度下，通过选择氧化 D R A M 器件的器件隔离区的半导体基片 1 形成大约 2000 埃厚的隔离氧化膜 4。最后，当还留在半导体基片 1 上的氮膜 3 和薄氧化膜 12 被去除时，如图 1 (c) 中所示，在 P-型半导体基片 1 上形成两种器件隔离氧化膜 4 和 11。

需注意的是，在图 1 所示的实施例中，给出一个实例，其中在形成逻辑器件的隔离氧化膜 11 后，形成 D R A M 器件的隔离氧化膜 4。然而，同样地，在形成 D R A M 器件的隔离氧化膜 4。然而，同样地，在形成 D R A M 器件的隔离氧化膜 4 后，形成逻辑器件的隔离氧化膜 11。此外，也可用三种或更多种不同的方法形成隔离氧化膜。

在形成隔离氧化膜 11 和隔离氧化膜 4 后，形成 D R A M 和逻辑器件的槽和沟道阻挡物。其结果，如图 1 (d) 中所示，通过分离 D R A M 器件形成区和逻辑器件形成区形成 M O S 晶体管。

最后，虽然未描述，形成存储单元结构后，通过金属线布线完成 C M O S 型 L S I，其中 D R A M 和逻辑器件已经形成在同一半导体基



片上。

(实施例 3)

下面参考图 2 (a) 到 2 (d) 对根据本发明第三实施例的半导体器件的生产方法进行描述。

在根据本发明的半导体器件的生产方法中，首先，如图 2 (a) 中所示，在 P 型半导体基片 1 上生长大约 300 埃的薄氧化膜 9 和大约 2000 埃的氮膜 10，此后，如同一图中所示，通过所公知的光刻技术选择地去除逻辑器件的器件隔离区的氮膜 10 及薄氧化膜 9。接着，半导体基片 1 被挖刻到大约 800 埃的深度。然后，用氮膜 10 作为掩膜，通过在大约 1000 °C 的温度下选择地氧化逻辑器件的器件隔离区的半导体基片 1 形成大约为 3000 埃的隔离氧化膜 11。

接着，将留在半导体基片 1 上的氮膜 10 和薄氧化膜 9 去除，此后，如图 2 (b) 中所示，在 P 型半导体基片 1 上生长大约 200 埃的薄氧化膜 5、大约 500 埃的多晶硅膜 6 和大约 1800 埃的氮膜 7，此后，如同一图中所示，通过光刻选择地去除 D R A M 器件的器件隔离区的氮膜 10。接着，氮膜 10 作为掩膜，通过在大约 1000 °C 选择氧化多晶硅膜 5 和 D R A M 器件的器件隔离区的半导体基片 1 形成大约 2000 埃的隔离氧化膜 8。当如图 2 (c) 中所示，去除氮膜 10，多晶硅膜 9 及留在半导体基片 1 上的薄氧化膜 5，从而在 P 型半导体基片 1 上获得具有用于分离 2 种器件的氧化膜 8 和 11 的结构。

需要注意的是，在本实施例中，给出了一个实例，其中在形成逻辑器件的隔离氧化膜 11 后，形成 D R A M 器件的氧化膜 8，但其同样的在形成 D R A M 器件的隔离氧化膜 8 后，形成逻辑器件的隔离氧化膜 11。

在形成隔离氧化膜 11 和隔离氧化膜 8 后，如图 1 (d) 中所示，通过 D R A M 及逻辑器件的沟道阻挡层和槽的形成，可在 D R A M 器件区和逻辑器件形成区内形成 M O S 晶体管。接着，虽然未作描绘，在形成存储单元结构后，通过进行金属线布线来完成 C M O S 型 L S I，其中 D R A M 器件和逻辑器件形成在同一半导体基片上。

图 7 为本发明的半导体器件生产过程的流程图。

通过上述的本发明的描述，可以形成对于各器件类型所需的最优的

隔离氧化膜。换句话说，在逻辑器件部分中，栅极长度可被稳定，可形成具有小的驻波效应的低台阶的隔离氧化膜。因此，在D R A M器件部分内，通过选择氧化方法可形成具有小的扩散层泄漏的隔离氧化膜，并可防止D R A M的品质的下降。其原因在于，逻辑和D R A M器件的各个隔离氧化膜是通过单独的工艺制成的。

另外，即使在双固定之后，也可无限制地使用D R A M及逻辑器件在双固定前的设计原则，并可很好利用在其中D R A M和逻辑器件被双固定的L S I的有价值的设计。其原因在于，由于逻辑和D R A M器件的隔离氧化膜是单独形成的，因此可避免引入器件隔离区的面积的增大或减小，且也不会增大或减小L S I容量和/或集成化的水平。

此外，通过使用本发明，可以减小来自逻辑器件的电流泄漏，并可防止对噪声敏感的D R A M器件的错误工作。其原因在于，由于扩散层是形成在逻辑器件的隔离氧化膜与D R A M器件的隔离氧化膜之间，围绕单元一晶体管一形成槽的区域被隔离氧化膜及扩散层所覆盖，由此可获得完全的器件隔离。

在不脱离本发明实质或基本特征的情况下，本发明也可有其它的具体形式。因此本发明的实施例是被看作是描述性的而非限定性，而本发明的范围仅由所附权利要求来限定而非前面的描述。因此在其范围内的改变及权利要求的等同的范围都含于本发明之中。

日本专利申请No. 164492(1997年6月20日申请)的整个文件包括说明书，权利要求，附图及简述。

说 明 书 附 图

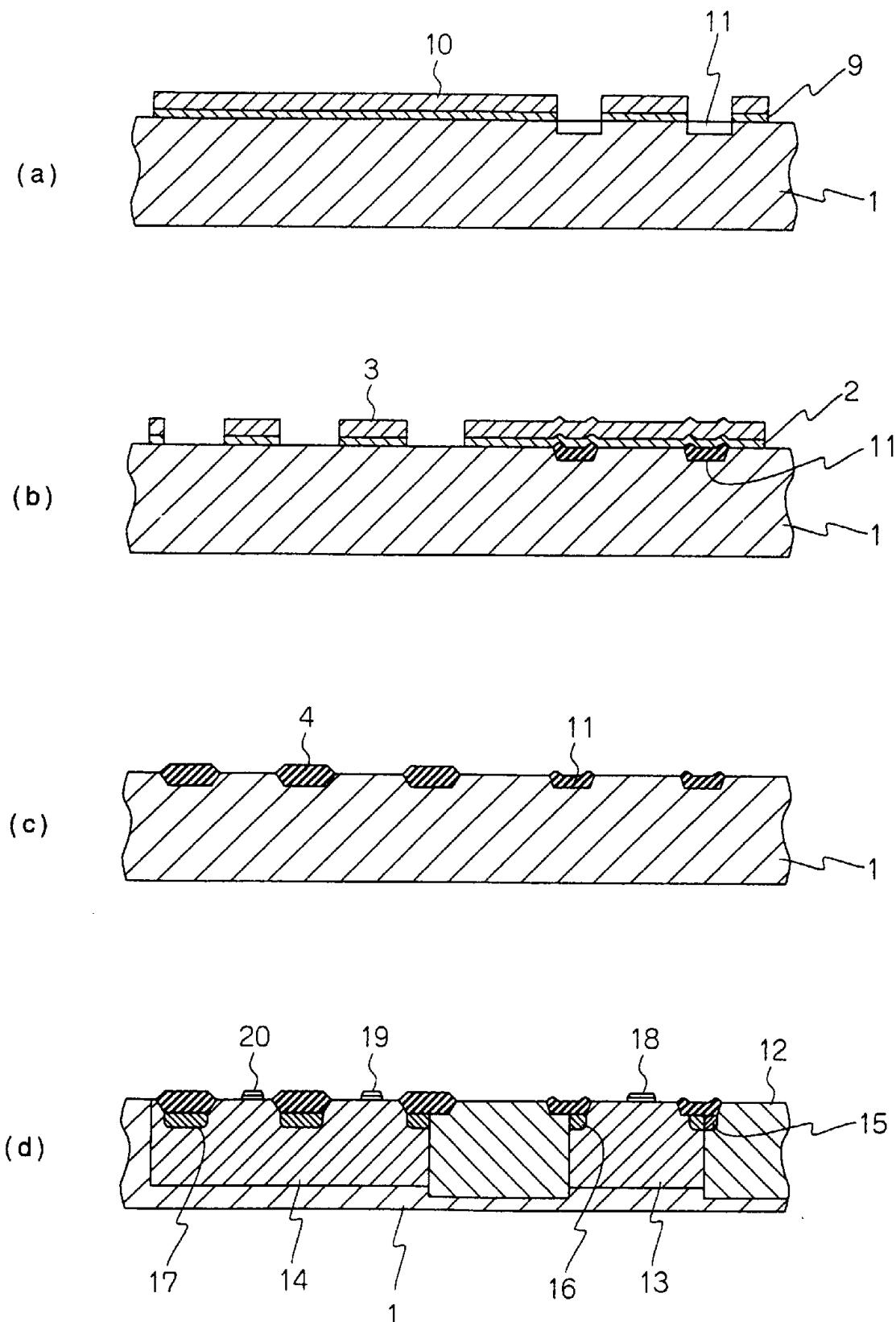


图 1

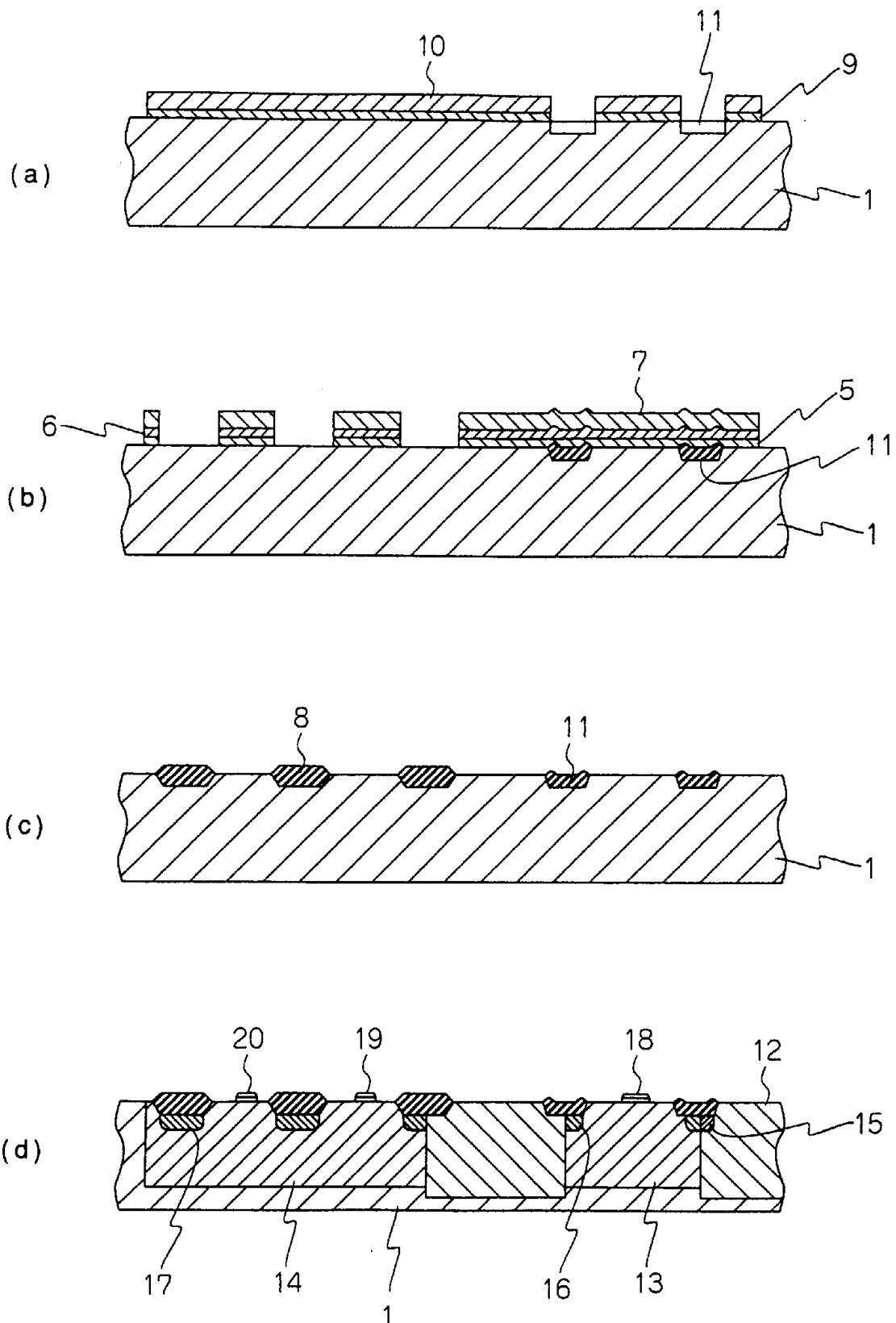


图 2

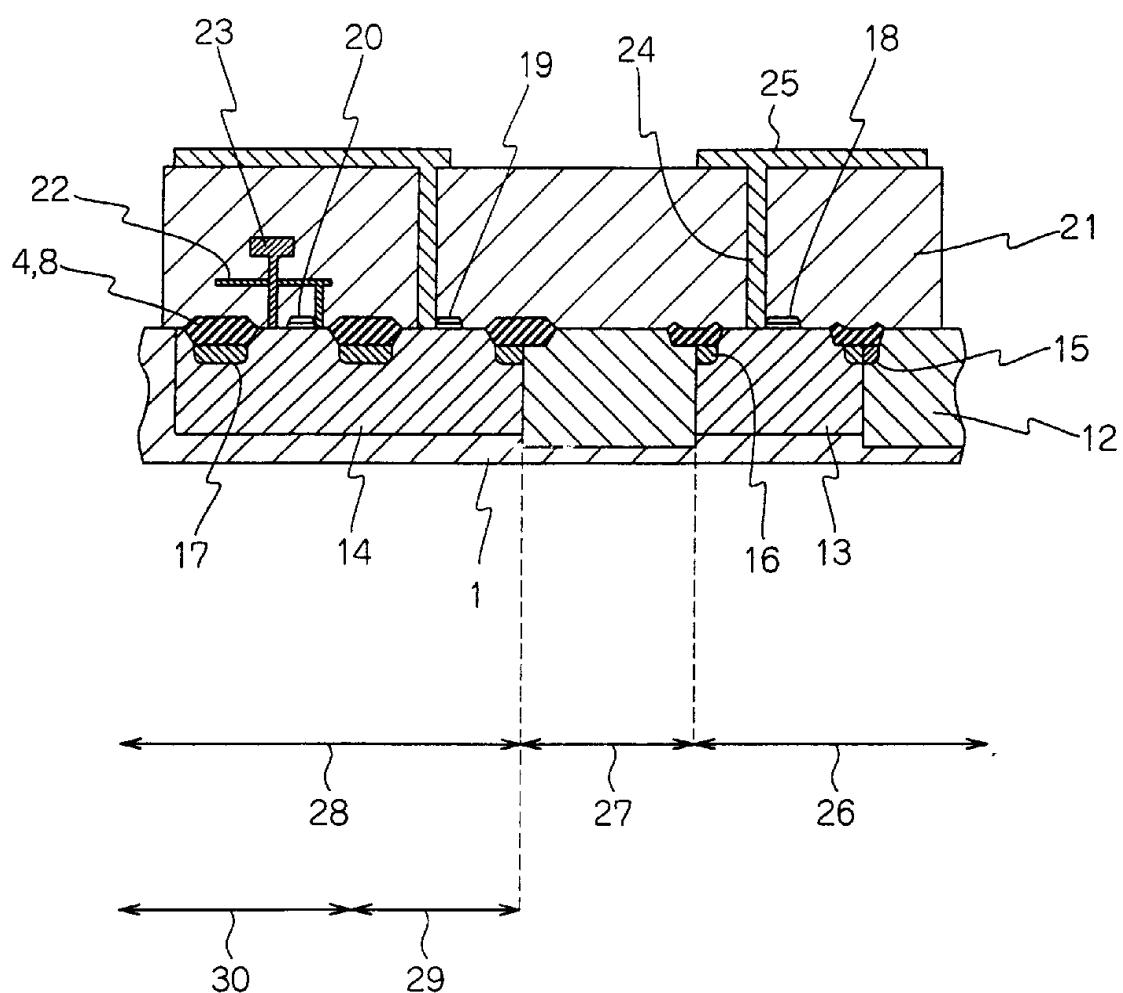


图 3

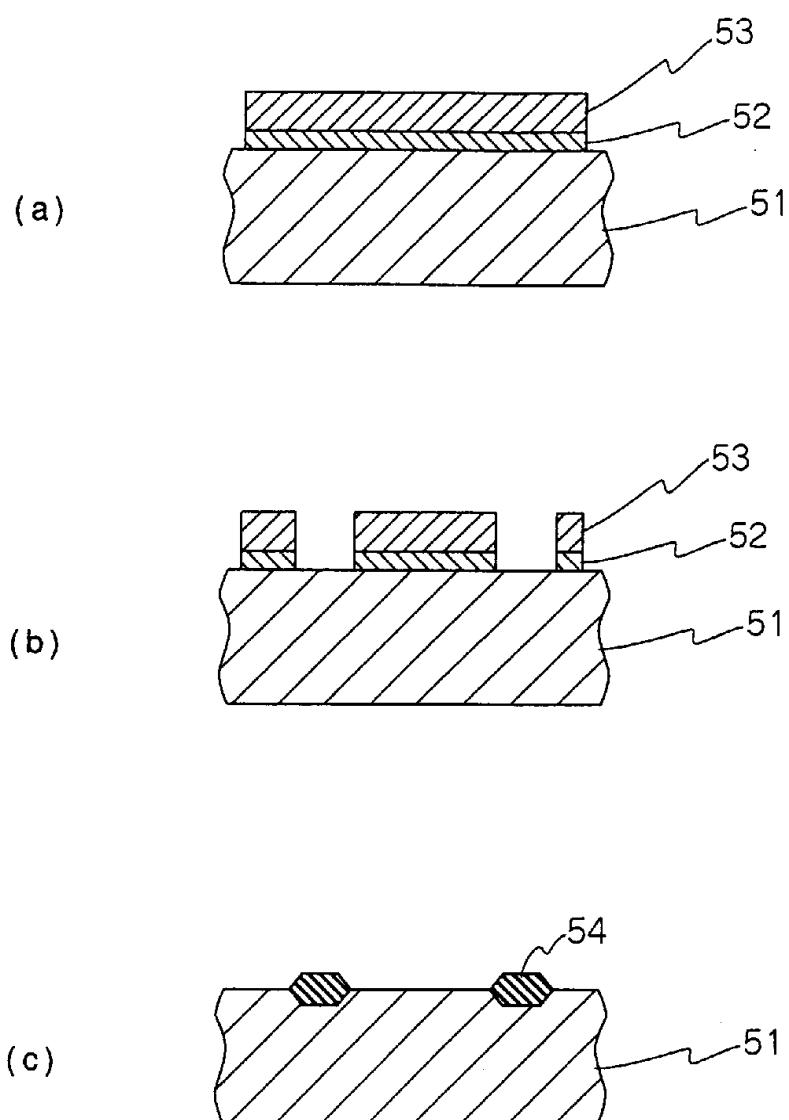


图 4

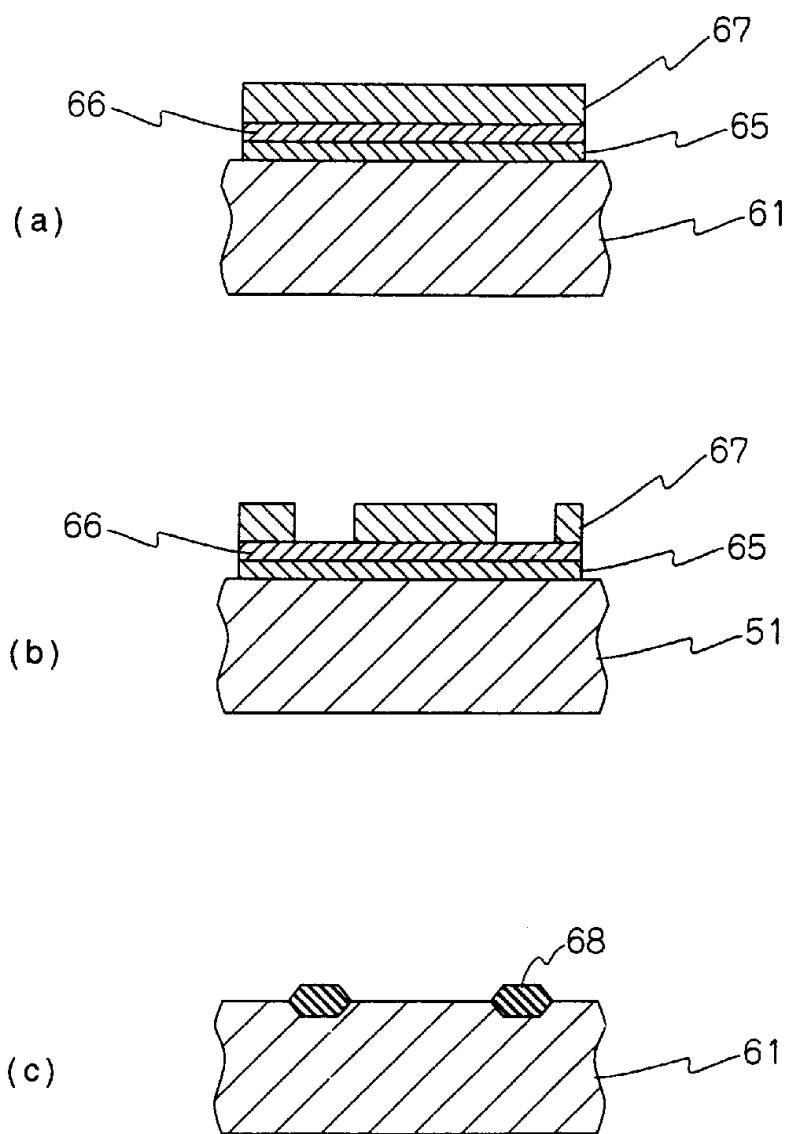


图 5

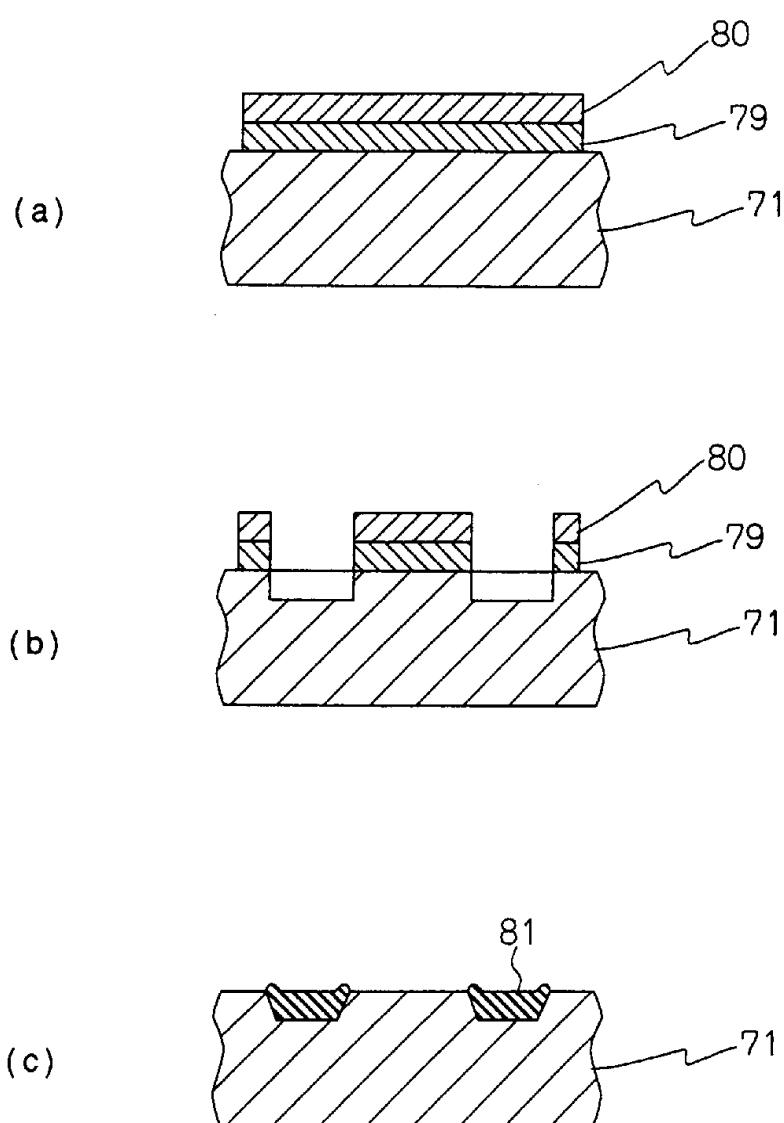


图 6

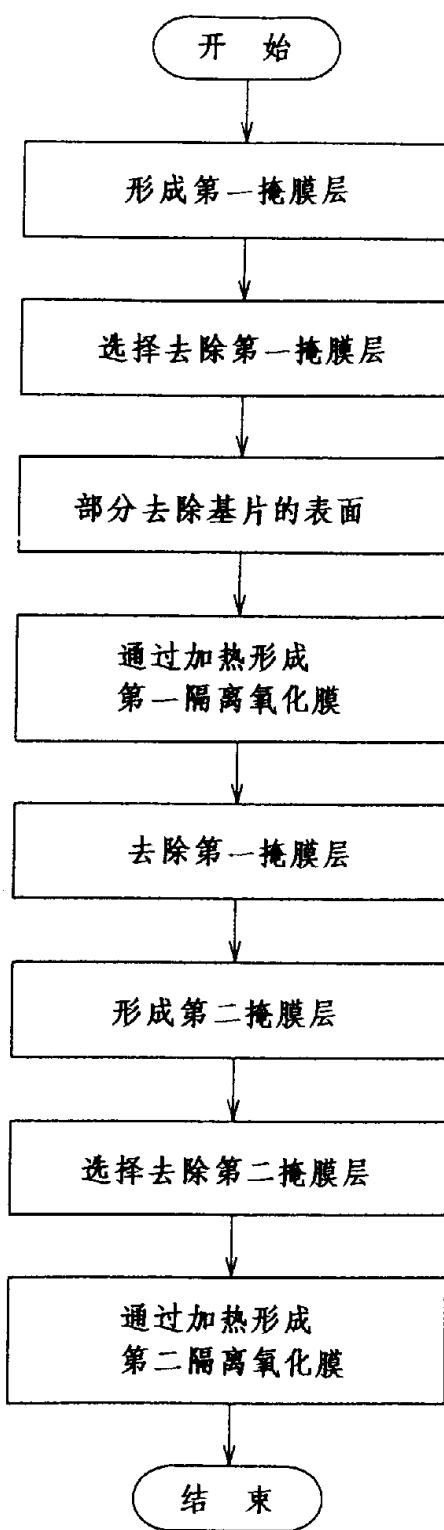


图 7