

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/10

H01L 27/108



[12] 发明专利说明书

[21] ZL 专利号 01104073.4

[45] 授权公告日 2005 年 1 月 12 日

[11] 授权公告号 CN 1184691C

[22] 申请日 2001.2.21 [21] 申请号 01104073.4

[30] 优先权

[32] 2000. 2. 22 [33] JP [31] 043928/2000

[71] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 长野能久 那须彻 森慎一郎

藤井英治

审查员 陈 源

[74] 专利代理机构 中科专利商标代理有限责任公
司

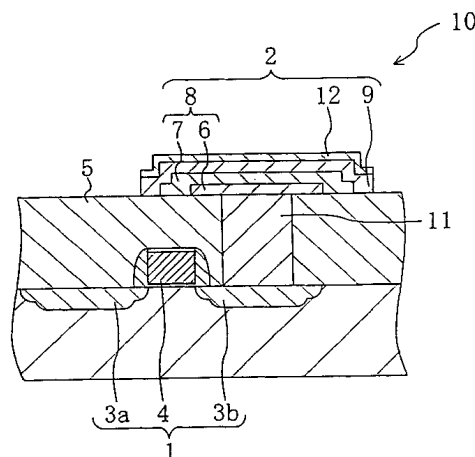
代理人 汪惠民

权利要求书 2 页 说明书 10 页 附图 8 页

[54] 发明名称 半导体存储器件

[57] 摘要

本发明的半导体存储器件的存储电容器(2)，由下部电极(8)、电容绝缘膜(9)、上部电极(12)构成，其下部电极(8)由第1阻挡膜(6)和第2阻挡膜(7)组成。第1阻挡膜(6)，由从上层开始的 Ir 膜/TiAlN 膜/Ti 膜的叠层膜组成。第2阻挡膜(7)，由从上层开始 Pt 膜/IrO₂膜的叠层膜形成，是为了完全覆盖第1阻挡膜(6)而设置的。据此，能够阻滞来自第1阻挡膜(6)的侧面的氧扩散，就能防止因连接柱(11)氧化而发生的接触不良。



5 1. 一种半导体存储器件，具有存储数据用的存储电容器，该存储电容器由与连接柱相连接的下部电极、上部电极和介于下部电极与上部电极之间的电容绝缘膜构成，其特征在于：

 所述下部电极包含有与所述连接柱相接触的下部电极的第一膜和设置在所述下部电极的第一膜上具有防止氧扩散功能的下部电极的第二
10 膜，以及

 其中所述下部电极的第二膜是覆盖在所述下部电极的第一膜的上面和侧面。

 2. 根据权利要求项 1 所述的半导体存储器件，其特征在于：所述下部电极的第一膜含有防止构成所述连接柱的元素向所述电容绝缘膜扩散
15 的扩散防止膜。

 3. 根据权利要求项 2 所述的半导体存储器件，其特征在于：所述下部电极的第一膜所包含的膜是从 TiN 膜，TiAlN 膜，TiSiN 膜，TaN 膜，TaSiN 膜及 TaAlN 膜中选择出的膜。

 4. 根据权利要求项 3 所述的半导体存储器件，其特征在于：所述下
20 部电极的第一膜是由上层膜和下层膜构成；所述下层膜是 Ti 膜或者 Ta 膜。

 5. 根据权利要求项 2 所述的半导体存储器件，其特征在于：所述下部电极的第二膜包含 Ir 膜或者 IrO₂ 膜。

 6. 一种半导体存储器件，具有存储数据用的存储电容器，该存储电
25 容器由与连接柱相连接的下部电极、上部电极和介于下部电极与上部电极之间的电容绝缘膜构成，其特征在于：

 所述下部电极包含有与所述连接柱相接触的下部电极的第一膜和覆盖在所述下部电极的第一膜上面的下部电极的第二膜和覆盖在所述下部电极的第一膜侧面的下部电极的第三膜；

30 所述下部电极的第二膜和下部电极的第三膜具有防止氧扩散功能。

7. 根据权利要求项 6 所述的半导体存储器件，其特征在于：所述下部电极的第一膜含有防止构成所述连接柱的元素向所述电容绝缘膜扩散的扩散防止膜。

8. 根据权利要求项 7 所述的半导体存储器件，其特征在于：所述下部电极的第一膜所包含的膜是从 TiN 膜，TiAlN 膜，TiSiN 膜，TaN 膜，TaSiN 膜及 TaAlN 膜中选择出的膜。

9. 根据权利要求项 8 所述的半导体存储器件，其特征在于：所述下部电极的第一膜是由上层膜和下层膜构成，所述下层膜是 Ti 膜或者 Ta 膜。

10. 根据权利要求项 7 所述的半导体存储器件，其特征在于：所述下部电极的第二膜和所述下部电极的第三膜分别包含 Ir 膜或者 IrO₂ 膜。

5

半导体存储器件

技术领域

本发明涉及半导体存储器件，尤其涉及到提高半导体存储器件的可靠性。

10

背景技术

近年来，随着数码技术的进步，处理大量数据的电子仪器向高性能化发展，因此，使用于电子仪器的半导体器件的高集成化也在迅速发展。

以前，在 DRAM 中，作为存储电容器的电容绝缘膜，采用的是氧化硅膜或者氮化硅膜。但是，为了实现 DRAM 产品的高集成化，正在广泛研究开发采用高电介质膜作为存储电容器的电容绝缘膜的技术。更进一步，还在积极研究开发采用具有自发极化作用的强电介质膜作为存储电容器电容绝缘膜的新技术，其目标是，使在低压下能够动作，且具有高速的写入速度和读出速度的非易失性 RAM（随机存取存储器）得到实际使用。

20

以往的半导体存储器件，其存储单元构造是平面型的。然而，使用了高电介质膜或强电介质膜作为存储电容器的电容绝缘膜的半导体存储器件，为了实现兆位级的高集成存储，采用了叠式存储单元构造。

以下参照附图来说明以往的半导体存储器件。

25

图 7 是特开平 11-3977 所公开的半导体存储器件的存储单元 100 的剖面图。如图 7 所示，存储单元 100 是由 MIS（金属—绝缘体—半导体）晶体管 101 和存储电容器 102 经集成化而形成。MIS 晶体管 101 由在半导体基片上形成的源极区 103 a、漏极区 103 b、和栅电极 104 构成。而且，在基片上形成保护绝缘膜 105。存储电容器 102 是由下部电极 106、强电介质膜 107 和上部电极 108 构成，其中下部电极 106 由从下面开始

30

依次是 Ti 膜 106 a、氧阻挡膜 106 b 和 Pt 膜（未画出）构成。MIS 晶体管 101 和存储电容器 102 是通过贯穿保护绝缘膜 105 到达漏极区 103 b，与下部电极 106 相接触的连接柱 109 来相互连接。

然而，以往的半导体存储器件，存储电容器 102 的连接柱 109 与下部电极 106 会发生接触不良这样的不良现象。

发明内容

本发明的目的就是为了解决上述不良现象,提供可靠性更高的半导体存储器件。

10 本发明的半导体存储器件，具有存储数据用的存储电容器，该存储电容器由与连接柱相连接的下部电极、上部电极和介于下部电极与上部电极之间的电容绝缘膜构成，其中所述下部电极包含有与所述连接柱相接触的下部电极的第一膜和设置在所述下部电极的第一膜上具有防止氧扩散功能的下部电极的第二膜，以及，其中所述下部电极的第二膜是覆盖在所述下部电极的第一膜的上面和侧面。

本发明的半导体存储器件，下部电极的第一膜被具有防止氧扩散功能的下部电极的第二膜完全覆盖。因此，根据氧化作用形成电容绝缘膜时，向下部电极的第一膜内的氧扩散会被阻滞。从而，能够防止因连接柱的氧化而导致的接触不良。

20 理想的是所述下部电极的第一膜包含有防止构成所述连接柱的元素向所述电容绝缘膜扩散的扩散防止膜。

据此，能够防止电容绝缘膜的特性下降。

所述下部电极的第一膜可以从 TiN 膜，TiAlN 膜，TiSiN 膜，TaN 膜，TaSiN 膜及 TaAlN 膜之中选择出。

25 所述下部电极的第一膜由上层膜和下层膜构成，所述下层膜也可以是 Ti 膜或者 Ta 膜的其中之一。

所述下部电极的第二膜也可以包含 Ir 膜或者 IrO₂ 膜的其中之一。

本发明的另一半导体存储器件，具有存储数据用的存储电容器，该存储电容器由与连接柱相连接的下部电极、上部电极和介于下部电极与上部电极之间的电容绝缘膜构成，其中：所述下部电极包含有与所述连

30

接柱相接触的下部电极的第一膜和覆盖在所述下部电极的第一膜上面的下部电极的第二膜和覆盖在所述下部电极的第一膜侧面的下部电极的第三膜；所述下部电极的第二膜和下部电极的第三膜具有防止氧扩散功能。

5 本发明的半导体存储器件，下部电极的第一膜上面被具有防止氧扩散功能的下部电极的第二膜覆盖，下部电极的第一膜侧面被具有防止氧扩散功能的下部电极的第三膜完全覆盖。因此，根据氧化作用形成电容绝缘膜时，能够阻滞氧向下部电极的第一膜内扩散。从而，能够防止由于连接柱的氧化导致的接触不良。

10 理想的是所述下部电极的第一膜含有防止构成所述连接柱的元素向电容绝缘膜扩散的扩散防止膜。

所述下部电极的第一膜是可以包含从 TiN 膜，TiAlN 膜，TiSiN 膜，TaN 膜，TaSiN 膜，TaAlN 膜中选择出的膜。

15 所述下部电极的第一膜由上层膜和下层膜构成，所述下层膜也可以是 Ti 膜或者 Ta 膜的其中之一。

所述下部电极的第一膜和所述下部电极的第三膜也可以包含 Ir 膜或者 IrO₂ 膜的其中之一。

附图说明

20 下面简要说明附图及符号：

图 1 是实施例 1 的半导体存储器件的存储单元剖面图。

图 2 表示实施例 1 的半导体存储器件制造方法的剖面图。

图 3 是本发明的半导体存储器件的电性能图。

25 图 4 表示本发明的半导体存储器件的氧阻挡膜的膜厚与接触不良发生率的关系。

图 5 是实施例 2 的半导体存储器件的存储单元剖面图。

图 6 表示实施例 2 的半导体存储器件制造工序的剖面图。

图 7 以往的半导体存储器件的存储单元剖面图。

图 8 是以往的半导体存储器件发生接触不良的说明图。

30 1、101—MIS 晶体管；2、102—存储电容器；3a、103a—源极区；3b、

103b—漏极区；4、104—栅电极；5、105—保护绝缘膜；6—第1阻挡膜；7—第2阻挡膜；8、28、106—下部电极；9、107—电容绝缘膜；11、109—连接柱；10、20、100—存储单元；12、108—上部电极；13—接触孔；26—第1阻挡膜；26a—TiAlN膜/Ti膜的叠层膜；26b—从
5 上层依次Pt膜/IrO₂膜/Ir膜的叠层膜；27—第2阻挡膜；106a—Ti膜；106b—氧阻挡膜。

具体实施方式

实施例：

10 本发明者指出了前面所说的以往的半导体存储器件产生不良的原因，以下用图8来说明上述不良的内容。

存储电容器102形成的时候，在连接柱109上形成下部电极106后，再形成强电介质膜107。强电介质膜107形成的过程中，在氧气环境气氛条件下，为使强电介质结晶，必须进行650~800℃的热处理，此时，
15 如图8所示，就会发生从下部电极106的上方向（箭头a）、横方向（箭头b）而来的氧扩散。从下部电极106上方向（箭头a）的氧扩散被下部电极106中的氧阻挡膜106b阻止。但是，不能阻止从下部电极106横方向（箭头b）而来的氧扩散。这样，因易氧化的Ti膜106a的侧面与强电介质膜107接触，氧从Ti膜106a的侧面向Ti膜106中扩散。
20 扩散的氧进一步使连接柱109的表面氧化。结果连接柱表面氧化，就会发生接点和下部电极的接触不良。

本发明者根据以上见解来完成各实施例。以下参照附图说明关于本发明的实施例。另外，为简便起见，构成各实施例的共同部分，用同一参照符号表示。

25 实施例1

图1是本发明实施例1的半导体存储器件的存储单元的剖面图。

如图1所示，存储单元10，是MIS晶体管1和存储电容器2的集成化单元。MIS晶体管1由在半导体基片上形成的源极区3a、漏极区3b、和栅电极4构成。进而，在基片上形成保护绝缘膜5。

30 存储电容器2由下部电极8、电容绝缘膜9和上部电极12构成，其

中下部电极 8 由第 1 阻挡膜 6 和第 2 阻挡膜 7 组成。

第 1 阻挡膜 6, 由从上层开始依次是 Ir 膜 / TiAlN 膜 / Ti 膜的叠层膜组成。Ir 膜 / TiAlN 膜 / Ti 膜各自的膜厚是: Ir 膜 100nm、TiAlN 膜 40nm、Ti 膜 20nm。

- 5 第 2 阻挡膜 7, 由从上层开始依次是 Pt 膜 / IrO₂ 膜的叠层膜组成, 为了将第 1 阻挡膜 6 完全覆盖而设置。Pt 膜 / IrO₂ 膜的膜厚分别是: Pt 膜 50nm、IrO₂ 膜 150nm。特别的, 希望 IrO₂ 膜的膜厚在 70nm 到 250nm 范围内。

- 10 电容绝缘膜 9, 由具有铋层状钙钛矿结构的 SrBi₂ (Ta_{1-x}Nb_x) O₉ 构成, 为了覆盖下部电极 8 而形成的。理想的膜厚是在 50nm 到 200nm 范围内。

- 上部电极 12, 由从上层开始依次是 Ti 膜 / Pt 膜的叠层膜形成, 为了覆盖电容绝缘膜 9 上面的至少一部分而设置的。Ti 膜 / Pt 膜各自的膜厚是: Ti 膜 20nm、Pt 膜 50nm。另外, 对上部电极 12, 也可以使用叠层膜 TiN 膜 / Pt 膜, 而取代叠层膜 Ti 膜 / Pt 膜。
- 15

对本实施例的存储单元 10, 其 MIS 晶体管 1 和存储电容器 2, 是通过贯穿保护绝缘膜 5 到达漏极区 3b, 与下部电极 8 相接触的连接柱 11 来相互连接。连接柱 11 是由钨, 多晶硅等形成。

- 其次, 参照图 2 说明根据本发明实施例 1 的半导体存储器件的制造方法。图 2 表示根据本发明实施例 1 的半导体存储器件制造方法的剖面图。
- 20

- 首先, 图 2 (a) 所示工艺过程, 由源极区 3a、漏极区 3b 和栅电极 4 构成了 MIS 晶体管 1, 为了覆盖形成的 MIS 晶体管 1 的基片表面, 形成了保护绝缘膜 5。然后, 根据干法腐蚀形成贯穿保护绝缘膜 5 到达 MIS 晶体管 1 的漏极区 3b 的接触孔 13。接着, 利用化学气相淀积法、深层腐蚀法、CMP 法相配合将钨或多晶硅埋入接触孔 13 内, 形成连接柱 11。
- 25

- 其次, 图 2 (b) 所示工艺过程, 在基片上, 利用溅射法从下层开始依次将 Ti 膜、TiAlN 膜、Ir 膜各膜层叠, 就形成叠层膜。然后, 为了覆盖连接柱 11, 采用干法腐蚀在叠层膜上通过集成电路的图案形成, 就
- 30

形成了第1阻挡膜6。接着,为了覆盖保护绝缘膜5、第1阻挡膜6上面和第1阻挡膜6侧面,利用溅射法从下层开始依次将 IrO_2 膜、Pt膜各膜层叠,形成叠层膜。接着,采用干法腐蚀使第1阻挡膜6不要漏出,在Pt膜/ IrO_2 膜叠层膜上通过集成电路的图案形成,就形成了第2阻挡膜7。根据以上工艺过程,由第1阻挡膜6和第2阻挡膜7就形成了下部电极8。

再次,图2(c)所示工艺过程,保护绝缘膜5上面和下部电极8上面,由具有铋层状钙钛矿结构的 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)\text{O}_9$ 薄膜构成电容绝缘膜9,电容绝缘膜9是根据有机金属分解法(MOD法)、有机金属化学的气相成膜法(MOCVD法)或溅射法而成膜的。更进一步,在电容绝缘膜9上,利用溅射法从下层开始依次将Pt膜、Ti膜或者将Pt膜、TiN膜各膜层叠,形成叠层膜。然后,将此叠层膜和电容绝缘膜9采用干法腐蚀,通过集成电路的图案形成,就形成了上部电极12。

根据以上所述工艺过程,就形成了由下部电极8、电容绝缘膜9和上部电极12构成的存储数据用存储电容器2。

下面,比较以往的半导体存储器件和本实施例的半导体存储器件的特性。

图3是以往的半导体存储器件和本实施例的半导体存储器件连接柱接触不良发生率的比较图。如图3所示,为使强介电质发生结晶作用,须在氧气环境气氛中,进行 700°C ,1小时的热处理,以往的半导体存储器件接触不良发生率是97%。与此相对,本实施例的半导体存储器件接触不良发生率是0%,可以看到改善效果很显著。也就是说,如按照本实施例,半导体存储器件的成品率会得到显著的提高。

其次,图4表示本实施例的半导体存储器件,包含在第2阻挡膜7内的氧阻挡膜的膜厚与接触不良发生率的关系。在此,使用 IrO_2 膜作为氧阻挡膜。如图4所示, IrO_2 膜的膜厚达到70nm以上时,接触不良的发生率变为0%,氧扩散被完全阻止。但是, IrO_2 膜的膜厚达到250nm以上时,因利用溅射法进行图案形成时变得很困难,所以,希望 IrO_2 膜的膜厚在70nm到250nm范围内。

由以上结果可知道,如按照本实施例1的半导体存储器件,因下部

电极被含有 Ti 或者 Ta 化合物的第 1 阻挡膜 6 被由氧阻挡膜构成的第 2 阻挡膜 7 完全覆盖,在形成作为电容绝缘膜 9 的强电介质膜时,因使强电介质发生结晶作用,即使在氧气环境气氛中,进行热处理也能阻滞由下部电极侧面来的氧扩散。因此,能够防止因连接柱 11 氧化而发生的接触不良。此外,对本实施例,在形成作为电容绝缘膜 9 的强电介质膜时,或将形成强电介质膜的时,都能获得到同样的效果。

本实施例,作为第 1 阻挡膜 6,无论是使用从上层依次是 Ir 膜 / TiAlN 膜 / Ti 膜的叠层膜,还是将 Ir 膜省略,或者取代 Ir 膜而使用从上层依次是 IrO₂ 膜 / Ir 膜的叠层膜也可获得同样效果。另外,取代 TiAlN 膜 / Ti 膜,而选择 TiN 膜、TiAlN 膜、TiSiN 膜、TaN 膜、TaSiN 膜、TaAlN 膜中的任何一种膜,也可获得同样效果。还有,使用从 TiN 膜、TiAlN 膜、TiSiN 膜、TaN 膜、TaSiN 膜、TaAlN 膜中选择出的上层膜与 Ti 膜或者 Ta 膜其中之一的下层膜构成的叠层膜也可获得同样效果。也就是说,理想的第 1 阻挡膜 6 含有防止组成连接柱 11 的元素向电容绝缘膜 9 扩散的扩散防止膜(例如 TiN 膜、TiAlN 膜、TiSiN 膜、TaN 膜、TaSiN 膜、TaAlN 膜)。根据以上所述道理,能过防止电容绝缘膜 9 的特性下降。

还有,在本实施例中,作为第 2 阻挡膜,是采用从上层依次是 Pt 膜 / IrO₂ 膜的叠层膜,还是采用 IrO₂ 膜,或者从上层依次是 Ir 膜 / IrO₂ 膜的叠层膜,或者是从上层依次是 Pt 膜 / Ir 膜 / IrO₂ 膜的叠层膜都能获得同样的效果。也就是说,理想的是包含有具有防止氧扩散功能的氧阻挡膜。

进一步,在本实施例中,作为电容绝缘膜 9,是采用 SrBi₂(Ta_{1-x}Nb_x)O₉ 膜,还是采用其它的具有铋层状钙钛矿结构(bismuth layered perovskite structure)的强电介质膜[例如,钛酸锆铅(lead zirconate titanate: PZT)、钛钡锶钡(barium strontium titanate: BST)或者五氧化钽(tantalum pentoxide)]都能获得同样的效果。

实施例 2

图 5 是根据本发明实施例 2 的半导体存储器件的存储单元 20 的剖面图。

如图 5 所示,存储单元 20,是 MIS 晶体管 1 与存储电容器 22 的集

成化单元。MIS 晶体管 1 是由在半导体基片上形成的源极区 3a、漏极区 3b 和栅电极 4 构成。进而，在基片上，形成保护绝缘膜 5。

存储电容器 22，由下部电极 28、电容绝缘膜 9 和上部电极 12 构成，其中下部电极 28 由第 1 阻挡膜 26 和第 2 阻挡膜 27 组成。

5 第 1 阻挡膜 26，由从上层依次是 TiAlN 膜 / Ti 膜的叠层膜 26a 和从上层依次是 Pt 膜 / IrO₂ 膜 / Ir 膜的叠层膜 26b 构成。Pt 膜 / IrO₂ 膜 / Ir 膜 / TiAlN 膜 / Ti 膜的各自的膜厚分别是：Pt 膜 50nm、IrO₂ 膜 80nm、Ir 膜 100nm、TiAlN 膜 40nm、Ti 膜 20nm。

第 2 阻挡膜 27，是由 IrO₂ 膜形成，为了将第 1 阻挡膜 26 的侧面完全覆盖而设置的。对 IrO₂ 膜，其膜厚是 150nm。特别是，希望 IrO₂ 膜的膜厚在 70nm 到 250nm 范围内。

电容绝缘膜 9，由具有铋层状钙钛矿结构的 SrBi₂(Ta_{1-x}Nb_x)O₉ 形成，为了覆盖下部电极 28 而形成。理想的膜厚是在 50nm 至 200nm 范围内。

15 上部电极 12，由从上层依次是 Ti 膜 / Pt 膜层叠而成的叠层膜构成，为了覆盖电容绝缘膜 9 上面至少一部分而设置的。Ti 膜 / Pt 膜各自的膜厚是：Ti 膜 20nm；Pt 膜 50nm。对上部电极 12，可以采用 TiN 膜 / Pt 膜的叠层膜，而取代 Ti 膜 / Pt 膜的叠层膜。

本实施例的存储单元 20，MIS 晶体管 1 和存储电容器 22，通过贯穿保护绝缘膜 5 到达漏极区 3b，与下部电极 28 接触的连接柱 11 相互连接。连接柱 11 是由钨或者多晶硅组成。

参照图 6 说明根据本实施例的半导体存储器件的制造方法。图 6 表示本实施例的半导体存储器件制造方法的剖面图。

25 首先，图 6(a) 所示工艺过程，由源极区 3a、漏极区 3b 和栅电极 4 构成 MIS 晶体管 1，为了覆盖所形成的 MIS 晶体管 1 基片的表面，而形成保护绝缘膜 5。然后，通过干法腐蚀形成，贯穿保护绝缘膜 5 到达 MIS 晶体管 1 的漏极区 3b 的接触孔 13。接着，在接触孔 13 内利用化学气相淀积法、深层腐蚀法、CMP 法相配合形成由钨或多晶硅组成的连接柱 11。

30 其次，图 6(b) 所示工艺过程，在基片上，利用溅射法从下层开

始依次将 Ti 膜、TiAlN 膜、Ir 膜、IrO₂膜、Pt 膜层叠，形成叠层膜。然后，为了覆盖连接柱 11，采用干法腐蚀在叠层膜上通过集成电路的图案形成，就形成了第 1 阻挡膜 26。再次，为了覆盖保护绝缘膜 5 上面及第 1 阻挡膜 26 的上面和第 1 阻挡膜 26 的侧面，利用溅射法使 IrO₂膜成膜。接着，采用干法腐蚀，为了不使第 1 阻挡膜 26 的侧面漏出，在 IrO₂膜上通过集成电路的图案形成，形成第 2 阻挡膜 27。根据以上工艺过程，由第 1 阻挡膜 26 和第 2 阻挡膜 27 形成下部电极 28。

再次，图 6 (c) 所示工艺过程，在保护绝缘膜 5 上面和下部电极 28 上面，形成电容绝缘膜 9。电容绝缘膜 9 是由具有铋层状钙钛矿结构的 SrBi₂(Ta_{1-x}Nb_x)O₉ 薄膜组成，根据有机金属分解法 (MOD 法)、有机金属化学的气相成膜法 (MOCVD 法) 或者溅射法而成膜的。进而，在电容绝缘膜 9 上，利用溅射法从下层开始按 Pt 膜、Ti 膜的顺序或者 Pt 膜、TiN 膜的顺序将各膜层叠，形成叠层膜。然后，采用干法腐蚀，通过集成电路的图案形成，该叠层膜和电容绝缘膜 9 就形成了上部电极 12。

根据以上所述工艺过程，由下部电极 28、电容绝缘膜 9 和上部电极 12 构成就形成了存储数据用存储电容器 22。

按照本实施例的半导体存储器件，为使强介电质发生结晶作用，须在氧气环境气氛中，进行 700℃，1 小时的热处理情况下，与按照上述实施例 1 的半导体存储器件同样，如图 3 所示，接触不良发生率也是 0%，可以看到，与以前的半导体存储器件比较改善效果非常显著。也就是说，按照本实施例，半导体存储器件的成品率能够得到显著的提高。

其次，本实施例的半导体存储器件，其第 2 阻挡膜 27 的氧阻挡膜的膜厚与接触不良发生率的关系，与上述实施例 1 的第 2 阻挡膜 7 同样，也如图 4 所是那样，在此，采用 IrO₂膜作为氧阻挡膜。如图 4 所示，IrO₂膜的膜厚达到 70nm 以上时，接触不良的发生率变为 0%，氧扩散被完全阻止。但是，IrO₂膜的膜厚达到 250nm 以上时，利用溅射法进行图案形成时变得很困难，所以，希望 IrO₂膜的膜厚在 70nm 至 250nm 范围内。

由以上结果可知道，根据本实施例的半导体存储器件，因第 1 阻挡膜 26 中至少含有 Ti 或者 Ta 化合物的叠层膜 26a 的侧面，被由氧阻挡膜组成的第 2 阻挡膜 27 覆盖着，形成了下部电极 28，在形成作为电容绝

缘膜 9 的强电介质膜时,为使强电介质发生结晶作用,须在氧气的环境气氛中进行热处理的情况下,也能阻滞来自下部电极 28 侧面的氧扩散。因此,能够防止因接触器 11 氧化而发生的接触不良。此外,对本实施例,在形成了作为电容绝缘膜 9 的强电介质膜时,或者将形成强电介质膜时,都能获得同样的效果。

在本实施例方面,作为第 1 阻挡膜 26,是采用由从上层依次是 TiAlN 膜 / Ti 膜的叠层膜 26a,和从上层依次是 Pt 膜 / IrO₂ 膜 / Ir 膜的叠层膜 26b 构成的叠层膜,或是作为叠层膜 26b,可以只使用 Ir 膜的单层膜。此外,作为叠层膜 26b,采用从上层依次是 IrO₂ 膜 / Ir 膜的叠层膜,或者从上层依次 Pt 膜 / Ir 膜的叠层膜都能获得同样效果。另外,作为叠层膜 26a,也可以选择 TiN 膜、TiAlN 膜、TiSiN 膜、Ta₂N 膜、TaSiN 膜、TaAlN 膜中的其中之一使用。另外,作为叠层膜 26a,从 TiN 膜、TiAlN 膜、TiSiN 膜、Ta₂N 膜、TaSiN 膜、TaAlN 膜中选择出其中之一作上层膜,从 Ti 膜或者 Ta 膜选择其中之一作下层膜,采用由此上层膜和下层膜构成的叠层膜也可获得同样效果。也就是说,理想的第 1 阻挡膜 26 包含有防止组成连接柱 11 的元素向电容绝缘膜 9 扩散的扩散防止膜(例如 TiN 膜、TiAlN 膜、TiSiN 膜、Ta₂N 膜、TaSiN 膜、TaAlN 膜)。根据以上所述,能够防止电容绝缘膜 9 的特性下降。

还有,在本实施例中,作为第 2 阻挡膜 27,是采用 IrO₂ 膜,还是采用从上层依次是 Ir 膜 / IrO₂ 膜的叠层膜,或者采用从上层依次是 Pt 膜 / IrO₂ 膜的叠层膜,或者是采用从上层依次是 Pt 膜 / Ir 膜 / IrO₂ 膜的叠层膜,都能获得同样的效果。也就是说,理想的是包含有具有防止氧扩散功能的氧阻挡膜。

进一步,在本实施例中,作为电容绝缘膜 9,是采用 SrBi₂(Ta_{1-x}Nb_x)O₉ 膜,或是采用其它的具有铋层状钙钛矿结构(bismuth layered perovskite structure)的强电介质膜[例如,钛酸锆铅(lead zirconate titanate: PZT)、钛酸锶钡(barium strontium titanate: BST)或者五氧化钽(tantalum pentoxide)]都能获得同样的效果。

根据本发明,因能够阻滞来自下部电极侧面的氧扩散,所以能够防止由于连接柱的氧化而发生的接触不良。

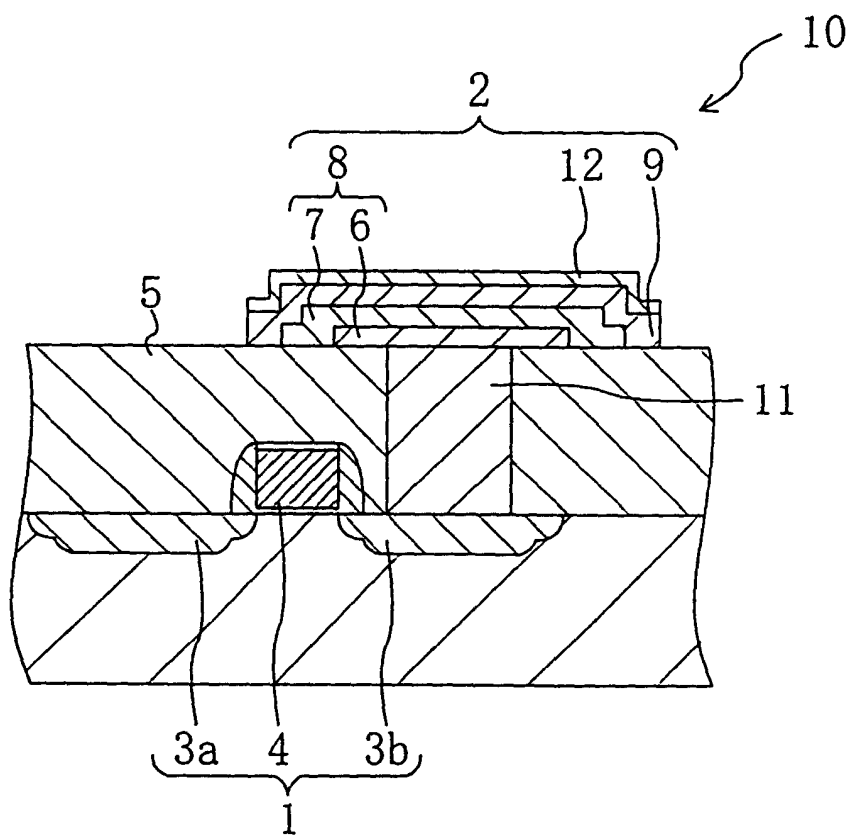


图 1

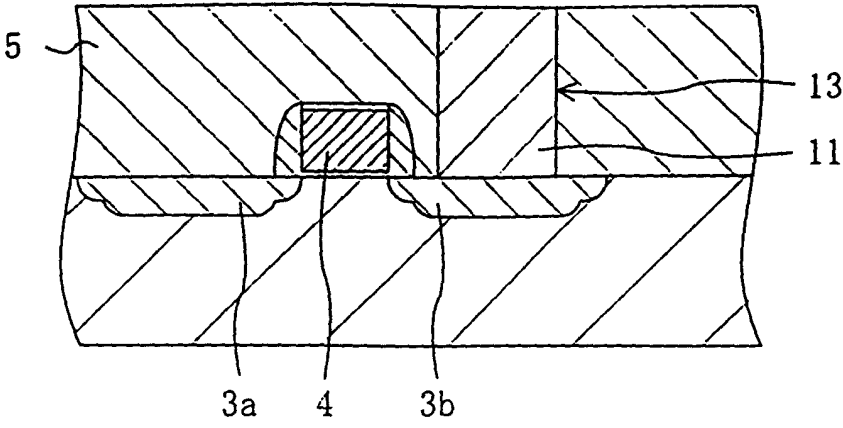


图 2(a)

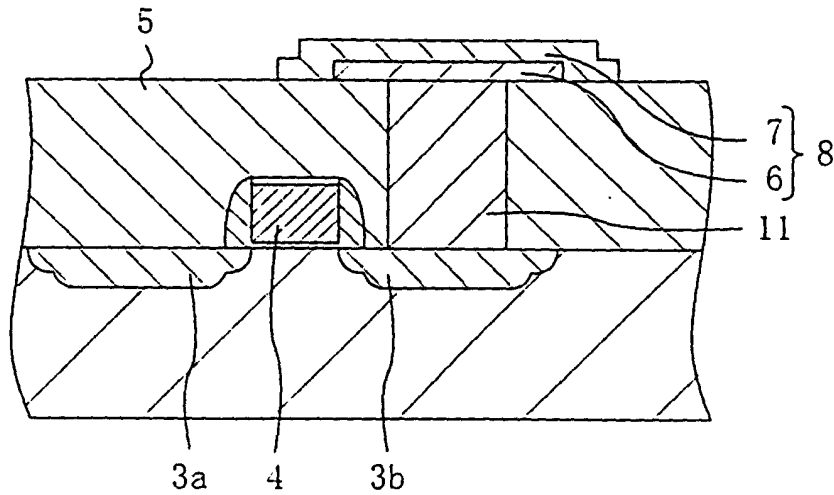


图 2(b)

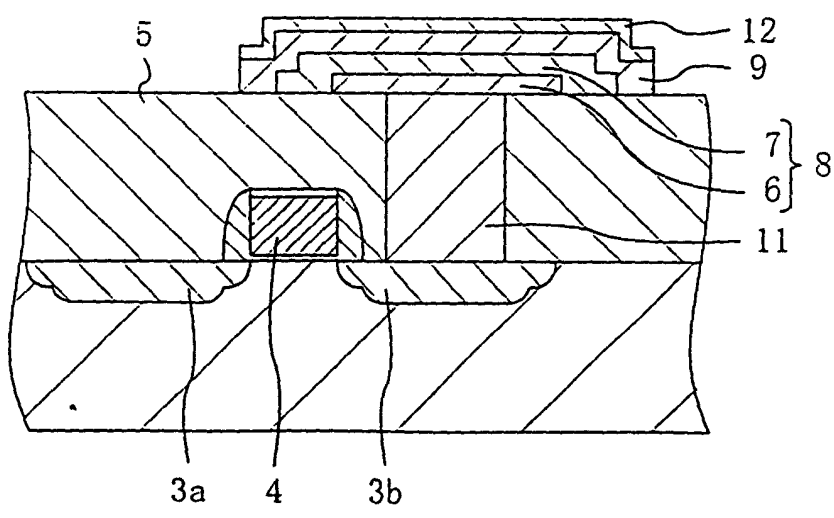


图 2(c)

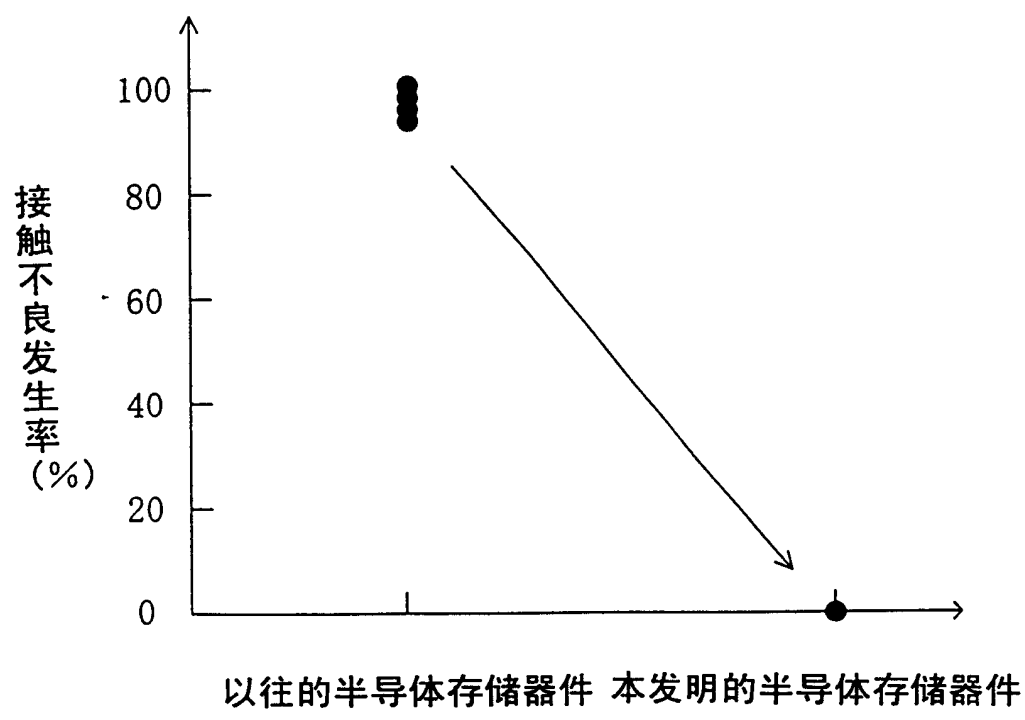


图 3

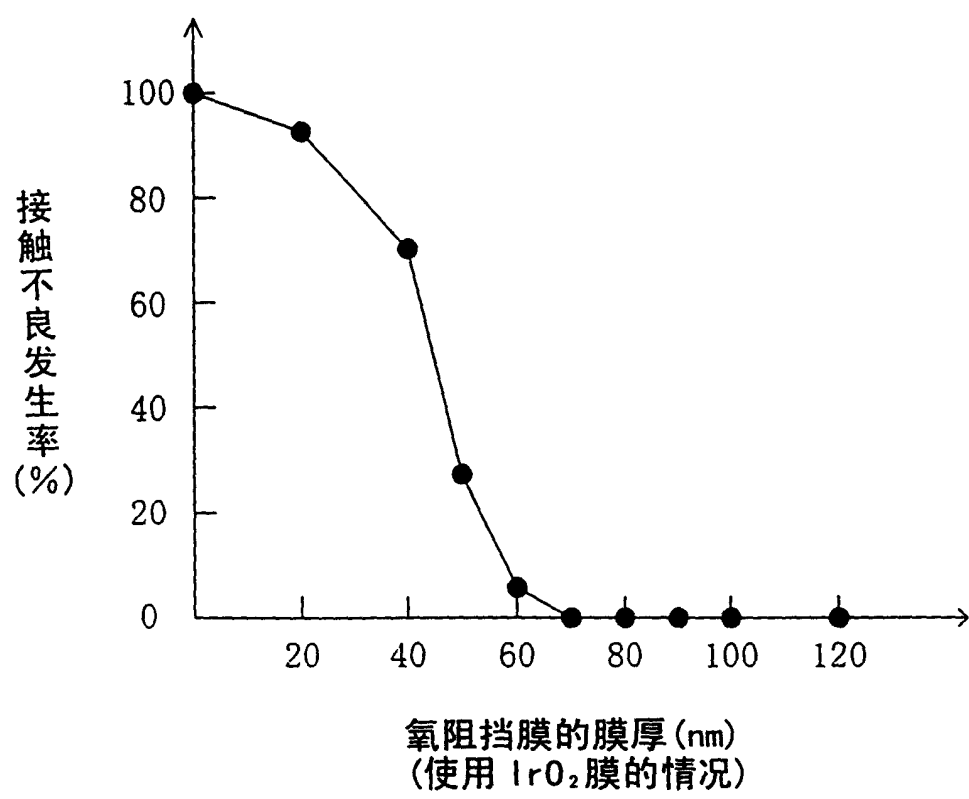


图 4

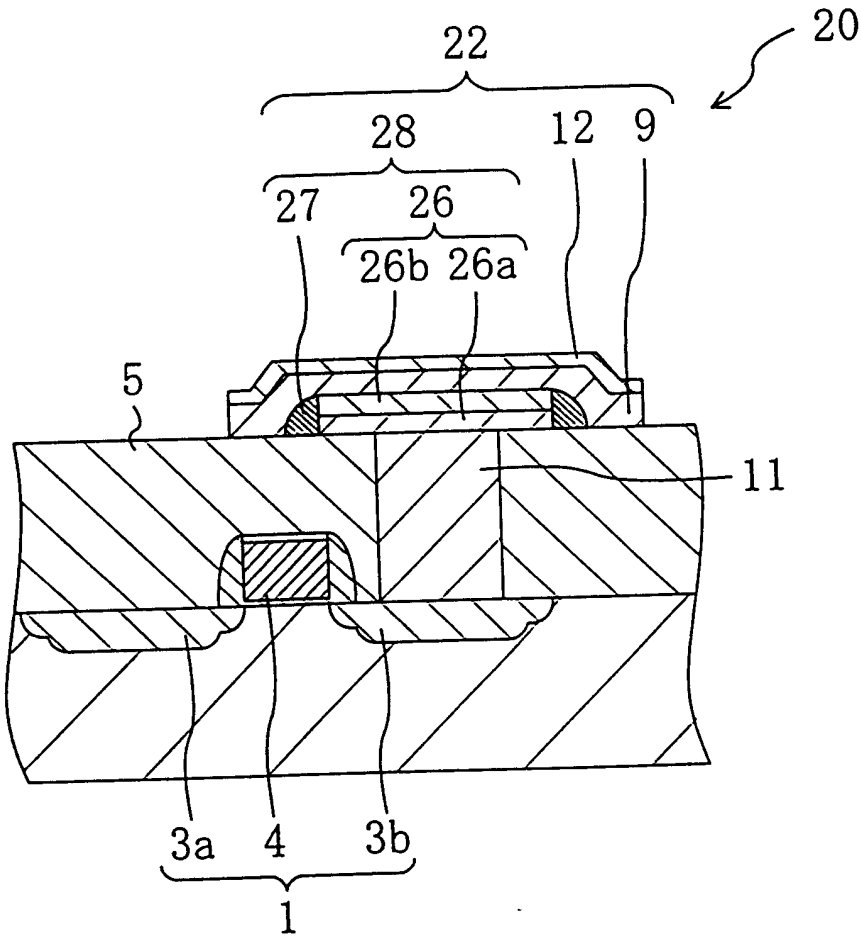


图 5

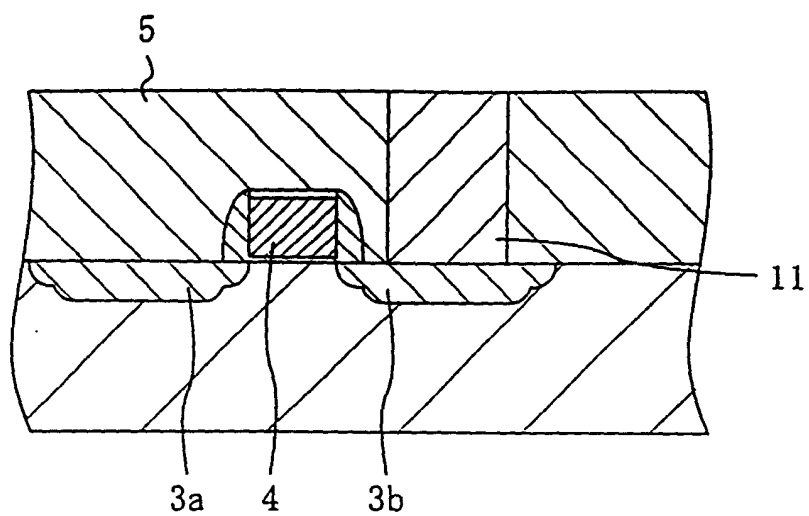


图 6(a)

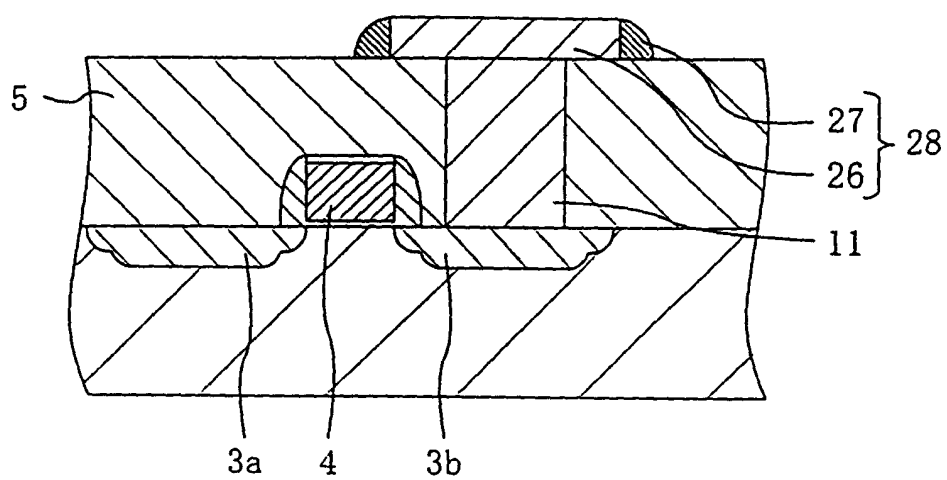


图 6(b)

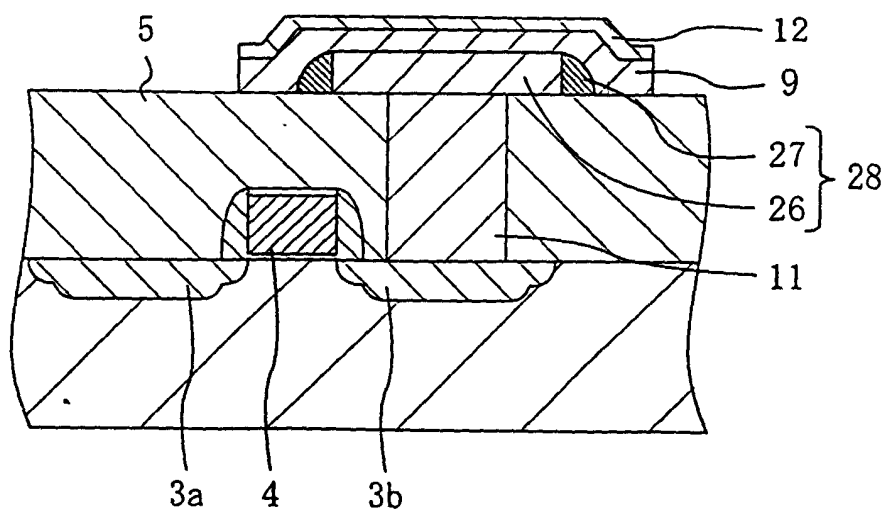


图 6(c)

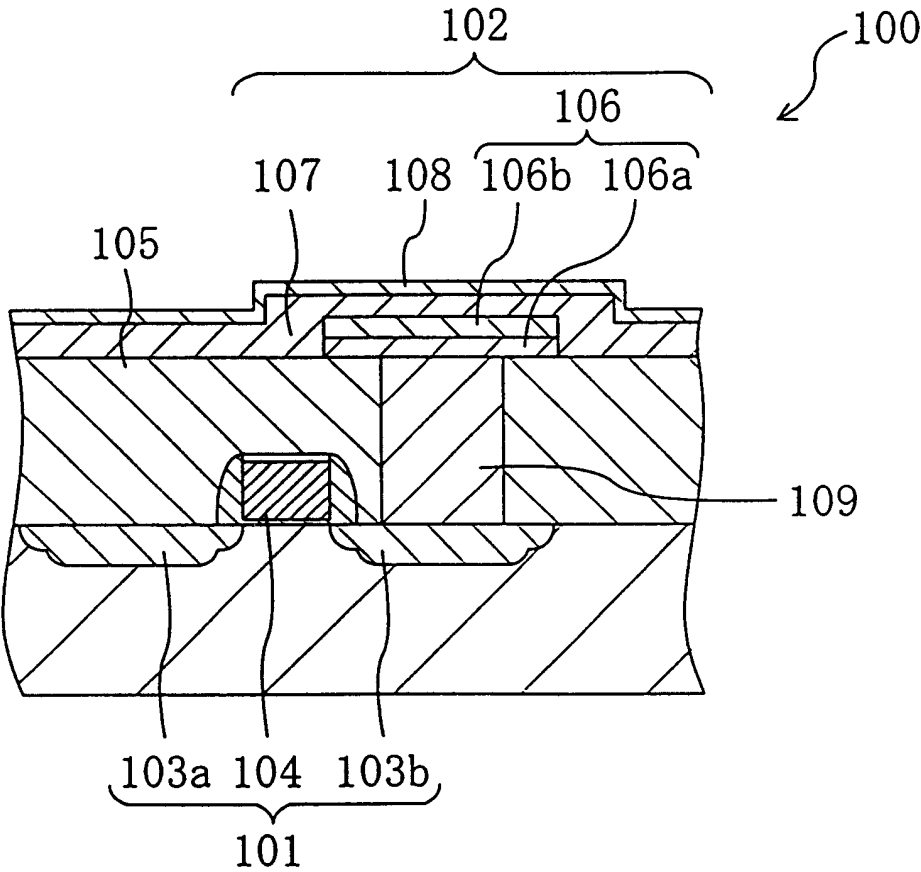


图 7

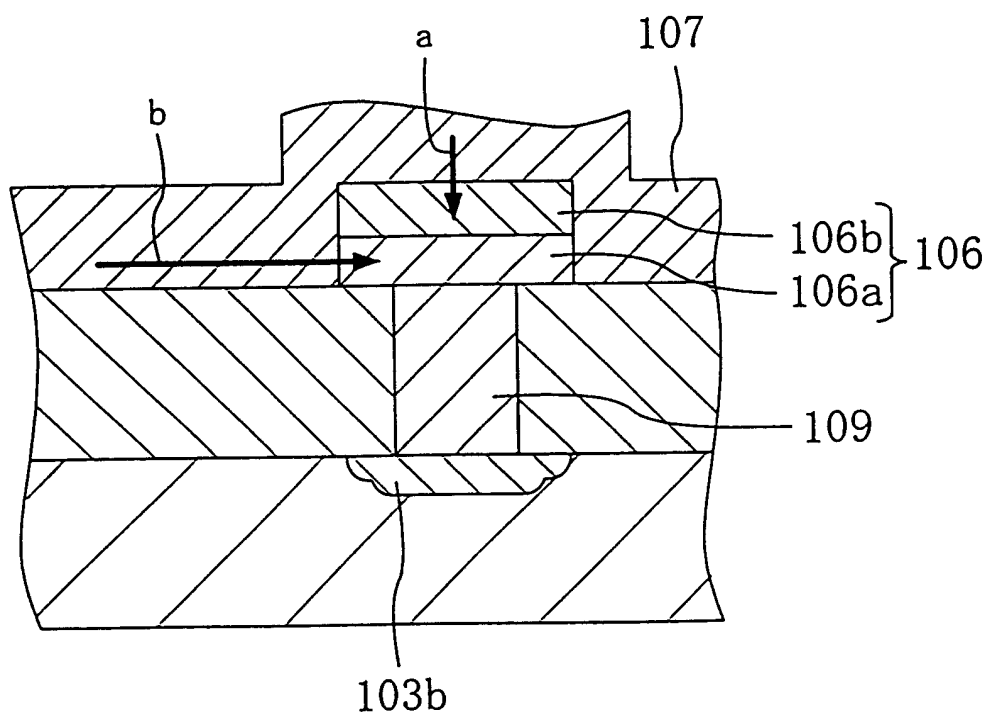


图 8