

公告本

申請日期	P0.3.27
案號	P0107132
類別	G02F 1/3

A4 F/0004777W00
C4

548458

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	動態矩陣型液晶顯示裝置
	英文	ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE
二、發明 創作人	姓名	1.宮島康志 YASUSHI MIYAJIMA 2.古河雅行 MASAYUKI KOGA
	國籍	1.2.日本國
	住、居所	1.日本國岐阜縣岐阜市萬代町 1-34-1 1-34-1 Bandai-cho, Gifu-shi, Gifu, Japan 2.日本國岐阜縣安八郡安八町大森 180 180 Omori Anpachi-cho, Anpachi-Gun, Gifu, Japan
三、申請人	姓名 (名稱)	三洋電機股份有限公司 SANYO ELECTRIC CO., LTD.
	國籍	日本國
	住、居所 (事務所)	日本國大阪府守口市京阪本通 2 丁目 5 番 5 號 5-5, Keihan-Hondori 2-Chome, Moriguchi-City, Osaka, Japan
	代表 姓名	桑野幸德 YUKINORI KUWANO

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國(地區)申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

2000 年 3 月 28 日 特願 2000-087770 (主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明所屬之技術領域】

本發明係關於複數之像素電極以動態矩陣狀(active matrix)的方式排列，各像素電極中做為開關元件連接成之薄膜電晶體(Thin Film Transistor;以下稱之為 TFT)之動態矩陣型液晶顯示裝置(Liquid Crystal Display; LCD)，本發明係關於經改良之閘極線驅動器 LCD。

【先行技術】

第 1 圖顯示動態矩陣型液晶顯示裝置之平面圖。閘極線驅動器 1，連接延列方向延伸出之複數閘極線 2；資料線驅動器 3，連接延行方向延伸出之複數資料線 4；在閘極線 2 和資料線 4 的交差點處，隔介像素 TFT 以連接像素電極 6。

閘極線驅動器 1 具有：由於閘極線 2 中施加閘極電壓之複數閘極緩衝器 8 中選擇其中之一之選擇器 7。選擇器 7 選擇複數之閘極緩衝器 8 中之一，並將其輸出為高位準，而剩餘之部分之輸出為低位準。

閘極緩衝器 8 分別具有：在電源 8a 與接地間以串聯之方式連接之 p 型通道薄膜電晶體(以下稱之為 p-ch 電晶體)8b；以及 n 型通道之薄膜電晶體(以下稱之為 n-ch 電晶體)8c。選擇器 7 之輸出即輸入於電晶體 8b、8c 之閘極電極，閘極線 2 連接於兩個薄膜電晶體 8b 和 8c 間之連接點。選擇器 7 之輸出之一為低位準時，接受該輸出之閘極緩衝器 8 則因 p-ch 薄膜電晶體 8b 導通、n-ch 薄膜電晶體 8c 不導通，閘極線 2 中藉由 p-ch 電晶體 8b 供給電源電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

以上述之方式連接閘極線 2 之像素 TFT5 全部開啟，即可寫入像素電極 6 中。

資料線驅動器 3 連接於複數之資料線 4，將對應顯示影像之資料電壓施加於各資料線 4 上。連接於所選擇之閘極線 2 之像素 TFT5，因閘極已開啟之故，施加於資料線 4 之資料電壓藉由像素 TFT5 寫入像素電極 6 中。以上述之方式，使對應像素電極 6 之液晶指向變化以進行顯示。

於進行一定期間(詳細為水平掃瞄期間)之顯示後，選擇器 7 選擇以下之閘極線 2。以上述之方式，對於先前選擇之閘極緩衝器 8 之選擇器 7 之輸出變高，p-ch 電晶體即不導通，並 n-ch 電晶體即導通，當閘極線 2 下降至接地電位時，像素 TFT5 之閘極便不導通(off)。

第 2 圖，為 LCD 之 1 像素之等效回路。連接於閘極線 2 及資料線 4 之像素 TFT5 連接於像素電極 6。像素電極 6，藉由液晶 11 於相對電極 Vcom 之間形成電容量 C_{LC} 。為了保持像素電極 6 之施加電壓，與液晶電容量 C_{LC} 並聯設置補助電容量 C_{SC} 。以上為經安排所形成之電路，為使像素電極 6 與閘極線 2，鄰接配置，因而形成了寄生電容 C_{GS} 。該寄生電容 C_{GS} 增大時，因施加於閘極線 2 之閘極電壓之影響而導致像素電極 6 電位變化之問題。傳統上為降低寄生電容 C_{GS} 之影響，將補助電容 C_{GS} 的大小設定為比寄生電容 C_{SC} 為大。

此外，近年，如數位相機或數位靜態相機之尋像器等，皆採用攜帶式電子機器的顯示裝置 LCD，為裝載攜帶式機

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

器，在維持相同之像素數的同時需達到畫面縮小以微細化之要求。

【發明所欲解決之課題】

如上所述，畫面尺寸縮小、微細化後，像素電極之面積亦隨之縮小。此外，用以形成補助電容 C_{sc} 之電極亦隨之縮小。因此，液晶電容量 C_{LC} 及補助電容量 C_{sc} 的大小因細微化之故而變小。另一方面，因可加工之最小線寬有一定之限制，要將寄生電容 C_{GS} 調降至一定數值之下有其困難。因此，將 LCD 細微化，相較於液晶電容 C_{LC} 、補助電容 C_{sc} ，相對地寄生電容 C_{GS} 之數值將變大。

寄生電容變大後，在閘極電壓下降拉引的狀態下會產生像素電極電位移動亦即所謂的下降電壓 ΔV 變大的問題。下降電壓 ΔV 變大時容易產生，例如：交流驅動的時產生每列不同的光度差異，或施加於像素電極之電壓之中心值 V_c 偏離相對電極電位 V_{com} 等問題。

因此，本發明之目的在於提供一種 LCD，該 LCD 相較於液晶電容、補助電容，在相對之寄生電容變大時，下降電壓不會隨之變大，同時在微細化後亦不會造成品質低劣之顯像之 LCD。

【用以解決課題之手段】

本發明之動態矩陣型液晶顯示裝置，乃為解決上述之問題，在具有：複數之閘極線；與前述複數之閘極線交差之複數資料線；具備閘極電極及源極區域以及汲極區域，前述之閘極線中之一條與前述閘極電極相連接，而前述之

(請先閱讀背面之注意事項再填寫本頁)

訂

裝

五、發明說明(4)

資料線中之一條與前述之汲極區域相連接之複數薄膜電晶體；連接於前述薄膜電晶體之源極區域之像素電極；至少與前述之複數的閘極電極的其中一端相連接，於閘極電極施加脈衝狀閘門電壓之閘極線驅動器之動態矩陣型液晶顯示裝置中，具有緩和閘極電壓之下降，或相較於上升時間延長下降時間之手段。

此外，閘極電壓結束對其中之一行之像素電極施加電壓後，到開始對下一列之像素電極施加電壓為止之時間 t ，以 t 至少一半之時間 $t/2$ 緩慢下降。

此外，前述閘極線驅動器，擁有和前述閘極線相連接之最終段閘極緩衝器；而前述閘極緩衝器至少擁有，汲極區域連接於前述之閘極線，源極區域所接地之薄膜電晶體；將前述閘極線與連接該閘極線之薄膜電晶體之閘極電極組合之電阻值設定為 $R1$ 、將前述閘極線與前述資料線所形成之電容和前述閘極線與前述相對電極所形成之電容，以及連接於像素電極之薄膜電晶體之活性層與閘極電極所形成之電容之合計設定為 $C1$ ；將前述閘極緩衝器之薄膜電晶體的溝道電阻值設定為 $R2$ ；並將前述閘極緩衝器之薄膜電晶體之活性層和前述閘極電極所形成之電容量設定為 $C2$ ；結束對像素電極施加電壓後，至重新開始下一次施加電壓的時間，將該時間設定為 t ，即可符合以下之程式。

$$2.5(R1+R2) \cdot (C1+C2) < t < 5(R1+R2) \cdot (C1+C2)。$$

此外，閘極線驅動器，具有連接前述閘極線之最終段之閘極緩衝器；閘極緩衝器擁有薄膜電晶體；薄膜電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (5)

的電流流動方向的部分之長度設定為 L ，以及與長度垂直之寬度設定為 W ，即可滿足 $W/L < 1$ 。

閘極線驅動器具有，連接閘極線之最終段的閘極緩衝器；而閘極緩衝器具有，源極區域與電源相接之 p 型通道薄膜電晶體及、源極區域接地之 n 型通道薄膜電晶體；如將薄膜電晶體的電流流動方向的部分之長度設定為 L ；將與 L 垂直交差之寬度設定為 W ；即可滿足，
(p 形溝道的薄膜電晶體之 W/L)/(n 形溝道的薄膜電晶體之 W/L) > 5 。

【發明之實施形態】

本發明之構成與第 1 圖所示之平面圖大體上相同。以即在閘極線驅動器 1 中，連接順沿列方向之複數閘極線 2，而於資料線驅動器 3 中，連接順沿行方向之複數資料線 4，而於閘極線 2 與資料線 4 的交差點中，隔介像素 TFT5 連接像素電極 6。

本實施形態之重點為，閘極電壓之脈衝波形。第 3(a) 圖為，傳統中理想之閘極電壓之脈衝波形。第 1 時序 $T1$ 之波形為垂直上昇，第 2 時序 $T2$ 之波形為垂直下降之矩形波。與此相對，本實施形態如第 3 圖所示，本發明具有使閘極電壓之脈衝波形緩慢下降之特徵。亦即最理想之波形為，如第 3(b) 圖所示，於第 1 時序 $T1$ 上昇，於第 2 時序 $T2$ 開始下降，而於第 3 時序 T 為完全下降。

以上述之波形脈衝輸入閘極電壓，將下降電壓 ΔV 變小。因下降電壓 ΔV 為電壓變化時之定數關數，閘極電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明（ 6 ）

緩慢變化而為第 3(b)圖或第 3(c)圖之波形，下降電壓 ΔV 將會變小。

以下說明有關閘極電壓下降緩慢其波形之方法。以下分別顯示其時序圖，第 4(a)圖為，流驅動 LCD 時施加於資料線之資料電壓，第 4(b)圖為，施加於閘極線之閘極電壓，第 4(c)圖為施加於第 4(b)圖之下一行閘極線之閘極電壓。閘極電壓作用的時間 T ，施加資料電壓於像素電極 6 使其昇壓，亦即的寫入期間。其後，間隔歸限期間 t ，以進行寫入下一行之像素電極 6。閘極電壓，於歸限期間 t 間下降，在與下一寫入期間 T 同一期間行的閘極電壓上昇。傳統上，以第 3(a)圖之緩衝波形（實際上有些許之緩化）驅動時，閘極電壓下降所需之時間，約為對歸線期間 t 之 $t/100$ 程度。針對此問題，本發明之閘極電壓，以 $t/2$ 的程度緩緩下降。

因閘極電壓上昇所需之時間約為 $t/100$ 之程度，下降所需之時間為上昇所需時間約 50 倍。

下降時間如超過 $t/2$ 以上時， ΔV 可變得更小。但下降所需時間若超過 t 時，下一行之像素 TFT5 之資料電壓即開始啟動，此將對像素顯示動作產生障礙。因此，下降所需之時間須未滿 t 。此外，因考慮像素 TFT5 之製造誤差導致各像素 TFT5 時間之差距，故將其下降時間設定為 $t/2$ 是較為理想的。

一般而言，電氣回路在排放電荷時電壓以 $e^{-(t/RC)}$ 的比例下降。在此， R 為電路之電阻、 C 為電路之電容量。有

五、發明說明 (7)

關閉極線 2 之電壓低下的部份為，

$R = (\text{選擇之閘極線 2 之電阻值}) + (\text{連接於該閘極線 2 全部之像素 TFT5 之閘極電極部之電阻值}) + (\text{閘極緩衝器 8 之 n-ch 電晶體 8C 之溝道電阻})$

$C = (\text{選擇之閘極線 2 與其他電極等所形成之電容量}) + (\text{連接該閘極線 2 全部之像素 TFT5 之閘極電極之形成電容量}) + (\text{閘極緩衝器 8 的 n-ch 電晶體 8c 之閘極源極、閘極汲極電容量})$ 。例如：閘極電壓所施加之值降至 10% 以下時且像素 TFT 之閘極關閉時，歸限期間內要將閘極關閉的條件為

$$t < 5(R_1 + R_2) \cdot (C_1 + C_2)$$

然而， R_1 = 閘極線的電阻值及和其相連的像素 TFT 的閘極電極之電阻值及總和的電阻值

C_1 = 閘極線和資料線所形成之電容及閘極線和對向電極所形成之電容量、以及連接於像素電極之薄膜電晶體之活性層和閘極電極所形成之電容量之合計

R_2 = 閘極緩衝的 n-ch 電晶體 8c 的通道電阻值

C_2 = 閘極緩衝的薄膜電晶體之活性層和閘極電極所形成之電容量

t = 結束對像素電極施加電壓後，到開始施加下一次電壓開始為止的時間。歸限期間 t 由 LCD 的驅動周波數或像素數來決定， R_1 、 C_1 ，以 LCD 之像素數或大小來決定。閘極緩衝 8 之 n-ch 電晶體 8c 做適當之設計，並調整 R_2 及 C_2 ，即可滿足上述的公式；此外，為滿足以下之公式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (8)

$$2.5(R1+R2) \cdot (C1+C2) < t < 5(R1+R2) \cdot (C1+C2)$$

藉由 n-ch 電晶體 8c 之設計，在緩和閘極電壓的下降後，可在一定的時間之內結束下降。

此外，在上述說明中，將閘極電壓下降所需之時間視為歸限期間 t 做了說明。但，例如：施加資料電壓前將資料線 4 預充電至所定之電壓時，閘極電壓下降所需之時間較歸限期間縮減許多。在此情況下，上述說明之歸線期間 t 可與結束施加資料電壓至開始預充電為止之期間替換。亦即，在開始預充電前必須結束像素 TFT5 之下降，在該期間內為能達到緩慢下降之目而設計了閘極緩衝器。

以下，說明施加緩化波形之閘極電壓之具體方法。在第 1 圖中，閘極電壓，選擇器 7 之輸出為 L 時電晶體 8b 之閘極導通，由電源 8a 介電晶體 8b 將閘極電壓施加於閘極線 2。此外，閘極電壓下降時，選擇器 7 之輸出為 H 時電晶體 8c 即可導通，藉由電晶體 8c 釋放出蓄積於閘極線 2 之電荷。此時，將電晶體 8c 的最大電流之設定變小。如此一來，至釋放出電荷為止需要一定之時間，即可緩化閘極電壓之下降波形。此外，藉由調整電晶體 8c 之最大電流可調整閘極電壓之緩化方式。

電晶體的最大電流一般而言，閘極的長度 L 較長，閘極的幅度 W 較窄時電流將會變小。因此，閘極之長度與閘極之寬度愈小時電晶體之最大電流變得愈小。第 5 圖為，固定 p-ch 電晶體之 W/L，變換 n-ch 電晶體之 W/L 時，對於 n-ch 電晶體 W/L 之變化 ΔV 之顯示圖。 ΔV 之數值隨著

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明（ 9 ）

LCD 之大小、各膜之厚度等因素而變化，由第 5 圖中可得知，所有之參數均為固定之參數。n-ch 電晶體的 W/L 較小，亦即與長度相較，寬幅愈小下降電壓 ΔV 變得愈小。

如第 1 圖所示，閘極緩衝為 p-ch 電晶體和 n-ch 電晶體所組合之構成。本發明之主旨為，以緩化閘極電壓之下降波形為其特徵。有關閘極電壓的上昇，因及早上昇，可確保資料電壓施加於閘極電極之時間，如第 3(b)圖所示之脈衝波形可以說是最理想的。閘極電壓上昇時，隔介 p-ch 電晶體 8b 施加電壓，因下降時經介 n-ch 電晶體 8c 放電，所以將 p-ch 電晶體 8b 的最大電流值調大，n-ch 電晶體 8c 的最大電流調小，如此之設定即可或得第 3(b)圖之脈衝波形。此時，閘極緩衝的 p-ch 電晶體之 W/L 及 n-ch 之 W/L 就會有非常大的差異，例如：

p-ch 電晶體之 W/L：n-ch 電晶體之 W/L=10：1

然而，若能有效確保寫入像素電極之時間，如第 3(c)圖所示，可緩化閘極電壓之上昇。

上述之實施例之外，緩化閘極電壓波形之手段，包括於閘極緩衝器 8 及閘極線 4 間配置電阻或電容器。如此可緩化閘極電壓之上昇波形，而呈現如第 3(c)圖所示之波形。於該波形中，如付予充分之寫入期間便不致產生問題，但若藉由電阻或電容器使其緩化時，整體之緩衝將會發生延遲之問題。

本發明不論 LCD 的大小皆可實施，但其最適合使用於小型之 LCD。以下說明其理由。閘極線 2 因具有所定之電

五、發明說明 (10)

阻值，故在閘極驅動器 8 近側之像素 TFT5 及於閘極驅動器 8 遠側之像素 TFT5 中閘極電壓之緩化方式是不同的。在此情況下，愈大型之 LCD 中因閘極線 2 十分長而顯得十分顯著。與此相較，小型之 LCD，例如 2 英吋以下或是使用於檢視窗 (view finder) 等 0.55 英吋以下之 LCD，因其閘極線之長度較短之故，不會發生因閘極線 2 之電阻而產生延遲之問題。此外，寄生電容相對地變大之問題，特別容易發生在小型之 LCD 中。因此，本發明最適用於小型 LCD 同時其使用於小型 LCD 時效果最佳。

【發明之效果】

如上所述，在本發明中，因施加緩化下降之波形閘極電壓，可將利用閘極電壓之變動所產生之下降電壓 ΔV 變小，並提供高顯示品質之動態矩陣形液晶顯示裝置。

此外，閘極電壓，由結束對像素電極施加電壓，到開始下一次之施加電壓為止之期間 t ，因至少以一半之時間 $t/2$ 使其下降，故可充分抑制 ΔV 。

此外，將閘極線和連接於該閘極線之薄膜電晶體之閘極電極所組合之電阻值設定為 $R1$ ，其耦合電容設定為 $C1$ ，將閘極緩衝之薄膜電晶體的通道電阻值設定為 $R2$ ，其耦合電容設定為 $C2$ ，將由結束對像素電極施加電壓後，到開始下一次施加電壓之期間設定為 t ，因可滿足以下之程式

$$2.5(R1+R2) \cdot (C1+C2) < t < 5(R1+R2) \cdot (C1+C2)$$

除可於一定之時間內使閘極電壓充分地下降，亦可抑制 Δ

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

V。

此外，開極緩衝器之薄膜電晶體，因滿足
 $W/L < 1$

最大電流量變小，並可緩化開極電壓之下降邊。

此外，開極緩衝器之 p-ch 電晶體和 n-ch 電晶體因滿足

$(p\text{-ch 電晶體 } W/L)/(n\text{-ch 電晶體 } W/L) > 5$

開極電壓可快速上昇，且可緩化開極電壓之下降。

【圖面之簡單說明】

【第 1 圖】

液晶顯示裝置之平面圖。

【第 2 圖】

液晶顯示裝置之顯示 1 像素之等數電路。

【第 3 圖】

輸入開極線的緩衝波形之圖示。

【第 4 圖】

顯示輸入資料線和開極線之電壓之時序圖。

【第 5 圖】

根據開極緩衝器電晶體的縱橫比之 ΔV 變化之圖示。

【圖號說明】

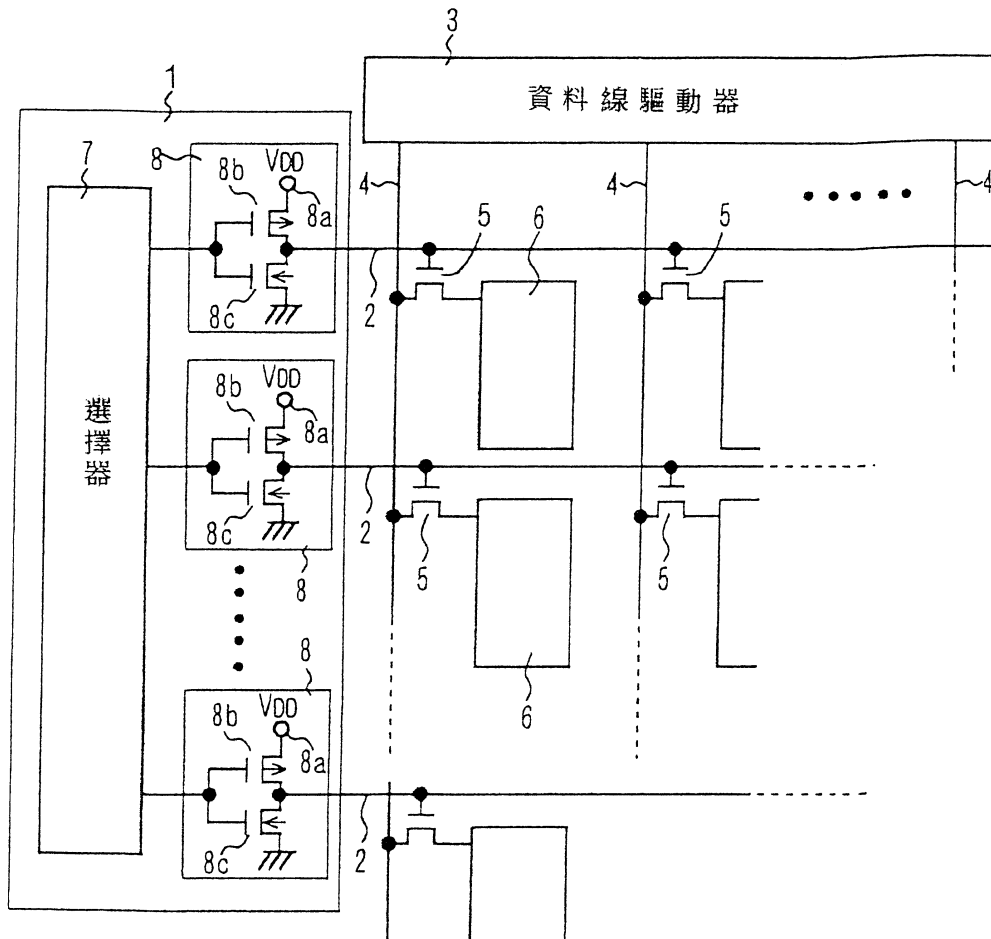
1	開極線驅動器	2	開極線
3	資料線驅動器	4	資料線
5	薄膜電晶體	6	像素電極
7	選擇器	8	開極緩衝器

四、中文發明摘要 (發明之名稱:動態矩陣型液晶顯示裝置)

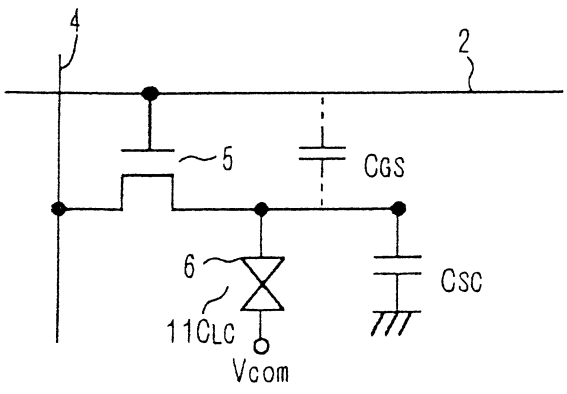
本發明提供一種液晶顯示裝置，係對利用矩形波的脈衝輸入閘極電壓時，藉由閘極線和像素電極的寄生電容，隨著閘極電壓下降，使像素電極電壓產生變動，即所謂產生下降電壓之現象，提供解供方案，即使寄生電容大，電壓下降不會太大之液晶顯示裝置。

本發明之動態矩陣型液晶顯示裝置，因下降電壓係在閘門電壓產生變化時根據固定數而不同，因此可藉由緩化閘門電壓的下降，以形成圖 3(b)的波形，使下降電壓變小。圖 3(b)的波形，舉例而言，可藉由將閘門驅動器 8 的 n 溝道晶體管的溝道寬度設定調小，使最大電流值也將隨之變小。

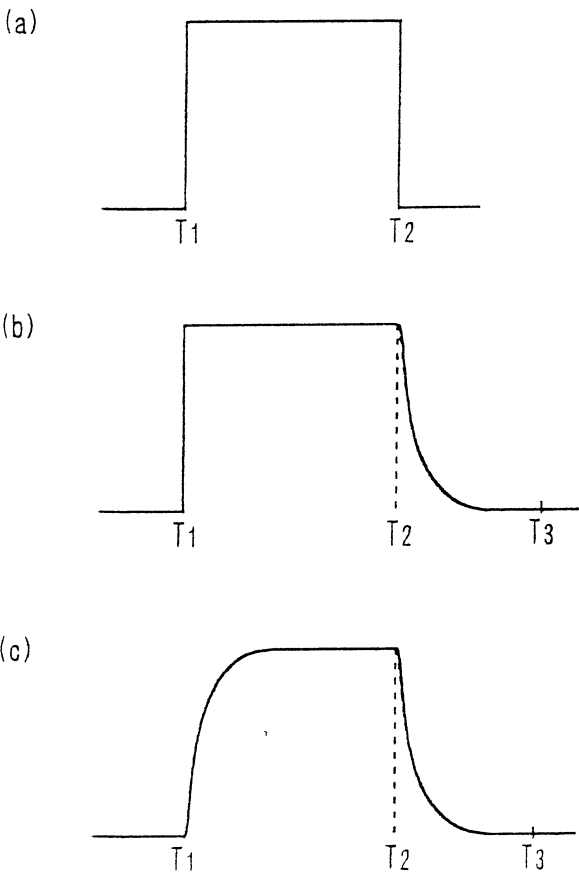
英文發明摘要 (發明之名稱:)



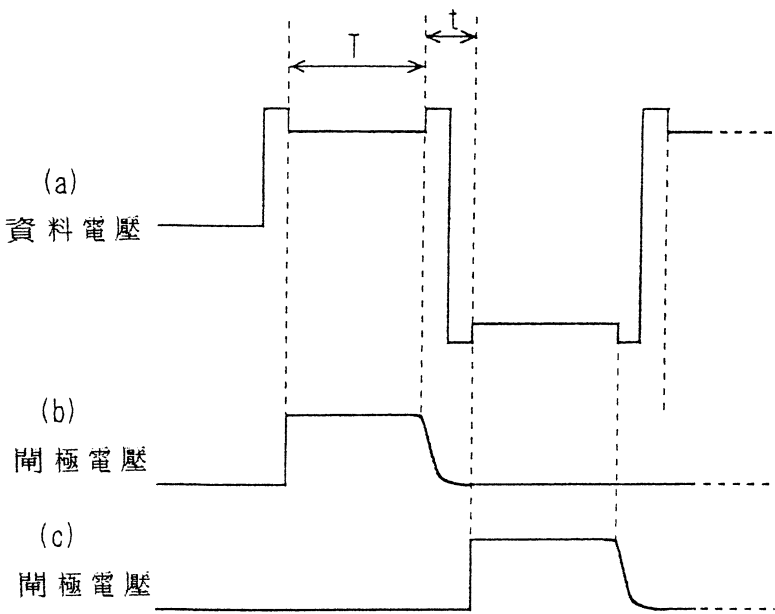
第 1 圖



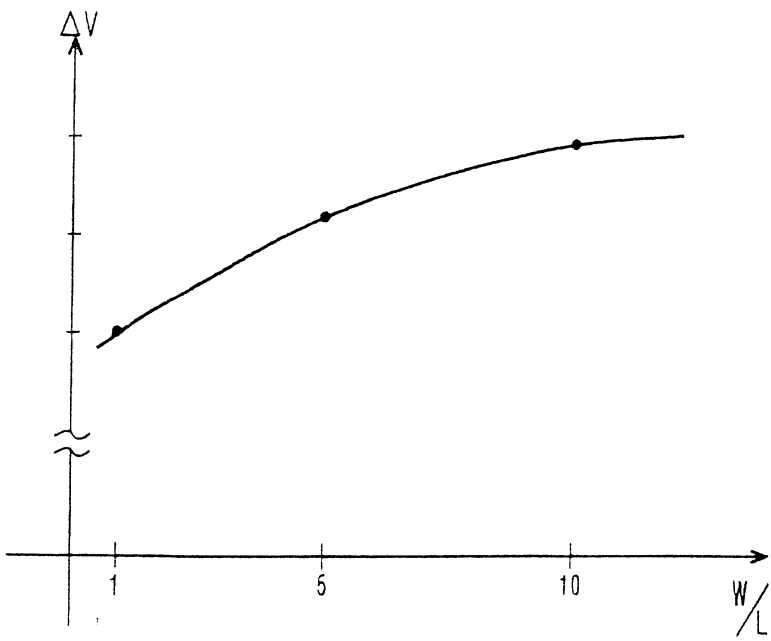
第 2 圖



第 3 圖



第 4 圖



第 5 圖

第 90107132 號專利申請案

申請專利範圍修正本

(92 年 1 月 29 日)

1. 一種動態矩陣形液晶顯示裝置，具有：複數之閘極線；與前述複數之閘極線交差之複數資料線；對應配置於前述之複數閘極線及前述複數之資料線之交差點，具備閘極電極及源極區域以及汲極區域，前述之閘極線中的一條與前述之閘極電極相連接，前述之資料線中之一條和前述的汲極區域相連接之複數薄膜電晶體；與前述的電晶體的源極區域分別連接之複數像素電極；最少和前述之複數閘極電極的其中一端相連接，依序選擇前述閘極線其中的一條，於選擇之閘極線依序施加脈衝狀之閘極電壓之閘極線驅動器；於與前述複數之像素電極相對向，夾有液晶層之相對電極；其特徵為前述閘極線驅動器之閘極電壓相較於前述之閘極電壓之上升較為緩慢之下降而施加。
2. 一種動態矩陣形液晶顯示裝置，具有：複數之閘極線；與前述複數之閘極線交差之複數資料線；對應配置於前述複數之閘極線和前述複數資料線之交差點；具備閘極電極及源極區域以及汲極區域，前述之閘極線中之一條與前述閘極電極相連接，而前述之資料線中之一條與前述之汲極區域相連接之複數薄膜電晶體；分別連接於前述薄膜電晶體之源極區域之複數像素電極；至少與前述之複數的閘極電極的其中一端相連接，

依序選擇前述閘極線其中之一條，於所選擇之閘極線依序施加脈衝狀閘極電壓之閘極線驅動器；與前述複數之像素電極相對向，夾有液晶體之對向電極；其特徵為：前述閘極線驅動器施加之閘極電壓若比較前述閘極電壓下降所需之時間與上昇所需之時間，則使下降所需之時間為較長者。

3. 如申請專利範圍第 1 或第 2 項之動態矩陣型液晶顯示裝置，其中，前述閘極電壓，由結束對像素電極施加電壓，到開始對下一列之像素電極施加電壓為止之時間 t ，以 t 至少一半之時間 $t/2$ 緩慢下降。
4. 如申請專利範圍第 1 或第 2 項之動態矩陣型液晶顯示裝置，其中，上述之閘極電壓，以上昇所需之時間的至少 10 倍左右之時間緩慢下降。
5. 如申請專利範圍第 1 或第 2 項之動態矩陣型液晶顯示裝置，其中，前述閘極線驅動器具有：和前述閘極線相連接之最終段閘極緩衝器；而前述閘極緩衝器至少擁有，汲極區域連接於前述之閘極線，源極區域所接地之薄膜電晶體；將前述閘極線與連接該閘極線之薄膜電晶體之閘極電極組合之電阻值設定為 $R1$ 、將前述閘極線與前述資料線所形成之電容和前述閘極線與前述相對電極所形成之電容，以及連接於像素電極之薄膜電晶體之活性層與閘極電極所形成之電容量之合計為 $C1$ ；將前述閘極緩衝器之薄膜電晶體的通道電阻值設定為 $R2$ ；並將前述閘極緩衝器之薄膜電晶體之活性

層和前述閘極電極所形成之電容量設定為 $C2$ ；結束對像素電極施加電壓後，至重新開始下一次施加電壓的時間，將該時間設定為 t ，即可符合以下之程式，

$$2.5(R1+R2) \cdot (C1+C2) < t < 5(R1+R2) \cdot (C1+C2)。$$

6. 如申請專利範圍第 5 項之動態矩陣型液晶顯示裝置，其中，前述閘極線驅動器具有連接前述閘極線之最終段之閘極緩衝器；前述閘極緩衝器具有薄膜電晶體；前述薄膜電晶體的電流流動方向的部分之長度 L 以及與前述長度垂直方向之寬度 W 滿足 $W/L < 1$ 之條件。
7. 如申請專利範圍第 6 項之動態矩陣型液晶顯示裝置，其中，前述閘極線驅動器具有：連接前述閘極線之最終段的閘極緩衝器；而前述閘極緩衝器具有，源極區域與電源相接之 p 型通道薄膜電晶體及、源極區域接地之 n 型通道薄膜電晶體；如將薄膜電晶體的電流流動方向的部分之長度設定為 L ，將與前述長度 L 垂直方向之寬度設定為 W ，則前述 p 型通道薄膜電晶體的 W/L 值與前述 n 型通道薄膜電晶體的 W/L 之值為不同之數值。
8. 如申請專利範圍第 7 項之動態矩陣型液晶顯示裝置，其中，該裝置需符合(前述 p 型通道薄膜電晶體之 W/L)/(前述 n 型通道薄膜電晶體之 W/L) > 1 之條件。
9. 如申請專利範圍第 7 項之動態矩陣型液晶顯示裝置，其中，該裝置需符合(前述 p 型通道薄膜電晶體之 W/L)/(前述 n 型通道薄膜電晶體之 W/L) > 5 之條件。

- 10.如申請專利範圍第1項之動態矩陣型液晶顯示裝置，其中，前述閘極線驅動器具有連接前述閘極線之最終段之閘極緩衝器；前述閘極緩衝器具有薄膜電晶體；前述薄膜電晶體的電流流動方向的部分之長度 L 以及與前述長度垂直方向之寬度 W 滿足 $W/L < 1$ 之條件。
- 11.如申請專利範圍第1項之動態矩陣型液晶顯示裝置，其中，前述閘極線驅動器具有：連接前述閘極線之最終段的閘極緩衝器；而前述閘極緩衝器具有，源極區域與電源相接之 p 型通道薄膜電晶體及、源極區域接地之 n 型通道薄膜電晶體；如將薄膜電晶體的電流流動方向的部分之長度設定為 L ，將與前述長度 L 垂直方向之寬度設定為 W ，則前述 p 型通道薄膜電晶體的 W/L 值與前述 n 型通道薄膜電晶體的 W/L 之值為不同之數值。