



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년06월14일
 (11) 등록번호 10-1630504
 (24) 등록일자 2016년06월08일

(51) 국제특허분류(Int. Cl.)
 G11C 16/26 (2006.01) G11C 7/06 (2006.01)
 (21) 출원번호 10-2013-7026573
 (22) 출원일자(국제) 2012년03월12일
 심사청구일자 2013년10월08일
 (85) 번역문제출일자 2013년10월08일
 (65) 공개번호 10-2013-0135938
 (43) 공개일자 2013년12월11일
 (86) 국제출원번호 PCT/US2012/028745
 (87) 국제공개번호 WO 2012/125542
 국제공개일자 2012년09월20일
 (30) 우선권주장
 13/047,555 2011년03월14일 미국(US)
 (56) 선행기술조사문헌
 JP2008034065 A
 US20080123419 A1
 US20110044101 A1
 WO2011142799 A1

(73) 특허권자
마이크론 테크놀로지, 인크
 미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
 (72) 발명자
헬름, 마크 에이.
 미국, 캘리포니아 95060, 산타 크루즈, 이스트릿 지 드라이브 22
찬드라세카르, 우다이
 미국, 캘리포니아 95134, 산 호세, 아파트 224, 엘런 빌리지 레인 370
 (74) 대리인
한양특허법인

전체 청구항 수 : 총 17 항

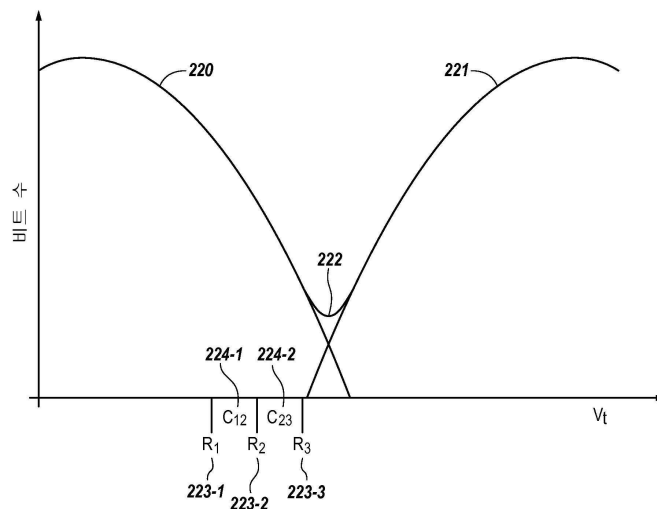
심사관 : 한선경

(54) 발명의 명칭 데이터 감지 방법, 디바이스 및 시스템

(57) 요약

본 발명은 데이터 감지 방법 및 디바이스를 포함한다. 하나의 그러한 방법은 다수의 다른 감지 전압을 사용하여 다수의 메모리 셀 상에 다수의 연속하는 감지 동작을 수행하는 단계, 다수의 연속하는 감지 동작의 연속적 감지 동작들 사이에서 상태가 변동되는 다수의 메모리 셀의 수량을 결정하는 단계, 및 연속적 감지 동작들 사이에서 상태가 변동되는 다수의 메모리 셀의 결정된 수량에 적어도 부분적으로 기초하여 다수의 연속적 감지 동작 중 하나에 대응하는 하드 데이터를 출력할지를 결정하는 단계를 포함한다.

대표도 - 도2



명세서

청구범위

청구항 1

데이터를 감지하는 방법으로서,

다수의 다른 감지 신호를 사용하여 다수의 메모리 셀 상에 다수의 감지 동작을 수행하는 단계;

상기 감지 동작들 사이에서 감지된 상태가 변동되는 상기 메모리 셀의 수량을 결정하는 단계로서, 상기 다수의 감지 동작 중 하나와 상기 다수의 감지 동작 중 다른 하나 사이에서 상태가 변동되는 수량을 결정하는 단계를 포함하는, 수량을 결정하는 단계;

상기 감지 동작들 사이에서 감지된 상태가 변동되는 상기 다수의 메모리 셀의 결정된 수량에 적어도 부분적으로 기초하여, 상기 다수의 메모리 셀과 연관된 제1 데이터를 출력할지 또는 상기 다수의 메모리 셀과 연관된 제2 데이터를 출력할지를 결정하는 단계로서, 상기 제1 데이터는 하드 데이터를 포함하고 상기 제2 데이터는 소프트 데이터를 포함하는, 제1 데이터를 출력할지 또는 제2 데이터를 출력할지를 결정하는 단계;

상기 결정된 메모리 셀의 수량이 임계값보다 더 적다는 결정에 응답하여 상기 제1 데이터를 출력하는 단계로서, 상기 제1 데이터는 상기 감지 동작 중 하나 동안 감지된 데이터 또는 상기 감지 동작 중 다른 하나 동안 감지된 데이터 중 어느 하나에 대응하는 것인, 제1 데이터를 출력하는 단계; 및

상기 결정된 메모리 셀의 수량이 상기 임계값보다 더 크다는 결정에 응답하여 상기 제2 데이터를 출력하는 단계를 포함하는 데이터 감지 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 다수의 메모리 셀 상에 상기 다수의 감지 동작을 수행하는 단계는 200mV 미만의 증분으로 다수의 다른 감지 전압으로 상기 메모리 셀을 감지하는 단계를 포함하는 것인 데이터 감지 방법.

청구항 5

제1항에 있어서, 상기 다수의 메모리 셀 상에 상기 다수의 감지 동작을 수행하는 단계는 다수의 다른 감지 전압 사이에서 동등한 증분을 갖는 감지 전압으로 감지하는 단계를 포함하는 것인 데이터 감지 방법.

청구항 6

제1항에 있어서, 상기 제1 데이터를 출력하는 단계는 상기 하드 데이터를 외부 컨트롤러에 출력하는 단계를 포함하는 것인 데이터 감지 방법.

청구항 7

제1항에 있어서, 상기 제2 데이터를 출력하는 단계는 오류를 정정하도록 소프트 데이터를 사용할 수 있는 고급 ECC 동작을 수행하도록 상기 소프트 데이터를 사용하는 외부 컨트롤러에 상기 소프트 데이터를 출력하는 단계를 포함하는 것인 데이터 감지 방법.

청구항 8

제1항에 있어서, 상기 제2 데이터로 상기 제1 데이터를 정정하도록, 오류를 정정하도록 상기 소프트 데이터를 사용할 수 있는 고급 ECC를 사용하는 단계를 더 포함하는 데이터 감지 방법.

청구항 9

제1항에 있어서, 상기 방법은 상기 제2 데이터를 출력하기 전에 상기 메모리 셀을 포함하는 메모리 디바이스에 상기 제2 데이터를 저장하는 단계를 더 포함하는 데이터 감지 방법.

청구항 10

제1항에 있어서, 상기 제1 데이터를 정정하도록, 상기 하드 데이터에만 기초하여 오류를 정정하도록 사용되는 표준 ECC를 사용하는 단계를 더 포함하는 데이터 감지 방법.

청구항 11

데이터를 감지하는 방법으로서,

제1 감지 전압에서 다수의 메모리 셀을 감지하는 것과 제2 감지 전압에서 상기 다수의 메모리 셀을 감지하는 것 사이에서 제1 상태에서부터 제2 상태로 변동하는 메모리 셀의 제1 수량을 결정하는 단계;

상기 제2 감지 전압에서 상기 다수의 메모리 셀을 감지하는 것과 제3 감지 전압에서 상기 다수의 메모리 셀을 감지하는 것 사이에서 상기 제1 상태에서부터 상기 제2 상태로 변동하는 메모리 셀의 제2 수량을 결정하는 단계;

상기 제3 감지 전압에서 상기 다수의 메모리 셀을 감지하는 것과 제4 감지 전압에서 상기 다수의 메모리 셀을 감지하는 것 사이에서 상기 제1 상태에서부터 상기 제2 상태로 변동하는 메모리 셀의 제3 수량을 결정하는 단계; 및

상기 메모리 셀의 제2 수량 및 제3 수량이 상기 메모리 셀의 제1 수량보다 더 클 때, 상기 제1 감지 전압에서 감지된 데이터 또는 상기 제2 감지 전압에서 감지된 데이터 중 어느 하나에 대응하는 하드 데이터 및 상기 제1 감지 전압, 상기 제2 감지 전압 및/또는 상기 제3 감지 전압 중 다른 하나에 대응하는 소프트 데이터를 출력하는 단계를 포함하는 데이터 감지 방법.

청구항 12

제11항에 있어서, 상기 방법은 상기 제4 감지 전압에서 상기 다수의 메모리 셀을 감지하는 것과 제5 감지 전압에서 상기 다수의 메모리 셀을 감지하는 것 사이에서 상기 제1 상태에서부터 상기 제2 상태로 변동하는 메모리 셀의 제4 수량을 결정하는 단계를 더 포함하되,

상기 제1 감지 전압 또는 상기 제2 감지 전압 중 어느 하나에 대응하는 하드 데이터를 출력하는 단계는 상기 제3 수량 및 상기 제4 수량도 상기 제1 수량보다 더 클 때 상기 제1 감지 전압 또는 상기 제2 감지 전압 중 어느 하나에 대응하는 상기 하드 데이터를 출력하는 단계를 더 포함하는 것인 데이터 감지 방법.

청구항 13

제12항에 있어서, 상기 소프트 데이터를 출력하는 단계는 또한 상기 제4 및/또는 제5 감지 전압에 대응하는 소프트 데이터를 출력하는 단계를 포함하는 것인 데이터 감지 방법.

청구항 14

데이터를 감지하는 방법으로서,

다수의 메모리 셀의 각각의 상태를 결정하도록 제1 감지 전압을 사용하여 제1 감지 동작을 수행하는 단계;

상기 다수의 메모리 셀의 각각의 상태를 결정하도록 제2 감지 전압을 사용하여 제2 감지 동작을 수행하는 단계;

상기 제1 감지 동작과 상기 제2 감지 동작 사이에서 결정된 상태가 변동하는 상기 다수의 메모리 셀의 제1 수량을 결정하는 단계;

상기 다수의 메모리 셀의 결정된 제1 수량이 임계 수량을 초과하지 않는 것에 응답하여, 상기 제1 감지 동작 동안 감지된 데이터 또는 상기 제2 감지 동작 동안 감지된 데이터 중 어느 하나에 대응하는 하드 데이터만을 출력하는 단계; 및

상기 다수의 메모리 셀의 결정된 제1 수량이 상기 임계 수량을 초과하는 것에 응답하여, 상기 하드 데이터에 대응하는 상기 감지 동작이 아닌 상기 감지 동작 중 적어도 하나에 대응하는 소프트 데이터를 출력하는 단계를 포

함하는 데이터 감지 방법.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

제14항에 있어서, 상기 임계 수량은 제1 유형의 ECC 동작에 의해 정정가능한 상기 메모리 셀의 수량에 대응하고, 제2 유형의 ECC 동작은 상기 임계 수량을 초과하는 수량의 메모리 셀을 정정하는데 필요로 하는 것인 데이터 감지 방법.

청구항 20

디바이스로서,

메모리 셀의 어레이; 및

상기 어레이에 연결된 회로를 포함하되, 해당 회로는

다수의 메모리 셀 상에 수행되는 다수의 연속하는 감지 동작 중 감지 동작 사이에서 상태가 변동되는 상기 어레이의 상기 다수의 메모리 셀의 수량을 결정하고, 이는 상기 다수의 연속하는 감지 동작 중 하나와 상기 다수의 연속하는 감지 동작 중 다른 하나 사이에서 상태가 변동되는 수량을 결정하며,

상기 결정된 수량에 기초하여 상기 다수의 메모리 셀과 연관된 제1 데이터를 출력할지 또는 상기 다수의 메모리 셀과 연관된 제2 데이터를 출력할지를 결정하며,

임계값보다 더 적은 상기 결정된 메모리 셀의 수량에 적어도 부분적으로 응답하여 상기 다수의 메모리 셀과 연관된 상기 제1 데이터를 출력하고, 상기 제1 데이터는 상기 감지 동작 중 하나 동안 감지된 데이터 또는 상기 감지 동작 중 다른 하나 동안 감지된 데이터 중 어느 하나에 대응하는 하드 데이터를 포함하며,

상기 임계값보다 더 큰 상기 결정된 메모리 셀의 수량에 적어도 부분적으로 응답하여 상기 다수의 메모리 셀과 연관된 상기 제2 데이터를 출력하도록 구성되고, 상기 제2 데이터는 상기 다수의 연속하는 감지 동작 중 상기 어느 하나가 아닌 상기 다수의 연속하는 감지 동작 동안 감지된 데이터에 대응하는 소프트 데이터이도록 구성된 것인 디바이스.

청구항 21

삭제

청구항 22

제20항에 있어서, 상기 소프트 데이터는 상기 하드 데이터에 대응하는 상기 감지 동작으로부터의 감지 전압 주위의 동등한 증분의 감지 전압을 포함하는 상기 다수의 연속하는 감지 동작에 대응하는 것인 디바이스.

청구항 23

디바이스로서,

메모리 셀의 어레이; 및

상기 어레이에 연결된 회로를 포함하되, 해당 회로는,

제1 감지 전압 및 제2 감지 전압에서 다수의 메모리 셀을 감지할 때 제1 상태에서부터 제2 상태로 변동하는 메모리 셀의 제1 수량을 결정하고,

상기 제2 감지 전압 및 제3 감지 전압에서 상기 다수의 메모리 셀을 감지할 때 상기 제1 상태에서부터 상기 제2 상태로 변동하는 메모리 셀의 제2 수량을 결정하며,

상기 제3 감지 전압 및 제4 감지 전압에서 상기 다수의 메모리 셀을 감지할 때 상기 제1 상태에서부터 상기 제2 상태로 변동하는 메모리 셀의 제3 수량을 결정하고,

상기 제4 감지 전압 및 제5 감지 전압에서 상기 다수의 메모리 셀을 감지할 때 상기 제1 상태에서부터 상기 제2 상태로 변동하는 메모리 셀의 제4 수량을 결정하며,

상기 제1, 제2, 제3 또는 제4 수량이 이전의 수량보다 더 클 때 상기 제1, 제2, 제3, 제4 또는 제5 감지 전압 동안 감지된 데이터에 대응하는 하드 데이터를 출력하고,

상기 제1, 제2, 제3 또는 제4 수량이 이전의 수량보다 더 적을 때 상기 제1, 제2, 제3, 제4 또는 제5 감지 전압 동안 감지된 데이터에 대응하는 소프트 데이터를 출력하도록 구성된 것인 디바이스.

청구항 24

삭제

청구항 25

삭제

청구항 26

제23항에 있어서, 상기 소프트 데이터는 외부 컨트롤러에 출력되기 전에 상기 메모리 셀에 저장되는 것인 디바이스.

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

발명의 설명

기술 분야

[0001] 본 발명은 일반적으로는 반도체 메모리 디바이스, 방법 및 시스템에 관한 것이고, 더 구체적으로는, 데이터 감지 방법, 디바이스 및 시스템에 관한 것이다.

배경 기술

[0002] 전형적으로 메모리 디바이스는 컴퓨터 또는 다른 전자 디바이스에서 내부, 반도체, 집적 회로 및/또는 외부 착탈식 디바이스로 제공된다. 그 중에서도 랜덤-액세스 메모리(RAM), 읽기 전용 메모리(ROM), 동적 랜덤 액세스 메모리(DRAM), 동기식 동적 랜덤 액세스 메모리(SDRAM), 위상 변화 랜덤 액세스 메모리(PCRAM), 및 플래시 메모리를 포함하는 여러 다른 유형의 메모리가 많이 있다.

[0003] 플래시 메모리 디바이스는 광범위한 전자 애플리케이션에 대해 휘발성 및 비-휘발성 메모리로 이용될 수 있다. 전형적으로 플래시 메모리 디바이스는 높은 메모리 밀도, 높은 신뢰도, 및 낮은 전력 소비를 감안하는 단일-트랜지스터 메모리 셀을 사용한다. 플래시 메모리에 대한 사용은 다른 전자 디바이스 중에서도 솔리드 스테이트 드라이브(solid state drive: SSD), 퍼스널 컴퓨터, 개인 휴대 정보 단말기(personal digital assistant: PDA), 디지털 카메라, 셀룰러 전화, 휴대용 뮤직 플레이어, 예컨대, MP3 플레이어 및 무비 플레이어를 위한 메모리를 포함한다. 프로그램 코드와 같은 데이터, 사용자 데이터, 및/또는 기본 입/출력 시스템(basic input/output system: BIOS)과 같은 시스템 데이터는 전형적으로 플래시 메모리 디바이스에 저장된다.

[0004] 플래시 메모리 어레이 아키텍처의 2개의 흔한 유형은 "NAND" 및 "NOR" 아키텍처로서, 각각의 기본 메모리 셀 구성이 배열되는 논리적 형태에 대해 그렇게 불린다. NAND 어레이 아키텍처는 어레이의 "로우"에서의 각각의 메모리 셀의 제어 게이트가 업계에서는 흔히 "워드 라인"이라 지칭되는 액세스 라인에 연결되도록 (및 어떤 경우에는 형성하도록) 메모리 셀의 그 어레이를 매트릭스로 배열한다. 그렇지만 각각의 메모리 셀은 그 드레인에 의해 (업계에서는 흔히 디지털 라인, 예컨대, 비트 라인이라 지칭되는) 데이터 라인에 직접 연결되지는 않는다. 대신에, 어레이의 메모리 셀은 공통 소스와 데이터 라인 사이에서 소스 대 드레인 직렬로 함께 연결되는데, 특정 데이터 라인에 공통으로 연결된 메모리 셀은 "칼럼"이라 지칭된다.

[0005] NAND 어레이 아키텍처에서의 메모리 셀은 표적, 예컨대, 소망 상태로 프로그래밍될 수 있다. 예컨대, 셀을 다수의 프로그래밍된 상태 중 하나로 두도록 전기 전하는 메모리 셀의 전하 축적 구조에 놓이거나 그로부터 제거될 수 있다. 예컨대, 단일 레벨 셀(single level cell: SLC)은 2개의 상태, 예컨대, 1 또는 0을 표현할 수 있다. 플래시 메모리 셀은 또한 2개보다 많은 상태, 예컨대, 1111, 0111, 0011, 1011, 1001, 0001, 0101, 1101, 1100, 0100, 0000, 1000, 1010, 0010, 0110 및 1110을 저장할 수 있다. 그러한 셀은 멀티레벨 셀(multilevel cell: MLC)이라 지칭될 수 있다. MLC는 각각의 셀이 하나보다 많은 디지털, 예컨대, 하나보다 많은 비트를 표현할 수 있으므로 메모리 셀의 수를 증가시키지 않고도 더 높은 밀도 메모리의 제조를 가능하게 할 수 있다. 예컨대, 4개의 디지털을 표현할 수 있는 셀은 16개의 프로그래밍된 상태를 가질 수 있다.

[0006] 감지 동작, 예컨대, 읽기 및/또는 프로그램 검증 동작은 플래시 메모리 셀의 상태를 결정하도록 감지 전압을 사

용할 수 있다. 그렇지만, 읽기 장애, 프로그램 장애, 및/또는 전하 손실, 예컨대, 전하 누설과 같은 다수의 메커니즘은 메모리 셀의 전하 축적 구조상의 축적된 전하, 예컨대, 임계 전압(V_t)의 변동을 야기할 수 있다. 축적된 전하에서의 변동의 결과로서, 이전에 사용된 감지 전압, 예컨대, 축적된 전하에서의 변동이 일어나기 전에 사용된 감지 전압은 메모리 셀의 정확하고/정확하거나 신뢰할만한 감지를 더 이상 제공하지 못할 수 있다. 즉, 이전에 사용된 감지 전압은 후속의 감지 동작 동안 사용될 때 메모리 셀의 오류 있는 감지의 결과를 초래할 수 있다. 예컨대, 이전의 감지 전압의 사용은 메모리 셀이 표적 상태 이 아닌 상태, 예컨대, 셀이 프로그래밍되었던 표적 상태와는 다른 상태에 있다는 결정의 결과를 초래할 수 있다.

도면의 간단한 설명

- [0007] 도 1은 본 발명의 하나 이상의 실시예에 따라, 적어도 하나의 메모리 시스템을 포함하는 컴퓨팅 시스템의 기능적 블록선도;
- 도 2는 본 발명의 하나 이상의 실시예에 따라 다수의 임계 전압 분포 및 감지 전압을 표현하는 예시적 그래프;
- 도 3은 본 발명의 하나 이상의 실시예에 따라 다수의 임계 전압 분포 및 감지 전압을 표현하는 예시적 그래프.

발명을 실시하기 위한 구체적인 내용

- [0008] 본 발명은 데이터 감지 방법, 디바이스 및 시스템을 포함한다. 하나의 그러한 방법은 다수의 다른 감지 신호를 사용하여 다수의 메모리 셀 상에 다수의 감지 동작을 수행하는 단계, 감지 동작 사이에서 감지된 상태가 변동되는 메모리 셀의 수량을 결정하는 단계, 및 감지 동작 사이에서 감지된 상태가 변동되는 다수의 메모리 셀의 결정된 수량에 적어도 부분적으로 기초하여, 다수의 셀과 연관된 제1 데이터를 출력할지 또는 다수의 셀과 연관된 제2 데이터를 출력할지를 결정하는 단계를 포함한다.
- [0009] 하나 이상의 실시예는 다수의 감지 동작 중 하나와 상태가 변동되는 다수의 감지 동작 중 또 다른 하나 사이에서 상태가 변동되는 수량을 결정하는 단계, 결정된 수량이 임계값보다 더 적다는 결정에 응답하여 제1 데이터를 출력하는 단계를 포함할 수 있고, 제1 데이터는 감지 동작 중 하나 동안 감지된 데이터 또는 감지 동작 중 다른 하나 동안 감지된 데이터 중 어느 하나에 대응한다. 또한 하나 이상의 실시예는 메모리 셀의 결정된 수량이 임계값보다 더 크면 제2 데이터를 출력하는 단계를 포함할 수 있다.
- [0010] 하나 이상의 실시예에 있어서, 제1 데이터는 하드 데이터만을 또는 하드 데이터와 제1 분량의 소프트 데이터를 포함할 수 있고 제2 데이터는 하드 데이터, 소프트 데이터, 또는 하드 데이터와 제2 분량의 소프트 데이터를 포함할 수 있다.
- [0011] 메모리 셀과 연관된 소프트 데이터는 메모리 셀이 프로그래밍되었던 표적 상태를 표현하는 임계 전압(V_t) 분포 내 메모리 셀의 V_t 의 위치를 나타낼 수 있는데, 본 명세서에서 더 설명될 것이다. 부가적으로, 소프트 데이터는 메모리 셀의 V_t 가 메모리 셀이 프로그래밍되었던 표적 상태에 대응하는지의 확률을 나타낼 수 있는데, 본 명세서에서 더 설명될 것이다. 대조적으로, 메모리 셀의 실제 데이터 상태에 대응하는 데이터는 하드 데이터라 지칭될 수 있는데, 본 명세서에서 더 설명될 것이다.
- [0012] 본 발명의 하나 이상의 실시예에 있어서, 소프트 데이터는 고급 ECC가 다수의 메모리 셀로부터 읽혀진 데이터를 정정하도록 필요로 될 때에만 메모리 디바이스로부터 메모리 디바이스 외부 컨트롤러에 제공될 수 있다. 예를 들어, 연속하는 읽기의 결과, 본 명세서에서 설명되는 실시예에 따라, 비트의 결정된 수량이 예컨대 소프트 데이터 없이 표준 ECC를 통해 정정가능하면, 다수의 메모리 셀과 연관된 하드 데이터는 외부 컨트롤러에 제공되고 다수의 메모리 셀과 연관된 소프트 데이터는 외부 컨트롤러에 제공되지 않는다. 몇몇 이전의 접근법에 있어서는, 하드 데이터 및 소프트 데이터가 매 읽기 후에 컨트롤러에 제공되고 있다. 다른 접근법은 하드 데이터만을 제공하여서, 고급 ECC가 사용될 수 없는 것으로, 덜 신뢰할만하다, 예컨대, 데이터가 표준 ECC를 사용하여 정정될 수 없을 정도로 데이터 오류가 많이 있다.
- [0013] 본 명세서의 이하의 상세한 설명에 있어서는, 본 발명의 일부를 형성하고 본 발명의 다수의 실시예가 어떻게 실시될 수 있는지 예로써 도시되어 있는 수반 도면을 참조한다. 이들 실시예는 당업자가 본 발명의 실시예를 실시 가능하게 하도록 충분히 상세하게 설명되고, 다른 실시예가 이용될 수도 있고 본 발명의 범위로부터 벗어남이 없이 프로세스, 전기적 및/또는 구조적 변경이 이루어질 수도 있다고 이해된다.
- [0014] 본 명세서에서 사용되는 바와 같이, "다수의" 무엇을 하나 이상의 그러한 물건을 지칭할 수 있다. 예컨대, 다수의 메모리 디바이스는 하나 이상의 메모리 디바이스를 지칭할 수 있다. 부가적으로, 본 명세서에서 사용되는 바

와 같은 지시자 "N" 및 "M"은, 특히 도면에서의 참조 숫자에 관하여, 그렇게 지시된 다수의 특정 특징이 본 명세서의 다수의 실시예로 포함될 수 있음을 나타낸다.

[0015] 본 명세서에서 도면은 첫 번째 숫자 또는 숫자들이 도면 번호에 대응하고 나머지 숫자가 도면에서의 엘리먼트 또는 컴포넌트를 식별하는 번호 매김 관례를 따른다. 다른 도면들간 유사한 엘리먼트 또는 컴포넌트는 유사한 숫자의 사용에 의해 식별될 수 있다. 예컨대, (100)은 도 1에서 엘리먼트 "00"을 지칭할 수 있고, 유사한 엘리먼트가 도 3에서는 (300)으로 지칭될 수 있다. 인식될 바와 같이, 본 명세서에서 다양한 실시예에 도시된 엘리먼트는 본 발명의 다수의 부가적 실시예를 제공하도록 부가, 교환 및/또는 제거될 수 있다. 이에 더하여, 인식될 바와 같이, 도면에서 제공된 엘리먼트의 비율 및 상대적 척도는 본 발명의 실시예를 예시하려는 의도이고, 제한의 의미로 받아들여지지 않아야 한다.

[0016] 도 1은 본 발명의 하나 이상의 실시예에 따라 적어도 하나의 메모리 시스템(104)을 포함하는 컴퓨팅 시스템(100)의 기능적 블록선도이다. 도 1에 예시된 실시예에 있어서, 메모리 시스템(104)은 컨트롤러(108) 및 하나 이상의 메모리 디바이스(110-1, ..., 110-N)를 포함할 수 있다. 이 예에 있어서, 컨트롤러(108)는 하나 이상의 메모리 디바이스(110-1, ..., 110-N)의 외부에 있다. 메모리 디바이스(110-1, ..., 110-N)는 메모리 시스템에, 예컨대, 메모리 디바이스에 포맷팅된 파일 시스템으로, 저장 볼륨을 제공할 수 있다. 컨트롤러(108)는 제어 회로, 예컨대, 하드웨어, 펌웨어 및/또는 소프트웨어를 포함할 수 있다. 하나 이상의 실시예에 있어서, 컨트롤러(108)는 물리적 인터페이스 및 메모리 디바이스(110-1, ..., 110-N)를 포함하는 인쇄 회로 기판에 연결된 주문형 반도체(application specific integrated circuit : ASIC)일 수 있다.

[0017] 컨트롤러(108)는 오류 정정 코드(error correction code: ECC) 컴포넌트(112)를 포함할 수 있다. ECC 컴포넌트(112)는 하드웨어, 펌웨어 및/또는 소프트웨어를 포함할 수 있고 데이터 상에 ECC 동작을 수행하여, 예컨대, 데이터에서의 오류를 정정할 수 있다. 예컨대, 임계 전압 편이에 기인하여 메모리 셀의 상태에서의 오류는 ECC에 의해 정정될 수 있다. ECC 동작은 하드 데이터에만 기초하여 오류를 정정하도록 사용된 표준 ECC 동작 및 오류를 정정하도록 소프트 데이터를 사용할 수 있는 고급 ECC 동작을 포함할 수 있다. 표준 ECC 및/또는 고급 ECC가 사용되는지 여부는 오류 있는 셀의 수, 예컨대, 오류 비트의 수량에 의존할 수 있다. 메모리 디바이스(110-1, ..., 110-N)는 불량 비트 계수 회로(count fail bit circuitry)(114-1, ..., 114-N)를 포함할 수 있다. 불량 비트 계수 회로(114-1, ..., 114-N)는, 제1 감지 전압을 사용하여 다수의 메모리 셀 상에 수행된 제1 감지 동작과 제2 감지 전압을 사용하여 다수의 메모리 셀 상에 수행된 제2 감지 동작 사이에서, 상태가 변동되는, 예컨대, 상태 0으로부터 상태 1로 변동되는 메모리 셀의 수량을 결정하는데 사용될 수 있다. 불량 비트 계수 회로(114-1, ..., 114-N)에 의해 결정된 바와 같이 연속하는 감지 동작 사이에서 상태가 변동되는 메모리 셀의 수량은 제1 데이터, 예컨대, 하드 데이터만 또는 하드 데이터와 제1 분량의 소프트 데이터를 출력할지, 또는 제2 데이터, 예컨대, 하드 데이터, 소프트 데이터 또는 하드 데이터와 제2 분량의 소프트 데이터를 출력할지를 결정하는데 사용될 수 있다.

[0018] 도 1에 예시된 바와 같이, 호스트(102)는 메모리 시스템(104)에 연결될 수 있다. 호스트(102)는 다른 호스트 시스템 중에서도 랩톱 컴퓨터, 퍼스널 컴퓨터, 디지털 카메라, 디지털 레코딩 및 재생 디바이스, 모바일 전화, PDA, 메모리 카드 리더, 인터페이스 허브일 수 있고, 메모리 액세스 디바이스, 예컨대, 프로세서를 포함할 수 있다. 당업자는 "프로세서"라 함은 병렬 프로세싱 시스템, 다수의 코프로세서 등과 같이 하나 이상의 프로세서를 의도할 수 있음을 인식할 것이다.

[0019] 하나 이상의 실시예에 있어서, 물리적 호스트 인터페이스는 표준화된 인터페이스의 형태일 수 있다. 예컨대, 메모리 시스템(104)이 컴퓨팅 시스템(100)에서 데이터 저장에 사용될 때, 물리적 호스트 인터페이스는 다른 커넥터 및 인터페이스 중에서도 SATA(serial advanced technology attachment), PCIe(peripheral component interconnect express), 또는 USB(universal serial bus)일 수 있다. 그렇지만, 일반적으로, 물리적 호스트 인터페이스는 물리적 호스트 인터페이스에 대해 호환성 수용기를 갖는 호스트(102)와 메모리 시스템(104) 사이에서 컨트롤, 어드레스, 데이터 및 다른 신호를 넘겨주기 위한 인터페이스를 제공할 수 있다.

[0020] 컨트롤러(108)는 다른 동작 중에서도 데이터 읽기, 쓰기 및 지우기를 위해 메모리 디바이스(110-1, ..., 110-N)와 통신할 수 있다. 컨트롤러(108)는 하나 이상의 집적 회로 및/또는 개별 컴포넌트일 수 있는 회로를 가질 수 있다. 메모리 컨트롤러는 적절한 시각에 적절한 I/O 커넥션에서 적절한 신호를 수신하도록 메모리 디바이스(110-1, ..., 110-N)의 I/O 커넥션(도 1에서는 도시하지 않음)을 선택적으로 연결할 수 있다. 마찬가지로, 호스트(102)와 메모리 시스템(104)간 통신 프로토콜은 메모리 디바이스(110-1, ..., 110-N)의 액세스에 요구되는 것과는 다를 수 있다. 그 후 컨트롤러(108)는 메모리 디바이스(110-1, ..., 110-N)로의 소망의 액세스를 달성하기

위해 호스트로부터 수신된 커맨드를 적절한 커맨드로 번역할 수 있다.

- [0021] 메모리 디바이스(110-1, ..., 110-N)는 메모리 셀, 예컨대, 비-휘발성 메모리 셀의 하나 이상의 어레이를 포함할 수 있다. 그 어레이는 예컨대 NAND 아키텍처를 갖는 플래시 어레이일 수 있다. 실시예는 메모리 디바이스의 특정 유형에 국한되는 것은 아니다. 예를 들어, 메모리 디바이스는 그 중에서도 RAM, ROM, DRAM, SDRAM, PCRAM, PRAM 및 플래시 메모리를 포함할 수 있다.
- [0022] 메모리 디바이스(110-1, ..., 110-N)는 그룹화될 수 있는 다수의 메모리 셀을 포함할 수 있다. 본 명세서에서 사용되는 바와 같이, 그룹은 페이지, 블록, 플레인, 다이, 어레이 전체 또는 메모리 셀의 다른 그룹을 포함할 수 있다. 예를 들어, 어떤 메모리 어레이는 메모리 셀의 블록을 구성하는 메모리 셀의 다수의 페이지를 포함할 수 있다. 다수의 블록은 메모리 셀의 플레인에 포함될 수 있다. 메모리 셀의 다수의 플레인은 다이 상에 포함될 수 있다. 예로서, 128GB 메모리 디바이스는 페이지 당 4314 데이터 바이트, 블록 당 128 페이지, 플레인 당 2048 블록 및 디바이스 당 16 플레인을 포함할 수 있다.
- [0023] 메모리 디바이스에 있어서, 물리적 페이지는 쓰기 및/또는 읽기의 단위, 예컨대, 함께 쓰기 및/또는 읽기 되는 또는 메모리 셀의 기능적 그룹인 다수의 셀을 지칭할 수 있다. 짝수 페이지 및 홀수 페이지는 별개의 쓰기 및/또는 읽기 동작으로 쓰기 및/또는 읽기 될 수 있다. 멀티레벨 셀(MLC)을 포함하는 실시예에 대해, 물리적 페이지는 예컨대 데이터의 상위 페이지와 하위 페이지로 논리적으로 분할될 수 있다. 예컨대, 하나의 메모리 셀은 데이터의 상위 페이지에 하나 이상의 비트를 그리고 데이터의 하위 페이지에 하나 이상의 비트를 이바지할 수 있다. 따라서, 데이터의 상위 페이지 및 하위 페이지는, 논리적 상위 페이지 및 논리적 하위 페이지가 둘 다 동일 물리적 페이지의 일부이므로, 하나의 쓰기 및/또는 읽기 동작의 일부로서 쓰기 및/또는 읽기 될 수 있다.
- [0024] 도 1의 실시예는 본 발명의 실시예를 모호하게 하지 않기 위해 예시되지 않은 부가적 회로를 포함할 수 있다. 예컨대, 메모리 시스템(104)은 I/O 회로를 통해 I/O 커넥션 너머로 제공된 어드레스 신호를 래칭하기 위해 어드레스 회로를 포함할 수 있다. 어드레스 신호는 메모리 디바이스(110-1, ..., 110-N)에 액세스하기 위해 로우 디코더 및 칼럼 디코더에 의해 수신 및 디코딩될 수 있다. 어드레스 입력 커넥션의 수는 메모리 디바이스(110-1, ..., 110-N)의 밀도 및 아키텍처에 의존할 수 있음을 당업자는 인식할 것이다.
- [0025] 일반적으로, 컨트롤러(108)는 호스트(102)로부터, 예컨대, PCIe 버스로부터 수신된 커맨트 패킷을 호스트-메모리 번역 회로용 커맨드 명령어로 변환하는 것 및 메모리 응답을 요청 호스트로의 송신용 호스트 시스템 커맨드로 변환하는 것을 책임지고 있다.
- [0026] 하나 이상의 실시예에 있어서, 데이터는 메모리 디바이스에 한번에 일 페이지 쓰기될 수 있다. 메모리 디바이스에서의 각각의 페이지는 다수의 물리적 섹터를 가질 수 있고 각각의 물리적 섹터는 LBA와 연관될 수 있다. 예로서, 물리적 페이지는 데이터의 8개의 물리적 섹터를 가질 수 있다. 그렇지만, 실시예는 물리적 페이지 당 특정 수의 물리적 섹터에 국한되는 것은 아니다.
- [0027] 도 2는 본 발명의 하나 이상의 실시예에 따라 다수의 임계 전압 분포 및 감지 전압을 표현하는 그래프를 예시하고 있다. 도 2에 도시된 예는 1-비트, 예컨대, 2개의 상태 메모리 셀을 표현한다. 그렇지만, 본 발명의 실시예는 1-비트 메모리 셀의 이러한 예에 국한되는 것은 아니다.
- [0028] 도 2에 도시된 바와 같이, 임계 전압(V_t) 분포(220, 221)는, 각자, 메모리 셀이 프로그래밍될 수 있는 2개의 상태, 예컨대, L0 및 L1을 표현한다. 상태 L0은 데이터 0에 대응할 수 있고 상태 L1은 데이터 1에 대응할 수 있다. 그렇지만, 실시예는 이들 데이터 할당에 국한되는 것은 아니다. 곡선(222)은 V_t 분포(220, 221)의 합을 표현할 수 있다.
- [0029] V_t 분포(220, 221)는 대응하는 상태로 프로그래밍되는 다수의 메모리 셀을 표현할 수 있는데, V_t 분포 곡선의 높이는, 평균하여, V_t 분포 내 특정 전압으로 프로그래밍된 다수의 셀을 나타낸다. V_t 분포 곡선의 폭은 특정 상태를 표현하는 전압의 범위를 나타낸다, 예컨대, L0에 대한 V_t 분포 곡선(220)의 폭은 데이터 0에 대응하는 전압의 범위를 표현한다.
- [0030] 다수의 감지 전압이 도 2에 예시되어 있다. 그러한 감지 전압은 다른 감지 전압 중에서도 프로그램 검증 전압 및/또는 읽기 전압을 포함할 수 있다. 도 2에 예시된 예에 있어서, 전압 레벨(223-1(R1), 223-2(R2), 223-3(R3))은 감지 동작 동안 상태 L0과 L1 사이를 구별하는데 사용될 수 있는 감지 전압, 예컨대, 읽기 전압을 표현한다. NAND 스트링에서 선택된 메모리 셀 상에 수행되는 감지 동작에 있어서, 스트링의 선택되지 않은 메모리 셀은 도전 상태에 있도록 통과 전압으로 바이어싱될 수 있다.

- [0031] 메모리 셀의 감지된 상태는 다수의 메커니즘에 기인하여 시간에 따라 변동, 예컨대, 편이될 수 있다. 예컨대, 메모리 셀의 전하 축적 구조, 예컨대, 부동 게이트는 시간에 따라 전하를 잃을 수 있다. 그러한 전하 손실은 셀의 V_t 변동, 예컨대, 감소를 야기할 수 있다. 부가적으로, 메모리 셀이 시간에 따라 프로그래밍 및/또는 감지 동작을 거침에 따라, 프로그램 장애 및/또는 읽기 장애 메커니즘이 셀의 V_t 변동, 예컨대, 증가를 야기할 수 있다. 당업자에 의해 인식될 바와 같이, 또한 다른 메커니즘이 메모리 셀의 감지된 상태의 시간에 따른 변동을 야기할 수 있다.
- [0032] 어떤 경우에 있어서, V_t 변동은 메모리 셀의 감지된 상태를 바꿀 수 있다. 예컨대, 메모리 셀이 L1, 예컨대, 데이터 1의 표적 상태로 프로그래밍되어 있으면, 전하 손실은 메모리 셀의 V_t 가 R3보다 작은 레벨로 또는 어쩌면 V_t 분포(220) 내 상태 L0, 예컨대, 데이터 0에 대응하는 레벨로까지 감소하도록 야기할 수 있다.
- [0033] 따라서, 그러한 V_t 변동은 도 2에 예시된 감지 전압, 예컨대, 읽기 전압(R1, R2, R3)을 사용하여 메모리 셀 상에 수행되는 감지 동작 동안 오류 데이터가 감지되는 결과를 초래할 수 있다. 예컨대, 도 2에 예시된 감지 전압을 사용하여 감지 동작을 수행하는 것은 셀이 프로그래밍되었던 표적 상태 이 아닌 상태를 메모리 셀이 표현하고 있다는 결정의 결과를 초래할 수 있다. 예를 들어, L1의 표적 상태로 프로그래밍되었고 전하 손실을 거친 메모리 셀 상에 수행되는 감지 동작은, 감지 동작에서 읽기 전압(R3)이 사용되고 있으면, 셀의 상태를 L0으로 감지할 수 있다. 즉, 읽기 전압(R3)을 사용하는 것은 데이터 1을 저장하도록 프로그래밍된 셀이 데이터 0을 저장하고 있는 것으로 오류 감지되는 결과를 초래할 수 있다.
- [0034] 그와 같이, V_t 변동이 발생하기 전에 수행된 감지 동작 동안 사용된 감지 전압은 V_t 변동, 예컨대, 전하 손실을 거친 메모리 셀의 정확하고/정확하거나 신뢰할만한 감지를 더 이상 제공할 수 없다. 그러므로, V_t 분포에서의 V_t 변동을 해명하도록 메모리 셀과 연관된 소프트 데이터 및/또는 하드 데이터를 결정하는 것이 이로울 수 있다.
- [0035] 도 2에 예시된 바와 같이, 다수의 메모리 셀은 읽기 전압(R1) 및 읽기 전압(R2)을 사용하여 읽기 될 수 있다. 메모리 디바이스 상의 불량 비트 계수 회로는 읽기 전압(R1) 및 읽기 전압(R2)을 사용하는 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀($224-1(C_{12})$)의 수량을 결정하도록 사용될 수 있다. 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀, 예컨대, C_{12} 의 수량은 셀의 수 대 임계 전압의 제1 미분을 표현하는 곡선의 국소 최소값을 근사하도록 사용될 수 있다. 셀의 수 대 임계 전압의 제1 미분을 표현하는 곡선의 국소 최저값은 다시 읽기 때 상태가 변동될 셀의 수를 최소화하는 감지 신호, 예컨대, 더 높거나 또는 더 낮은 감지 전압을 결정하도록 사용될 수 있다.
- [0036] 하나 이상의 실시예에 있어서, 메모리 셀(C_{12})의 수량은 표준 ECC를 거쳐 정정가능한 메모리 셀의 임계 수량에 비교될 수 있다. 메모리 셀(C_{12})의 수량이 표준 ECC에 의해 정정가능한 메모리 셀의 임계 수량보다 작거나 같으면, R1 또는 R2에서 읽기에 대응하는 데이터는 메모리 셀과 연관된 하드 데이터로 외부 컨트롤러에 출력된다. 메모리 셀의 수량이 임계값 아래에 있으므로, ECC 컴포넌트, 예컨대, ECC 컴포넌트(112)는 데이터 내 오류 비트를 정정할 수 있다.
- [0037] 메모리 셀(C_{12})의 수량이 표준 ECC를 거쳐 정정가능한 메모리 셀의 임계 수량보다 더 크면, 읽기 전압(R3)을 사용하여 또 다른 읽기가 수행된다. 메모리 디바이스 상의 불량 비트 계수 회로는 읽기 전압(R2) 및 읽기 전압(R3)을 사용하는 읽기 동작 사이에서 상태가 변동된 메모리 셀($224-2(C_{23})$)의 수량을 결정하도록 사용될 수 있다. 메모리 셀(C_{23})의 수량이 표준 ECC에 의해 정정가능한 메모리 셀의 임계 수량보다 작거나 같으면, R2 또는 R3에서의 읽기에 대응하는 데이터는 메모리 셀과 연관된 하드 데이터로 외부 컨트롤러에 출력된다.
- [0038] 하나 이상의 실시예에 있어서, 2개의 읽기 전압을 사용하는 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀의 수량이 표준 ECC에 의해 정정가능한 메모리 셀의 임계 수량보다 더 크면, 다른 읽기 전압을 사용하는 2개의 연속하는 읽기 동작 사이에서 상태가 변동되는 메모리 셀의 수량이 표준 ECC에 의해 정정가능한 메모리 셀의 임계 수량보다 작거나 같을 때까지 또 다른 읽기가 다른 읽기 전압을 사용하여 수행된다.
- [0039] 하나 이상의 실시예에 있어서, 2개의 읽기 전압을 사용하는 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀의 수량이 영이면, 예컨대, 메모리 셀 중 어떠한 것도 상태가 변동되지 않았으면, 2개의 읽기 전압 중 하나에 대응하는 데이터가 메모리 셀과 연관된 하드 데이터로 컨트롤러에 출력된다.
- [0040] 하나 이상의 실시예에 있어서, 2개의 읽기 전압을 사용하는 연속하는 읽기 동작 사이에서 상태가 변동된 메모리

셀의 수량 및/또는 데이터의 상태를 결정하도록 사용된 읽기 전압에 대응하는 데이터는 디바이스의 캐시에와 같이 메모리 디바이스 상에 저장될 수 있다. 2개의 읽기 전압을 사용하는 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀의 수량 및 데이터의 상태를 결정하도록 사용된 읽기 전압에 대응하는 데이터는 읽기 전압 중 하나에 대응하는 데이터가 메모리 셀과 연관된 하드 데이터로 외부 컨트롤러에 출력될 때까지 메모리 디바이스 상에 저장될 수 있다.

[0041] 도 3은 본 발명의 하나 이상의 실시예에 따라 다수의 임계 전압 분포 및 감지 신호를 표현하는 그래프를 예시하고 있다. 도 3에 도시된 예는 1-비트, 예컨대, 2개-상태 메모리 셀을 표현한다. 그렇지만, 본 발명의 실시예는, 당업자에 의해 인식될 바와 같이, 1-비트 메모리 셀의 이러한 예에 국한되는 것은 아니다.

[0042] 도 3에 도시된 바와 같이, 임계 전압(V_t) 분포(325, 326)는, 각자, 메모리 셀이 프로그래밍될 수 있는 2개의 상태, 예컨대, L0 및 L1을 표현한다. 상태 L0는 데이터 0에 대응할 수 있고 상태 L1은 데이터 1에 대응할 수 있다. 그렇지만, 실시예는 이들 데이터 할당에 국한되는 것은 아니다. 곡선(327)은 V_t 분포(325, 326)의 합을 표현할 수 있다.

[0043] 다수의 감지 전압이 도 3에 예시되어 있다. 그러한 감지 전압은 다른 감지 전압 중에서도 프로그램 검증 전압 및/또는 읽기 전압을 포함할 수 있다. 도 3에 예시된 예에 있어서, 전압 레벨(328-1(R1), 328-2(R2), 328-3(R3), 328-4(R4), 328-5(R5))은 감지 동작 동안 상태 L0과 L1 사이를 구별하는데 사용될 수 있는 감지 전압, 예컨대, 읽기 전압을 표현한다. 읽기 전압(R1, R2, R3, R4, R5)은 200mV 미만의 동일 증분만큼씩 떨어져 있을 수 있다, 예컨대, R1은 1.0V이고, R2는 1.1V이고, R3는 1.2V이고, R4는 1.3V이고, R5는 1.4V이다. 그렇지만, 실시예는 동일 증분만큼씩 떨어져 있는 감지 전압을 사용하는 것 및/또는 200mV 미만의 증분에 국한되는 것은 아니다.

[0044] 도 3에 예시되고 아래에 설명되는 바와 같이, 읽기 전압 및 불량 비트 계수 회로는 예컨대 V_t 분포에서의 V_t 변동을 해명하도록 메모리 셀과 연관된 소프트 데이터 및/또는 하드 데이터를 결정하는데 사용될 수 있다. 메모리 셀과 연관된 소프트 데이터 및/또는 하드 데이터는 각각의 읽기를 위해 메모리 디바이스에, 예컨대, 메모리 디바이스의 캐시에 저장될 수 있고, 그 후, 예컨대, 하드 데이터만을 출력할지(오류를 정정하도록 표준 ECC 동작이 사용될 수 있는 경우), 또는, 예컨대, 하드 데이터 및 소프트 데이터를 출력할지(오류를 정정하도록 더 고급 ECC 동작이 사용될 수 있는 경우) 결정될 때 외부 컨트롤러에 보내질 수 있다. 다수의 메모리 셀이 읽기 전압(R1) 및 읽기 전압(R2)을 사용하여 읽기 될 수 있다. 메모리 디바이스 상의 불량 비트 계수 회로는 읽기 전압(R1) 및 읽기 전압(R2)을 사용하는 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀(329-1(C_{12}))의 수량을 결정하도록 사용될 수 있다.

[0045] 하나 이상의 실시예에 있어서, 전압(R1)에서 그리고 읽기 전압(R2)에서 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀(C_{12})의 수량은 표준 ECC를 거쳐 정정가능한 메모리 셀의 임계 수량에 비교될 수 있다. 메모리 셀(C_{12})의 수량이 표준 ECC를 거쳐 정정가능한 메모리 셀의 임계 수량보다 작거나 같으면, R1 또는 R2에서 읽기에 대응하는 데이터는 메모리 셀과 연관된 하드 데이터로 외부 컨트롤러에 출력된다.

[0046] 메모리 셀(C_{12})의 수량이 표준 ECC를 거쳐 정정가능한 메모리 셀의 임계 수량보다 더 크면, 읽기 전압(R3)을 사용하여 또 다른 읽기가 수행된다. 메모리 디바이스 상의 불량 비트 계수 회로는 읽기 전압(R2)에서 그리고 읽기 전압(R3)에서 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀(329-2(C_{23}))의 수량을 결정하도록 사용될 수 있다. 메모리 셀(C_{23})의 수량이 표준 ECC를 거쳐 정정가능한 메모리 셀의 임계 수량보다 작거나 같으면, R2 또는 R3에서의 읽기에 대응하는 데이터는 메모리 셀과 연관된 하드 데이터로 외부 컨트롤러에 출력된다.

[0047] 메모리 셀(C_{23})의 수량이 표준 ECC를 거쳐 정정가능한 메모리 셀의 임계 수량보다 더 크면, 읽기 전압(R4)을 사용하여 또 다른 읽기가 수행된다. 메모리 디바이스 상의 불량 비트 계수 회로는 읽기 전압(R3)에서 그리고 읽기 전압(R4)에서 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀(329-3(C_{34}))의 수량을 결정하도록 사용될 수 있다. 메모리 셀(C_{34})의 수량이 표준 ECC를 거쳐 정정가능한 메모리 셀의 임계 수량보다 작거나 같으면, R3 또는 R4에서의 읽기에 대응하는 데이터는 메모리 셀과 연관된 하드 데이터로 외부 컨트롤러에 출력된다.

[0048] 메모리 셀(C_{34})의 수량이 표준 ECC를 거쳐 정정가능한 메모리 셀의 임계 수량보다 더 크면, 읽기 전압(R5)을 사용하여 또 다른 읽기가 수행된다. 메모리 디바이스 상의 불량 비트 계수 회로는 읽기 전압(R4)에서 그리고 읽기

전압(R5)에서 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀(329-4(C₄₅))의 수량을 결정하도록 사용될 수 있다. 메모리 셀(C₄₅)의 수량이 표준 ECC를 거쳐 정정가능한 메모리 셀의 임계 수량보다 작거나 같으면, R4 또는 R5에서의 읽기에 대응하는 데이터는 메모리 셀과 연관된 하드 데이터로 외부 컨트롤러에 출력된다.

[0049] 메모리 셀(C₄₅)의 수량이 표준 ECC를 거쳐 정정가능한 메모리 셀의 임계 수량보다 여전히 더 크면, 상태가 변동된 메모리 셀의 가장 낮은 수량과 연관된 읽기 동작 중 하나에 대응하는 데이터는 메모리 셀과 연관된 하드 데이터로 외부 컨트롤러에 출력될 수 있다. 예컨대, R3에 대응하는 데이터가 메모리 셀과 연관된 하드 데이터로 외부 컨트롤러에 출력될 수 있다. 나머지 읽기 중 하나 이상에 대응하는 데이터는 메모리 셀과 연관된 소프트 데이터로 외부 컨트롤러에 출력될 수 있다. 예컨대, R1, R2, R4 및/또는 R5에 대응하는 데이터는 메모리 셀과 연관된 소프트 데이터로 외부 컨트롤러에 출력될 수 있다. 소프트 데이터는 고급 ECC 동작을 수행하도록 외부 컨트롤러에 의해 사용될 수 있다.

[0050] 하나 이상의 실시예에 있어서, 다수의 읽기 동작, 예컨대, 5개의 읽기 동작이 수행될 수 있고 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀의 다수의 수량이 결정될 수 있다. 연속하는 읽기 동작 사이에서 상태가 변동된 메모리 셀의 수량은 표준 ECC를 거쳐 정정가능한 임계 수량에 및/또는 읽기 동작 사이에서 상태가 변동된 메모리 셀의 이전에 결정된 수량에 비교될 수 있다. 읽기 전압에 기초하여 메모리 셀과 연관된 소프트 데이터 및/또는 하드 데이터, 예컨대, 하드 데이터만 또는 하드 데이터와 소프트 데이터를 출력하는 결정은, 위에서 설명된 바와 같이, 이러한 비교를 거쳐 이루어질 수 있다.

[0051] 그와 같이, 본 발명의 하나 이상의 실시예에 있어서, 소프트 데이터는, 다수의 메모리 셀로부터 읽혀진 데이터를 정정하도록 고급 ECC가 사용되거나 필요로 될 수 있을 때에만과 같이, 메모리 디바이스로부터 메모리 디바이스의 외부 컨트롤러에 선택적으로 제공될 수 있다. 예를 들어, 연속하는 읽기 결과, 본 명세서에서 설명된 실시예에 따라, 비트의 결정된 수량이, 예컨대, 소프트 데이터 없이 표준 ECC를 거쳐 정정가능하면, 다수의 메모리 셀과 연관된 소프트 데이터는 외부 컨트롤러에 반드시 제공되는 것은 아니다.

[0052] 본 발명은 데이터 감지 방법 및 디바이스를 포함한다. 하나의 그러한 방법은, 다수의 다른 감지 전압을 사용하여 다수의 메모리 셀 상에 다수의 연속하는 감지 동작을 수행하는 단계, 다수의 연속하는 감지 동작의 연속적 감지 동작 사이에서 상태가 변동되는 다수의 메모리 셀의 수량을 결정하는 단계, 및, 연속적 감지 동작 사이에서 상태가 변동되는 다수의 메모리 셀의 결정된 수량에 적어도 부분적으로 기초하여, 다수의 연속하는 감지 동작 중 하나에 대응하는 하드 데이터를 출력할지를 결정하는 단계를 포함한다.

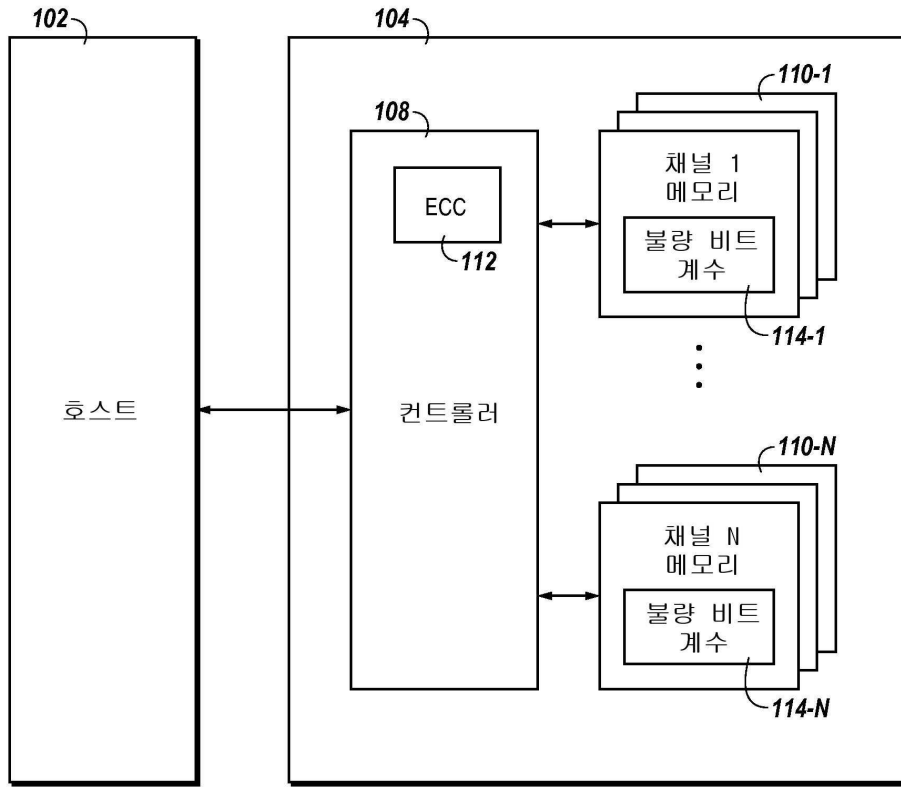
[0053] 본 명세서에서는 특정 실시예가 예시되고 설명되었지만, 나타난 특정 실시예에 대해 동일 결과를 달성하도록 계산된 배열이 대체될 수 있음을 당업자는 인식할 것이다. 이러한 개시는 본 발명의 다수의 실시예의 적응 또는 변종을 망라하려는 의도이다. 위의 설명은 제한적 방식이 아니라 예시적 방식으로 이루어졌음을 이해해야 한다. 위 실시예들의 조합, 및 본 명세서에서 구체적으로 설명되지는 않은 다른 실시예가 당업자에게는 위 설명을 검토할 때 명백하게 될 것이다. 본 발명의 다수의 실시예의 범위는 위 구조 및 방법이 사용되는 다른 애플리케이션을 포함한다. 그러므로, 본 발명의 다수의 실시예의 범위는 첨부된 청구범위와 더불어 그러한 청구범위가 권리를 갖는 균등물의 전 범위를 참조하여 결정되어야 한다.

[0054] 이상의 상세한 설명에 있어서는, 개시를 능률화하려는 목적으로 몇몇 특징이 단일 실시예에 함께 그룹화되어 있다. 본 명세서의 이러한 방식은 본 발명의 개시된 실시예가 각각의 청구항에서 명시적으로 열거되는 것보다 더 많은 특징을 사용해야 한다는 의도를 반영하는 것으로 해석되려는 것은 아니다. 오히려, 이하의 청구범위가 반영하는 바와 같이, 진보된 당해 사항은 단일의 개시된 실시예의 모든 특징보다 더 적은 특징에 있는 것이다. 그러므로, 이로써 이하의 청구범위는 상세한 설명 내에 편입되는 것이고, 각각의 청구항은 별개의 실시예로서 독립하여 있는 것이다.

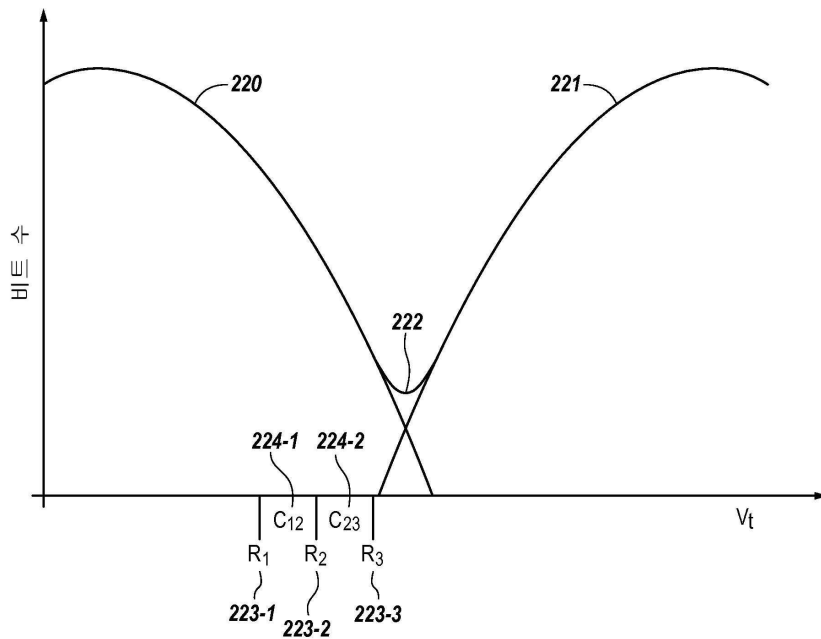
도면

도면1

100



도면2



도면3

