



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

228092

(11) (B1)

(22) Přihlášeno 31 12 82  
(21) (PV 10144-82)

(51) Int. Cl.<sup>3</sup>  
G 06 F 9/36

(40) Zveřejněno 15 09 83

(45) Vydáno 15 02 86

(75)  
Autor vynálezu

STRONER PETR ing., BARTŮNEK IVAN ing., PŘEČEK ZDENĚK ing.,  
KUČERA PETR ing., PRAHA

(54) Zapojení pro dynamickou transformaci adresy operační paměti

1

Vynález se týká zapojení pro dynamickou transformaci adresy operační paměti, kdy se část adresy slova nebo celá adresa slova v paměti mění na jinou adresu podle předem zvoleného přiřazení a tím se mění logický i fyzický význam adresování paměti podle požadavků zavedeného programu.

Dynamická transformace adresy pracovní paměti umožňuje rozšiřování adresního prostoru například samočinného počítače při zachování délky adresního slova. Přitom se umožňuje měnit logické i fyzické umístění zapamatované informace podle potřeb řídicího programu. Při dynamické transformaci dochází ke změně obsahu případně i ke změně délky adresního slova, a to v závislosti na obsahu transformační tabulky, která obsahuje převodní klíč. Tato tabulka je umístěna v takzvané transformační paměti, nazývané též adresní mapa. Užitečnost takového systému je tím vyšší, čím pružnější a pohotovější je způsob změny adres. V dosud známých systémech určuje celkovou dobu paměťového cyklu součet doby nutné k vytvoření nové adresy s dobou čtení nebo se zápisovým cyklem paměti. Doba nutná k vytvoření nové adresy sestává z inkrementace či přepsání adresního čítače, přivedení jeho obsahu na adresní část paměti, provedení paměťového cyklu a odebrání dat z výstupu paměti. Modifikace adresy prováděné z adresního čítače podle transformační formule určené adresní mapou je tedy operace navíc, dosud do délky paměťového cyklu nezačleněná a tudíž prodlužující celkovou dobu paměťového cyklu. Prodloužení paměťového cyklu vede přímo ke zpomalení činnosti celého počítače, v němž je dynamické mapování paměti použito.

Uvedené nevýhody známých zapojení odstraňuje do značné míry zapojení pro dynamickou transformaci adresy operační paměti podle vynálezu. Podstata vynálezu spočívá v tom, že první vstupní svorka zapojení je spojena se vstupem prvního vstupního obvodu, jehož výstup je spojen s prvním povelovým vstupem každé operační paměti a se vstupem zpoždovacího obvodu.

Výstup zpožďovacího obvodu je spojen se druhým povelovým vstupem každé operační paměti. Druhý adresní vstup každé operační paměti je spojen s prvním skupinovým výstupem transformační paměti. Adresní vstup transformační paměti je spojen s adresní svorkou zapojení. Druhý skupinový výstup transformační paměti je spojen s adresním vstupem kódovacího obvodu. Povelový vstup kódovacího obvodu je spojen s povelovou vstupní svorkou zapojení. Každý uvolňovací výstup kódovacího obvodu je spojen se druhým vstupem odpovídajícího součtového obvodu. První vstup každého součtového obvodu je spojen s výstupem časového obvodu. Vstup časového obvodu je spojen se druhou vstupní svorkou zapojení. Skupinová vstupní svorka zapojení je spojena se skupinovým vstupem druhého vstupního obvodu. Výstup druhého vstupního obvodu je spojen s prvním adresním vstupem každé operační paměti.

Zapojení pro dynamickou transformaci adresy operační paměti je zvláště výhodné, protože snadno realizovatelnými prostředky zajišťuje mapování adresy operační paměti, aniž by kladlo nároky na přídavné časy, které způsobují časovou degradaci celého systému. Přitom pracovní podmínky operační paměti zůstávají stejné jak při využití mapového systému, tak i bez něj. Výhodou zapojení je též to, že umožňuje zastavení průběhu paměťového cyklu při rozpoznání podmínek pro toto zastavení. Jedná se o situace, kdy z hodnoty adresy přijaté řídícími obvody paměti se zároveň zjišťuje například podmíněná ochrana konkrétní lokace nebo stránky paměti. Zapojení umožní zablokování vyvolaného paměťového cyklu a zabezpečí požadovanou ochranu paměti. Ani tato funkce nepředstavuje přídavné časy a tudíž zpomalení paměťového cyklu. Rovněž přesná synchronní činnost celého zapojení je výhodou při spojování mapované paměti s dalšími obvody vyšších hardwareových celků.

Příklad zapojení podle vynálezu je znázorněn na připojených výkresech v blokovém schématu na obr. 1. Na obr. 2 je znázorněn časový průběh signálu na důležitých vstupech a výstupech zapojení při aktivaci první operační paměti.

Technické prostředky, z nichž je zapojení jednotlivých bloků vytvořeno, jsou vešměs známé obvody číslicové techniky, snadno realizovatelné různými způsoby. Proto není zapojení jednotlivých bloků podrobně rozkresleno. Jednotlivé bloky je možno charakterizovat takto. Transformační paměť 1 je statická nebo dynamická paměť typu RAM s pomocnými obvody a slouží jako adresní mapa. Kódovací obvod 2 je v podstatě kódér transformující část adresní informace, která do něho přichází z transformační paměti 1 přes jeho adresní vstup 22. Zpožďovací obvod 3 je vytvořen zpožďovací linkou nebo jiným časovým členem. Slouží ke vytvoření zpoždění povelu ke čtení z operačních pamětí 6.1 až 6.n. Časový obvod 4 je vytvořen jako monostabilní klopný obvod nebo jako obvod, ve kterém se provádí výběr určitého časového intervalu ze vstupních časových značek.

Všechny součtové obvody 5.1, 5.2 až 5.n jsou stejné, jsou vytvořeny kombinací logických hradel a vytváří se v nich součet signálů přicházejících na jejich vstupy. Všechny operační paměti 6.1, 6.2 až 6.n jsou stejné feritové paměti a jsou to jednotlivé části celkové operační paměti systému. Oba vstupní obvody 7 a 8 jsou stejné kombinační obvody vytvořené z hradel a slouží k úrovněvému, dynamickému i výkonovému přizpůsobení dat přiváděných na jejich vstupy. Všechny vstupy a výstupy, které mají společný logický nebo funkční význam, jsou označeny jako jeden spoj a jsou označeny jako skupinové.

Zapojení jednotlivých bloků pro dynamickou transformaci adresy operační paměti je provedeno takto. První vstupní svorka 01 zapojení je spojena se vstupem 71 prvního vstupního obvodu 7. Výstup 72 prvního vstupního obvodu 7 je spojen s prvním povelovým vstupem 64.n každé operační paměti 6.1 až 6.n a se vstupem 31 zpožďovacího obvodu 3. Výstup 32 zpožďovacího obvodu 3 je spojen se druhým povelovým vstupem 65.1 až 65.n každé operační paměti 6.1 až 6.n. Druhý adresní vstup 63.1 až 63.n každé operační paměti 6 je spojen s prvním skupinovým výstupem 12 transformační paměti 1. Adresní vstup 11 transformační paměti 1 je spojen s adresní svorkou 05 zapojení. Druhý skupinový výstup 13 transformační paměti 1 je spojen s adresním vstupem 22 kódovacího obvodu 2. Povelový vstup 21 kódovacího obvodu 2 je spojen s povelovou vstupní svorkou 04 zapojení. Každý uvolňovací výstup 23.1

až 23.n kódovacího obvodu 2 je spojen se druhým vstupem 52.1 až 52.n odpovídajícího součtového obvodu 5.1 až 5.n. První vstup 51.1 až 51.n každého součtového obvodu 5.1 až 5.n je spojen s výstupem 42 časového obvodu 4. Vstup 41 časového obvodu 4 je spojen se druhou vstupní svorkou 02 zapojení. Skupinová vstupní svorka 03 zapojení je spojena se skupinovým vstupem 81 druhého vstupního obvodu 8. Výstup 82 druhého vstupního obvodu 8 je spojen s prvním adresním vstupem 62.1 až 62.n každé operační paměti 6.1 až 6.n.

Zapojení pracuje takto: Na první vstupní svorku 01 zapojení a tím i na vstup 71 prvního vstupního obvodu 7 přichází časově definovaný signál, který představuje povel k započatí paměťového cyklu operačních pamětí 6.1 až 6.n. Z výstupu 72 prvního vstupního obvodu 7 přechází tento povel přízpůsobený úrovně, výkonově a dynamicky jednak přímo na všechny první povelové vstupy 64.1 až 64.n (obr. 2, řádek I.) všech operačních pamětí 6.1 až 6.n a jednak na vstup 31 zpoždovacího obvodu 3. Povelem přicházejícím na první povelové vstupy 64.1 až 64.n všech operačních pamětí 6.1 až 6.n se aktivují první adresní vodiče přivedené na první adresní vstupy 62.1 až 62.n (obr. 2, řádek III.) všech operačních pamětí 6.1 až 6.n pro potřebu provedení paměťového cyklu.

Druhé povelové vstupy 65.1 až 65.n (obr. 2, řádek II.) se aktivují až po určitém časovém intervalu, který se určuje ve zpoždovacím obvodu 3. Tento časový interval slouží k tomu, aby došlo k ustálení prvních adresních vodičů dříve, než se budou aktivovat druhé adresní vodiče přivedené na druhé adresní vstupy 63.1 až 63.n (obr. 2, řádek IV.) všech operačních pamětí 6.1 až 6.n. Tímto zpožděním se změní dynamické přeslechy způsobené přenosem mezi adresními vstupy 62.1 až 62.n a 63.1 až 63.n jednotlivých operačních pamětí 6.1 až 6.n a jejich datovými výstupy, které nejsou ve schématu znázorněny. První adresní vodiče se přivádějí k jednotlivým operačním pamětím 6.1 až 6.n ze skupinové vstupní svorky 03 zapojení na skupinový vstup 81 druhého vstupního obvodu 8 a z jeho skupinového výstupu 82 na první adresní vstupy 62.1 až 62.n všech operačních pamětí 6.1 až 6.n. Druhé adresní vodiče přicházejí z adresní svorky 05 zapojení na adresní vstup 11 transformační paměti 1. Z transformační paměti 1 se část adresy určené adresním vstupem 11 transformační paměti 1 mění podle předem zvoleného klíče zapsaného na jednotlivých paměťových místech transformační paměti 1.

Způsob zápisu tohoto přiřazovacího klíče se nepopisuje, protože se netýká předmětu vynálezu. Část transformované adresy paměti se vede z prvního skupinového výstupu 12 transformační paměti 1 na druhý adresní vstup 63.1, 63.2 až 63.n každé operační paměti 6.1, 6.2 až 6.n. Dále se část transformované adresy vede ze druhého skupinového výstupu 13 transformační paměti 1 na adresní vstup 22 kódovacího obvodu 2. Kódovací obvod 2 aktivuje při splnění vnějších podmínek, které mají charakter povelu k vlastnímu mapování, jeden ze svých uvolňovacích výstupů 23.1, 23.2 až 23.n. Tím se též určí, který ze součtových obvodů 5.1, 5.2 až 5.n se bude aktivovat tak, aby svým výstupem 53.1, 53.2 až 53.n uvolnil odpovídající uvolňovací vstup 61.1 (obr. 2, řádek VIII.), 61.2 až 61.n (obr. 2, řádek VII.) příslušné operační paměti 6.1, 6.2 až 6.n.

Činnost transformační paměti 1, kódovacího obvodu 2 a součtových obvodů 5.1, 5.2 až 5.n trvá určitou dobu, i když jsou tyto obvody vytvořeny z co nejrychlejších prvků. Tato činnost by za normálních okolností nutně vedla ke zpomalení paměťového cyklu mapovaných pamětí, protože se přičítá k normálnímu času potřebnému k provedení paměťového cyklu, pokud se do něho zahrnuje i příprava adresy a aktivace adresních vodičů. Operační paměti 6.1 až 6.n jsou vytvořeny tak, že jejich uvolňovací vstupy 61.1, 61.2 až 61.n, z nichž může být pro paměťový cyklus uvolněn jenom jeden, podmiňují význam všech adresních vstupů 62.1, 62.2 až 62.n a 63.1, 63.2 až 63.n i povelových vstupů 64.1, 64.2 až 64.n i 65.1, 65.2 až 65.n operačních pamětí 6.1, 6.2 až 6.n. Je tedy zřejmé, že předstih prvních adresních vodičů proti druhým adresním vodičům by neměl význam, pokud by se současně neaktivoval některý z uvolňovacích vstupů 61.1, 61.2 až 61.n operačních pamětí 6.1, 6.2 až 6.n.

Vzhledem k tomu, že v době aktivace prvních adresních vodičů na prvních adresních

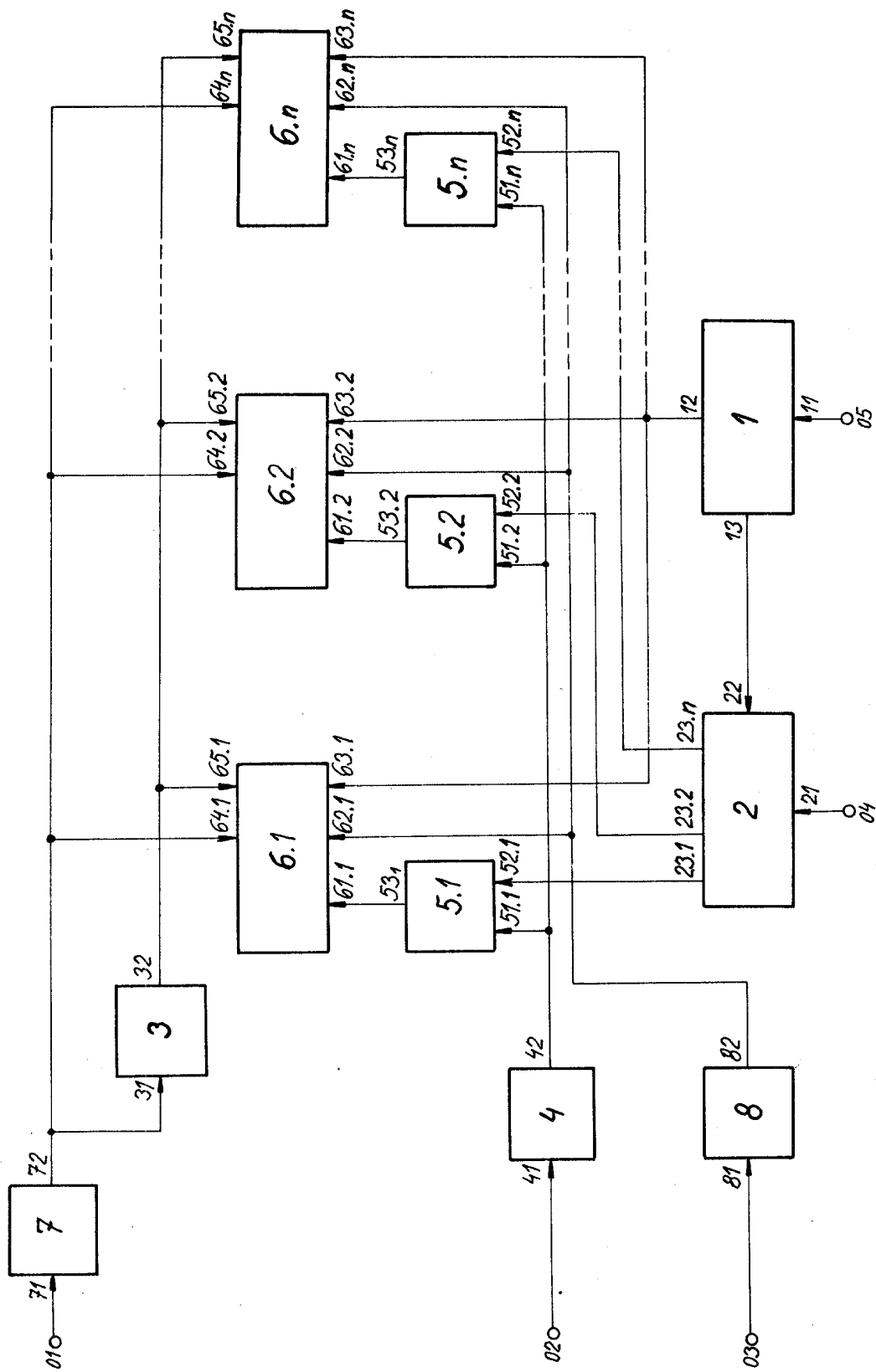
vstupech 62.1, 62.2 až 62.n operačních pamětí 6.1, 6.2 až 6.n jejich prvními povelovými vstupy 64.1, 64.2 až 64.n není ještě k dispozici žádný platný uvolňovací výstup 23.1, 23.2 až 23.n kódovacího obvodu 2. Na dobu překrývající neplatnost uvolňovacích výstupů 23.1, 23.2 až 23.n kódovacího obvodu 2 jsou všechny součtové obvody 5.1, 5.2 až 5.n uvolněny svými prvními vstupy 51.1, 51.2 až 51.n (obr. 2, řádek V.), na které přichází časově definovaný signál z výstupu 42 časového obvodu 4, na jehož vstup 41 přichází ze druhé vstupní svorky 02 zapojení časový signál synchronní s ostatními signály na dalších vstupních svorkách 01, 03, 04 a 05 zapojení. Obvody, z nichž tyto signály přicházejí, nejsou předmětem vynálezu a proto se podrobněji nepopisují.

Časový obvod 4 je dimenzován tak, aby v okamžiku, kdy odezní signál na jeho výstupu 42, byl již platný jeden, avšak pouze jeden z uvolňovacích výstupů 23.1, 23.2 až 23.n kódovacího obvodu 2 za současné platnosti dat na obojích adresních vstupech 62.1, 62.2 až 62.n a 63.1, 63.2 až 63.n operačních pamětí 6.1, 6.2 až 6.n, a to ještě před příchodem signálu na jejich druhé povelové vstupy 65.1, 65.2 až 65.n. Tak dojde k dokončení paměťového cyklu pouze operační paměti 6.1, 6.2 až 6.n vybrané podle mapovacího přiřazení zakódovaného v transformační paměti 1, přičemž paměťový cyklus byl zahájen s předstihem oproti platné adrese na všech operačních pamětech 6.1, 6.2 až 6.n současně. Rozpracování paměťových cyklů na všech paralelně adresovaných operačních pamětech 6.1, 6.2 až 6.n nemá při vhodném řešení žádný negativní vliv ani na kvalitu dokončeného cyklu ani na napájecí soustavu zapojení.

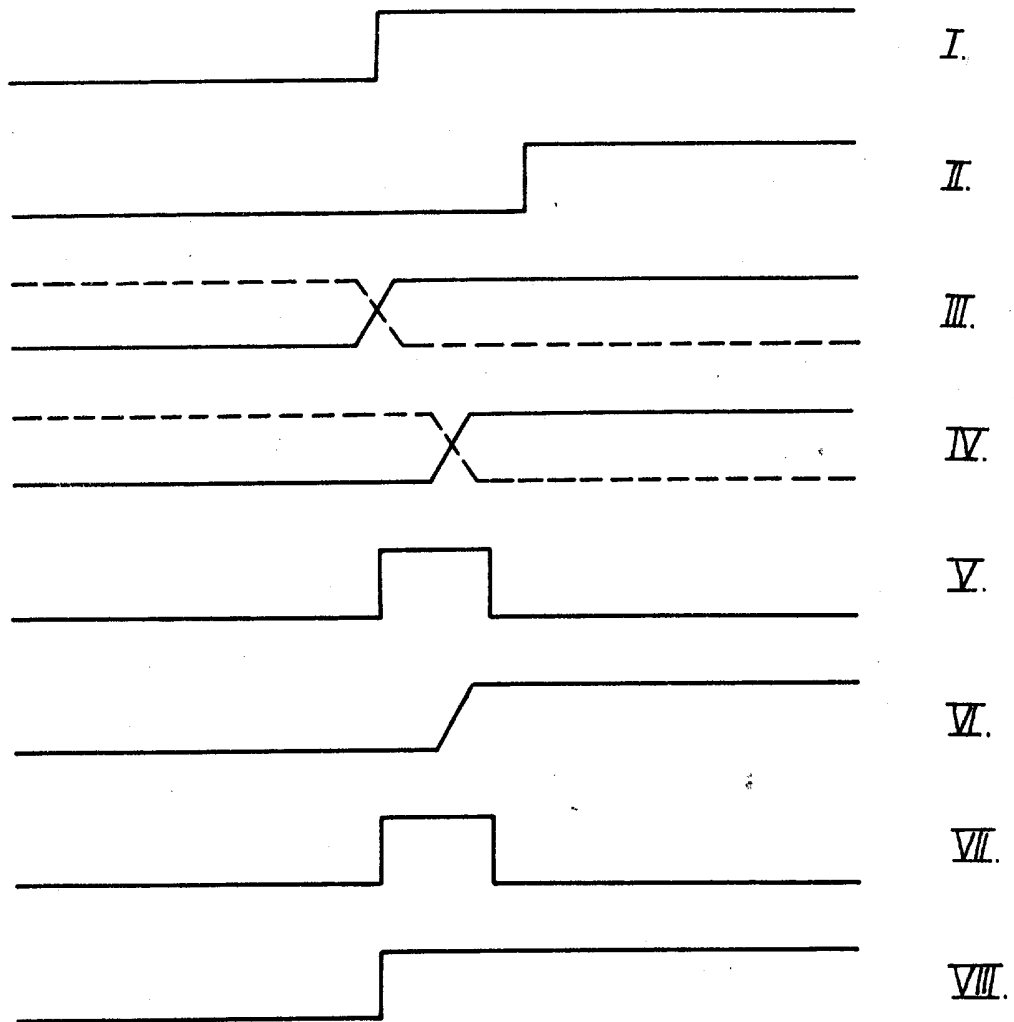
Zapojení se využije při implementaci dynamického mapovacího systému v zařízeních vybavených planární feritovou třívodičovou pamětí s jednostranným diodovým výběrem zejména u řídícího počítače.

#### P R E D M Ě T V Y N Á L E Z U

Zapojení pro dynamickou transformaci adresy operační paměti, vyznačující se tím, že první vstupní svorka (01) zapojení je spojena se vstupem (71) prvního vstupního obvodu (7), jehož výstup (72) je spojen s prvním povelovým vstupem (64.1 až 64.n) každé operační paměti (6.1 až 6.n) a se vstupem (31) zpožďovacího obvodu (3), jehož výstup (32) je spojen se druhým povelovým vstupem (65.1 až 65.n) každé operační paměti (6.1 až 6.n), jejíž druhý adresní vstup (63.1 až 63.n) je spojen s prvním skupinovým výstupem (12) transformační paměti (1), jejíž adresní vstup (11) je spojen s adresní svorkou (05) zapojení a druhý skupinový výstup (13) transformační paměti (1) je spojen s adresním vstupem (22) kódovacího obvodu (2), jehož povelový vstup (21) je spojen s povelovou vstupní svorkou (04) zapojení a každý uvolňovací výstup (23.1 až 23.n) kódovacího obvodu (2) je spojen se druhým vstupem (52.1 až 52.n) odpovídajícího součtového obvodu (5.1 až 5.n), jehož první vstup (51.1 až 51.n) je spojen s výstupem (42) časového obvodu (4), jehož vstup (41) je spojen se druhou vstupní svorkou (02) zapojení, jehož skupinová vstupní svorka (03) je spojena se skupinovým vstupem (81) druhého vstupního obvodu (8), jehož výstup (82) je spojen s prvním adresním vstupem (62.1 až 62.n) každé operační paměti (6.1 až 6.n).



Obr. 1.



Obr. 2.