



(12)发明专利

(10)授权公告号 CN 103296087 B

(45)授权公告日 2017.12.12

(21)申请号 201310038706.2

(22)申请日 2013.01.31

(65)同一申请的已公布的文献号
申请公布号 CN 103296087 A

(43)申请公布日 2013.09.11

(30)优先权数据
10-2012-0021409 2012.02.29 KR

(73)专利权人 三星电子株式会社
地址 韩国京畿道
专利权人 三星显示有限公司

(72)发明人 孙暲锡 柳明官 金允相 金炫奭
朴俊哲 宣钟白 李相润

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 屈玉华

(51)Int.Cl.

H01L 29/78(2006.01)

H01L 29/06(2006.01)

H01L 29/10(2006.01)

(56)对比文件

CN 102184967 A, 2011.09.14, 说明书第
[0018]-[0028]段, 附图1.

US 2011/0090438 A1, 2011.04.21, 说明书
第[0027]段, 附图5.

JP 特开平7-193222 A, 1995.07.28, 说明书
第[0009]-[0018]段, 附图2.

审查员 张竞存

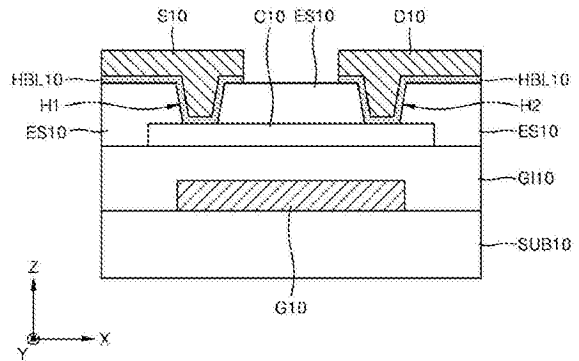
权利要求书2页 说明书12页 附图12页

(54)发明名称

晶体管、其制造方法以及包括该晶体管的电
子装置

(57)摘要

一种晶体管可以包括在包括氮氧化物的沟
道层与电连接到该沟道层的电极之间的空穴阻
挡层。该空穴阻挡层可以设置在该沟道层与源电
极和漏电极的至少之一之间的区域中。该沟道层
可以包括例如锌氮氧化物(ZnON)。空穴阻挡层的
价带最高能级可以低于沟道层的价带最高能级。



1. 一种晶体管,包括:
沟道层,包括氮氧化物半导体,所述氮氧化物半导体包括锌氮氧化物 (ZnON);
栅电极,与所述沟道层相应;
源电极,连接到所述沟道层的第一区域;
漏电极,连接到所述沟道层的第二区域;以及
空穴阻挡层,为由空穴阻挡材料形成的单个层并设置在所述沟道层与所述源电极和所述漏电极的至少之一之间,其中所述空穴阻挡层的电子亲和势和能带隙的总和大于所述沟道层的电子亲和势和能带隙的总和,
其中所述源电极和所述漏电极的所述至少之一由于所述空穴阻挡层而不与所述沟道层直接接触。
2. 根据权利要求1所述的晶体管,其中所述氮氧化物半导体还包括除了Zn之外的至少一种金属元素。
3. 根据权利要求1所述的晶体管,其中所述氮氧化物半导体的能带隙是从1.3eV到3.3eV。
4. 根据权利要求1所述的晶体管,其中所述空穴阻挡层的价带最高能级低于所述沟道层的价带最高能级。
5. 根据权利要求4所述的晶体管,其中所述空穴阻挡层的导带最低能级低于或等于所述沟道层的导带最低能级。
6. 根据权利要求4所述的晶体管,其中所述空穴阻挡层的导带最低能级高于所述沟道层的导带最低能级,所述空穴阻挡层具有配置为允许电子隧穿的厚度。
7. 根据权利要求1所述的晶体管,其中所述空穴阻挡层配置为降低所述晶体管的截止电流。
8. 根据权利要求1所述的晶体管,其中所述空穴阻挡层配置为增加所述晶体管的亚阈值斜率。
9. 根据权利要求1所述的晶体管,其中所述空穴阻挡层包括氧化物。
10. 根据权利要求9所述的晶体管,其中所述氧化物包括锌 (Zn) 氧化物、镉 (In) 氧化物、锡 (Sn) 氧化物、钛 (Ti) 氧化物、镓 (Ga) 氧化物、锆 (Zr) 氧化物、铪 (Hf) 氧化物、InZn氧化物、InSn氧化物、ZnSn氧化物、GaZn氧化物、HfIn氧化物、ZnTi氧化物、InTi氧化物、GaInZn氧化物、HfInZn氧化物、InZnSn氧化物、InGaSn氧化物及其混合物中的至少之一。
11. 根据权利要求1所述的晶体管,其中所述空穴阻挡层包括氮氧化物。
12. 根据权利要求11所述的晶体管,其中所述空穴阻挡层的所述氮氧化物是与所述沟道层的所述氮氧化物相同的类型。
13. 根据权利要求11所述的晶体管,其中所述空穴阻挡层的所述氮氧化物具有比所述沟道层的所述氮氧化物大的能带隙。
14. 根据权利要求11所述的晶体管,其中所述空穴阻挡层的所述氮氧化物具有比所述沟道层的所述氮氧化物高的氧浓度。
15. 根据权利要求1所述的晶体管,其中所述空穴阻挡层包括非氧化物。
16. 根据权利要求15所述的晶体管,其中所述空穴阻挡层包括以下至少之一:镓氮化物 (GaN)、镓砷化物 (GaAs)、镓磷化物 (GaP)、镉磷化物 (InP)、镉碲化物 (CdTe)、镉硫化物

(CdS)、锌硒化物 (ZnSe)、锌硫化物 (ZnS)、锌碲化物 (ZnTe)、铝砷化物 (AlAs)、铝镓砷化物 (AlGaAs)、铟镓磷化物 (InGaP)、镓砷磷化物 (GaAsP) 及其混合物。

17. 根据权利要求1所述的晶体管,其中所述空穴阻挡层具有0.5nm到500nm的厚度。

18. 根据权利要求1所述的晶体管,其中所述空穴阻挡层具有1nm到20nm的厚度。

19. 根据权利要求1所述的晶体管,其中所述空穴阻挡层在所述沟道层与所述源电极之间,以及所述空穴阻挡层在所述沟道层与所述漏电极之间。

20. 根据权利要求1所述的晶体管,其中所述栅电极设置在所述沟道层下。

21. 根据权利要求20所述的晶体管,还包括:

设置在所述沟道层上的蚀刻停止层。

22. 根据权利要求1所述的晶体管,其中所述栅电极设置在所述沟道层上方。

23. 一种电子装置,包括权利要求1所述的晶体管。

24. 根据权利要求23所述的电子装置,其中所述电子装置是显示装置。

25. 根据权利要求24所述的电子装置,其中所述显示装置是液晶显示器装置或有机发光显示器装置。

26. 根据权利要求23所述的电子装置,其中所述晶体管用作开关器件或驱动器件。

晶体管、其制造方法以及包括该晶体管的电子装置

技术领域

[0001] 本公开涉及晶体管、其制造方法以及包括该晶体管的电子装置。

背景技术

[0002] 晶体管广泛地用作各种电子装置中的开关器件或驱动器件。具体地，因为薄膜晶体管(TFT)可以被制造在玻璃基板或塑料基板上，所以TFT在与显示装置相关的领域是有用的，诸如液晶显示器装置或有机发光显示器装置。

[0003] 为了改善晶体管的操作特性，已经尝试应用具有高载流子迁移率的氧化物层作为沟道层的方法。这样的方法主要应用于显示装置的TFT。

发明内容

[0004] 提供包括氮氧化物半导体作为沟道层材料且具有优良性能的晶体管。

[0005] 提供能减少空穴传导的晶体管。

[0006] 提供具有低截止电流的晶体管。

[0007] 提供具有高亚阈值斜率的晶体管。

[0008] 提供制造所述晶体管的方法。

[0009] 提供包括所述晶体管的电子装置(例如，显示装置)。

[0010] 额外的方面将在以下的描述中部分地阐述，部分将从该描述明显，或者可以通过所给出的实施方式的实践而习知。

[0011] 根据示例实施方式，一种晶体管包括：沟道层，包括氮氧化物半导体；栅电极，与沟道层相应；源电极，连接到沟道层的第一区域；漏电极，连接到沟道层的第二区域；以及空穴阻挡层，设置在沟道层与源电极和漏电极的至少之一之间。

[0012] 氮氧化物半导体可以包括锌氮氧化物(ZnON)。

[0013] 氮氧化物半导体还可以包括除了Zn之外的至少一种金属元素。

[0014] 至少一种金属元素可以包括例如镓(Ga)、铪(Hf)、铝(Al)、铟(In)或锡(Sn)。

[0015] 氮氧化物半导体的能带隙可以是大约1.3eV到大约3.3eV。

[0016] 空穴阻挡层的价带最高能级可以低于沟道层的价带最高能级。

[0017] 空穴阻挡层的电子亲和势和能带隙的总和可以大于沟道层的电子亲和势和能带隙的总和。

[0018] 空穴阻挡层的导带最低能级可以低于或等于沟道层的导带最低能级。

[0019] 空穴阻挡层的导带最低能级可以高于沟道层的导带最低能级，空穴阻挡层可以具有配置为允许电子隧穿的厚度。例如，所述厚度可以低于或等于大约10nm。

[0020] 空穴阻挡层可以配置为降低晶体管的截止电流。

[0021] 空穴阻挡层可以配置为增加晶体管的亚阈值斜率。

[0022] 空穴阻挡层可以包括氧化物。

[0023] 空穴阻挡层的氧化物可以包括以下至少之一：锌(Zn)氧化物、铟(In)氧化物、锡

(Sn) 氧化物、钛 (Ti) 氧化物、镓 (Ga) 氧化物、锆 (Zr) 氧化物、铪 (Hf) 氧化物、InZn 氧化物、InSn 氧化物、ZnSn 氧化物、GaZn 氧化物、HfIn 氧化物、ZnTi 氧化物、InTi 氧化物、GaInZn 氧化物、HfInZn 氧化物、InZnSn 氧化物、InGaSn 氧化物及其混合物。

[0024] 空穴阻挡层可以包括氮氧化物。

[0025] 空穴阻挡层的氮氧化物可以是与沟道层的氮氧化物相同的类型。

[0026] 空穴阻挡层的氮氧化物可以具有比沟道层的氮氧化物大的能带隙

[0027] 空穴阻挡层的氮氧化物可以具有比沟道层的所述氮氧化物高的氧浓度。

[0028] 空穴阻挡层可以包括非氧化物。

[0029] 空穴阻挡层可以包括以下至少之一：镓氮化物 (GaN)、镓砷化物 (GaAs)、镓磷化物 (GaP)、铟磷化物 (InP)、镉碲化物 (CdTe)、镉硫化物 (CdS)、锌硒化物 (ZnSe)、锌硫化物 (ZnS)、锌碲化物 (ZnTe)、铝砷化物 (AlAs)、铝镓砷化物 (AlGaAs)、铟镓磷化物 (InGaP)、镓砷磷化物 (GaAsP) 及其混合物。

[0030] 空穴阻挡层可以具有大约 0.5nm 到大约 500nm 的厚度。

[0031] 空穴阻挡层可以具有大约 1nm 到大约 20nm 的厚度。

[0032] 空穴阻挡层可以在沟道层与源电极之间，以及空穴阻挡层在沟道层与漏电极之间。

[0033] 栅电极可以设置在沟道层下。

[0034] 如果栅电极设置在沟道层下，则晶体管还可以包括设置在沟道层上的蚀刻停止层。

[0035] 栅电极可以设置在沟道层上方。

[0036] 根据一示例实施方式的另一方面，电子装置包括上述晶体管。

[0037] 电子装置可以是显示装置。

[0038] 显示装置可以是液晶显示器装置或有机发光显示器装置。

[0039] 晶体管可以用作开关器件或驱动器件。

附图说明

[0040] 通过结合附图对实施方式的以下描述，这些和/或其它方面将变得明显且更易于理解，在附图中：

[0041] 图1是根据一示例实施方式的晶体管的截面图；

[0042] 图2和图3是图1的晶体管的源电极、空穴阻挡层和沟道层的能带图；

[0043] 图4是曲线图，显示出根据氮氧化物半导体 (ZnON) 和氧化物半导体 (ZnO 和 In_2O_3) 的光子能量的吸收系数；

[0044] 图5是曲线图，显示出根据一示例实施方式的使用氮氧化物半导体 (ZnON) 作为沟道材料的晶体管以及使用氧化物半导体 (IZO) 作为沟道材料的晶体管的栅电压-漏电流特性；

[0045] 图6A是模拟结果，显示出根据一示例实施方式的、使用在深能级具有小的能带隙和低缺陷态密度的沟道层的晶体管的栅电压-漏电流特性；

[0046] 图6B是模拟结果，显示出根据一示例实施方式的、使用在深能级具有大能带隙和高缺陷态密度的沟道层的晶体管的栅电压-漏电流特性；

[0047] 图7是曲线图,显示出根据一示例实施方式的晶体管的栅电压-漏电流特性和根据一比较示例的晶体管的栅电压-漏电流特性;

[0048] 图8至图12是根据示例实施方式的晶体管的截面图;

[0049] 图13是包括根据一示例实施方式的晶体管的电子装置(显示装置)的截面图;

[0050] 图14A至图14E是用于描述根据一示例实施方式的制造晶体管的方法的截面图;以及

[0051] 图15A至图15C是用于描述根据一示例实施方式的制造晶体管的方法的截面图。

[0052] 应该注意到,这些图旨在示出在某些示例实施方式中使用的方法、结构和/或材料的一般特性且旨在补充以下提供的书面描述。然而,这些图不是按比例绘制且可以不精确地反映任何给出实施方式的精确结构特征或性能特征,且不应被解释为限定或限制由示例实施方式包含的值的范围或性能。例如,为了清晰,可以减小或夸大分子、层、区域和/或结构元件的相对厚度和定位。在不同图中的类似或相同附图标记的使用旨在表示类似或相同元件或特征的存在。

具体实施方式

[0053] 现在将参考附图更全面地描述不同的示例实施方式,在附图中显示出示例实施方式。

[0054] 将理解,当元件被称为“连接”或“耦接”到另一元件时,它能直接连接或耦接到另一元件,或者可以存在中间元件。相反,当元件被称为“直接连接”或“直接耦接”到另一元件时,则不存在中间元件。在此使用时,术语“和/或”包括一个或多个相关列举项目的任意和所有组合。

[0055] 将理解,虽然术语“第一”、“第二”等可以在此使用以描述不同的元件、部件、区域、层和/或部分,但是这些元件、部件、区域、层和/或部分不应受这些术语限制。这些术语仅用于区分一个元件、部件、区域、层或部分与另一元件、部件、区域、层或部分。因而,以下讨论的第一元件、部件、区域、层或部分可以被称为第二元件、部件、区域、层或部分,而不脱离示例性实施方式的教导。

[0056] 为了便于描述,可以在此使用空间关系术语,诸如“在……下面”、“以下”、“下”、“在……上”、“上”等来描述一个元件或特征与其它元件或特征如图中所示的关系。将理解,空间相对术语旨在包含除了图中所描绘的取向之外,装置在使用或操作中的不同取向。例如,如果在图中的装置被翻转,则被描述为在其它元件或特征“下”或“下面”的元件可以取向为在所述其它元件或特征“上”。因而,示例性术语“在……下”可以包含上和下两种取向。装置可以被另外地取向(旋转90度或其它取向)并且在此使用的空间相关描述语可以被相应地解释。

[0057] 在此使用的术语仅用于描述特定实施方式,而不旨在限制示例性实施方式。在此使用时,单数形式“一”和“该”也旨在包括复数形式,除非上下文清晰地另外表示。还将理解,当在本说明书中使用时,术语“包括”和/或“包含”说明所述特征、整数、步骤、操作、元件和/或部件的存在,但是不排除一个或多个其它特征、整数、步骤、操作、元件、部件和/或其组的存在或添加。

[0058] 在此参考截面图描述了示例性实施方式,其中截面图是示例性实施方式的理想化

实例实施方式(和中间结构)的示意性图示。因此,由于例如制造技术和/或公差引起的图示形状的偏离是可以预期的。因而,示范性实施方式不应被理解为限于在此示出的区域的具体形状,而是将包括例如由制造引起的形状的偏离。例如,被示为矩形的注入区通常将在其边缘具有圆化或弯曲的特征和/或注入浓度梯度,而不是从注入区到非注入区的二元变化。同样地,通过注入形成的埋入区可导致埋入区与通过其发生注入的表面之间的区域中的一些注入。因而,在图中示出的区域本质上是示意性的,它们的形状不旨在示出装置的区域的实际形状,并且不旨在限制示例实施方式的范围。

[0059] 除非另外地定义,在此使用的所有术语(包括技术和科学术语)具有与所述示范性实施方式所属的领域中的普通技术人员通常理解的相同含义。还将理解,术语(诸如在通常使用的字典中所定义的那些)应被理解为具有与在相关领域的背景中的含义一致的含义,将不被理解为理想化或过度正式的意义,除非在此清楚地如此定义。

[0060] 在下文中,将参考附图详细描述根据示例实施方式的晶体管、制造晶体管的方法以及包括该晶体管的电子装置。在图中,相同的附图标记表示相同的元件,为了清楚,夸大了层和区域的宽度和厚度。

[0061] 图1是根据一示例实施方式的晶体管的截面图。该示例实施方式的晶体管是具有底栅结构的薄膜晶体管(TFT),其中栅电极G10设置在沟道层C10之下。

[0062] 参考图1,栅电极G10可以设置在基板SUB10上。基板SUB10可以是玻璃基板,并且备选地,基板SUB10可以是在一般的半导体器件工艺中使用的各种基板之一,诸如塑料基板或硅基板。栅电极G10可以由普通的电极材料形成,例如金属或导电氧化物。覆盖栅电极G10的栅绝缘层GI10可以设置在基板SUB10上。栅绝缘层GI10可以包括硅氧化物层、硅氮氧化物层或硅氮化物层,并且备选地,栅绝缘层GI10可以包括其它材料层,例如具有比硅氮化物层高的介电常数的高介电材料层。栅绝缘层GI10可以具有层叠结构,例如其中硅氧化物层、硅氮氧化物层、硅氮化物层和高介电材料层中的至少两层相互层叠。

[0063] 沟道层C10可以设置在栅绝缘层GI10上。沟道层C10可以设置在栅电极G10上方。沟道层C10在X轴方向的宽度可以稍微大于栅电极G10在X轴方向的宽度。然而,在一些示例实施方式中,沟道层C10的所述宽度可以类似于或小于栅电极G10的所述宽度。沟道层C10可以包括氮氧化物半导体。例如,沟道层C10可以包括基于锌氮氧化物(ZnON)的半导体。根据一示例实施方式,沟道层C10可以是ZnON层。例如,ZnON可以表示为 $Zn_{(1-x-y)}O_xN_y$ (其中 $0 < x < 1, 0 < y < 1$),但是经验式(empirical formula)可以不同。沟道层C10的能带隙可以大于或等于 Zn_3N_2 的能带隙,并且可以小于或等于ZnO的能带隙。当ZnON中的氧(O)的量少时,ZnON的能带隙可以类似于 Zn_3N_2 的能带隙。当ZnON中的氮(N)的量少时,ZnON的能带隙可以类似于ZnO的能带隙。例如,沟道层C10的能带隙可以大于或等于大约1.3eV并且小于或等于大约3.3eV。换言之,沟道层C10的能带隙可以从大约1.3eV到大约3.3eV。沟道层C10可以是掺杂金属元素(例如,除了Zn之外的金属元素)的ZnON层。例如,金属元素可以是镓(Ga)、铪(Hf)、铝(Al)、铟(In)或锡(Sn)。形成沟道层C10的氮氧化物半导体(ZnON等)可以是非晶的或可以是非晶和晶体的混合物。例如,沟道层C10的厚度可以从大约10nm到大约150nm,或可以从大约30nm到大约100nm。然而,沟道层C10的厚度可以改变。

[0064] 覆盖沟道层C10的蚀刻停止层ES10可以设置在栅绝缘层GI10上。蚀刻停止层ES10可以防止沟道层C10在形成源电极S10和漏电极D10的蚀刻工艺期间被损坏。例如,蚀刻停止

层ES10可以包括硅氧化物、硅氮化物或有机绝缘材料。可以基于沟道层C10的材料以及源电极S10和漏电极D10的材料使用蚀刻停止层ES10。蚀刻停止层ES10可以包括暴露沟道层C10的第一区域和第二区域的第一接触孔H1和第二接触孔H2。沟道层C10的第一区域可以是沟道层C10的一端或与沟道层C10的所述一端相邻的区域,沟道层C10的第二区域可以是沟道层C10的另一端或者与沟道层C10的所述另一端相邻的区域。

[0065] 源电极S10可以设置在蚀刻停止层ES10的第一接触孔H1中。源电极S10可以电连接到沟道层C10。漏电极D10可以设置在蚀刻停止层ES10的第二接触孔H2中。漏电极D10可以电连接到沟道层C10。源电极S10可以连接到沟道层C10的通过第一接触孔H1暴露的第一区域,漏电极D10可以连接到沟道层C10的通过第二接触孔H2暴露的第二区域。源电极S10可具有在蚀刻停止层ES10上方在第一接触孔H1周围延伸的结构和/或其部分,类似地,漏电极D10也可以具有在蚀刻停止层ES10上方在第二接触孔H2周围延伸的结构和/或其部分。源电极S10和漏电极D10可以由与栅电极G10相同或不同的材料形成。源电极S10和漏电极D10每个可以是例如单层或多层。

[0066] 空穴阻挡层HBL10可以设置在沟道层C10与源电极S10之间的区域以及沟道层C10与漏电极D10之间的区域的至少一个中。在该示例实施方式中,空穴阻挡层HBL10设置在沟道层C10与源电极S10之间以及沟道层C10与漏电极D10之间。空穴阻挡层HBL10可以在源电极S10与蚀刻停止层ES10之间和/或漏电极D10与蚀刻停止层ES10之间延伸。然而,空穴阻挡层HBL10的这样的结构仅是一示例实施方式。例如,空穴阻挡层HBL10可以仅设置在沟道层C10与源电极和漏电极S10和D10之间,并且可以不在源电极S10和漏电极D10与蚀刻停止层ES10之间延伸。

[0067] 空穴阻挡层HBL10可以增大关于沟道层C10与源电极S10和漏电极D10之间的空穴的势垒。在这点上,空穴阻挡层HBL10的价带最高能级 E_V 可以低于沟道层C10的价带最高能级 E_V 。此外,空穴阻挡层HBL10的电子亲和势和能带隙的总和可以大于沟道层C10的电子亲和势和能带隙的总和。例如,当沟道层C10是ZnO层时,沟道层C10的电子亲和势和能带隙的总和可以是大约5.6eV,因而空穴阻挡层HBL10可以由其中电子亲和势和能带隙的总和大于5.6eV的材料形成。由于空穴阻挡层HBL10,在沟道层C10与源电极S10和漏电极D10之间的通过空穴的传导,即空穴传导,会受到抑制。在这点上,晶体管的截止电流可以减小以及亚阈值斜率可以增大。亚阈值斜率的该增大可以表明亚阈值电流的降低。以下详细描述空穴阻挡层HBL10的各种效应。

[0068] 根据一示例实施方式,空穴阻挡层HBL10可以包括氧化物。在一示例实施方式中,空穴阻挡层HBL10例如可以包括如下之一:诸如锌氧化物(ZnO)、铟氧化物(In_2O_3)、锡氧化物(SnO_2)、钛氧化物(TiO_2)、镓氧化物(Ga_2O_3)、锆氧化物(ZrO_2)和铪氧化物(HfO_2)的二元氧化物或由二元氧化物中的至少两种氧化物形成的三元氧化物或四元氧化物。例如,三元氧化物的示例可以包括InZn氧化物(IZO)、InSn氧化物(ITO)、ZnSn氧化物(ZTO)、GaZn氧化物(GZO)、HfIn氧化物(HIO)、ZnTi氧化物(ZnTiO)和InTi氧化物(InTiO),四元氧化物的示例可以包括GaInZn氧化物(GIZO)、HfInZn氧化物(HIZO)、InZnSn氧化物(IZTO)和InGaSn氧化物(IGTO)。备选地,空穴阻挡层HBL10可以包括上述氧化物的混合物。

[0069] 根据一示例实施方式,空穴阻挡层HBL10可以包括氮氧化物。在该情形下,空穴阻挡层HBL10的氮氧化物可以是与沟道层C10的氮氧化物相同的类型。例如,空穴阻挡层HBL10

的氮氧化物可以包括ZnON。这里,空穴阻挡层HBL10的氮氧化物例如ZnON可具有比沟道层C10的氮氧化物例如ZnON高的氧浓度。当氮氧化物(例如,ZnON)的氧浓度高时,氮氧化物的能带隙可以高而价带最高能级 E_v 可以低。因此,空穴阻挡层HBL10的氮氧化物诸如ZnON可具有比沟道层C10的氮氧化物诸如例如ZnON高的能带隙,空穴阻挡层HBL10的价带最高能级 E_v 可以低于沟道层C10的价带最高能级 E_v 。空穴阻挡层HBL10的氮氧化物可以通过在ZnON上掺杂预定的金属元素而获得,或可以包括除了ZnON之外的氮氧化物。

[0070] 根据一示例实施方式,空穴阻挡层HBL10可以包括非氧化物。在该情形下,空穴阻挡层HBL10可以包括镓氮化物(GaN)、镓砷化物(GaAs)、镓磷化物(GaP)、铟磷化物(InP)、镉碲化物(CdTe)、镉硫化物(CdS)、锌硒化物(ZnSe)、锌硫化物(ZnS)、锌碲化物(ZnTe)、铝砷化物(AlAs)、及其化合物,例如铝镓砷化物(AlGaAs)、铟镓磷化物(InGaP)、和镓砷磷化物(GaAsP)。根据一示例实施方式,空穴阻挡层HBL10可以包括上述非氧化物的混合物。

[0071] 被描述为空穴阻挡层HBL10的材料的氧化物、氮氧化物和非氧化物的价带最高能级 E_v 和能带隙 E_g 可以根据其组分而不同。因而,根据情况,上述材料可能在组分和性能方面不适于空穴阻挡层HBL10的材料。在此,假设上述材料具有将被应用到空穴阻挡层HBL10的适当组分和性能。

[0072] 同时,空穴阻挡层HBL10的厚度可以例如从大约0.5nm到大约500nm。例如,空穴阻挡层HBL10的厚度可以从大约1nm到大约20nm。当空穴阻挡层HBL10由绝缘材料形成且空穴阻挡层HBL10的导带最低能级 E_c 高于沟道层C10的导带最低能级 E_c 时,空穴阻挡层HBL10可具有低于或等于例如大约10nm的相对小的厚度,允许电子隧穿。因为空穴的隧穿比电子的隧穿更难,所以即使空穴阻挡层HBL10具有允许电子隧穿的厚度,空穴穿过空穴阻挡层HBL10的隧穿也会减少。因此,可以保持空穴阻挡层HBL10的抑制空穴流动的功能。同时,如果空穴阻挡层HBL10由半导体材料形成或空穴阻挡层HBL10的导带最低能级 E_c 类似于或低于沟道层C10的导带最低能级 E_c ,则即使空穴阻挡层HBL10的厚度等于或大于例如10nm,电子也可以容易地流动。

[0073] 虽然图1未示出,但是覆盖空穴阻挡层HBL10、源电极S10和漏电极D10的钝化层可以进一步设置在蚀刻停止层ES10上。钝化层可以是硅氧化物层、硅氮氧化物层、硅氮化物层或有机绝缘层,或可具有例如其中其至少两层彼此堆叠的结构。

[0074] 图2是图1的晶体管的源电极S10、空穴阻挡层HBL10和沟道层C10的能带图。在图2中,附图标记 E_v 和 E_c 分别表示价带最高能级和导带最低能级,附图标记 E_{vac} 和 E_F 分别表示真空能级和费米能级。相同的附图标记应用于图3。

[0075] 参考图2,空穴阻挡层HBL10的 E_v 低于沟道层C10的 E_v 。这可以意味着空穴阻挡层HBL10的电子亲和势 X_{HBL} 和能带隙 E_{g1} 的总和($X_{HBL}+E_{g1}$)大于沟道层C10的电子亲和势 X_c 和能带隙 E_{g2} 的总和(X_c+E_{g2})。因此,通过空穴阻挡层HBL10在沟道层C10与源电极S10之间产生关于空穴的势垒 Φ_B 。势垒 Φ_B 可以抑制在沟道层C10与源电极S10之间的空穴流动,由此抑制或防止可能由于空穴传导而出现的问题。因此,晶体管的截止电流可以减小以及亚阈值斜率可以增大。

[0076] 同时,空穴阻挡层HBL10的 E_c 可以类似于或稍微低于沟道层C10的 E_c 。因此,在沟道层C10与源电极S10之间的电子流动可以不被空穴阻挡层HBL10妨碍。代替地,在沟道层C10与源电极S10之间的电子流动可以通过空穴阻挡层HBL10变容易。然而,空穴阻挡层HBL10的

E_c 可以例如高于沟道层C10的 E_c ,如图3所示。

[0077] 如图3所示,当空穴阻挡层HBL10的 E_c 高于沟道层C10的 E_c 时,空穴阻挡层HBL10的厚度可具有允许电子隧穿的相对薄的厚度,其可以是例如低于或等于大约10nm的厚度。当空穴阻挡层HBL10的厚度相对小时,即使空穴阻挡层HBL10的 E_c 高于沟道层C10的 E_c ,沟道层C10与源电极S10之间的电子也可以容易地流动。同时,因为空穴的隧穿比电子的隧穿更难,所以即使空穴阻挡层HBL10的厚度相对小,空穴的隧穿也不会容易。

[0078] 图2和图3是源电极S10、空穴阻挡层HBL10和沟道层C10之间的能带图,漏电极D10、空穴阻挡层HBL10和沟道层C10之间的能带图可以与其类似。换言之,因为源电极S10的能带和漏电极D10的能带可以相同或类似,所以图2和图3中的源电极S10的能带可以被漏电极D10的能带代替。

[0079] 在根据一示例实施方式的晶体管中使用的氮氧化物半导体具有与普通氧化物晶体管中使用的氧化物半导体不同的特性,以下将参考图4至图6详细描述。

[0080] 图4是曲线图,显示出根据氮氧化物半导体(ZnON)和氧化物半导体(ZnO和 In_2O_3)的光子能量的吸收系数 α 。第一曲线B1是关于ZnON,第二曲线G2是关于ZnO,第三曲线G3是关于 In_2O_3 。这里,ZnON是富N的ZnON,其中N的量高于O的量。

[0081] 参考图4,与第二曲线G2和第三曲线G3相比,第一曲线G1显著地向左倾斜。这表明与相应于第二曲线G2和第三曲线G3的氧化物半导体(ZnO和 In_2O_3)的光学能带隙相比,相应于第一曲线G1的氮氧化物半导体(ZnON)的光学能带隙相当小。基于图4所示的结果,氧化物半导体(ZnO和 In_2O_3)的光学能带隙大约是3eV,而氮氧化物半导体(ZnON)的光学能带隙大约是1.3eV。

[0082] 此外,因为氧化物半导体(ZnO和 In_2O_3)包含许多氧空位,所以大量缺陷态存在于带隙内部的深能级。因为缺陷态的能级在价带正上方,所以氧化物半导体(ZnO和 In_2O_3)难以展现出p型半导体特性。换言之,在氧化物半导体(ZnO和 In_2O_3)中可能不发生通过空穴的传导。然而,在氮氧化物半导体(ZnON)中,因为光学带隙相对小(即,大约1.3eV)以及价带主要由N的p-轨道形成,所以由于在深能级的氧空位而导致存在缺陷态的可能性低。因此,空穴的产生以及通过空穴的传导在氮氧化物半导体(ZnON)中可以相对容易。因而,当氮氧化物半导体(ZnON)用作晶体管的沟道材料时,会出现由于空穴传导而产生的问题,如以下将参考图5描述的。

[0083] 图5是曲线图,显示出使用氮氧化物半导体(ZnON)作为沟道材料的晶体管以及使用氧化物半导体(IZO)作为沟道材料的晶体管的栅电压(V_{GS})-漏电流(I_{DS})特性。这里,晶体管不包括图1的空穴阻挡层HBL10。栅电压(V_{GS})-漏电流(I_{DS})特性通过对每个晶体管施加0.1V和10V的漏电压 V_D 而被测量。在图5中,第一曲线GG1是关于使用氮氧化物半导体(ZnON)作为沟道材料的晶体管,第二曲线(GG2)是关于使用氧化物半导体(IZO)作为沟道材料的晶体管。

[0084] 参考图5,与使用氧化物半导体(IZO)作为沟道材料的第二曲线GG2相比,使用氮氧化物半导体(ZnON)作为沟道材料的第一曲线GG1具有更高的截止电流和更小的亚阈值斜率。具体地,根据使用氮氧化物半导体(ZnON)作为沟道材料的晶体管(第一曲线GG1),随着漏电压 V_D 从0.1V增加到10V,截止电流显著增大,这被认为是空穴传导的效应。

[0085] 图6A是模拟结果,显示出使用在深能级具有小能带隙和低缺陷态密度的沟道层的

晶体管的栅电压 (V_{GS}) - 漏电流 (I_{DS}) 特性。图6A是与如上所述的使用ZnON作为沟道材料的晶体管相关的结果(未使用空穴阻挡层)。

[0086] 图6B是模拟结果,显示出使用在深能级具有大能带隙和高缺陷态密度的沟道层的晶体管的栅电压 (V_{GS}) - 漏电流 (I_{DS}) 特性。图6B是与使用IZO作为沟道材料的晶体管相关的结果(未使用空穴阻挡层)。

[0087] 参考图6A,随着漏电压VD从0.1V增加到10V,截止电流显著增大。这是因为当漏电压VD增加到预定电平时,经由空穴的传导根据反方向的栅电压 V_{GS} 的增加而显著地增大。备选地,在图6B中,即使在漏电压VD增加时,截止电流也不增大。

[0088] 基于图4至图6的结果,氮氧化物半导体 (ZnON) 具有与氧化物半导体 (ZnO、 In_2O_3 和 IZO) 明显不同的特性。特别在氮氧化物半导体 (ZnON) 中,经由空穴的传导可以是容易的,因而晶体管的截止电流可以增大并且亚阈值斜率可以减小。

[0089] 为了解决上述氮氧化物半导体的问题,可以使用参考图1描述的空穴阻挡层HBL10。由于氮氧化物半导体的空穴传导引起的问题可以通过空穴阻挡层HBL10被抑制/防止。因而,根据一示例实施方式,可以实现包括氮氧化物半导体作为沟道材料并具有优良性能的晶体管。

[0090] 图7是曲线图,显示出根据一示例实施方式和一比较例的晶体管的栅电压 (V_{GS}) - 漏电流 (I_{DS}) 特性。该示例实施方式的晶体管具有在图1的示例实施方式中示出的结构,其中ZnON层(厚度:50nm)用作沟道层C10,GZO层(厚度:20nm)用作空穴阻挡层HBL10。同时,该比较例的晶体管不使用空穴阻挡层HBL10。除了不使用空穴阻挡层HBL10之外,该比较例的晶体管具有与该示例实施方式的晶体管相同的结构。第一曲线G11显示出与该实施方式的晶体管相关的结果,第二曲线G22显示出与该比较例的晶体管相关的结果。

[0091] 参考图7,与该示例实施方式的晶体管(使用空穴阻挡层)相应的第一曲线G11的截止电流水平比与该比较例的晶体管(未使用空穴阻挡层)相应的第二曲线G22的截止电流水平低大约1个数量级(即,大约10倍)。此外,基于图7的结果,第一曲线G11的亚阈值斜率是大约0.52dec/V,第二曲线G22的亚阈值斜率是大约0.45dec/V。同时,第一曲线G11的开/关电流比是大约 8.0×10^6 ,第二曲线G22的开/关电流比是大约 2.0×10^6 。因此,当使用根据一示例实施方式的空穴阻挡层HBL10时,使用氮氧化物半导体作为沟道材料的晶体管的截止电流可以减小,亚阈值斜率可以增大,以及开/关电流比可以增大。因而,根据一示例实施方式,可以实现具有优良性能的晶体管。

[0092] 因为根据一实施方式的晶体管由于空穴阻挡层HBL10而具有低截止电流和高亚阈值斜率,所以用于保持晶体管的截止状态的电压 V_{OFF} 可以减小。此外,因为当栅电压是0V时,晶体管的漏电流可以减小,所以可以容易地设计使用该晶体管的电路。

[0093] 图1所示的晶体管的结构仅是一示例实施方式,因而可以改变。图1的晶体管的修改示例实施方式在图8和图9中示出。

[0094] 参考图8,栅电极G10和覆盖栅电极G10的栅绝缘层GI10可以设置在基板SUB10上,沟道层C10可以设置在栅绝缘层GI10上。蚀刻停止层ES11可以设置在沟道层C10上。蚀刻停止层ES11在X轴方向的宽度可以小于沟道层C10的宽度。沟道层C10的两端可以不被蚀刻停止层ES11覆盖。源电极S11可以覆盖沟道层C10的一端以及蚀刻停止层ES11的与沟道层C10的该端相邻的一部分,漏电极D11可以覆盖沟道层C10的另一端以及蚀刻停止层ES11的与沟

道层C10的该另一端相邻的一部分。空穴阻挡层HBL11可以设置在沟道层C10与源电极S11之间的区域以及沟道层C10与漏电极D11之间的区域的至少之一中。在一示例实施方式中,空穴阻挡层HBL11设置在沟道层C10与源电极S11之间和/或沟道层C10与漏电极D11之间。空穴阻挡层HBL11可以具有在源电极S11与蚀刻停止层ES11之间和/或在源电极S11与栅绝缘层GI10之间延伸的部分。类似地,空穴阻挡层HBL11可以具有在漏电极D11与蚀刻停止层ES11之间和/或在漏电极D11与栅绝缘层ES11之间延伸的部分。空穴阻挡层HBL11的材料、厚度和性质可以与图1的空穴阻挡层HBL10相同或类似。

[0095] 根据图9所示的一示例实施方式,可以不包括蚀刻停止层ES11。参考图9,源电极S12可以覆盖沟道层C10的一端,漏电极D12可以覆盖沟道层C10的另一端,而没有蚀刻停止层。空穴阻挡层HBL12可以设置在沟道层C10与源电极S12之间的区域以及沟道层C10与漏电极D12之间的区域的至少之一中。

[0096] 图10是根据一示例实施方式的晶体管的截面图。该示例实施方式的晶体管具有其中栅电极G20设置在沟道层C20上方的顶栅结构。

[0097] 参考图10,沟道层C20可以设置在基板SUB20上。沟道层C20可以由与图1的沟道层C10相同或类似的材料(例如氮氧化物半导体)形成。沟道层C20可以包括例如ZnO_N。沟道层C20可以包括掺杂金属元素(例如,除了Zn之外的金属元素)的ZnO_N。金属元素可以是例如Ga、Hf、Al、In、Sn或其组合。沟道层C20的能带隙可以大于或等于Zn₃N₂的能带隙,并且可以小于或等于ZnO的能带隙。沟道层C20的能带隙可以是例如从大约1.3eV到大约3.3eV。源电极S20和漏电极D20可以分别连接到沟道层C20的第一区域和第二区域。源电极S20可以覆盖沟道层C20的一端同时延伸到基板SUB20的与沟道层C20的该端相邻的区域。漏电极D20可以覆盖沟道层C20的另一端,同时延伸到SUB20的与沟道层C20的该另一端相邻的区域。空穴阻挡层HBL20可以设置在沟道层C20与源电极S20之间的区域以及沟道层C20与漏电极D20之间的区域的至少之一中。例如,空穴阻挡层HBL20的材料、厚度和性质可以与图1的空穴阻挡层HBL10的那些相同或类似。覆盖沟道层C20、源电极S20和漏电极D20的栅绝缘层GI20可以设置在基板SUB20上。栅电极G20可以设置在栅绝缘层GI20上。覆盖栅电极G20的钝化层(未示出)可以进一步设置在栅绝缘层GI20上。

[0098] 图10的基板SUB20、沟道层C20、源电极S20、漏电极D20、栅绝缘层GI20和栅电极G20的材料、厚度等可以分别与图1的基板SUB10、沟道层C10、源电极S10、漏电极D10、栅绝缘层GI10和栅电极G10的材料、厚度等相同或类似。

[0099] 图10的沟道层C20、源电极S20和漏电极D20的位置可以如图11所示地修改。

[0100] 参考图11,彼此间隔开的源电极S21和漏电极D21可以设置在基板SUB20上。沟道层C21可以设置在源电极S21与漏电极D21之间的基板SUB20上。沟道层C21可以连接到源电极S21和漏电极D21。沟道层C21可以覆盖源电极S21和漏电极D21的彼此面对的端部(即,彼此相对或彼此最接近)。沟道层C21可以包括氮氧化物半导体,该氮氧化物半导体包括例如ZnO_N。沟道层C21可以通过在ZnO_N上掺杂金属元素(除了Zn之外的金属元素)而获得。沟道层C21的能带隙可以是大约1.3eV到大约3.3eV。空穴阻挡层HBL21可以设置在沟道层C21与源电极S21之间的区域以及沟道层C21与漏电极D21之间的区域的至少之一中。覆盖沟道层C21、源电极S21和漏电极D21的栅绝缘层GI20可以设置在基板SUB20上。栅电极G20可以设置在栅绝缘层GI20上。覆盖栅电极G20的钝化层(未示出)可以进一步设置在栅绝缘层GI20上。

图11的结构可以与图10的结构相同,除了沟道层C21、源电极S21和漏电极D21的位置和形状之外。

[0101] 图12是根据另一示例实施方式的、具有顶栅结构的晶体管的截面图。

[0102] 参考图12,沟道层C22可以设置在基板SUB20上,栅绝缘层GI22可以覆盖沟道层C22。栅电极G22可以设置在栅绝缘层GI22上,层间绝缘层IL22可以覆盖栅电极G22。暴露沟道层C22的第一和第二区域的第一和第二接触孔H11和H22可以形成在层间绝缘层IL22和栅绝缘层GI22中。源电极S22可以设置在第一接触孔H11中,漏电极D22可以设置在第二接触孔H22中。源电极S22和漏电极D22可以在层间绝缘层IL22上方延伸。空穴阻挡层HBL22可以设置在沟道层C22与源电极S22之间的区域以及沟道层C22与漏电极D22之间的区域的至少之一中。沟道层C22和空穴阻挡层HBL22的材料、厚度、性质等可以与图1的沟道层C10和空穴阻挡层HBL10的材料、厚度、性质等相同或类似。

[0103] 根据一示例实施方式的晶体管可以用作显示装置诸如液晶显示器装置或有机发光显示器装置的开关器件或驱动器件。如上所述,因为根据示例实施方式的晶体管具有包括例如低截止电流和高亚阈值斜率的优良性能,所以在所述晶体管被应用到显示装置时,显示装置的性能可以改善。备选地,晶体管不仅可以被应用到显示装置,而且可以用于其它电子装置诸如存储器件和逻辑器件的领域中的各种目的。

[0104] 图13是包括根据一示例实施方式的晶体管的电子装置(显示装置)的截面图。示例实施方式的电子装置(显示装置)是液晶显示器(LCD)装置。

[0105] 参考图13,液晶层150可以设置在第一基板100和第二基板200之间。第一基板100可以是包括例如图1和图8至图12的晶体管的示例实施方式的至少一个晶体管作为开关器件或驱动器件的阵列基板。第一基板100可以包括连接到晶体管的像素电极(未示出)。第二基板200可以包括与像素电极相应的对电极(未示出)。液晶层150的液晶布置可以根据施加在第一基板100和第二基板200之间的电压而不同。包括根据一示例实施方式的晶体管的电子装置的结构不局限于图13的结构,而是可以改变。

[0106] 图14A至图14E是用于描述根据一示例实施方式的制造晶体管的方法的截面图。在示例实施方式中,制造具有底栅结构的TFT。

[0107] 参考图14A,栅电极G10可以形成在基板SUB10上,可以形成覆盖栅电极G10的栅绝缘层GI10。基板SUB10可以是玻璃基板,但是备选地,可以是在一般的半导体器件工艺中使用的各种基板的其中之一,例如诸如塑料基板或硅基板。栅电极G10可以是普通的电极材料,诸如例如金属或导电氧化物。栅绝缘层GI10可以是硅氧化物、硅氮氧化物、硅氮化物或其他材料,诸如例如具有比硅氮化物高的介电常数的高介电材料。栅绝缘层GI10可具有其中硅氧化物层、硅氮氧化物层、硅氮化物层和高介电材料层中的至少两层彼此层叠的结构。

[0108] 参考图14B,沟道层C10可以设置在栅绝缘层GI10上。沟道层C10可以是氮氧化物半导体。例如,沟道层C10可以由包括ZnON的氮氧化物半导体形成。详细地,沟道层C10可以是ZnON层。沟道层C10可以通过在ZnON上掺杂金属元素(除了Zn之外的金属元素)而获得。金属元素可以是例如Ga、Hf、Al、In或Sn。沟道层C10的能带隙可以等于或高于1.3eV并且小于或等于3.3eV。沟道层C10的厚度可以例如从大约10nm到大约150nm,或可以从大约30nm到大约100nm。然而,沟道层C10的厚度范围可以改变。

[0109] 接着,覆盖沟道层C10的蚀刻停止层ES10可以形成在栅绝缘层GI10上。蚀刻停止层

ES10可以是例如硅氧化物层、硅氮化物、有机绝缘材料等。

[0110] 参考图14C,第一和第二接触孔H1和H2可以穿过蚀刻停止层ES10形成。第一和第二接触孔H1和H2可以形成为分别暴露沟道层C10的第一区域和第二区域。第一区域可以是沟道层C10的一端或者与该端相邻的区域,第二区域可以是沟道层C10的另一端或者与该另一端相邻的区域。

[0111] 参考图14D,空穴阻挡材料层HBL100可以形成在沟道层C10的通过第一和第二接触孔H1和H2暴露的区域上以及蚀刻停止层ES10上。空穴阻挡材料层HBL100可以由具有比沟道层C10低的价带最高能级的材料形成。此外,空穴阻挡材料层HBL100可以由电子亲和势和能带隙的总和比沟道层C10的电子亲和势和能带隙的总和大的材料形成。具体地,空穴阻挡材料层HBL100可以由如下之一形成:诸如例如锌氧化物(ZnO)、铟氧化物(In_2O_3)、锡氧化物(SnO_2)、钛氧化物(TiO_2)、镓氧化物(Ga_2O_3)、锆氧化物(ZrO_2)和铪氧化物(HfO_2)的二元氧化物,或者由二元氧化物中的至少两种氧化物形成的三元氧化物或四元氧化物。三元氧化物可以包括例如InZn氧化物(IZO)、InSn氧化物(ITO)、ZnSn氧化物(ZTO)、GaZn氧化物(GZO)、HfIn氧化物(HIO)、ZnTi氧化物(ZnTiO)和InTi氧化物(InTiO)。四元氧化物可以包括例如GaInZn氧化物(GIZO)、HfInZn氧化物(HIZO)、InZnSn氧化物(IZTO)和InGaSn氧化物(IGTO)。空穴阻挡材料层HBL100可以由上述氧化物的一种或多种的混合物形成。备选地,空穴阻挡材料层HBL100可以由氮氧化物形成。这里,空穴阻挡材料层HBL100的氮氧化物可以是与沟道层C10的氮氧化物相同的组。例如,空穴阻挡材料层HBL100的氮氧化物可以包括ZnON。这里,空穴阻挡材料层HBL100的氮氧化物诸如ZnON可具有比沟道层C10的氮氧化物诸如ZnON高的氧浓度和/或高的能带隙。空穴阻挡材料层HBL100可以由非氧化物形成。这里,空穴阻挡材料层HBL100可以由例如GaN、GaAs、GaP、InP、CdTe、CdS、ZnSe、ZnS、ZnTe、AlAs或其化合物诸如AlGaAs、InGaP或GaAsP形成。空穴阻挡材料层HBL100可以由非氧化物的混合物形成。

[0112] 源/漏导电层SD100可以形成在空穴阻挡材料层HBL100上。源/漏导电层SD100可以由与栅电极G10相同或不同的材料形成。源/漏导电层SD100可具有单层或多层。

[0113] 接着,源/漏导电层SD100和空穴阻挡材料层HBL100可以被图案化(例如,蚀刻)。在图14E中示出这样的图案化(蚀刻)的所得结构。

[0114] 参考图14E,源电极S10和漏电极D10可以由源/漏导电层SD100形成,空穴阻挡层HBL100可以由空穴阻挡材料层HBL100形成。在图案化(蚀刻)期间,蚀刻停止层ES10可以保护沟道层C10的在源电极S10与漏电极D10之间的区域。然而,蚀刻停止层ES10的形成是可选择的。

[0115] 覆盖源电极S10和漏电极D10的钝化层(未示出)可以形成在蚀刻停止层ES10上。钝化层可以是硅氧化物层、硅氮氧化物层、硅氮化物层或有机绝缘层,或可具有其中其至少两层彼此层叠的结构。根据这样的方法形成的晶体管可以在一温度退火。

[0116] 参考图14A至图14E描述的方法是图1的晶体管的制造方法的一示例。图8和图9的晶体管可以通过修改该方法而被制造。因为对于本领域的技术人员来说,基于图14A至图14E的方法,图8和图9的晶体管的制造是已知的,所以在此将不描述其细节。

[0117] 图15A至图15C是用于描述根据一示例实施方式的制造晶体管的方法的截面图。在示例实施方式中,制造具有顶栅结构的TFT。

[0118] 参考图15A,沟道层C20可以形成在基板SUB20上。沟道层C20的材料、厚度、性质等

可以与图14B的沟道层C10相同或类似。覆盖沟道层C20的空穴阻挡材料层HBL200和源/漏导电层SD200可以形成在基板SUB20上。空穴阻挡材料层HBL200和源/漏导电层SD200的材料可以分别与图14D的空穴阻挡材料层HBL100和源/漏导电层SD100的相同或类似。

[0119] 接着,空穴阻挡材料层HBL200和源/漏导电层SD200可以被图案化以形成图15B所示的源电极S20、漏电极D20和空穴阻挡层HBL20。

[0120] 参考图15C,可以形成覆盖沟道层C20、源电极S20和漏电极D20的栅绝缘层GI20。栅绝缘层GI20可以由与图14A的栅绝缘层GI10相同或类似的材料形成。接着,栅电极G20可以形成在栅绝缘层GI20上。栅电极G20可以形成在沟道层C20上方。栅电极G20可以由与源电极S20和漏电极D20相同或不同的材料形成。覆盖栅电极G20的钝化层(未示出)可以形成在栅绝缘层GI20上。钝化层可以是硅氧化物层、硅氮氧化物层、硅氮化物层或有机绝缘层,或可具有例如其中的至少两层彼此层叠的结构。如此形成的晶体管可以在一温度退火。

[0121] 图15A至图15C的方法是图10的晶体管的制造方法的一示例。图11和图12的晶体管可以通过修改该方法制造。因为对于本领域的技术人员来说,基于图15A至图15C的方法,图11和图12的晶体管的制造是已知的,所以在此将不描述其细节。

[0122] 如上所述,根据上述示例实施方式的一个或多个,可以容易地制造包括氮氧化物半导体作为沟道材料且具有优良性能的晶体管。

[0123] 应该理解,在此描述的示例实施方式仅应该以说明性含义被理解,而不是用于限制目的。例如,对于本领域的普通技术人员来说明显的是,图1和图8至图12的晶体管的元件和结构可以改变。具体地,沟道层可具有多层结构,在该情形下,形成沟道层的多层中的其中一层可以是如上所述的氮氧化物基(例如,ZnON基)半导体层。此外,根据一实施方式的晶体管可具有双栅结构。此外,图14A至图14E和图15A至图15C的方法可以不同地修改。例如,在图14A至图14E和图15A至图15C的方法中,可以不形成以下至少之一:1)在源电极S10或S20与沟道层C10或C20之间的空穴阻挡层HBL10或HBL20,和2)在漏电极D10或D20与沟道层C10或C20之间的空穴阻挡层HBL10或HBL20。该方法可以以其他方式改变。此外,根据一实施方式的晶体管可以应用于除了图13的显示装置之外的各种电子装置之一,用于各种目的。因此,在每个实施方式内的特征或方面的描述应被一般地理解为可用于其它实施方式中的类似特征或方面。

[0124] 虽然已经特别显示并描述了示例实施方式,但是本领域的普通技术人员将理解,可以在形式和细节方面进行改变而不脱离权利要求书的精神和范围。

[0125] 本申请要求享有2012年2月29日在韩国知识产权局提交的韩国专利申请No.10-2012-0021409的权益,其公开通过引用全文结合于此。

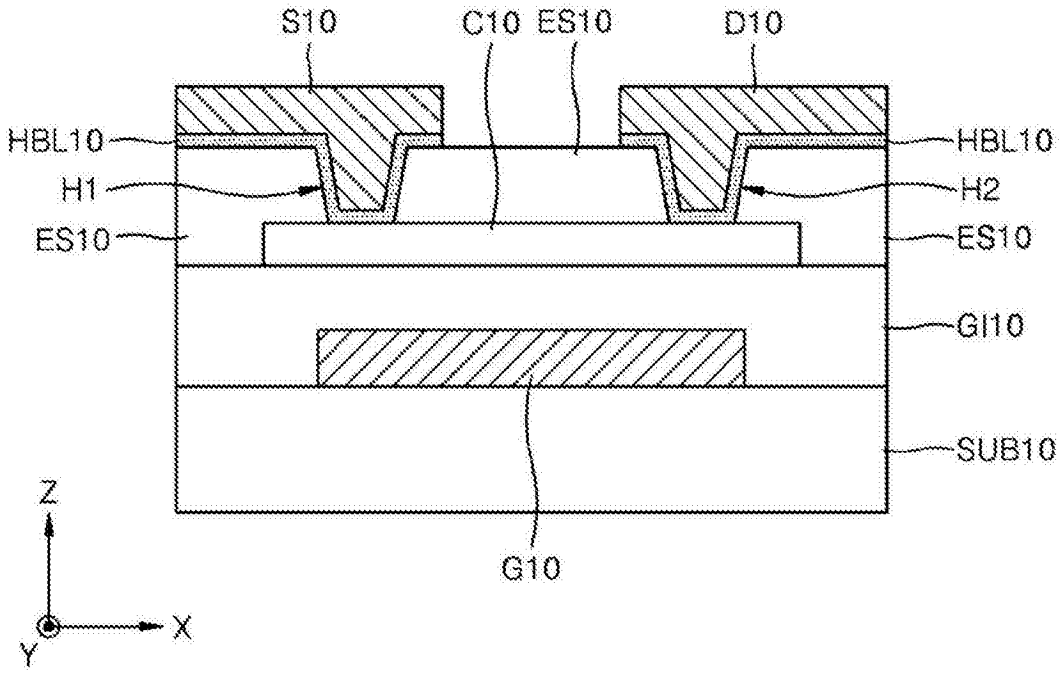


图1

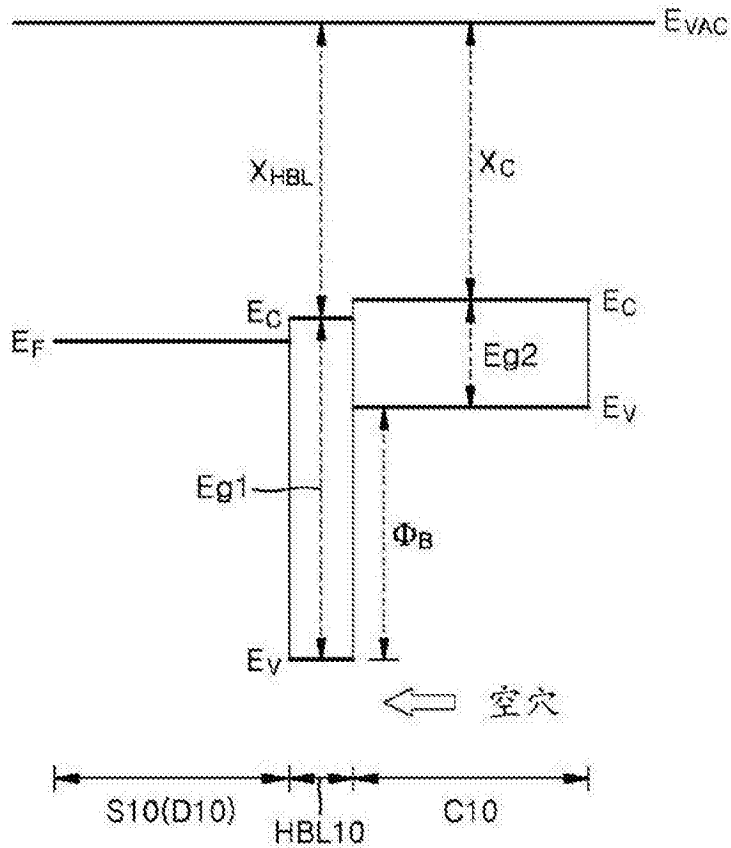


图2

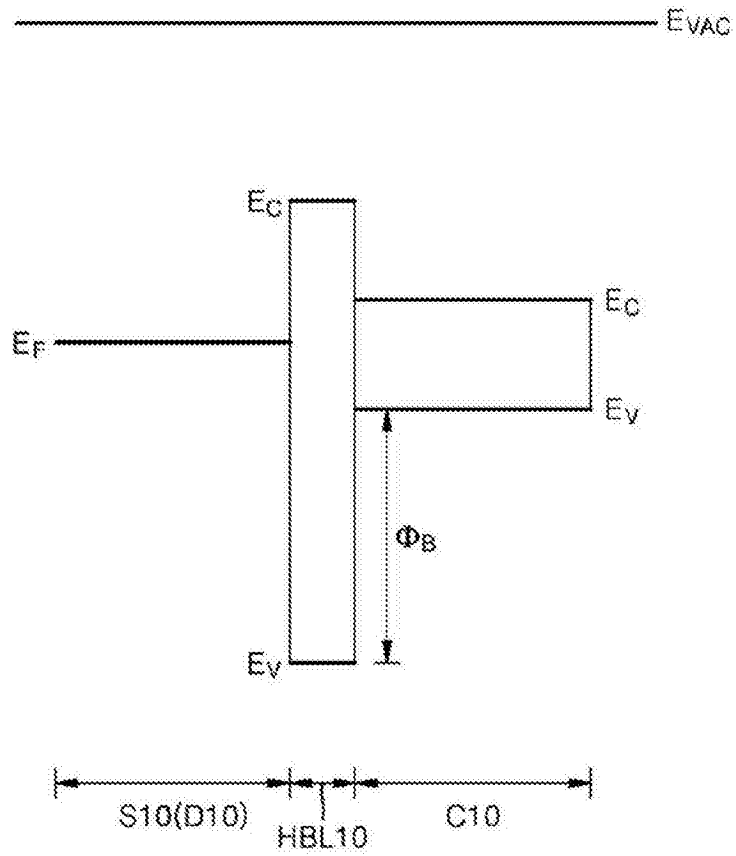


图3

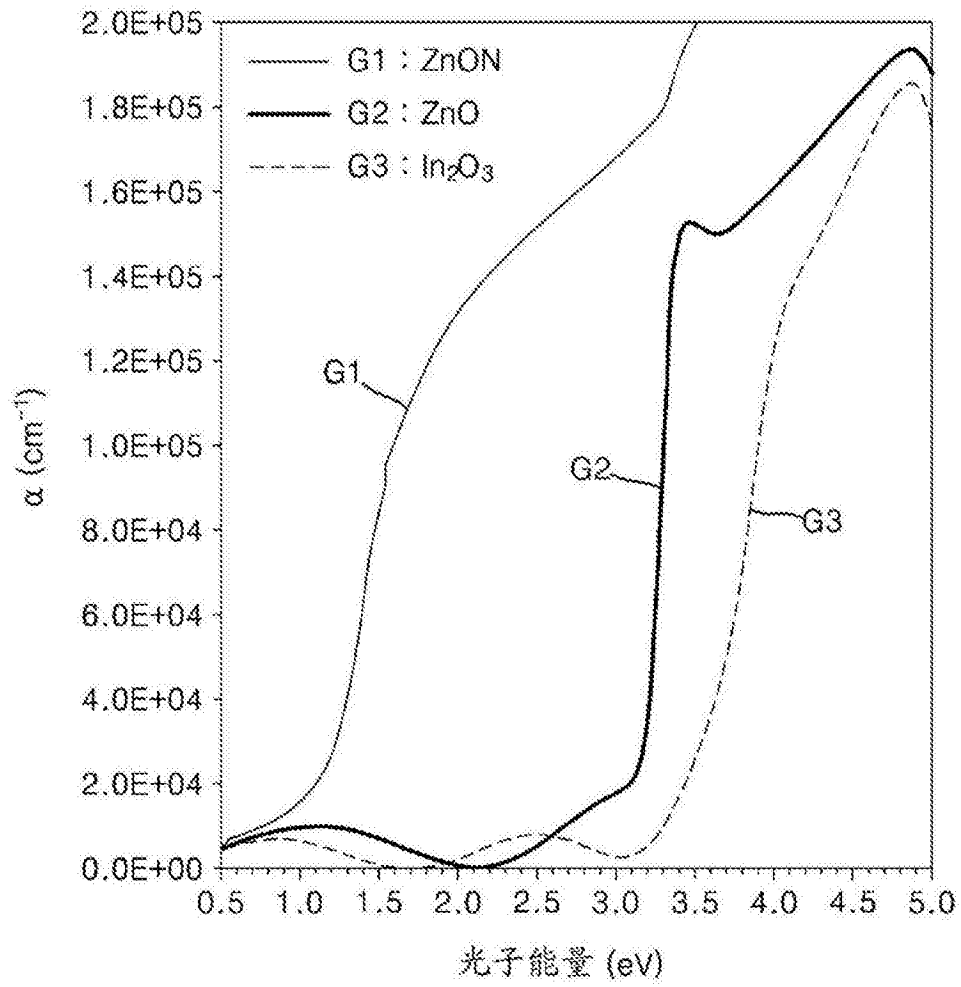


图4

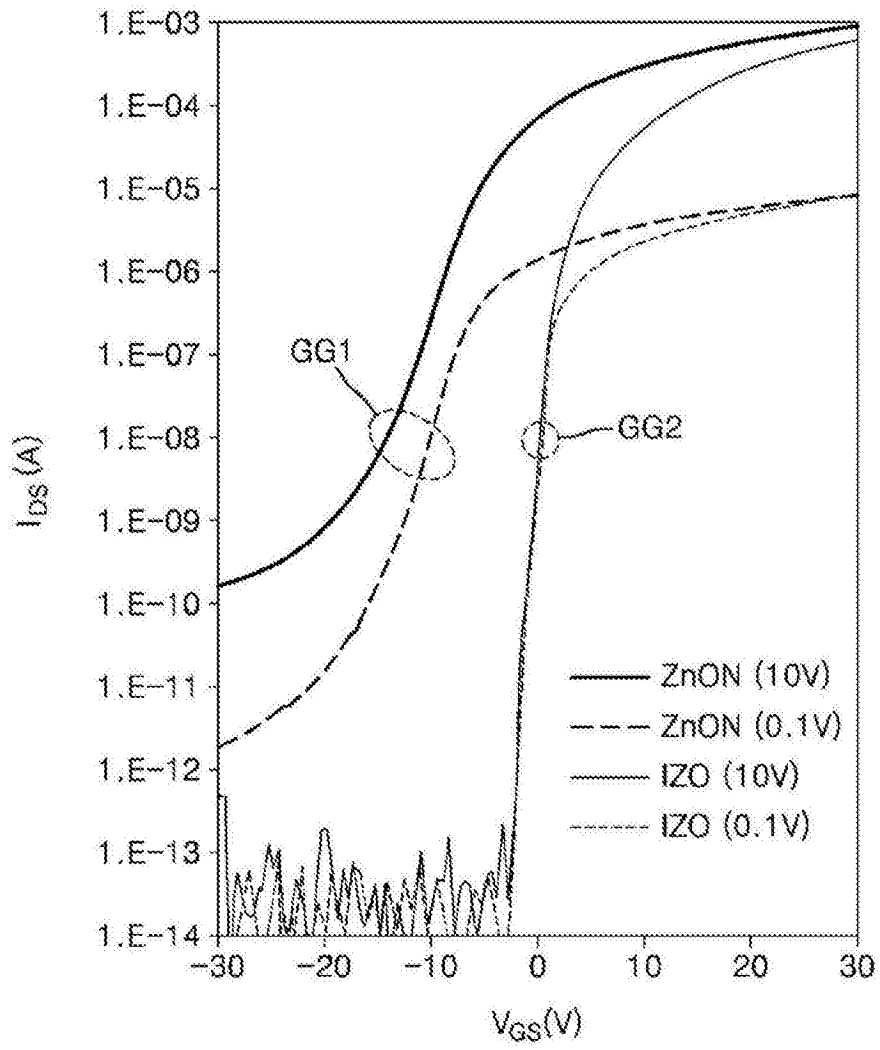


图5

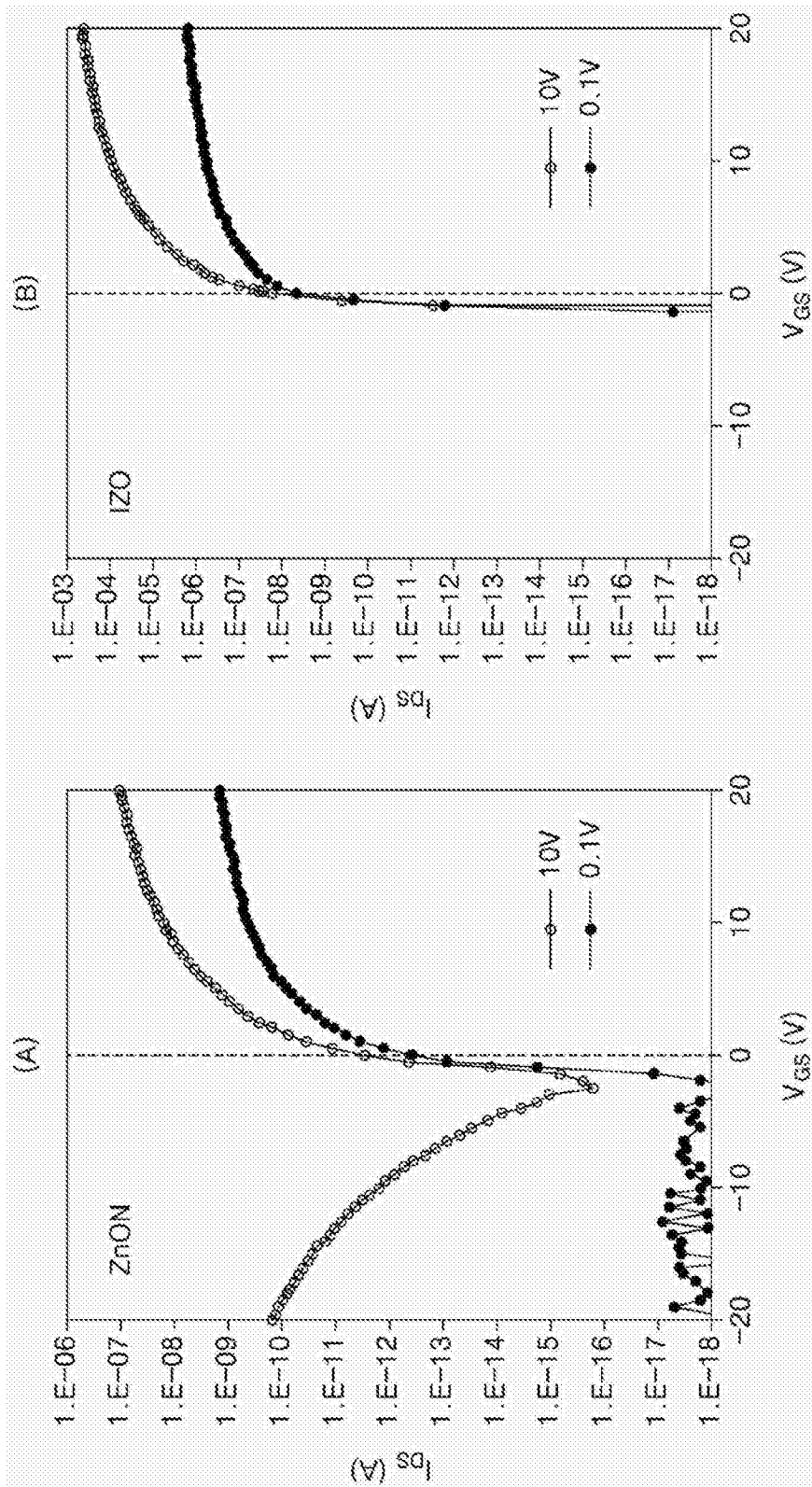


图6

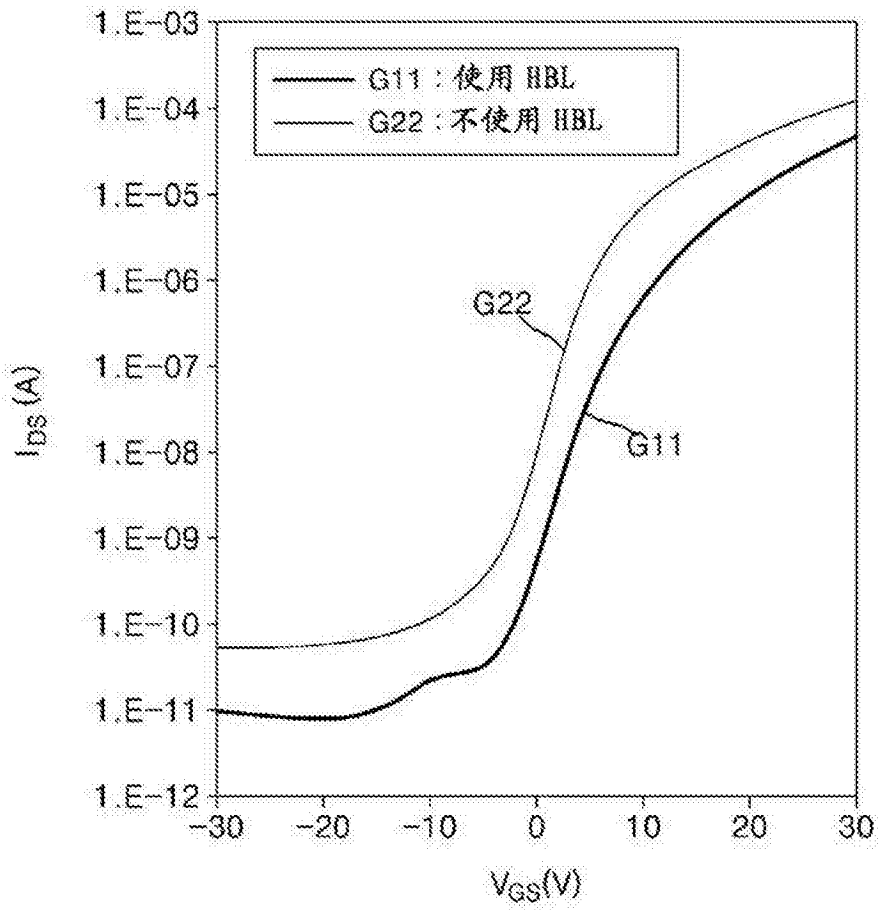


图7

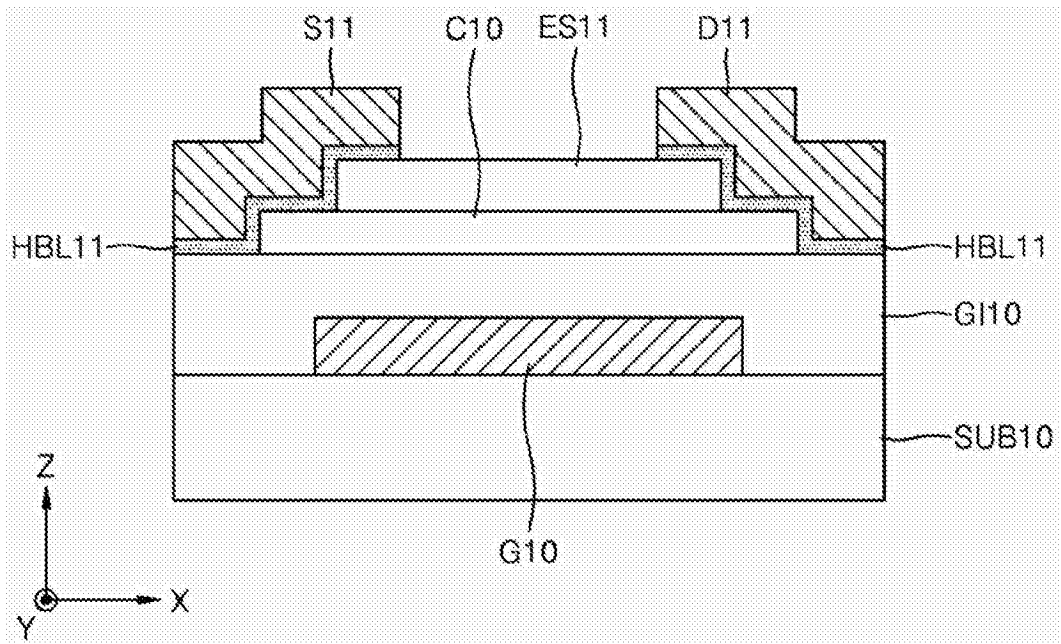


图8

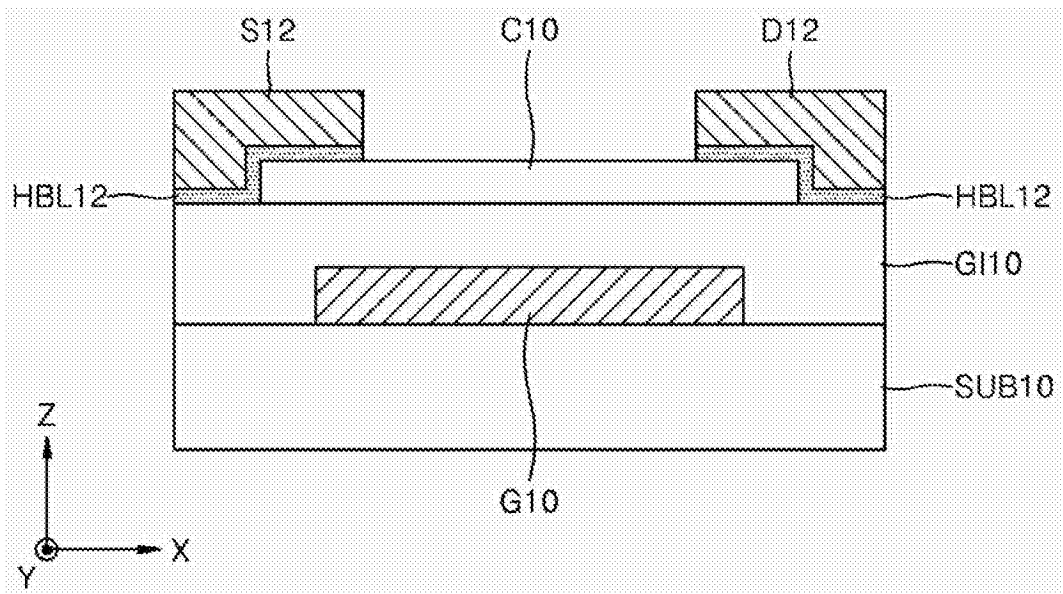


图9

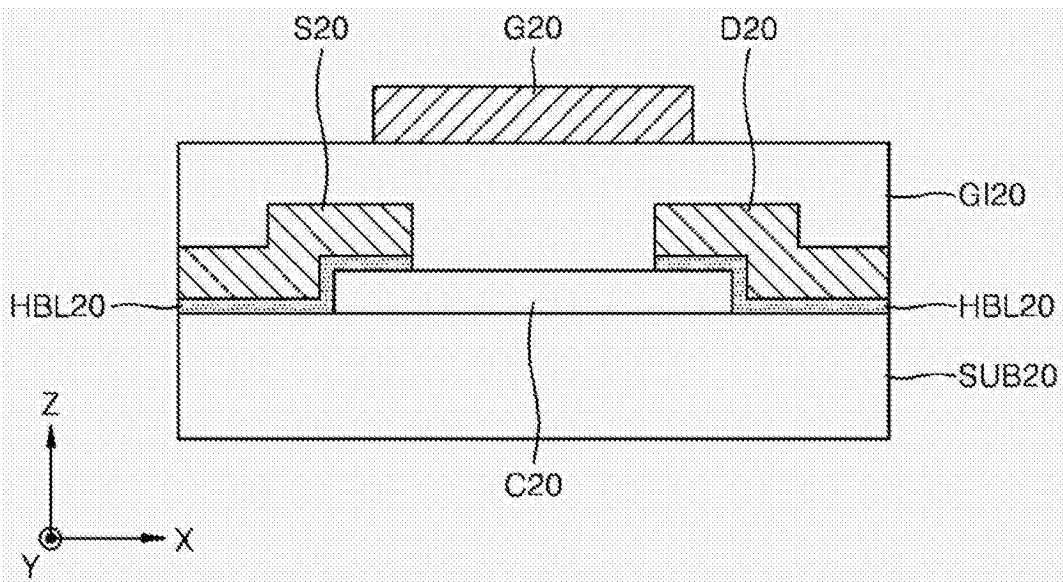


图10

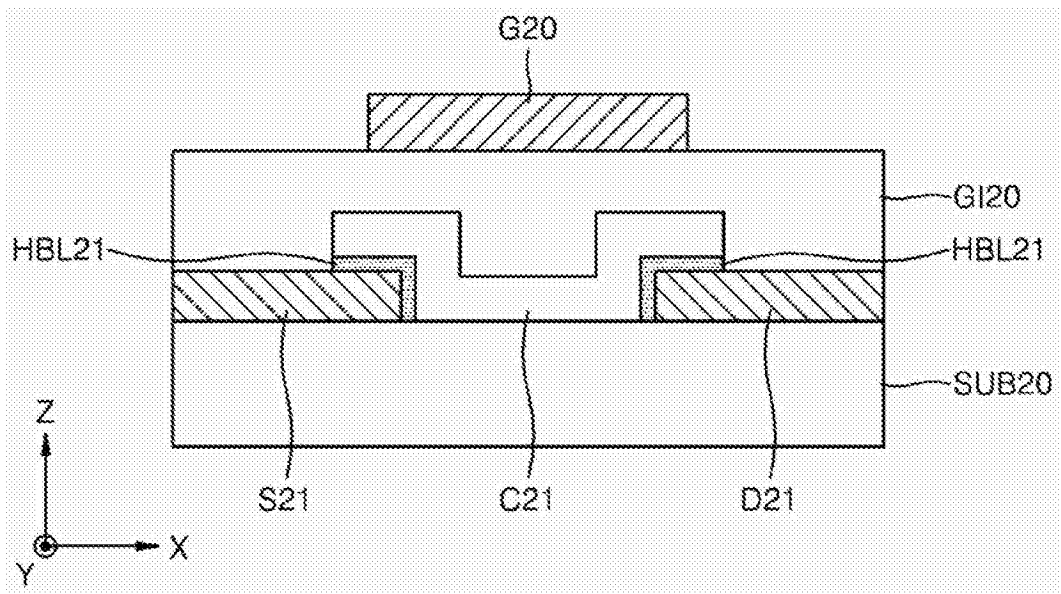


图11

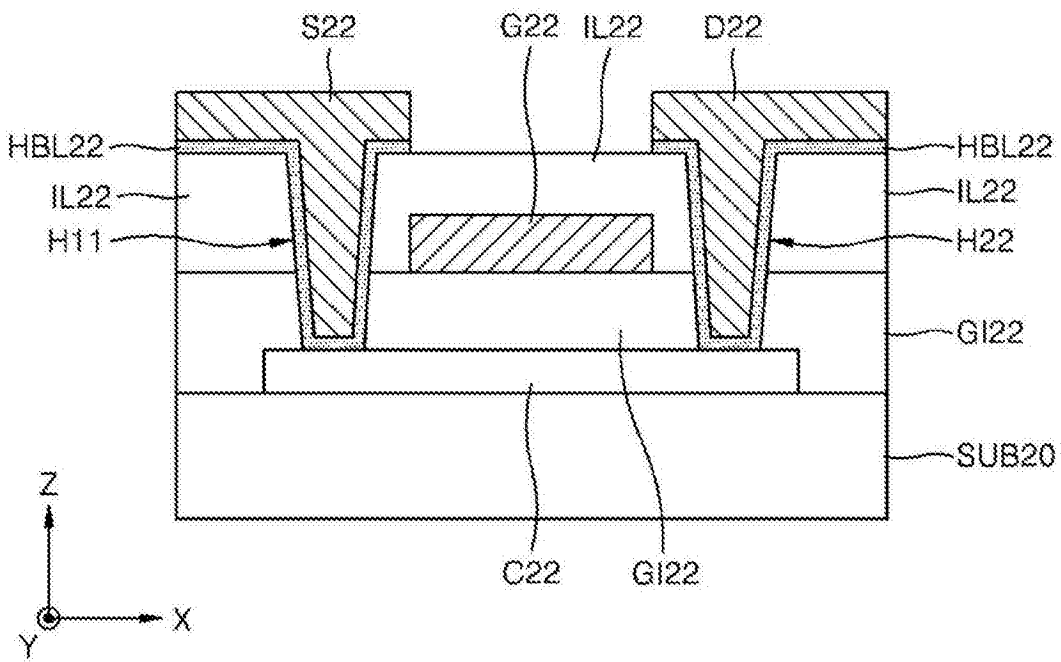


图12

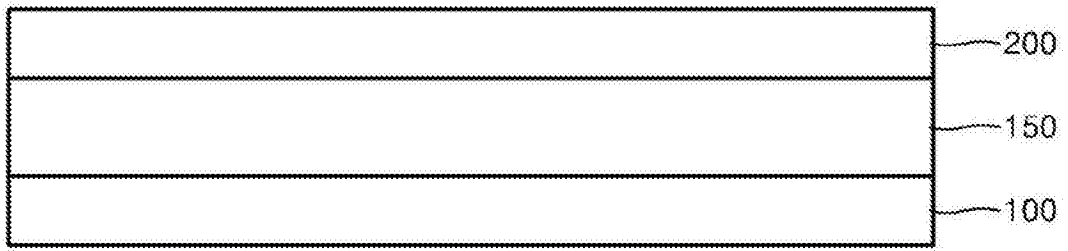


图13

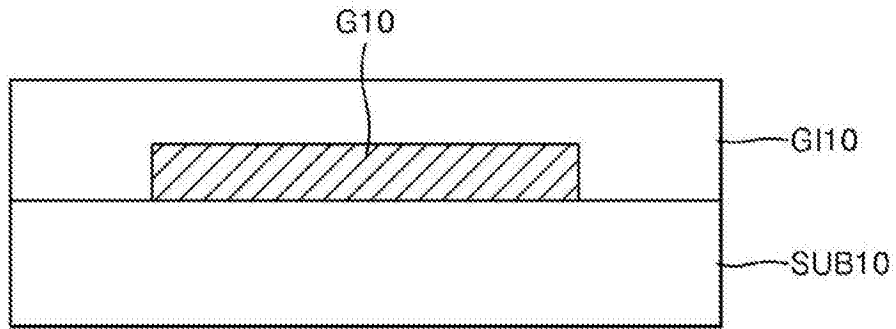


图14A

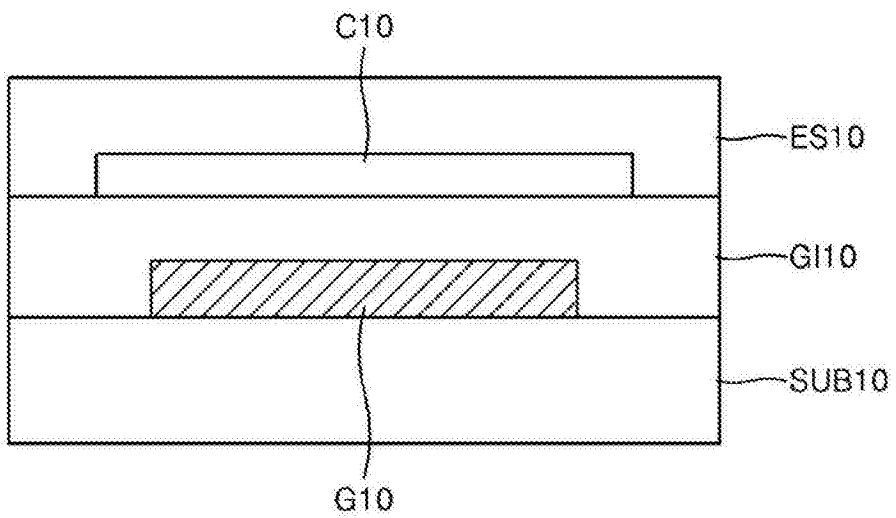


图14B

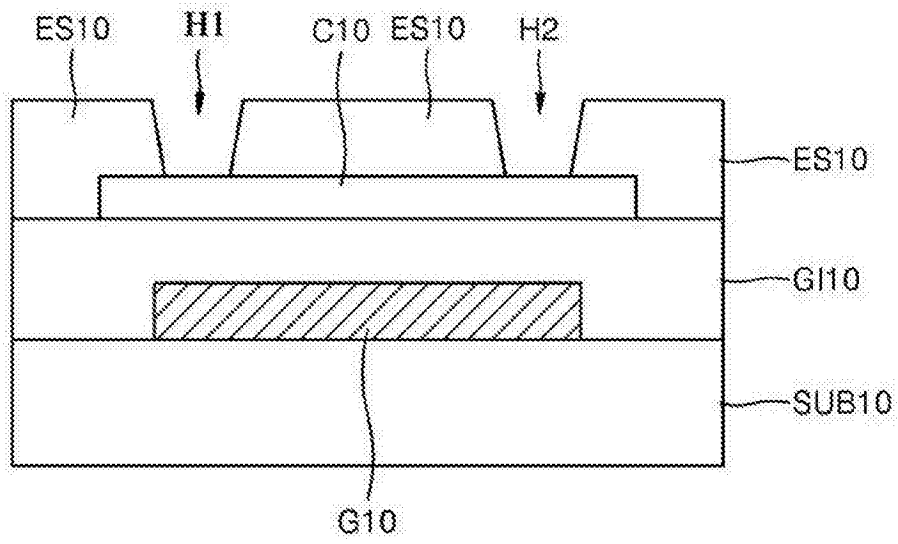


图14C

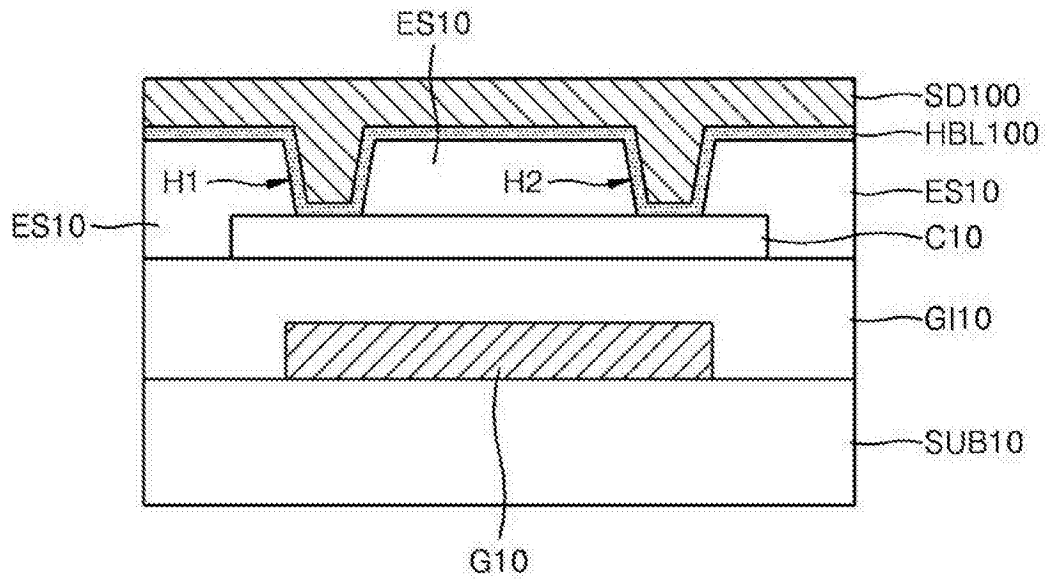


图14D

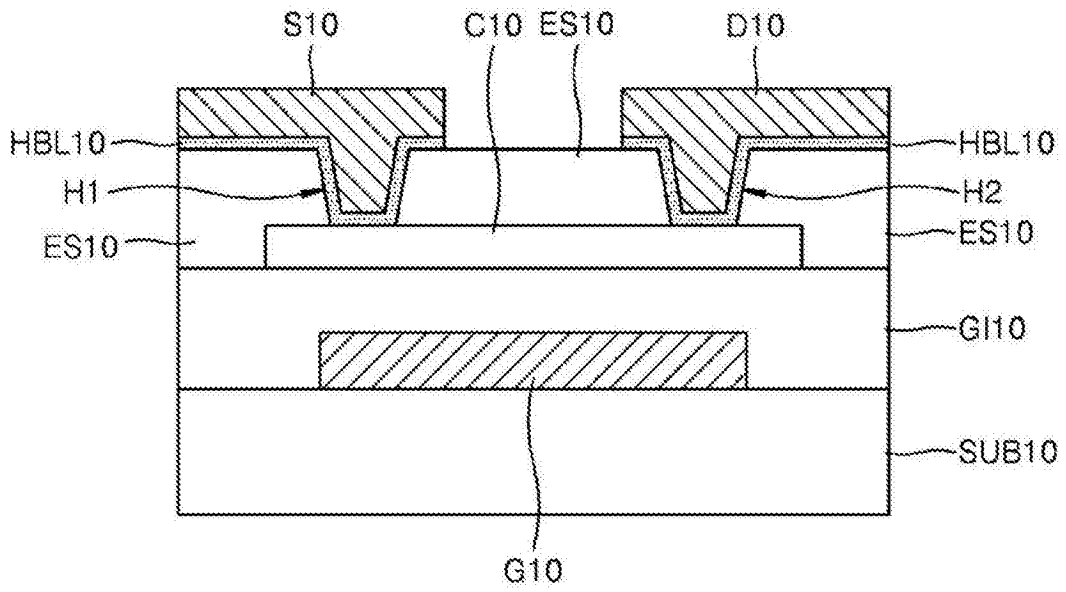


图14E

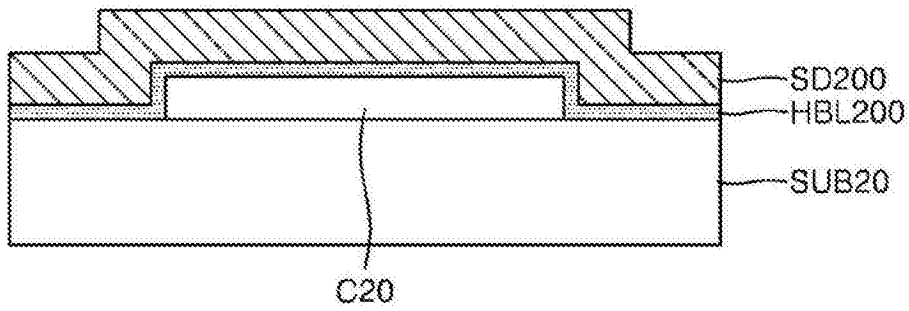


图15A

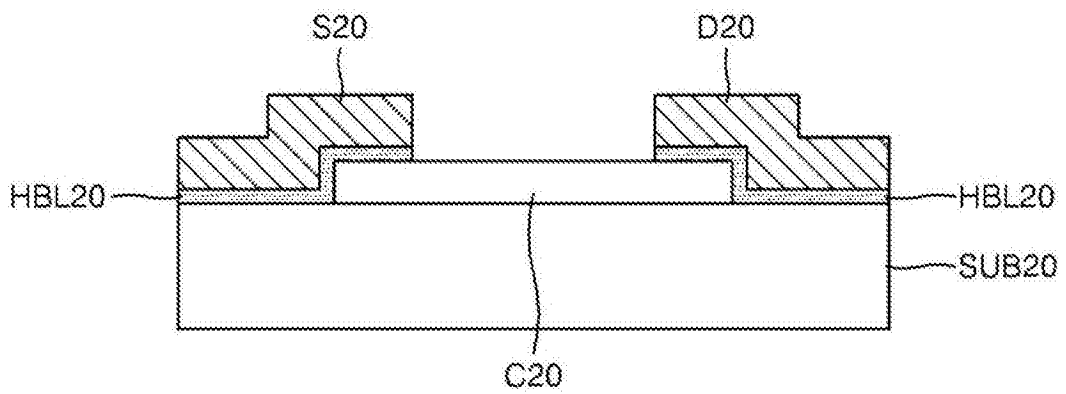


图15B

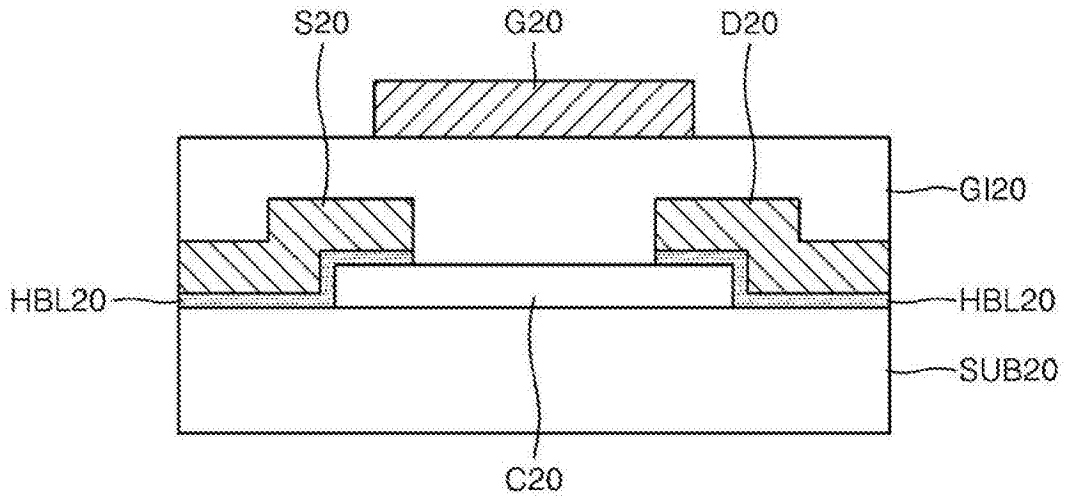


图15C