



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I792119 B

(45)公告日：中華民國 112 (2023) 年 02 月 11 日

(21)申請案號：109144114

(22)申請日：中華民國 104 (2015) 年 09 月 14 日

(51)Int. Cl. : H01L27/146 (2006.01)

H04N5/369 (2011.01)

(30)優先權：2014/09/26 日本

2014-196247

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：池田之 IKEDA, TAKAYUKI (JP)；黑川義元 KUROKAWA, YOSHIYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201315220A

TW 201319530A

審查人員：陳志遠

申請專利範圍項數：2 項 圖式數：49 共 146 頁

(54)名稱

攝像裝置

(57)摘要

提供一種撮像品質高的適於高速工作的攝像裝置。該攝像裝置包括第一區域至第 n 區域(n 為 2 以上且 16 以下的自然數)，各區域包括第一電路、第二電路、第三電路和第四電路，第一至第三電路包括將矽用作活性層或活性區域的電晶體，第四電路包括將氧化物半導體用作活性層的電晶體及光電轉換元件，第一電路具有與第四電路重疊的區域，第三電路具有與所述第四電路重疊的區域。

An imaging device which offers an image with high quality and is suitable for high-speed operation is provided. The imaging device includes a first region to an n-th region (n is a natural number of 2 or more and 16 or less) each including a first circuit, a second circuit, a third circuit, and a fourth circuit. The first to third circuits each include a transistor in which silicon is used in an active layer or an active region. The fourth circuit includes a photoelectric conversion element and a transistor in which an oxide semiconductor is used in an active layer. The first circuit includes a region overlapping with the fourth circuit. The third circuit includes a region overlapping with the fourth circuit.

指定代表圖：

圖 1A

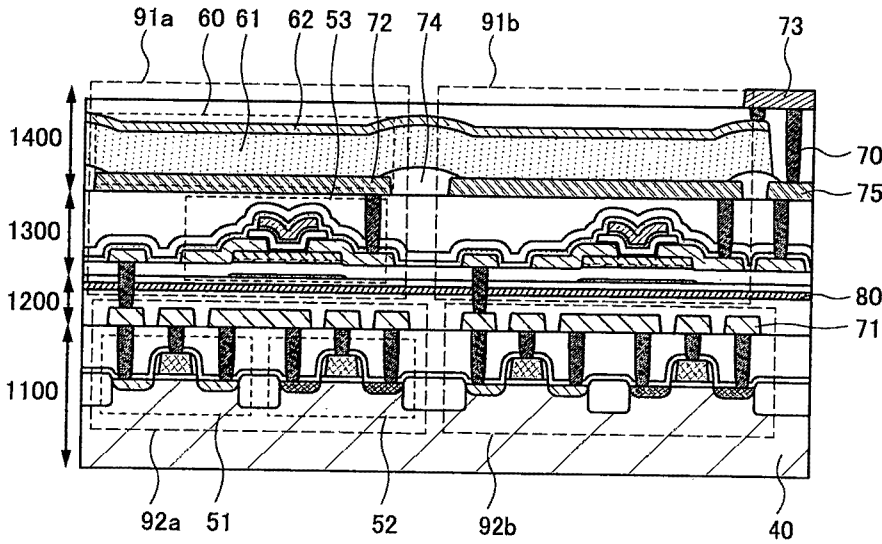
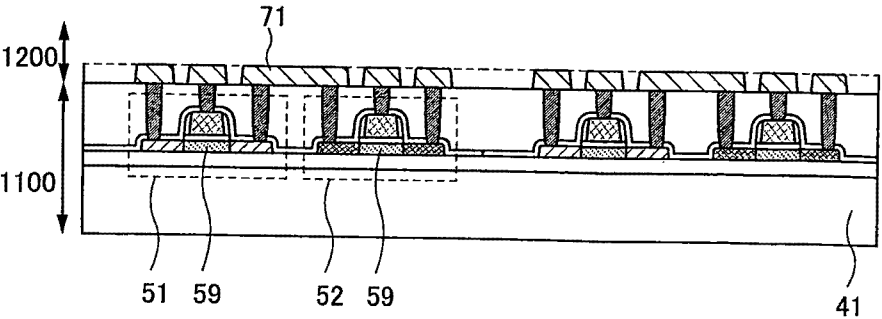


圖 1B



符號簡單說明：

- 40:矽基板
- 41:基板
- 51:電晶體
- 52:電晶體
- 53:電晶體
- 59:活性層
- 60:光電轉換元件
- 61:光電轉換層
- 62:透光性導電層
- 70:導電體
- 71:佈線
- 72:佈線
- 73:佈線
- 74:分隔壁
- 75:佈線
- 80:絕緣層
- 91a:電路
- 91b:電路
- 92a:電路
- 92b:電路
- 1100:層
- 1200:層
- 1300:層
- 1400:層

I792119

發明摘要

【發明名稱】(中文/英文)

攝像裝置

IMAGING DEVICE

【中文】

提供一種撮像品質高的適於高速工作的攝像裝置。該攝像裝置包括第一區域至第 n 區域 (n 為 2 以上且 16 以下的自然數)，各區域包括第一電路、第二電路、第三電路和第四電路，第一至第三電路包括將矽用作活性層或活性區域的電晶體，第四電路包括將氧化物半導體用作活性層的電晶體及光電轉換元件，第一電路具有與第四電路重疊的區域，第三電路具有與所述第四電路重疊的區域。

【英文】

An imaging device which offers an image with high quality and is suitable for high-speed operation is provided. The imaging device includes a first region to an n -th region (n is a natural number of 2 or more and 16 or less) each including a first circuit, a second circuit, a third circuit, and a fourth circuit. The first to third circuits each include a transistor in which silicon is used in an active layer or an active region. The fourth circuit includes a photoelectric conversion element and a transistor in which an oxide semiconductor is used in an active layer. The first circuit includes a region overlapping with the fourth circuit. The third circuit includes a region overlapping with the fourth circuit.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

40：矽基板
 41：基板
 51：電晶體
 52：電晶體
 53：電晶體
 59：活性層
 60：光電轉換元件
 61：光電轉換層
 62：透光性導電層
 70：導電體
 71：佈線
 72：佈線
 73：佈線
 74：分隔壁
 75：佈線
 80：絕緣層
 91a：電路
 91b：電路
 92a：電路
 92b：電路
 1100：層
 1200：層
 1300：層
 1400：層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

攝像裝置

IMAGING DEVICE

【技術領域】

[0001] 本發明的一個實施方式係關於一種使用氧化物半導體的攝像裝置。

[0002] 注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或製造方法。或者，本發明的一個實施方式係關於一種程式（process）、機器（machine）、產品（manufacture）或者組成物（composition of matter）。由此，更明確而言，作為本說明書所公開的本發明的一個實施方式的技術領域的一個例子可以舉出半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、攝像裝置、這些裝置的驅動方法或者這些裝置的製造方法。

[0003] 注意，本說明書等中的半導體裝置是指藉由利用半導體特性而能夠工作的所有裝置。電晶體、半導體電路為半導體裝置的一個實施方式。另外，記憶體裝置、顯示裝置、攝像裝置、電子裝置有時包括半導體裝置。

【先前技術】

[0004] 使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路（IC）及顯示裝置等的電子裝置。作為可以應用於電晶體的半導體材料，矽類半導體被周知。另外，作為其他材料，氧化物半導體受到注目。

[0005] 例如，公開了作為氧化物半導體使用氧化鋅或 In-Ga-Zn 類氧化物半導體來製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

[0006] 專利文獻 3 公開了一種攝像裝置，其中在像素電路的一部分中使用包含氧化物半導體的關態電流（off-state current）極低的電晶體，在週邊電路中使用能夠製造 CMOS（Complementary Metal Oxide Semiconductor）電路的包含矽的電晶體。

[0007] 專利文獻 4 公開了一種攝像裝置，其中層疊有包含矽的電晶體、包含氧化物半導體的電晶體以及包含晶體矽層的光電二極體。

[0008]

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

[專利文獻 3] 日本專利申請公開第 2011-119711 號公報

[專利文獻 4]日本專利申請公開第 2013-243355 號公

報

[0009] 攝像裝置被組裝於各種各樣的可攜式資訊設備中，要求高清晰化、小型化、低功耗化等。另外，對攝像裝置還要求在滿足上述要求的同時可以以更低成本製造。

[0010] 當攝像裝置的清晰度得到提高時，亦即，當像素數增加時需要進行高速驅動。為了使攝像裝置高速驅動，除了半導體材料的物性的改善等之外還需要改善電路結構的設計。

【發明內容】

[0011] 因此，本發明的一個實施方式的目的之一是提供一種適用於高速工作的攝像裝置。另外，本發明的一個實施方式的目的之一是提供一種高解析度的攝像裝置。另外，本發明的一個實施方式的目的之一是提供一種高集成度的攝像裝置。另外，本發明的一個實施方式的目的之一是提供一種低功耗的攝像裝置。另外，本發明的一個實施方式的目的之一是提供一種低成本的攝像裝置。另外，本發明的一個實施方式的目的之一是提供一種可以在低照度環境下進行攝像的攝像裝置。另外，本發明的一個實施方式的目的之一是提供一種動態範圍廣的攝像裝置。另外，本發明的一個實施方式的目的之一是提供一種能夠在較寬的溫度範圍內使用的攝像裝置。另外，本發明的一個實施方式的目的之一是提供一種高開口率的攝像裝置。另

外，本發明的一個實施方式的目的之一是提供一種可靠性高的攝像裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的攝像裝置等。另外，本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置等。

[0012] 注意，這些課題的記載並不妨礙其他課題的存在。此外，本發明的一個實施方式並不需要解決所有上述課題。另外，說明書、圖式以及申請專利範圍等的記載中顯然存在上述課題以外的課題，可以從說明書、圖式以及申請專利範圍等的記載中獲得上述課題以外的課題。

[0013] 本發明的一個實施方式係關於一種攝像裝置，該攝像裝置層疊有：包括形成於半導體基板的電晶體的電路；包括使用氧化物半導體形成的電晶體的電路；以及光電轉換元件。

[0014] 本發明的一個實施方式是一種攝像裝置，該攝像裝置包括第一區域至第 n 區域（ n 為 2 以上且 16 以下的自然數），各區域包括第一電路、第二電路、第三電路和第四電路，第一至第三電路包括將矽用於活性層或活性區域的電晶體，第四電路包括將氧化物半導體用於活性層的電晶體及光電轉換元件，第一電路具有從第三電路讀出信號的功能，第二電路具有輸出驅動第四電路的信號的功能，第三電路具有對從第四電路輸出的信號進行處理的功能，第四電路具有將光轉換為信號的功能，第一電路具有與第四電路重疊的區域，第三電路具有與所述第四電路重疊的區域。

[0015] 上述氧化物半導體較佳為包含 In、Zn 以及 M (M 為 Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd 或 Hf)。

[0016] 另外，光電轉換元件可以在光電轉換層中包含硒。

[0017] 另外，第一電路及第二電路可以包括移位暫存器電路及緩衝電路。

[0018] 另外，第三電路可以包括相關雙取樣 (CDS) 電路、類比-數位轉換 (ADC) 電路及閃鎖電路。

[0019] 另外，可以將第一電路分割為二個區域地配置。

[0020] 另外，可以將第二電路分割為二個區域地配置。

[0021] 另外，可以將第一電路、第二電路及第三電路設置於第一層，將第四電路中的將氧化物半導體用作活性層的電晶體設置於第二層，將光電轉換元件設置於第三層，並將第二層設置於第一層與第三層之間。

[0022] 藉由本發明的一個實施方式，可以提供一種適用於高速工作的攝像裝置。藉由本發明的一個實施方式，可以提供一種高解析度的攝像裝置。藉由本發明的一個實施方式，可以提供一種高集成度的攝像裝置。另外，可以提供一種低功耗的攝像裝置。藉由本發明的一個實施方式，可以提供一種低成本的攝像裝置。藉由本發明的一個實施方式，可以提供一種可以在低照度環境下進行攝像的攝像裝置。藉由本發明的一個實施方式，可以提供一種

動態範圍廣的攝像裝置。藉由本發明的一個實施方式，可以提供一種能夠在較寬的溫度範圍內使用的攝像裝置。藉由本發明的一個實施方式，可以提供一種高開口率的攝像裝置。另外，可以提供一種可靠性高的攝像裝置。另外，可以提供一種新穎的攝像裝置等。另外，可以提供一種新穎的半導體裝置等。

[0023] 注意，本發明的一個實施方式不侷限於上述效果。例如，本發明的一個實施方式有時根據情況或狀況而具有上述效果以外的效果。或者，例如，本發明的一個實施方式有時根據情況或狀況而不具有上述效果。

【圖式簡單說明】

[0024] 在圖式中：

圖 1A 和圖 1B 是說明攝像裝置的剖面圖；

圖 2 是說明攝像裝置的剖面圖；

圖 3A 至圖 3F 是說明光電轉換元件的連接方式的剖面圖；

圖 4A 和圖 4B 是說明攝像裝置所具有的電路的圖；

圖 5 是說明攝像裝置的結構的俯視圖；

圖 6A 至圖 6C 是說明攝像裝置所具有的電路的圖；

圖 7 是說明攝像裝置所具有的電路的圖；

圖 8A 和圖 8B 是說明攝像裝置所具有的電路的圖；

圖 9A 和圖 9B 是說明攝像裝置所具有的電路的圖；

圖 10 是說明攝像裝置所具有的電路的圖；

圖 11A 和圖 11B 是說明攝像裝置的結構的俯視圖；
 圖 12 是說明攝像裝置的結構的俯視圖；
 圖 13 是說明攝像裝置的結構的俯視圖；
 圖 14A 至圖 14D 是說明像素部的分割方式的圖；
 圖 15 是說明攝像裝置的結構的俯視圖；
 圖 16 是說明攝像裝置的結構的俯視圖；
 圖 17 是說明攝像裝置的結構的俯視圖；
 圖 18A 和圖 18B 是說明攝像裝置的結構的剖面圖；
 圖 19A1 至圖 19B3 是說明彎曲的攝像裝置的圖；
 圖 20A 和圖 20B 是說明像素電路的結構的圖；
 圖 21A 至圖 21C 是說明像素電路的工作的時序圖；
 圖 22A 和圖 22B 是說明像素電路的結構的圖；
 圖 23A 和圖 23B 是說明像素電路的結構的圖；
 圖 24A 和圖 24B 是說明像素電路的結構的圖；
 圖 25A 和圖 25B 是說明全域快門方式及滾動快門方式的工作的時序圖；
 圖 26A 和圖 26B 是說明電晶體的俯視圖及剖面圖；
 圖 27A 和圖 27B 是說明電晶體的俯視圖及剖面圖；
 圖 28A 和圖 28B 是說明電晶體的俯視圖及剖面圖；
 圖 29A 和圖 29B 是說明電晶體的俯視圖及剖面圖；
 圖 30A 和圖 30B 是說明電晶體的俯視圖及剖面圖；
 圖 31A 和圖 31B 是說明電晶體的俯視圖及剖面圖；
 圖 32A 至圖 32D 是說明電晶體的通道寬度方向的剖面的圖；

圖 33A 至圖 33F 是說明電晶體的通道長度方向的剖面的圖；

圖 34A 至圖 34E 是說明半導體層的俯視圖及剖面圖；

圖 35A 和圖 35B 是說明電晶體的俯視圖及剖面圖；

圖 36A 和圖 36B 是說明電晶體的俯視圖及剖面圖；

圖 37A 和圖 37B 是說明電晶體的俯視圖及剖面圖；

圖 38A 和圖 38B 是說明電晶體的俯視圖及剖面圖；

圖 39A 和圖 39B 是說明電晶體的俯視圖及剖面圖；

圖 40A 和圖 40B 是說明電晶體的俯視圖及剖面圖；

圖 41A 至圖 41D 是說明電晶體的通道寬度方向的剖面的圖；

圖 42A 至圖 42F 是說明電晶體的通道長度方向的剖面的圖；

圖 43A 和圖 43B 是說明電晶體的俯視圖；

圖 44A 至圖 44F 是說明電子裝置的圖；

圖 45A 至圖 45D 是說明光電轉換元件的連接方式的剖面圖；

圖 46 是說明像素電路的結構的圖；

圖 47 是說明像素電路的結構的圖；

圖 48 是說明像素電路的結構的圖；

圖 49 是說明像素電路的結構的圖。

【實施方式】

[0025] 參照圖式對實施方式進行詳細說明。但是，本發明不侷限於以下的說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是，本發明的方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。注意，在下面所說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。注意，有時在不同的圖式中適當地省略或改變相同構成要素的陰影。

[0026] 例如，在本說明書等中，當明確地記載為“X 與 Y 連接”時，意味著如下情況：X 與 Y 電連接；X 與 Y 在功能上連接；X 與 Y 直接連接。因此，不侷限於規定的連接關係（例如，圖式或文中所示的連接關係等），圖式或文中所示的連接關係以外的連接關係也包含於圖式或文中所記載的內容中。

[0027] 這裡，X 和 Y 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

[0028] 作為 X 與 Y 直接連接的情況的一個例子，可以舉出在 X 與 Y 之間沒有連接能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件及負載等），並且 X 與 Y 沒有藉由能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光

元件及負載等）連接的情況。

[0029] 作為 X 與 Y 電連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠電連接 X 與 Y 的元件（例如開關、電晶體、電容元件、電感器、電阻元件、二極體、顯示元件、發光元件及負載等）。另外，開關具有控制開啟和關閉的功能。換言之，藉由使開關處於導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。或者，開關具有選擇並切換電流路徑的功能。另外，X 與 Y 電連接的情況包括 X 與 Y 直接連接的情況。

[0030] 作為 X 與 Y 在功能上連接的情況的一個例子，例如可以在 X 與 Y 之間連接一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（DA 轉換電路、AD 轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，也可以說 X 與 Y 在功能上是連接著的。另外，X 與 Y 在功能上連接的情況包括 X 與 Y 直接連接的情況及 X 與 Y 電連接的情況。

[0031] 此外，當明確地記載為“X 與 Y 電連接”時，在本說明書等中意味著如下情況：X 與 Y 電連接（亦即，以中間夾有其他元件或其他電路的方式連接 X 與 Y）；X 與 Y 在功能上連接（亦即，以中間夾有其他電路的方式在功能上連接 X 與 Y）；X 與 Y 直接連接（亦即，以中間不夾有其他元件或其他電路的方式連接 X 與 Y）。亦即，在本說明書等中，當明確地記載為“電連接”時與只明確地記載為“連接”時的情況相同。

[0032] 注意，例如，在電晶體的源極（或第一端子等）藉由 Z1（或沒有藉由 Z1）與 X 電連接，電晶體的汲極（或第二端子等）藉由 Z2（或沒有藉由 Z2）與 Y 電連接的情況下以及在電晶體的源極（或第一端子等）與 Z1 的一部分直接連接，Z1 的另一部分與 X 直接連接，電晶體的汲極（或第二端子等）與 Z2 的一部分直接連接，Z2 的另一部分與 Y 直接連接的情況下，可以表示為如下。

[0033] 例如，可以表示為“X、Y、電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）互相電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表示為“電晶體的源極（或第一端子等）與 X 電連接，電晶體的汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表示為“X 藉由電晶體的源極（或第一端子等）及汲極（或第二端子等）與 Y 電連接，

X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、Y 依次設置為相互連接”。藉由使用與這種例子相同的表示方法規定電路結構中的連接順序，可以區別電晶體的源極（或第一端子等）與汲極（或第二端子等）而決定技術範圍。

[0034] 另外，作為其他表示方法，例如可以表示為“電晶體的源極（或第一端子等）至少經過第一連接路徑與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑是電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）之間的路徑，所述第一連接路徑是藉由 Z1 的路徑，電晶體的汲極（或第二端子等）至少經過第三連接路徑與 Y 電連接，所述第三連接路徑不具有所述第二連接路徑，所述第三連接路徑是藉由 Z2 的路徑”。或者，也可以表示為“電晶體的源極（或第一端子等）至少經過第一連接路徑，藉由 Z1 與 X 電連接，所述第一連接路徑不具有第二連接路徑，所述第二連接路徑具有藉由電晶體的連接路徑，電晶體的汲極（或第二端子等）至少經過第三連接路徑，藉由 Z2 與 Y 電連接，所述第三連接路徑不具有所述第二連接路徑”。或者，也可以表示為“電晶體的源極（或第一端子等）至少經過第一電路徑，藉由 Z1 與 X 電連接，所述第一電路徑不具有第二電路徑，所述第二電路徑是從電晶體的源極（或第一端子等）到電晶體的汲極（或第二端子等）的電路徑，電晶體的汲極（或第二端子等）至少經過第三電路徑，藉由 Z2

與 Y 電連接，所述第三電路徑不具有第四電路徑，所述第四電路徑是從電晶體的汲極（或第二端子等）到電晶體的源極（或第一端子等）的電路徑”。藉由使用與這種例子同樣的表示方法規定電路結構中的連接路徑，可以區別電晶體的源極（或第一端子等）和汲極（或第二端子等）來決定技術範圍。

[0035] 注意，這種表示方法只是一個例子而已，不侷限於上述表示方法。在此，X、Y、Z1 及 Z2 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜及層等）。

[0036] 另外，即使圖式示出在電路圖上獨立的構成要素彼此電連接，也有一個構成要素兼有多個構成要素的功能的情況。例如，在佈線的一部分被用作電極時，一個導電膜兼有佈線和電極的兩個構成要素的功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電膜兼有多個構成要素的功能的情況。

[0037] 另外，根據情況或狀態，可以互相調換“膜”和“層”這兩個詞。例如，有時可以將“導電層”調換為“導電膜”。此外，有時可以將“絕緣膜”調換為“絕緣層”。

[0038]

實施方式 1

在本實施方式中，參照圖式對本發明的一個實施方式的攝像裝置進行說明。

[0039] 圖 1A 是示出本發明的一個實施方式的攝像裝

置的結構的剖面圖，示出了形成有電路 91a、電路 91b、電路 92a、電路 92b 的區域的一部分的剖面。電路 91a 包括以氧化物半導體層為活性層的電晶體 53 以及具有光電轉換層 61 的光電轉換元件 60。另外，以包括與電路 91a 重疊的區域的方式設置電路 92a。電路 92a 包括矽基板 40 中具有活性區域的電晶體 51 及電晶體 52。另外，上述各電晶體及光電轉換元件 60 與埋入絕緣層中的導電體 70 及各佈線電連接。

[0040] 另外，電路 91b 與電路 91a 具有相同的結構，並與包括矽基板 40 中具有活性區域的電晶體的電路 92b 具有重疊的區域。另外，雖然示出電路 92b 與電路 92a 具有相同結構的例子，但是電路 92a 與電路 92b 的結構也可以不同。

[0041] 注意，上述構成要素的電連接的方式是一個例子。另外，由一個元件符號表示設置在同一面上或者以同一製程設置的佈線及電極等，由一個元件符號示出所有的填埋於絕緣層中的導電體 70。另外，雖然在圖式上各佈線、各電極和各導電體 70 為彼此不同的構成要素，但是在圖式上彼此電連接的構成要素有時在實際的電路中被認為同一個構成要素。

[0042] 上述攝像裝置包括：具有設置在矽基板 40 中的電晶體 51、電晶體 52、絕緣層及導電體 70 等的第二層 1100；具有佈線 71、導電體 70 及絕緣層等的第三層 1200；具有電晶體 53、導電體 70 及絕緣層等的第四層

1300；具有佈線 72、佈線 73、佈線 75、導電體 70 及絕緣層等的第四層 1400。按第一層 1100、第二層 1200、第三層 1300、第四層 1400 的順序層疊這些層。

[0043] 在此，第二層 1200 可以採用具有多層佈線的結構。另外，第二層 1200 兼具靜電屏蔽（electric shielding）、熱屏蔽及光學屏蔽的作用，有助於形成於第一層 1100 中的電晶體及形成於第三層 1300 中的電晶體的穩定工作。

[0044] 注意，也有不設置上述佈線等中的一個以上或者各層包括上述以外的佈線或電晶體等的情況。此外，也有該疊層結構包括上述以外的層或者不包括上述層中的一個以上的情況。另外，上述絕緣層具有層間絕緣膜或鈍化膜的功能。

[0045] 矽基板 40 不侷限於塊狀矽基板，也可以使用以鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銦、氮化鎵或有機半導體為材料的基板。

[0046] 如圖 1B 所示，電晶體 51 及電晶體 52 也可以為具有矽薄膜的活性層 59 的電晶體。此時，作為基板 41 可以使用玻璃基板或半導體基板等。活性層 59 可以使用多晶矽或 SOI（Silicon on Insulator：絕緣層上覆矽）結構的單晶矽。

[0047] 在上述疊層中，具有電晶體 51 及電晶體 52 的第一層 1100 與具有電晶體 53 的第三層 1300 之間設置有絕緣層 80。

[0048] 設置在電晶體 51 及電晶體 52 的活性區域附近的絕緣層中的氫使矽的懸空鍵終結。因此，該氫提高電晶體 51 及電晶體 52 的可靠性。另一方面，設置在電晶體 53 等的活性層的氧化物半導體層附近的絕緣層中的氫有可能成為在氧化物半導體層中生成載子的原因之一。因此，該氫有時引起電晶體 53 等的可靠性的下降。因此，當層疊包含使用矽類半導體材料的電晶體的一個層與包含使用氧化物半導體的電晶體的另一個層時，較佳的是在它們之間設置具有防止氫擴散的功能的絕緣層 80。藉由設置絕緣層 80 將氫封閉在一個層中，可以提高電晶體 51 及電晶體 52 的可靠性。同時，由於能夠抑制氫從一個層擴散到另一個層，所以可以提高電晶體 53 等的可靠性。

[0049] 絕緣層 80 例如可以使用氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鈮、氧氮化鈮、氧化鈺、氧氮化鈺、鈮安定氧化鋯（YSZ）等。

[0050] 在光電轉換元件 60 中，較佳的是作為光電轉換層 61 使用對可見光的量子效率高的硒類材料。藉由將硒類材料用於光電轉換層 61，可以得到利用突崩潰現象相對於入射光量電子放大量大的高靈敏度光電轉換元件。因此，可以認為採用硒類材料的光電轉換元件適用於低照度環境下的攝像。另外，由於硒類材料的光吸收係數高，而具有易於將光電轉換層 61 形成得較薄的優點。

[0051] 作為硒類材料，可以使用非晶硒或結晶硒。作為結晶硒的一個例子，可以藉由形成非晶硒之後進行加

熱處理而形成。另外，藉由使結晶硒的結晶粒徑小於像素間距，可以減少各像素的特性偏差。另外，與非晶硒相比，結晶硒具有對於可見光的光譜靈敏度及光吸收係數高的特性。

[0052] 另外，光電轉換層 61 可以為含有銅、銦、硒的化合物（CIS）的層，也可以為含有銅、銦、鎵、硒的化合物（CIGS）的層。在 CIS 層及 CIGS 層中，可以與硒的單層同樣地形成能夠利用突崩潰現象的光電轉換元件。

[0053] 作為採用硒類材料的光電轉換元件 60，例如可以採用在由金屬材料等形成的佈線 72 與透光性導電層 62 之間具有光電轉換層 61 的結構。另外，為了防止洩漏電流等，可以將包含氧化鋅等的氧化物半導體層以與光電轉換層 61 接觸的方式設置。

[0054] 另外，在圖 1A 中雖然採用不使光電轉換層 61 與透光性導電層 62 在電路間分離的結構，但是也可以如圖 45A 所示採用在電路間分離的結構。另外，在像素間的不具有佈線 72 的區域中，較佳的是以絕緣體形成分隔壁 74，以使光電轉換層 61 及透光性導電層 62 不產生裂縫，但是也可以如圖 45B 所示採用不設置分隔壁 74 的結構。另外，也可以如圖 45C 及圖 45D 所示採用透光性導電層 62 與佈線 72 直接連接的結構。

[0055] 另外，作為光電轉換元件 60，可以採用矽基板中形成有 pn 接面或 pin 接面的二極體元件，或者也可以採用使用了如非晶矽膜或微晶矽膜等的 pin 型二極體元

件等。

[0056] 例如，圖 2 是作為光電轉換元件 60 使用 pin 型薄膜光電二極體的例子。該光電二極體包括依次層疊的 n 型半導體層 65、i 型半導體層 64 及 p 型半導體層 63。i 型半導體層 64 較佳為使用非晶矽。p 型半導體層 63 及 n 型半導體層 65 可以使用包含賦予各導電型的摻雜物的非晶矽或者微晶矽等。以非晶矽為光電轉換層的光電二極體在可見光波長區域內的靈敏度較高，而易於檢測微弱的可見光。

[0057] 在圖 2 所示的光電轉換元件 60 中，用作陰極的 n 型半導體層 65 電連接到與電晶體 53 電連接的佈線 72，用作陽極的 p 型半導體層 63 藉由導電體 70 及佈線 73 與佈線 75 電連接。

[0058] 另外，在圖 2 所示的電路 91a 及電路 91b 中，有時與光電轉換元件 60 的陽極及陰極連接的佈線等的連接目標與圖 2 相反。

[0059] 注意，無論在哪種情況下，較佳的是以 p 型半導體層 63 為受光面的方式形成光電轉換元件 60。藉由以 p 型半導體層 63 為受光面，可以提高光電轉換元件 60 的輸出電流。

[0060] 另外，具有 pin 型薄膜光電二極體的形態的光電轉換元件 60 的結構以及光電轉換元件 60 與電晶體 53 及佈線的連接方式可以採用圖 3A 至圖 3F 所示的例子。另外，光電轉換元件 60 的結構、光電轉換元件 60 與佈線

的連接方式以及電晶體 53 與佈線的連接方式不侷限於此，也可以採用其他方式。

[0061] 圖 3A 示出設置有與光電轉換元件 60 的 p 型半導體層 63 接觸的透光性導電層 62 的結構。透光性導電層 62 用作電極，而可以提高光電轉換元件 60 的輸出電流。

[0062] 透光導電層 62 例如可以使用銦錫氧化物、包含矽的銦錫氧化物、包含鋅的氧化銦、氧化鋅、包含鎵的氧化鋅、包含鋁的氧化鋅、氧化錫、包含氟的氧化錫、包含銻的氧化錫或石墨烯等。此外，透光導電層 62 不侷限於單層，而也可以為不同膜的疊層。

[0063] 圖 3B 示出光電轉換元件 60 的 p 型半導體層 63 與佈線 73 直接電連接的結構。

[0064] 圖 3C 示出設置有與光電轉換元件 60 的 p 型半導體層 63 接觸的透光導電層 62 且佈線 73 與透光導電層 62 電連接的結構。

[0065] 圖 3D 示出在覆蓋光電轉換元件 60 的絕緣層中設置有使 p 型半導體層 63 露出的開口部且覆蓋該開口部的透光導電層 62 與佈線 73 電連接的結構。

[0066] 圖 3E 示出設置有穿過光電轉換元件 60 的導電體 70 的結構。在該結構中，佈線 75 藉由導電體 70 與 p 型半導體層 63 電連接。注意，雖然在圖式中在外觀上佈線 75 藉由 n 型半導體層 65 電連接到與電晶體 53 電連接的佈線 72，但是，由於 n 型半導體層 65 的橫向方向上

的電阻較高，因此藉由在佈線 75 與佈線 72 之間設置適當的間隔，可以大大提高兩者之間的電阻。由此，可以防止陽極與陰極的短路而確保光電轉換元件 60 的二極體特性。另外，也可以設置多個與 p 型半導體層 63 電連接的導電體 70。

[0067] 圖 3F 示出在圖 3E 的光電轉換元件 60 中追加與 p 型半導體層 63 接觸的透光導電層 62 的結構。

[0068] 另外，在圖 3D、圖 3E 及圖 3F 所示的光電轉換元件 60 中，受光區域不與佈線等重疊，因此可以確保較大的受光面積。

[0069] 使用上述硒類材料或非晶矽等形成的光電轉換元件 60 可以利用成膜製程、光微影製程、蝕刻製程等一般的半導體製程製造。另外，由於硒類材料具有高電阻，也可以如圖 1A 所示那樣採用光電轉換層 61 不在電路間分離的結構。因此，本發明的一個實施方式的攝像裝置可以以高良率及低成本製造。另一方面，其光電轉換層 61 包含晶體矽的光電二極體需要拋光製程或貼合製程等難度較高的製程。

[0070] 電路 91a 可以用作像素電路，例如可以採用圖 4A 所示的電路圖那樣的結構。電晶體 53 的源極和汲極中的一個與光電轉換元件 60 的陰極電連接。另外，電晶體 53 的源極和汲極中的另一個、電晶體 54（在圖 1A 中未圖示）的閘極及電晶體 55（在圖 1A 中未圖示）的源極和汲極中的一個與電荷儲存部（FD）電連接。另外，電

路 91b 也可以採用同樣的電路結構。

[0071] 明確而言，電荷儲存部（FD）由電晶體 53 及電晶體 55 的源極或者汲極的空乏層電容、電晶體 54 的閘極電容以及佈線電容等構成。另外，在圖 4A 中，雖然示出設置有用作電荷儲存部（FD）的一部分的電容元件 58 的例子，但是也可以採用不設置該電容元件的結構。

[0072] 可以將電晶體 53 用作根據光電轉換元件 60 的輸出控制電荷儲存部（FD）的電位的轉移電晶體。可以將電晶體 54 用作輸出對應於電荷儲存部（FD）的電位的信號的放大電晶體。可以將電晶體 55 用作將電荷儲存部（FD）的電位初始化的重設電晶體。

[0073] 電路 92a 讀出從電路 91a 等輸出的信號並進行上述信號的轉換等處理，例如，其可以具有如圖 4B 的電路圖中示出的 CMOS 反相器。電晶體 51（p 通道型）及電晶體 52（n 通道型）的閘極彼此電連接。電晶體 51 和電晶體 52 中的一個電晶體的源極和汲極中的一個電連接到另一個電晶體的源極和汲極中的一個。另外，電晶體 51 和電晶體 52 的源極和汲極中的另一個分別與不同的佈線電連接。注意，電路 92b 可以採用與電路 92a 同樣的電路結構，也可以採用其他的電路結構。

[0074] 在圖 4A 的電路中，較佳的是使用活性層由氧化物半導體形成的電晶體（以下稱為 OS 電晶體）。另外，在圖 4B 的電路中，典型地可以使用活性區域包括於矽基板中的電晶體或者活性層為矽的電晶體（以下稱為 Si

電晶體)，但是 n 通道型電晶體也可以為 OS 電晶體。

[0075] OS 電晶體具有關態電流極低的特性，因此可以擴大攝像的動態範圍。在圖 4A 所示的電路結構中，在照射到光電轉換元件 60 的光量較大時，電荷儲存部（FD）的電位較低。由於 OS 電晶體的關態電流極低，所以即使在閘極電位極低的情況下也可以準確地輸出對應於該閘極電位的電流。由此，可以擴大能夠檢測出的照度的範圍，亦即，動態範圍。

[0076] 藉由利用電晶體 53 及電晶體 55 的關態電流較低的特性，可以在極長的時間內保持電荷儲存部（FD）的電荷。因此，可以採用在所有的像素中同時進行電荷儲存工作的全域快門方式而無需採用複雜的電路結構或工作方式。因此，在拍攝物件為運動物體的情況下也容易獲得畸變較小的影像。

[0077] 另外，OS 電晶體的電特性變動的溫度依賴性小於 Si 電晶體，因此可以在極廣的溫度範圍內使用。因此，具有 OS 電晶體的攝像裝置及半導體裝置適合安裝在汽車、飛機、太空船等。

[0078] 另外，OS 電晶體的汲極耐壓比 Si 電晶體高。在作為光電轉換層使用上文所述的硒類材料的光電轉換元件中，較佳的是施加相對來說較高的電壓（例如，10V 以上）以使突崩潰現象容易產生。因此，藉由組合 OS 電晶體和作為光電換轉層使用硒類材料的光電轉換元件，可以製造可靠性高的攝像裝置。

[0079] 在電路 91a 中，可以將光電轉換元件 60 與電晶體 53 重疊地形成，由此可以提高像素的集成度。換言之，可以提高攝像裝置的解析度。例如，可以將本發明的一個實施方式的攝像裝置用於像素數為 4k2k、8k4k 或者 16k8k 等的攝像裝置。

[0080] 在圖 1A 所示的攝像裝置中，不在矽基板 40 上/中設置光電轉換元件。因此，可以在不受到各種電晶體或佈線等的影響的情況下確保照射到光電轉換元件的光的光路，因此可以形成高開口率的像素。

[0081] 本實施方式所示的攝像裝置中的電晶體及光電轉換元件的結構是一個例子。因此，例如，也可以由其活性區域或活性層包含矽等的電晶體構成電路 91a 及電路 91b。另外，也可以由其活性層為氧化物半導體層的電晶體構成電路 92a 及電路 92b。另外，也可以使用矽基板 40 作為光電轉換元件 60 的光電轉換層。

[0082] 另外，本發明的一個實施方式的攝像裝置具有電路 91a 與電路 92a 彼此重疊的區域，由此可以實現攝像裝置的小型化。

[0083] 圖 5 是一般的攝像裝置的方塊圖，示出了該攝像裝置所具有的構成要素的一部分（像素部 400、電路 411、電路 412、電路 421、電路 422、電路 431、電路 432、電路 433、電路 434、資料線 441、442、443、444）。

[0084] 在像素部 400 中，電路 91a、電路 91b 等的像

素電路以矩陣狀排列，該像素電路的輸出部與資料線 441 至資料線 444 等電連接。例如，圖 5 的水平方向上排列的像素數為 7680 個，當各資料線由水平方向上排列的兩個像素共用時，資料線數為 3840 個。

[0085] 資料線 441 與電路 431 電連接，資料線 442 與電路 432 電連接，資料線 443 與電路 433 電連接，資料線 444 與電路 434 電連接。

[0086] 另外，電路 431 及電路 433 與電路 411 電連接，並且電路 432 及電路 434 與電路 412 電連接。由電路 411 及電路 412 讀出的信號從電路 411 及電路 412 的一端或兩端輸出並輸入到外部電路。

[0087] 另外，電路 421 及電路 422 與像素部 400 所具有的各像素電路電連接。此外，可以將電路 421 及電路 422 合併地配置於一個區域內。

[0088] 在此，電路 411 及電路 412 可以用作列驅動器。例如，電路 411 及電路 412 可以採用圖 6A 所示的方塊圖的結構。該電路包括圖 6B 所示的移位暫存器電路（SR）及圖 6C 所示的緩衝電路（BUF）。

[0089] 另外，電路 431 至電路 434 可以進行由像素電路輸出的信號的轉換等的處理。例如，電路 431 至電路 434 包括相關雙取樣（CDS）電路、類比-數位轉換（ADC）電路及閃鎖電路等。

[0090] 如圖 7 所示，相關雙取樣（CDS）電路 94 藉由資料線與像素電路 91 的輸出部連接。另外，電路 93 為

電流源等的電路。

[0091] 如圖 8A 所示，類比-數位轉換（ADC）電路 95 包括比較器及計數電路的一部分。比較器例如可以採用圖 8B 所示的電路結構。另外，圖 7 所示的相關雙取樣（CDS）電路 94 的輸出部（OUT）可以與比較器的 IN2 連接。

[0092] 計數電路例如可以採用圖 9A 所示的電路結構。注意，圖 9A 中由虛線圍繞的區域相當於類比-數位轉換（ADC）電路 95 的一部分。

[0093] 計數電路包括圖 9B 中的由虛線圍繞的區域所示的閘鎖電路（LAT）。另外，時脈反相器包含於列驅動器中，佈線 SEL 及 SEL_B 與圖 6A 至圖 6C 所示的緩衝電路的輸出部 out 連接。

[0094] 另外，電路 421 及電路 422 可以用作行驅動器。例如，電路 421 及電路 422 可以採用圖 10 所示的方塊圖的結構。該電路中的緩衝電路的輸出部 out 與圖 7 所示的佈線 SE 連接。

[0095] 圖 5 所示的攝像裝置包括上文所述的電路，但是，隨著攝像的高清晰化像素數增加，而使用來從像素讀出信號的電路（電路 411 及電路 412 等）及用來處理信號的電路（電路 431 至電路 434 等）的面積增大，有時攝像裝置的小型化較為困難。另外，當像素數增加時需要進行高速工作，但是當電路面積增大時寄生電阻及寄生電容等也變大，有時對高速工作造成阻礙。

[0096] 因此，在本發明的一個實施方式的攝像裝置中，如圖 11A 所示將電路 411 及電路 412 與像素部 400 重疊地配置。另外，將電路 431 至電路 434 與像素部 400 重疊地配置。藉由這樣配置可以使攝像裝置小型化。另外，電路 411 及電路 412 也可以共用移位暫存器電路等。另外，雖然示出電路 431 至電路 434 與各資料線在像素部的端側連接的結構，但是也可以採用在像素部的靠近中央的一側連接的結構。

[0097] 另外，本發明的一個實施方式的攝像裝置也可以採用圖 11B 所示的結構。在圖 11B 中，電路 431 至電路 434 與各資料線的連接部在像素部的中央部附近，由此可以降低各資料線的佈線電阻的影響。

[0098] 另外，本發明的一個實施方式的攝像裝置也可以採用圖 12 所示的結構。圖 12 示出將像素部分割為像素部 400a 與像素部 400b 的結構。像素部 400a 與用作列驅動器的電路 411 及電路 412、用作用來處理信號的電路的電路 431 至電路 434 以及資料線 441 至資料線 444 重疊。另外，像素部 400a 與用作行驅動器的電路 421 及電路 422 連接。像素部 400b 與用作列驅動器的電路 413 及電路 414、用作用來處理信號的電路的電路 435 至電路 438 以及資料線 445 至資料線 448 重疊。另外，像素部 400b 與用作行驅動器的電路 423 及電路 424 連接。

[0099] 在圖 12 中，如上所述可以利用不同的電路對像素部 400a 與像素部 400b 進行驅動及信號處理。因此，

可以同時進行像素部 400a 與像素部 400b 的信號處理及信號讀出，即便在工作頻率降低的情況下也可以在實質上使攝像裝置進行高速工作。因此，在具有 4k2k 以上的像素數的攝像裝置中也可以進行 2 倍速驅動、4 倍速驅動或 8 倍速驅動等。另外，與圖 11A 和圖 11B 所示的結構同樣，圖 12 所示的結構也具有能夠實現攝像裝置的小型化等的效果。

[0100] 雖然 OS 電晶體具有其關態電流比 Si 電晶體小等優點，但是 OS 電晶體的電流驅動能力不及 Si 電晶體。因此，例如，當作為圖 4A 所示的像素電路的電晶體 54 使用 OS 電晶體時，受到資料線的佈線電阻及寄生電容等的強烈影響，而難以實現高速工作及低功耗化。因此，藉由如圖 12 所示地採用將像素部分割的結構，可以加強 OS 電晶體的電流驅動能力，從而可以實現攝像裝置的高速工作及低功耗化。

[0101] 另外，本發明的一個實施方式的攝像裝置也可以採用圖 13 所示的結構。圖 13 與圖 12 同樣地具有將像素部分割的結構，而具有能夠實現高速工作的效果。另外，與圖 11B 所示的結構同樣地具有能夠實現攝像裝置的小型化等效果以及降低各資料線的佈線電阻的影響的效果。

[0102] 另外，在圖 12 及圖 13 中，像素部如圖 14A 所示被分割為兩份（像素部 400a 及像素部 400b），但是不侷限於該分割數。例如，也可以如圖 14B 所示地將像素

部分割為四份（像素部 400a 至像素部 400d）。或者，也可以如圖 14C 所示地分割為八份（像素部 400a 至像素部 400h）。或者，也可以如圖 14D 所示地分割為十六份（像素部 400a 至像素部 400p）。或者，可以將其分割為垂直方向上的像素數能夠被等分成的任意份。

[0103] 另外，本發明的一個實施方式的攝像裝置可以採用圖 15 所示的結構。圖 15 示出對圖 11A 附加了電路 450 並將電路 450 與像素部 400 重疊地配置的結構。電路 450 可以包括電源電路、時序電路、記憶體電路及/或影像處理電路等。另外，雖然圖 15 示出將電路 450 設置於一個區域中的結構，但是也可以將電路 450 分割地設置於多個區域中。

[0104] 另外，本發明的一個實施方式的攝像裝置可以採用圖 16 所示的結構。圖 16 所示的結構與圖 12 所示的結構都將像素部分割成兩份，但是行驅動器沒有被分割。這種情況下，被分割的像素部 400a 及像素部 400b 不能同時進行工作而在垂直方向上依次進行讀出工作。但是，可以關閉不進行讀出的像素部的列驅動器及用來處理信號的電路的電源，由此可以降低功耗。例如，在進行像素部 400a 的讀出時，可以停止對電路 413、電路 414、電路 435 至電路 438 的電源供應。另外，也可以如圖 17 所示那樣，與圖 13 所示的結構同樣地將像素部分割成兩份而不分割行驅動器。注意，像素部的分割數不侷限於兩個，可以將其分割為垂直方向上的像素數能夠被等分成的

任意份。

[0105] 圖 18A 為對圖 1A 所示的攝像裝置追加濾色片等的結構的一個例子的剖面圖。該剖面圖示出相當於三個像素且包含像素電路（電路 91a 等）的區域（區域 93a、區域 93b、區域 93c）以及包含電路 92a 等的區域 96。在第四層 1400 中的光電轉換元件 60 上形成有絕緣層 1500。絕緣層 1500 可以使用可見光透射性高的氧化矽膜等。另外，也可以作為鈍化膜層疊氮化矽膜。此外，也可以作為反射防止膜層疊氧化鈣等介電膜。

[0106] 在絕緣層 1500 上形成有遮光層 1510。遮光層 1510 具有防止透過上部的濾色片的光的混合的功能。遮光層 1510 可以為鋁、鎢等的金屬層或者層疊該金屬層與被用作反射防止膜的介電膜的結構。

[0107] 在絕緣層 1500 及遮光層 1510 上形成有被用作平坦化膜的有機樹脂層 1520。另外，在區域 93a、區域 93b 及區域 93c 上分別形成有濾色片 1530a、濾色片 1530b 及濾色片 1530c。使上述各濾色片具有 R（紅色）、G（綠色）、B（藍色）、Y（黃色）、C（青色）和 M（洋紅）等的顏色，由此可以獲得彩色影像。

[0108] 在濾色片 1530a、濾色片 1530b 及濾色片 1530c 上設置有微透鏡陣列 1540。因此，透過微透鏡陣列 1540 所具有的各透鏡的光經由設置在其下的濾色片而照射到光電轉換元件。

[0109] 在上述攝像裝置的結構中，也可以使用光學

轉換層 1550 代替濾色片 1530a、濾色片 1530b 及濾色片 1530c（參照圖 18B）。藉由採用這種結構，可以形成能夠獲得各種各樣的波長區域內的影像的攝像裝置。

[0110] 例如，藉由作為光學轉換層 1550 使用阻擋可見光線的波長以下的光的濾光片，可以形成紅外線攝像裝置。另外，藉由作為光學轉換層 1550 使用阻擋紅外線的波長以下的光的濾光片，可以形成遠紅外線攝像裝置。另外，藉由作為光學轉換層 1550 使用阻擋可見光線的波長以上的光的濾光片，可以形成紫外線攝像裝置。

[0111] 另外，藉由將閃爍體用於光學轉換層 1550，可以形成用於 X 射線攝像裝置等的獲得使輻射強度視覺化的影像的攝像裝置。當透過拍攝物件的 X 射線等輻射入射到閃爍體時，由於被稱為光致發光的現象而轉換為可見光線或紫外光線等的光（螢光）。藉由由光電轉換元件 60 檢測該光來獲得影像資料。也可以將該結構的攝像裝置用於輻射探測器等。

[0112] 閃爍體含有如下物質：當閃爍體被照射 X 射線或伽瑪射線等放射線時吸收放射線的能量而發射可見光或紫外線的物質。例如，可以使用 $\text{Gd}_2\text{O}_2\text{S} : \text{Tb}$ 、 $\text{Gd}_2\text{O}_2\text{S} : \text{Pr}$ 、 $\text{Gd}_2\text{O}_2\text{S} : \text{Eu}$ 、 $\text{BaFCl} : \text{Eu}$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO 等的材料或者將其分散到樹脂或陶瓷中的材料。

[0113] 在使用硒類材料的光電轉換元件 60 中，由於可以將 X 射線等的放射線直接轉換為電荷，因此可以不使

用閃爍體。

[0114] 另外，攝像裝置可以如圖 19A1 及圖 19B1 所示地彎曲。圖 19A1 示出使攝像裝置沿著同圖中的雙點劃線 X1-X2 的方向彎曲的狀態。圖 19A2 示出圖 19A1 中的雙點劃線 X1-X2 所示的部分的剖面圖。圖 19A3 示出圖 19A1 中的雙點劃線 Y1-Y2 所示的部分的剖面圖。

[0115] 圖 19B1 示出使攝像裝置沿著同圖中的雙點劃線 X3-X4 的方向彎曲且沿著同圖中的雙點劃線 Y3-Y4 的方向彎曲的狀態。圖 19B2 是圖 19B1 中的雙點劃線 X3-X4 所示的部分的剖面圖。圖 19B3 是圖 19B1 中的雙點劃線 Y3-Y4 所示的部分的剖面圖。

[0116] 藉由使攝像裝置彎曲，可以降低像場彎曲或像散（astigmatism）。因此，可以容易進行與攝像裝置組合使用的透鏡等的光學設計。例如，由於可以減少用於像差校正的透鏡的數量，所以可以容易地實現使用攝像裝置的半導體裝置等的小型化或輕量化。此外，可以提高成像影像的品質。

[0117] 注意，在本實施方式中，說明本發明的一個實施方式。或者，在其他的實施方式中，說明本發明的一個實施方式。注意，本發明的一個實施方式不侷限於這些。例如，雖然示出將本發明的一個實施方式應用於攝像裝置的例子，但是本發明的一個實施方式不侷限於此。在一些情況下，或者，根據情況，也可以不將本發明的一個實施方式應用於攝像裝置。例如，可以將本發明的一個實

施方式應用於具有其他的功能的半導體裝置。

[0118] 本實施方式可以與其他實施方式所示的結構適當地組合而實施。

[0119]

實施方式 2

在本實施方式中，對在實施方式 1 中說明的像素電路進行說明。

[0120] 圖 20A 示出圖 4A 所示的像素電路（相當於電路 91a）與各佈線的詳細的連接方式。圖 20A 所示的電路包括光電轉換元件 60、電晶體 53、電晶體 54、電晶體 55 以及電晶體 56。

[0121] 光電轉換元件 60 的陽極連接到佈線 316，光電轉換元件 60 的陰極連接到電晶體 53 的源極和汲極中的一個。電晶體 53 的源極和汲極中的另一個連接到電荷記憶部（FD），電晶體 53 的閘極連接到佈線 312（TX）。電晶體 54 的源極和汲極中的一個連接到佈線 314（GND），電晶體 54 的源極和汲極中的另一個連接到電晶體 56 的源極和汲極中的一個，電晶體 54 的閘極連接到電荷記憶部（FD）。電晶體 55 的源極和汲極中的一個連接到電荷記憶部（FD），電晶體 55 的源極和汲極中的另一個連接到佈線 317，電晶體 55 的閘極連接到佈線 311（RS）。電晶體 56 的源極和汲極中的另一個連接到佈線 315（OUT），電晶體 56 的閘極連接到佈線 313（SE）。注意，上述連接都是電連接。

[0122] 注意，也可以對佈線 314 供應 GND、VSS、VDD 等的電位。在此，電位或電壓是相對的。因此，GND 不侷限於 0V。

[0123] 光電轉換元件 60 是受光元件，具有生成對應於入射到像素電路的光的電流的功能。電晶體 53 具有控制電荷從光電轉換元件 60 到電荷記憶部 (FD) 的供應的功能。電晶體 54 具有將對應於電荷記憶部 (FD) 的電位的信號輸出的功能。電晶體 55 具有將電荷記憶部 (FD) 的電位重設的功能。電晶體 56 具有在讀出時控制像素電路的選擇的功能。

[0124] 注意，電荷記憶部 (FD) 是保持電荷的節點，保持根據光電轉換元件 60 所受到的光量而變化的電荷。

[0125] 電晶體 54 與電晶體 56 在佈線 315 與佈線 314 之間串聯連接即可。因此，既可以按佈線 314、電晶體 54、電晶體 56、佈線 315 的順序配置，又可以按佈線 314、電晶體 56、電晶體 54、佈線 315 的順序配置。

[0126] 佈線 311 (RS) 具有控制電晶體 55 的信號線的功能。佈線 312 (TX) 具有控制電晶體 53 的信號線的功能。佈線 313 (SE) 具有控制電晶體 56 的信號線的功能。佈線 314 (GND) 具有供應參考電位 (例如，GND) 的信號線的功能。佈線 315 (OUT) 具有讀出從電晶體 54 輸出的信號的信號線的功能。佈線 316 具有將電荷從電荷記憶部 (FD) 經由光電轉換元件 60 輸出的信號線的功能。

能，在圖 20A 的電路中為低電位線。佈線 317 是將電荷記憶部（FD）的電位重設的信號線，在圖 20A 的電路中為高電位線。

[0127] 另外，本發明的一個實施方式的像素電路也可以採用圖 20B 所示的結構。圖 20B 所示的電路的構成要素與圖 20A 所示的電路相同，但是兩者之間有下列不同點：在圖 20B 所示的電路中光電轉換元件 60 的陽極電連接到電晶體 53 的源極和汲極中的一個，光電轉換元件 60 的陰極電連接到佈線 316。此時，佈線 316 是將電荷經由光電轉換元件 60 供應到電荷記憶部（FD）的信號線，在圖 20B 的電路中為高電位線。另外，佈線 317 為低電位線。

[0128] 接著，對圖 20A 和圖 20B 所示的各元件的結構進行說明。

[0129] 如實施方式 1 所說明的那樣，光電轉換元件 60 可以使用由硒類材料和導電層構成的元件或者使用矽層形成有 pin 接面的元件。

[0130] 電晶體 53、電晶體 54、電晶體 55 及電晶體 56 雖然可以為使用非晶矽、微晶矽、多晶矽、單晶矽等矽半導體形成的電晶體，但是較佳為使用氧化物半導體形成的電晶體。由氧化物半導體形成通道形成區域的電晶體具有關態電流極低的特性。

[0131] 尤其是，在電連接到電荷記憶部（FD）的電晶體 53 及電晶體 55 的洩漏電流大的情況下，不能在足夠

的時間內保持儲存在電荷記憶部（FD）中的電荷。因此，藉由將使用氧化物半導體的電晶體至少用於該兩個電晶體，可以防止電荷不必要地從電荷記憶部（FD）流出。

[0132] 此外，在電晶體 54 及電晶體 56 的洩漏電流大的情況下，電荷也不必要地輸出到佈線 314 或佈線 315，因此，作為這些電晶體，較佳為使用由氧化物半導體形成通道形成區域的電晶體。

[0133] 參照圖 21A 所示的時序圖對圖 20A 的電路的工作的一個例子進行說明。

[0134] 為了簡化起見，在圖 21A 中，對各佈線供應二值信號。注意，因為該信號是類比信號，因此實際上該信號的電位根據情況有可能具有各種各樣的值，而不侷限於兩個值。另外，圖式所示的信號 701 相當於佈線 311（RS）的電位，信號 702 相當於佈線 312（TX）的電位，信號 703 相當於佈線 313（SE）的電位，信號 704 相當於電荷記憶部（FD）的電位，信號 705 相當於佈線 315（OUT）的電位。注意，佈線 316 的電位一直是“Low”，佈線 317 的電位一直是“High”。

[0135] 在時刻 A，將佈線 311 的電位（信號 701）設定為“High”，將佈線 312 的電位（信號 702）設定為“High”，由此將電荷記憶部（FD）的電位（信號 704）初始化為佈線 317 的電位（“High”），開始重設工作。注意，將佈線 315 的電位（信號 705）預充電至“High”。

[0136] 在時刻 B，將佈線 311 的電位（信號 701）設定為“Low”，由此結束重設工作，開始積蓄工作。在此，反向偏壓施加到光電轉換元件 60，因此產生反向電流，電荷記憶部（FD）的電位（信號 704）開始下降。反向電流在光照射到光電轉換元件 60 時增大，因此電荷記憶部（FD）的電位（信號 704）的下降速度根據被照射的光量而變化。換而言之，電晶體 54 的源極與汲極之間的通道電阻根據照射到光電轉換元件 60 的光量而變化。

[0137] 在時刻 C，將佈線 312 的電位（信號 702）設定為“Low”，由此結束積蓄工作，電荷記憶部（FD）的電位（信號 704）被固定。此時的該電位取決於在積蓄工作中由光電轉換元件 60 所生成的電荷的量。換而言之，該電位根據照射到光電轉換元件 60 的光量而不同。另外，電晶體 53 及電晶體 55 為由氧化物半導體層形成通道形成區域的關態電流極低的電晶體，因此直到後面的選擇工作（讀出工作）為止能夠將電荷記憶部（FD）的電位保持為恆定。

[0138] 注意，在將佈線 312 的電位（信號 702）設定為“Low”時，有時由於佈線 312 與電荷記憶部（FD）之間的寄生電容，電荷記憶部（FD）的電位發生變化。在該電位的變化量較大的情況下，不能準確地取得在積蓄工作中由光電轉換元件 60 生成的電荷的量。為了降低該電位的變化量而有效的是降低電晶體 53 的閘極與源極（或閘極與汲極）之間的電容、增大電晶體 54 的閘極電容、在

電荷記憶部（FD）中設置儲存電容器等。注意，在本實施方式中，藉由實施上述對策，可以不考慮該電位的變化。

[0139] 在時刻 D，將佈線 313 的電位（信號 703）設定為“High”，由此使電晶體 56 處於導通狀態而開始選擇工作，佈線 314 與佈線 315 藉由電晶體 54 及電晶體 56 導通。於是，佈線 315 的電位（信號 705）開始下降。佈線 315 的預充電在開始時刻 D 之前結束即可。在此，佈線 315 的電位（信號 705）的下降速度依賴於電晶體 54 的源極與汲極之間的電流。換而言之，佈線 315 的電位（信號 705）根據在積蓄工作中照射到光電轉換元件 60 的光量而變化。

[0140] 在時刻 E，將佈線 313 的電位（信號 703）設定為“Low”，由此使電晶體 56 處於關閉狀態而結束選擇工作，佈線 315 的電位（信號 705）被固定。此時的電位根據照射到光電轉換元件 60 的光量而不同。因此，藉由取得佈線 315 的電位，可以得知在積蓄工作中照射到光電轉換元件 60 的光量。

[0141] 更明確地說，在照射到光電轉換元件 60 的光量較大時，電荷記憶部（FD）的電位（亦即，電晶體 54 的閘極電壓）較低。因此，流過電晶體 54 的源極與汲極之間的電流減少，佈線 315 的電位（信號 705）緩慢下降。因此，從佈線 315 讀出的電位比較高。

[0142] 反之，在照射到光電轉換元件 60 的光量較小

時，電荷記憶部（FD）的電位（亦即，電晶體 54 的閘極電壓）較高。因此，流過電晶體 54 的源極與汲極之間的電流增加，佈線 315 的電位（信號 705）迅速下降。因此，從佈線 315 讀出的電位比較低。

[0143] 接著，參照圖 21B 所示的時序圖對圖 20B 的電路的工作的例子進行說明。注意，佈線 316 的電位一直是“High”，佈線 317 的電位一直是“Low”。

[0144] 在時刻 A，將佈線 311 的電位（信號 701）設定為“High”，將佈線 312 的電位（信號 702）設定為“High”，由此將電荷記憶部（FD）的電位（信號 704）初始化為佈線 317 的電位（“Low”），開始重設工作。注意，將佈線 315 的電位（信號 705）預充電至“High”。

[0145] 在時刻 B，將佈線 311 的電位（信號 701）設定為“Low”，由此結束重設工作，開始積蓄工作。在此，反向偏壓施加到光電轉換元件 60，因此產生反向電流，電荷記憶部（FD）的電位（信號 704）開始上升。

[0146] 關於時刻 C 之後的工作可以參照圖 21A 的時序圖的說明，藉由在時刻 E 取得佈線 315 的電位，可以得知在積蓄工作中照射到光電轉換元件 60 的光量。

[0147] 另外，圖 20A 所示的像素電路也可以如圖 46 所示那樣採用電晶體 54 至電晶體 56 被多個像素共用的結構。雖然圖 46 例示出垂直方向上的多個像素共用電晶體 54 至電晶體 56 的結構，但是也可以採用水平方向或水平垂直方向上的多個像素共用電晶體 54 至電晶體 56 的結

構。藉由採用這種結構，可以減少一個像素所具有的電晶體數。另外，雖然圖 46 示出電晶體 54 至電晶體 56 被四個像素共用的結構，但是也可以採用被兩個像素、三個像素或五個以上的像素共用的結構。另外，圖 20B 所示的像素電路也可以採用同樣的結構。

[0148] 另外，本發明的一個實施方式的像素電路也可以採用圖 22A 及圖 22B 所示的結構。

[0149] 圖 22A 所示的電路是從圖 20A 所示的電路的結構中省略掉電晶體 55、佈線 316 及佈線 317 的結構，佈線 311 (RS) 電連接到光電轉換元件 60 的陽極。其他的結構與圖 20A 所示的電路相同。

[0150] 圖 22B 所示的電路的構成要素與圖 22A 所示的電路相同，但是兩者之間有下列不同點：在圖 22B 所示的電路中光電轉換元件 60 的陽極電連接到電晶體 53 的源極和汲極中的一個，光電轉換元件 60 的陰極電連接到佈線 311 (RS)。

[0151] 圖 22A 的電路可以與圖 20A 的電路同樣地按圖 21A 所示的時序圖進行工作。

[0152] 在時刻 A，將佈線 311 的電位 (信號 701) 設定為 “High”，將佈線 312 的電位 (信號 702) 設定為 “High”，由此正向偏壓施加到光電轉換元件 60，電荷記憶部 (FD) 的電位 (信號 704) 成為 “High”。換而言之，將電荷記憶部 (FD) 的電位初始化為佈線 311 (RS) 的電位 (“High”)，處於重設狀態。藉由上述工作開始重設工

作。注意，將佈線 315 的電位（信號 705）預充電至“High”。

[0153] 在時刻 B，將佈線 311 的電位（信號 701）設定為“Low”，由此結束重設工作，開始積蓄工作。在此，反向偏壓施加到光電轉換元件 60，因此產生反向電流，電荷記憶部（FD）的電位（信號 704）開始下降。

[0154] 關於時刻 C 之後的工作可以參照圖 20A 的電路工作的說明，藉由在時刻 E 取得佈線 315 的電位，可以得知在積蓄工作中照射到光電轉換元件 60 的光量。

[0155] 圖 22B 的電路可以按圖 21C 所示的時序圖進行工作。

[0156] 在時刻 A，將佈線 311 的電位（信號 701）設定為“Low”，將佈線 312 的電位（信號 702）設定為“High”，由此正向偏壓施加到光電轉換元件 60，電荷記憶部（FD）的電位（信號 704）成為“Low”（處於重設狀態）。藉由上述工作開始重設工作。注意，將佈線 315 的電位（信號 705）預充電至“High”。

[0157] 在時刻 B，將佈線 311 的電位（信號 701）設定為“High”，由此結束重設工作，開始積蓄工作。在此，反向偏壓施加到光電轉換元件 60，因此產生反向電流，電荷記憶部（FD）的電位（信號 704）開始上升。

[0158] 關於時刻 C 之後的工作可以參照圖 20A 的電路工作的說明，藉由在時刻 E，取得佈線 315 的電位，可以得知在積蓄工作中照射到光電轉換元件 60 的光量。

[0159] 另外，圖 22A 所示的像素電路也可以如圖 47 所示那樣採用電晶體 54 至電晶體 56 被多個像素共用的結構。雖然圖 47 例示出垂直方向上的多個像素共用電晶體 54 至電晶體 56 的結構，但是也可以採用水平方向或水平垂直方向上的多個像素共用電晶體 54 至電晶體 56 的結構。另外，雖然圖 47 示出電晶體 54 至電晶體 56 被四個像素共用的結構，但是也可以採用被兩個像素、三個像素或五個以上的像素共用的結構。另外，圖 22B 所示的像素電路也可以採用同樣的結構。

[0160] 注意，在圖 20A、圖 20B、圖 22A 及圖 22B 中，示出設置有電晶體 53 的結構，但是本發明的一個實施方式不侷限於此。如圖 23A 和圖 23B 所示，也可以不設置電晶體 53。

[0161] 另外，如圖 24A 或圖 24B 所示，用於像素電路的電晶體 53、電晶體 54 及電晶體 56 也可以具有背閘極。圖 24A 示出對背閘極施加恆電位的結構，由此可以控制臨界電壓。圖 24B 示出對背閘極施加與前閘極相同的電位的結構，由此可以增加通態電流（on-state current）。注意，在圖 24A 中，背閘極電連接到佈線 314（GND），但是也可以電連接到被供應恆電位的其他的佈線。注意，圖 24A 和圖 24B 示出在圖 22A 所示的電路的電晶體中設置背閘極的例子，但是也可以在圖 20A、圖 20B、圖 22B、圖 23A 和圖 23B 所示的電路的電晶體中設置背閘極。另外，在一個電路中，根據需要也可以適當地組合使

用對背閘極施加與前閘極相同電位的電晶體、對背閘極施加恆電位的電晶體和不具有背閘極的電晶體。

[0162] 另外，圖 24A 所示的像素電路也可以如圖 48 所示那樣採用電晶體 54 至電晶體 56 被多個像素共用的結構。另外，圖 24B 所示的像素電路也可以如圖 49 所示那樣採用電晶體 54 至電晶體 56 被多個像素共用的結構。

[0163] 本實施方式可以與其他實施方式所示的結構適當地組合而使用。

[0164]

實施方式 3

在本實施方式中說明像素電路的驅動方法的一個例子。

[0165] 如在實施方式 2 中所說明的那樣，像素電路的工作就是反復進行重設工作、積蓄工作以及選擇工作。作為控制整個像素矩陣的攝像方法，已知全域快門方式及滾動快門方式。

[0166] 圖 25A 是利用全域快門方式時的時序圖。以以矩陣狀具有多個像素電路且在該影像電路中具有圖 20A 的電路的攝像裝置為例子，圖 25A 示出從第一行至第 n 行（ n 為 3 以上的自然數）的該影像電路的工作。另外，下面的工作說明可以適用於圖 20B、圖 22A 和圖 22B 以及圖 23A 和圖 23B 所示的電路。

[0167] 在圖 25A 中，信號 501、信號 502 以及信號 503 為輸入到連接於第一行、第二行以及第 n 行的各像素

電路的佈線 311 (RS) 的信號。此外，信號 504、信號 505 以及信號 506 為輸入到連接於第一行、第二行以及第 n 行的各像素電路的佈線 312 (TX) 的信號。此外，信號 507、信號 508 以及信號 509 為輸入到連接於第一行、第二行以及第 n 行的各像素電路的佈線 313 (SE) 的信號。

[0168] 另外，期間 510 是一次拍攝所要的期間。期間 511 是各行的像素電路一齊進行重設工作的期間。期間 520 是各行的像素電路一齊進行積蓄工作的期間。此外，各行的像素電路依次進行選擇工作。作為一個例子，期間 531 是第一行的像素電路進行選擇工作的期間。如此，在全域快門方式中，在所有像素電路大致同時進行了重設工作之後，所有像素電路大致同時進行積蓄工作，並按行依次進行讀出工作。

[0169] 也就是說，在全域快門方式中，由於在所有像素電路中大致同時進行積蓄工作，因此確保各行的像素電路之間的攝像的同時性。因此，即使拍攝物件為運動物體也可以獲得畸變小的影像。

[0170] 另一方面，圖 25B 是使用滾動快門方式時的時序圖。關於信號 501 至 509，可以參照圖 25A 的說明。期間 610 是一次拍攝所要的期間。期間 611、期間 612 以及期間 613 分別是第一行、第二行以及第 n 行的重設期間。期間 621、期間 622 以及期間 623 分別是第一行、第二行以及第 n 行的積蓄工作期間。此外，期間 631 是第一行的像素電路進行選擇工作的期間。如上所述，在滾動快

門方式中，由於積蓄工作不是在所有像素電路中同時進行，而是按行依次進行，因此不能確保各行的像素電路之間的攝像的同時性。因此，在第一行與最終行的攝像的時序不同，由此在拍攝物件為運動物體時影像的畸變變大。

[0171] 為了實現全域快門方式，需要直到來自各像素的信號的讀出結束為止長時間保持電荷記憶部（FD）的電位。藉由將由氧化物半導體形成通道形成區域的關態電流極低的電晶體用於電晶體 53 等，可以長時間保持電荷記憶部（FD）的電位。另一方面，在將由矽等形成通道形成區域的電晶體用於電晶體 53 等時，因為關態電流高所以無法長時間保持電荷記憶部（FD）的電位，因此無法使用全域快門方式。

[0172] 如上所述，藉由將由氧化物半導體形成通道形成區域的電晶體用於像素電路，容易實現全域快門方式。

[0173] 本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

[0174]

實施方式 4

在本實施方式中，參照圖式對能夠用於本發明的一個實施方式的具有氧化物半導體的電晶體進行說明。注意，在本實施方式的圖式中，為了明確起見，放大、縮小或省略部分構成要素。

[0175] 圖 26A 及圖 26B 是本發明的一個實施方式的

電晶體 101 的俯視圖及剖面圖。圖 26A 是俯視圖，圖 26A 所示的點劃線 B1-B2 方向上的剖面相當於圖 26B。另外，圖 26A 所示的點劃線 B3-B4 方向上的剖面相當於圖 32A。另外，有時將點劃線 B1-B2 方向稱為通道長度方向，將點劃線 B3-B4 方向稱為通道寬度方向。

[0176] 電晶體 101 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的氧化物半導體層 130、與氧化物半導體層 130 電連接的導電層 140 及導電層 150、與氧化物半導體層 130、導電層 140 及導電層 150 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、與導電層 140、導電層 150、絕緣層 160 及導電層 170 接觸的絕緣層 175 以及與絕緣層 175 接觸的絕緣層 180。此外，根據需要也可以使絕緣層 180 具有平坦化膜的功能。

[0177] 這裡，導電層 140、導電層 150、絕緣層 160 及導電層 170 分別可以用作源極電極層、汲極電極層、閘極絕緣膜及閘極電極層。

[0178] 此外，圖 26B 所示的區域 231、區域 232 及區域 233 分別可以用作源極區域、汲極區域及通道形成區域。區域 231 與導電層 140 接觸且區域 232 與導電層 150 接觸，例如藉由作為導電層 140 及導電層 150 使用容易與氧鍵合的導電材料可以降低區域 231 及區域 232 的電阻。

[0179] 明確而言，由於氧化物半導體層 130 與導電層 140 及導電層 150 接觸，在氧化物半導體層 130 中產生氧缺陷，該氧缺陷與殘留在氧化物半導體層 130 中或從外

部擴散的氫之間的相互作用使區域 231 及區域 232 成為低電阻的 n 型。

[0180] 另外，電晶體的“源極”和“汲極”的功能在使用極性不同的電晶體的情況下或在電路工作中電流方向變化的情況等下，有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。此外，“電極層”也可以稱為“佈線”。

[0181] 此外，示出導電層 170 由導電層 171 及導電層 172 的兩層形成的例子，但也可以採用一層或三層以上的疊層。同樣也可以應用於本實施方式所說明的其他電晶體。

[0182] 此外，示出導電層 140 及導電層 150 為單層的例子，但也可以採用兩層以上的疊層。同樣也可以應用於本實施方式所說明的其他電晶體。

[0183] 此外，本發明的一個實施方式的電晶體也可以採用圖 27A 及圖 27B 所示的結構。圖 27A 是電晶體 102 的俯視圖，圖 27A 所示的點劃線 C1-C2 方向上的剖面相當於圖 27B。另外，圖 27A 所示的點劃線 C3-C4 方向上的剖面相當於圖 32B。另外，有時將點劃線 C1-C2 方向稱為通道長度方向，將點劃線 C3-C4 方向稱為通道寬度方向。

[0184] 電晶體 102 除了用作閘極絕緣膜的絕緣層 160 的端部不與用作閘極電極層的導電層 170 的端部對齊之處以外其他結構與電晶體 101 相同。在電晶體 102 中，由於

導電層 140 及導電層 150 的較寬的部分由絕緣層 160 覆蓋，所以在導電層 140、導電層 150 與導電層 170 之間的電阻高，因此電晶體 102 具有閘極漏電流少的特徵。

[0185] 電晶體 101 及電晶體 102 是具有導電層 170 與導電層 140 及導電層 150 重疊的區域的頂閘極結構。為了減少寄生電容，較佳的是將該區域的通道長度方向上的寬度設定為 3nm 以上且小於 300nm。在該結構中，由於不在氧化物半導體層 130 中形成偏置區域，所以容易形成通態電流高的電晶體。

[0186] 此外，本發明的一個實施方式的電晶體也可以採用圖 28A 及圖 28B 所示的結構。圖 28A 是電晶體 103 的俯視圖，圖 28A 所示的點劃線 D1-D2 方向上的剖面相當於圖 28B。另外，圖 28A 所示的點劃線 D3-D4 方向上的剖面相當於圖 32A。另外，有時將點劃線 D1-D2 方向稱為通道長度方向，將點劃線 D3-D4 方向稱為通道寬度方向。

[0187] 電晶體 103 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的氧化物半導體層 130、與氧化物半導體層 130 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、覆蓋氧化物半導體層 130、絕緣層 160 及導電層 170 的絕緣層 175、與絕緣層 175 接觸的絕緣層 180、藉由設置在絕緣層 175 及絕緣層 180 中的開口部與氧化物半導體層 130 電連接的導電層 140 及導電層 150。此外，根據需要也可以包括與絕緣層 180、導電層 140 及

導電層 150 接觸的絕緣層（平坦化膜）等。

[0188] 這裡，導電層 140、導電層 150、絕緣層 160 及導電層 170 分別可以用作源極電極層、汲極電極層、閘極絕緣膜及閘極電極層。

[0189] 此外，圖 28B 所示的區域 231、區域 232 及區域 233 分別可以用作源極區域、汲極區域及通道形成區域。區域 231 及區域 232 與絕緣層 175 接觸，例如藉由作為絕緣層 175 使用含氫的絕緣材料可以降低區域 231 及區域 232 的電阻。

[0190] 明確而言，經過直到形成絕緣層 175 為止的製程在區域 231 及區域 232 中產生的氧缺陷與從絕緣層 175 擴散到區域 231 及區域 232 的氫之間的相互作用使區域 231 及區域 232 成為低電阻的 n 型。此外，作為含氫的絕緣材料，例如可以使用氮化矽、氮化鋁等。

[0191] 此外，本發明的一個實施方式的電晶體也可以採用圖 29A 及圖 29B 所示的結構。圖 29A 是電晶體 104 的俯視圖，圖 29A 所示的點劃線 E1-E2 方向上的剖面相當於圖 29B。另外，圖 29A 所示的點劃線 E3-E4 方向上的剖面相當於圖 32A。另外，有時將點劃線 E1-E2 方向稱為通道長度方向，將點劃線 E3-E4 方向稱為通道寬度方向。

[0192] 電晶體 104 除了導電層 140 及導電層 150 覆蓋氧化物半導體層 130 的端部且與其接觸之處以外其他結構與電晶體 103 相同。

[0193] 此外，圖 29B 所示的區域 331 及區域 334 可以用作源極區域，區域 332 及區域 335 可以用作汲極區域，區域 333 可以用作通道形成區域。

[0194] 可以以與電晶體 101 中的區域 231 及區域 232 相同的方式降低區域 331 及區域 332 的電阻。

[0195] 此外，可以以與電晶體 103 中的區域 231 及區域 232 相同的方式降低區域 334 及區域 335 的電阻。另外，當通道長度方向上的區域 334 及區域 335 的寬度為 100nm 以下，較佳為 50nm 以下時，由於閘極電場有助於防止通態電流大幅度地下降，所以也可以不降低區域 334 及區域 335 的電阻。

[0196] 電晶體 103 及電晶體 104 的結構是不具有導電層 170 與導電層 140 及導電層 150 重疊的區域的自對準結構。自對準結構的電晶體由於閘極電極層與源極電極層及汲極電極層之間的寄生電容極小，所以適用於高速工作。

[0197] 此外，本發明的一個實施方式的電晶體也可以採用圖 30A 及圖 30B 所示的結構。圖 30A 是電晶體 105 的俯視圖，圖 30A 所示的點劃線 F1-F2 方向上的剖面相當於圖 30B。另外，圖 30A 所示的點劃線 F3-F4 方向上的剖面相當於圖 32A。另外，有時將點劃線 F1-F2 方向稱為通道長度方向，將點劃線 F3-F4 方向稱為通道寬度方向。

[0198] 電晶體 105 包括與基板 115 接觸的絕緣層

120、與絕緣層 120 接觸的氧化物半導體層 130、與氧化物半導體層 130 電連接的導電層 141 及導電層 151、與氧化物半導體層 130、導電層 141 及導電層 151 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、與氧化物半導體層 130、導電層 141、導電層 151、絕緣層 160 及導電層 170 接觸的絕緣層 175、與絕緣層 175 接觸的絕緣層 180、藉由設置在絕緣層 175 及絕緣層 180 中的開口部分別與導電層 141 及導電層 151 電連接的導電層 142 及導電層 152。此外，根據需要也可以具有與絕緣層 180、導電層 142 及導電層 152 接觸的絕緣層等。

[0199] 這裡，導電層 141 及導電層 151 與氧化物半導體層 130 的頂面接觸而不與側面接觸。

[0200] 電晶體 105 除了包括導電層 141 及導電層 151、以及包括設置在絕緣層 175 及絕緣層 180 中的開口部、包括藉由該開口部分別與導電層 141 及導電層 151 電連接的導電層 142 及導電層 152 之處以外，其他結構與電晶體 101 相同。可以將導電層 140（導電層 141 及導電層 142）用作源極電極層，且可以將導電層 150（導電層 151 及導電層 152）用作汲極電極層。

[0201] 此外，本發明的一個實施方式的電晶體也可以採用圖 31A 及圖 31B 所示的結構。圖 31A 是電晶體 106 的俯視圖，圖 31A 所示的點劃線 G1-G2 方向上的剖面相當於圖 31B。另外，圖 31A 所示的點劃線 G3-G4 方向上的剖面相當於圖 32A。另外，有時將點劃線 G1-G2 方向

稱為通道長度方向，將點劃線 G3-G4 方向稱為通道寬度方向。

[0202] 電晶體 106 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的氧化物半導體層 130、與氧化物半導體層 130 電連接的導電層 141 及導電層 151、與氧化物半導體層 130 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、與絕緣層 120、氧化物半導體層 130、導電層 141、導電層 151、絕緣層 160 及導電層 170 接觸的絕緣層 175、與絕緣層 175 接觸的絕緣層 180、藉由設置在絕緣層 175 及絕緣層 180 中的開口部分別與導電層 141 及導電層 151 電連接的導電層 142 及導電層 152。此外，根據需要也可以具有與絕緣層 180、導電層 142 及導電層 152 接觸的絕緣層等。

[0203] 這裡，導電層 141 及導電層 151 與氧化物半導體層 130 的頂面接觸而不與側面接觸。

[0204] 電晶體 106 除了包括導電層 141 及導電層 151 之處以外其他結構與電晶體 103 相同。可以將導電層 140（導電層 141 及導電層 142）用作源極電極層，且可以將導電層 150（導電層 151 及導電層 152）用作汲極電極層。

[0205] 在電晶體 105 及電晶體 106 中，由於導電層 140 及導電層 150 不與絕緣層 120 接觸，所以絕緣層 120 中的氧不容易被導電層 140 及導電層 150 奪取，容易將氧從絕緣層 120 供應給氧化物半導體層 130。

[0206] 此外，也可以對電晶體 103 中的區域 231 及區域 232、電晶體 104 及電晶體 106 中的區域 334 及區域 335 添加用來形成氧缺陷來提高導電率的雜質。作為在氧化物半導體層中形成氧缺陷的雜質，例如可以使用選自磷、砷、銻、硼、鋁、矽、氮、氫、氖、氬、氪、氙、銦、氟、氯、鈦、鋅及碳中的一種以上。作為該雜質的添加方法，可以使用電漿處理法、離子植入法、離子摻雜法、電漿浸沒離子佈植技術（Plasma-immersion ion implantation method）等。

[0207] 藉由將上述元素作為雜質元素添加到氧化物半導體層，氧化物半導體層中的金屬元素與氧之間的鍵合被切斷，形成氧缺陷。藉由包含在氧化物半導體層中的氧缺陷與殘留在氧化物半導體層中或在後面添加的氫之間的相互作用，可以提高氧化物半導體層的導電率。

[0208] 當對添加雜質元素形成有氧缺陷的氧化物半導體添加氫時，氫進入氧缺陷處而在導帶附近形成施體能階。其結果是，可以形成氧化物導電體。注意，這裡氧化物導電體是指導電體化的氧化物半導體。另外，氧化物導電體與氧化物半導體同樣地具有透光性。

[0209] 氧化物導電體是簡併半導體，可以推測其導帶端與費米能階一致或大致一致。因此，氧化物導電體層與用作源極電極層及汲極電極層的導電層之間的接觸是歐姆接觸，可以降低氧化物導電體層與用作源極電極層及汲極電極層的導電層之間的接觸電阻。

[0210] 另外，如圖 33A 至圖 33F 的通道長度方向的剖面圖以及圖 32C 及圖 32D 的通道寬度方向的剖面圖所示，本發明的一個實施方式的電晶體也可以包括氧化物半導體層 130 與基板 115 之間的導電層 173。藉由將導電層 173 用作第二閘極電極層（背閘極），進一步能夠增加通態電流或控制臨界電壓。此外，在圖 33A 至圖 33F 所示的剖面圖中，也可以使導電層 173 的寬度比氧化物半導體層 130 短。再者，也可以使導電層 173 的寬度比導電層 170 短。

[0211] 當想要增加通態電流時，例如，對導電層 170 及導電層 173 供應相同的電位來實現雙閘極電晶體即可。另外，當想要控制臨界電壓時，對導電層 173 供應與導電層 170 不同的恆電位即可。為了對導電層 170 及導電層 173 供應相同的電位，例如，如圖 32D 所示，藉由接觸孔使導電層 170 與導電層 173 電連接即可。

[0212] 此外，在圖 26A 至圖 31B 的電晶體 101 至電晶體 106 中示出氧化物半導體層 130 為單層的例子，但是氧化物半導體層 130 也可以為疊層。電晶體 101 至電晶體 106 的氧化物半導體層 130 可以與圖 34B、圖 34C 或圖 34D、圖 34E 所示的氧化物半導體層 130 調換。

[0213] 圖 34A 是氧化物半導體層 130 的俯視圖，圖 34B 和圖 34C 是兩層結構的氧化物半導體層 130 的剖面圖。另外，圖 34D 和圖 34E 是三層結構的氧化物半導體層 130 的剖面圖。

[0214] 作為氧化物半導體層 130a、氧化物半導體層 130b、氧化物半導體層 130c 可以使用其組成彼此不同的氧化物半導體層等。

[0215] 此外，本發明的一個實施方式的電晶體也可以採用圖 35A 及圖 35B 所示的結構。圖 35A 是電晶體 107 的俯視圖，圖 35A 所示的點劃線 H1-H2 方向上的剖面相當於圖 35B。另外，圖 35A 所示的點劃線 H3-H4 方向上的剖面相當於圖 41A。另外，有時將點劃線 H1-H2 方向稱為通道長度方向，將點劃線 H3-H4 方向稱為通道寬度方向。

[0216] 電晶體 107 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的由氧化物半導體層 130a 及氧化物半導體層 130b 形成的疊層、與該疊層電連接的導電層 140 及導電層 150、與該疊層、導電層 140 及導電層 150 接觸的氧化物半導體層 130c、與氧化物半導體層 130c 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、與導電層 140、導電層 150、氧化物半導體層 130c、絕緣層 160 及導電層 170 接觸的絕緣層 175、與絕緣層 175 接觸的絕緣層 180。此外，根據需要也可以使絕緣層 180 具有平坦化膜的功能。

[0217] 電晶體 107 除了在區域 231 及區域 232 中氧化物半導體層 130 為兩層（氧化物半導體層 130a、氧化物半導體層 130b）、在區域 233 中氧化物半導體層 130 為三層（氧化物半導體層 130a、氧化物半導體層 130b、

氧化物半導體層 130c)、以及在導電層 140 及導電層 150 與絕緣層 160 之間夾有氧化物半導體層的一部分(氧化物半導體層 130c)之處以外其他結構與電晶體 101 相同。

[0218] 此外，本發明的一個實施方式的電晶體也可以採用圖 36A 及圖 36B 所示的結構。圖 36A 是電晶體 108 的俯視圖，圖 36A 所示的點劃線 I1-I2 方向上的剖面相當於圖 36B。另外，圖 36A 所示的點劃線 I3-I4 方向上的剖面相當於圖 41B。另外，有時將點劃線 I1-I2 方向稱為通道長度方向，將點劃線 I3-I4 方向稱為通道寬度方向。

[0219] 除了以下幾點之外電晶體 108 與電晶體 102 的結構都相同：在區域 231 及區域 232 中氧化物半導體層 130 為兩層(氧化物半導體層 130a、氧化物半導體層 130b)；在區域 233 中氧化物半導體層 130 為三層(氧化物半導體層 130a、氧化物半導體層 130b、氧化物半導體層 130c)；在導電層 140 及導電層 150 與絕緣層 160 之間夾有氧化物半導體層的一部分(氧化物半導體層 130c)。

[0220] 此外，本發明的一個實施方式的電晶體也可以採用圖 37A 及圖 37B 所示的結構。圖 37A 是電晶體 109 的俯視圖，圖 37A 所示的點劃線 J1-J2 方向上的剖面相當於圖 37B。另外，圖 37A 所示的點劃線 J3-J4 方向上的剖面相當於圖 41A。另外，有時將點劃線 J1-J2 方向稱為通道長度方向，將點劃線 J3-J4 方向稱為通道寬度方

向。

[0221] 電晶體 109 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的由氧化物半導體層 130a 及氧化物半導體層 130b 形成的疊層、與該疊層接觸的氧化物半導體層 130c、與氧化物半導體層 130c 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、覆蓋該疊層、氧化物半導體層 130c、絕緣層 160 及導電層 170 的絕緣層 175、與絕緣層 175 接觸的絕緣層 180、藉由設置在絕緣層 175 及絕緣層 180 中的開口部與該疊層電連接的導電層 140 及導電層 150。此外，根據需要也可以包括與絕緣層 180、導電層 140 及導電層 150 接觸的絕緣層（平坦化膜）等。

[0222] 電晶體 109 除了在區域 231 及區域 232 中氧化物半導體層 130 為兩層（氧化物半導體層 130a、氧化物半導體層 130b）、在區域 233 中氧化物半導體層 130 為三層（氧化物半導體層 130a、氧化物半導體層 130b、氧化物半導體層 130c）之處以外其他結構與電晶體 103 相同。

[0223] 此外，本發明的一個實施方式的電晶體也可以採用圖 38A 及圖 38B 所示的結構。圖 38A 是電晶體 110 的俯視圖，圖 38A 所示的點劃線 K1-K2 方向上的剖面相當於圖 38B。另外，圖 38A 所示的點劃線 K3-K4 方向上的剖面相當於圖 41A。另外，有時將點劃線 K1-K2 方向稱為通道長度方向，將點劃線 K3-K4 方向稱為通道寬度

方向。

[0224] 電晶體 110 除了在區域 231 及區域 232 中氧化物半導體層 130 為兩層（氧化物半導體層 130a、氧化物半導體層 130b）、在區域 233 中氧化物半導體層 130 為三層（氧化物半導體層 130a、氧化物半導體層 130b、氧化物半導體層 130c）之處以外其他結構與電晶體 104 相同。

[0225] 此外，本發明的一個實施方式的電晶體也可以採用圖 39A 及圖 39B 所示的結構。圖 39A 是電晶體 111 的俯視圖，圖 39A 所示的點劃線 L1-L2 方向上的剖面相當於圖 39B。另外，圖 39A 所示的點劃線 L3-L4 方向上的剖面相當於圖 41A。另外，有時將點劃線 L1-L2 方向稱為通道長度方向，將點劃線 L3-L4 方向稱為通道寬度方向。

[0226] 電晶體 111 包括與基板 115 接觸的絕緣層 120、與絕緣層 120 接觸的由氧化物半導體層 130a 及氧化物半導體層 130b 形成的疊層、與該疊層電連接的導電層 141 及導電層 151、與該疊層、導電層 141 及導電層 151 接觸的氧化物半導體層 130c、與氧化物半導體層 130c 接觸的絕緣層 160、與絕緣層 160 接觸的導電層 170、與該疊層、導電層 141、導電層 151、氧化物半導體層 130c、絕緣層 160 及導電層 170 接觸的絕緣層 175、與絕緣層 175 接觸的絕緣層 180、藉由設置在絕緣層 175 及絕緣層 180 中的開口部分別與導電層 141 及導電層 151 電連接的

導電層 142 及導電層 152。此外，根據需要也可以具有與絕緣層 180、導電層 142 及導電層 152 接觸的絕緣層（平坦化膜）等。

[0227] 電晶體 111 除了在區域 231 及區域 232 中氧化物半導體層 130 為兩層（氧化物半導體層 130a、氧化物半導體層 130b）、在區域 233 中氧化物半導體層 130 為三層（氧化物半導體層 130a、氧化物半導體層 130b、氧化物半導體層 130c）、以及在導電層 141 及導電層 151 與絕緣層 160 之間夾有氧化物半導體層的一部分（氧化物半導體層 130c）之處以外其他結構與電晶體 105 相同。

[0228] 此外，本發明的一個實施方式的電晶體也可以採用圖 40A 及圖 40B 所示的結構。圖 40A 是電晶體 112 的俯視圖，圖 40A 所示的點劃線 M1-M2 方向上的剖面相當於圖 40B。另外，圖 40A 所示的點劃線 M3-M4 方向上的剖面相當於圖 41A。另外，有時將點劃線 M1-M2 方向稱為通道長度方向，將點劃線 M3-M4 方向稱為通道寬度方向。

[0229] 電晶體 112 除了在區域 331、區域 332、區域 334 及區域 335 中氧化物半導體層 130 為兩層（氧化物半導體層 130a、氧化物半導體層 130b）、在區域 333 中氧化物半導體層 130 為三層（氧化物半導體層 130a、氧化物半導體層 130b、氧化物半導體層 130c）之處以外其他結構與電晶體 106 相同。

[0230] 另外，如圖 42A 至圖 42F 的通道長度方向的

剖面圖以及圖 41C 及圖 41D 的通道寬度方向的剖面圖所示，本發明的一個實施方式的電晶體也可以包括氧化物半導體層 130 與基板 115 之間的導電層 173。藉由將該導電層用作第二閘極電極層（背閘極），進一步能夠增加通態電流或控制臨界電壓。此外，在圖 42A 至圖 42F 所示的剖面圖中，也可以使導電層 173 的寬度比氧化物半導體層 130 短。再者，也可以使導電層 173 的寬度比導電層 170 短。

[0231] 如圖 43A 和圖 43B 所示的俯視圖（僅示出氧化物半導體層 130、導電層 140 及導電層 150）那樣，可以使本發明的一個實施方式的電晶體中的導電層 140（源極電極層）及導電層 150（汲極電極層）的寬度（ W_{SD} ）比氧化物半導體層 130 的寬度（ W_{OS} ）長或短。當滿足 $W_{OS} \geq W_{SD}$ （ W_{SD} 為 W_{OS} 以下）的關係時，閘極電場容易施加到氧化物半導體層 130 整體，可以提高電晶體的電特性。

[0232] 在本發明的一個實施方式的電晶體（電晶體 101 至電晶體 112）中的任何結構中，作為閘極電極層的導電層 170 隔著作為閘極絕緣膜的絕緣層 160 在通道寬度方向上電性上包圍氧化物半導體層 130，由此可以提高通態電流。將這種電晶體結構稱為 *surrounded channel*（*s-channel*）結構。

[0233] 在具有氧化物半導體層 130a 及氧化物半導體層 130b 的電晶體以及具有氧化物半導體層 130a、氧化物

半導體層 130b 及氧化物半導體層 130c 的電晶體中，藉由適當地選擇構成氧化物半導體層 130 的兩層或三層的材料，可以將電流流過在氧化物半導體層 130b 中。由於電流流過氧化物半導體層 130b，因此不容易受到介面散射的影響，所以可以獲得很大的通態電流。另外，藉由增加氧化物半導體層 130b 的厚度，可以增加通態電流。例如，也可以將氧化物半導體層 130b 的厚度設定為 100nm 至 200nm。

[0234] 藉由使用上述結構的電晶體，可以使半導體裝置具有良好的電特性。

[0235] 注意，本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0236]

實施方式 5

在本實施方式中對實施方式 4 所示的電晶體的構成要素進行詳細的說明。

[0237] 作為基板 115，可以使用形成有電晶體的矽基板，該矽基板上形成有絕緣層、佈線、用作接觸插頭的導電體等。另外，當對矽基板形成 p 通道型電晶體時，較佳為使用具有 n⁻型導電型的矽基板。另外，也可以使用包括 n⁻型或 i 型矽層的 SOI 基板。另外，當對矽基板設置的電晶體為 p 通道型電晶體時，較佳為使用如下矽基板：形成電晶體的表面的晶體配向為 (110) 面。藉由在 (110) 面形成 p 通道型電晶體，可以提高移動率。

[0238] 絕緣層 120 除了防止雜質從包含在基板 115 中的構成要素擴散的功能以外，還可以具有對氧化物半導體層 130 供應氧的功能。因此，絕緣層 120 較佳為含氧的絕緣膜，更佳為包含比化學計量組成多的氧的絕緣膜。例如，絕緣層 120 為藉由在膜表面溫度為 100℃ 以上且 700℃ 以下，較佳為 100℃ 以上且 500℃ 以下的加熱處理中利用 TDS (Thermal Desorption Spectroscopy: 熱脫附譜) 法而得到的換算為氧原子的氧釋放量为 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上的膜。另外，上述 TDS 分析時的膜的表面溫度較佳為在 100℃ 以上且 700℃ 以下或者 100℃ 以上且 500℃ 以下的範圍內。此外，如上所述當基板 115 是形成有其他裝置的基板時，絕緣層 120 還用作層間絕緣膜。在此情況下，較佳的是利用 CMP (Chemical Mechanical Polishing: 化學機械拋光) 法等進行平坦化處理，以使其表面平坦。

[0239] 例如，作為絕緣層 120 可以使用氧化鋁、氧化鎂、氧化矽、氮化矽、氧化鎵、氧化鍺、氧化釔、氧化銦、氧化鋇、氧化釷、氧化鈳和氧化鈹等氧化物絕緣膜、氮化矽、氮氧化矽、氮化鋁和氮氧化鋁等氮化物絕緣膜或者這些的混合材料。此外，也可以使用上述材料的疊層。

[0240] 注意，在本實施方式中，以電晶體所具有的氧化物半導體層 130 具有從絕緣層 120 一側依次層疊氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c 的三層結構的情況為主而進行詳細的說明。

[0241] 此外，當氧化物半導體層 130 為單層時，使用相當於本實施方式所示的氧化物半導體層 130b 的層即可。

[0242] 此外，當氧化物半導體層 130 為兩層時，使用從絕緣層 120 一側依次層疊相當於本實施方式所示的氧化物半導體層 130a 的層及相當於氧化物半導體層 130b 的層的疊層即可。當採用該結構時，也可以調換氧化物半導體層 130a 與氧化物半導體層 130b。

[0243] 當氧化物半導體層 130 為四層以上時，例如可以採用對本實施方式所說明的三層結構的氧化物半導體層 130 追加其他氧化物半導體層的結構。

[0244] 例如，氧化物半導體層 130b 使用其電子親和力（真空能階與導帶底之間的能量差）大於氧化物半導體層 130a 及氧化物半導體層 130c 的氧化物半導體。電子親和力是從真空能階與價帶頂之間的能量差（游離電位）減去導帶底與價帶頂之間的能量差（能隙）的值。

[0245] 氧化物半導體層 130a 及氧化物半導體層 130c 較佳為包含一種以上的構成氧化物半導體層 130b 的金屬元素。例如，氧化物半導體層 130a 及氧化物半導體層 130c 較佳為使用其導帶底的能量比氧化物半導體層 130b 的導帶底的能量更接近真空能階 0.05eV、0.07eV、0.1eV 或 0.15eV 以上且 2eV、1eV、0.5eV 或 0.4eV 以下的氧化物半導體形成。

[0246] 在上述結構中，當對導電層 170 施加電場

時，通道形成在氧化物半導體層 130 中的導帶底的能量最低的氧化物半導體層 130b 中。

[0247] 另外，氧化物半導體層 130a 包含一種以上的構成氧化物半導體層 130b 的金屬元素，因此，與氧化物半導體層 130b 與絕緣層 120 接觸時的兩者的介面相比，在氧化物半導體層 130b 與氧化物半導體層 130a 的介面不容易形成介面能階。上述介面能階有時形成通道，因此有時導致電晶體的臨界電壓的變動。所以，藉由設置氧化物半導體層 130a，能夠抑制電晶體的臨界電壓等電特性的偏差。此外，可以提高該電晶體的可靠性。

[0248] 另外，氧化物半導體層 130c 包含一種以上的構成氧化物半導體層 130b 的金屬元素，因此，與氧化物半導體層 130b 與閘極絕緣膜（絕緣層 160）接觸時的兩者的介面相比，在氧化物半導體層 130b 與氧化物半導體層 130c 的介面不容易發生載子散射。所以，藉由設置氧化物半導體層 130c，能夠提高電晶體的場效移動率。

[0249] 例如，氧化物半導體層 130a 及氧化物半導體層 130c 可以使用如下材料：包含 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 且該元素的原子數比高於氧化物半導體層 130b 的材料。明確而言，上述元素的原子數比為氧化物半導體層 130b 的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上。上述元素與氧堅固地鍵合，所以具有抑制在氧化物半導體層中產生氧缺陷的功能。由此可說，與氧化物半導體層 130b 相比，在氧化物半導體層 130a 及氧

化物半導體層 130c 中不容易產生氧缺陷。

[0250] 另外，能夠用於氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c 的氧化物半導體較佳為至少包含 In 或 Zn。或者，較佳為包含 In 和 Zn 的兩者。另外，為了減少使用該氧化物半導體的電晶體的電特性偏差，除了上述元素以外，較佳的是還包含穩定劑 (stabilizer)。

[0251] 作為穩定劑，可以舉出 Ga、Sn、Hf、Al 或 Zr 等。另外，作為其他穩定劑，可以舉出鏷系元素的 La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu 等。

[0252] 例如，作為氧化物半導體，可以使用氧化銦、氧化錫、氧化鎵、氧化鋅、In-Zn 氧化物、Sn-Zn 氧化物、Al-Zn 氧化物、Zn-Mg 氧化物、Sn-Mg 氧化物、In-Mg 氧化物、In-Ga 氧化物、In-Ga-Zn 氧化物、In-Al-Zn 氧化物、In-Sn-Zn 氧化物、Sn-Ga-Zn 氧化物、Al-Ga-Zn 氧化物、Sn-Al-Zn 氧化物、In-Hf-Zn 氧化物、In-La-Zn 氧化物、In-Ce-Zn 氧化物、In-Pr-Zn 氧化物、In-Nd-Zn 氧化物、In-Sm-Zn 氧化物、In-Eu-Zn 氧化物、In-Gd-Zn 氧化物、In-Tb-Zn 氧化物、In-Dy-Zn 氧化物、In-Ho-Zn 氧化物、In-Er-Zn 氧化物、In-Tm-Zn 氧化物、In-Yb-Zn 氧化物、In-Lu-Zn 氧化物、In-Sn-Ga-Zn 氧化物、In-Hf-Ga-Zn 氧化物、In-Al-Ga-Zn 氧化物、In-Sn-Al-Zn 氧化物、In-Sn-Hf-Zn 氧化物、In-Hf-Al-Zn 氧化物。

[0253] 注意，例如 In-Ga-Zn 氧化物是指作為主要成分包含 In、Ga 和 Zn 的氧化物。另外，也可以包含 In、Ga、Zn 以外的金屬元素。此外，在本說明書中，將由 In-Ga-Zn 氧化物構成的膜稱為 IGZO 膜。

[0254] 另外，也可以使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$ ，且 m 不是整數) 表示的材料。注意，M 表示選自 Ga、Y、Zr、La、Ce 或 Nd 中的一種金屬元素或多種金屬元素。另外，也可以使用以 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$ ，且 n 是整數) 表示的材料。

[0255] 另外，在氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c 為至少包含銦、鋅及 M (M 為 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 等金屬) 的 In-M-Zn 氧化物，且氧化物半導體層 130a 的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$ ，氧化物半導體層 130b 的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ ，氧化物半導體層 130c 的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_3 : y_3 : z_3$ 的情況下， y_1/x_1 及 y_3/x_3 較佳為大於 y_2/x_2 。 y_1/x_1 及 y_3/x_3 為 y_2/x_2 的 1.5 倍以上，較佳為 2 倍以上，更佳為 3 倍以上。此時，在氧化物半導體層 130b 中，在 y_2 為 x_2 以上的情況下，能夠使電晶體的電特性變得穩定。注意，在 y_2 為 x_2 的 3 倍以上的情況下，電晶體的場效移動率降低，因此 y_2 較佳為小於 x_2 的 3 倍。

[0256] 氧化物半導體層 130a 及氧化物半導體層 130c 中的除了 Zn 及 O 之外的 In 與 M 的原子百分比較佳為 In

的比率低於 50atomic%且 M 的比率為 50atomic%以上，更佳為 In 的比率低於 25atomic%且 M 的比率為 75atomic%以上。另外，氧化物半導體層 130b 中的除了 Zn 及 O 之外的 In 與 M 的原子百分比較佳為 In 的比率為 25atomic%以上且 M 的比率低於 75atomic%，更佳為 In 的比率為 34atomic%以上且 M 的比率低於 66atomic%。

[0257] 另外，較佳的是，氧化物半導體層 130b 的銦的含量多於氧化物半導體層 130a 及氧化物半導體層 130c 的銦的含量。在氧化物半導體中，重金屬的 s 軌域主要有助於載子傳導，並且，藉由增加 In 的比率來增加 s 軌域的重疊，由此 In 的比率多於 M 的氧化物的移動率比 In 的比率等於或少於 M 的氧化物高。因此，藉由將銦含量高的氧化物用於氧化物半導體層 130b，可以實現高場效移動率的電晶體。

[0258] 氧化物半導體層 130a 的厚度為 3nm 以上且 100nm 以下，較佳為 5nm 以上且 50nm 以下，更佳為 5nm 以上且 25nm 以下。另外，氧化物半導體層 130b 的厚度為 3nm 以上且 200nm 以下，較佳為 10nm 以上且 150nm 以下，更佳為 15nm 以上且 100nm 以下。此外，氧化物半導體層 130c 的厚度為 1nm 以上且 50nm 以下，較佳為 2nm 以上且 30nm 以下，更佳為 3nm 以上且 15nm 以下。另外，氧化物半導體層 130b 較佳為比氧化物半導體層 130a 及氧化物半導體層 130c 厚。

[0259] 另外，為了對將氧化物半導體層用作通道的

電晶體賦予穩定的電特性，較有效的是藉由降低氧化物半導體層中的雜質濃度來使氧化物半導體層成為本質或實質上本質。在此，“實質上本質”是指氧化物半導體層的載子密度低於 $1 \times 10^{17}/\text{cm}^3$ 、低於 $1 \times 10^{15}/\text{cm}^3$ 或者低於 $1 \times 10^{13}/\text{cm}^3$ 。

[0260] 此外，對氧化物半導體層來說，氫、氮、碳、矽以及主要成分以外的金屬元素是雜質。例如，氫和氮引起施體能階的形成，而增高載子密度。此外，矽引起氧化物半導體層中的雜質能階的形成。該雜質能階成為陷阱，有可能使電晶體的電特性劣化。因此，較佳的是降低氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c 中或各層的介面的雜質濃度。

[0261] 為了使氧化物半導體層成為本質或實質上本質，以使其具有如下區域的方式進行控制：藉由 SIMS (Secondary Ion Mass Spectrometry：二次離子質譜) 分析測定出的矽濃度低於 $1 \times 10^{19} \text{atoms}/\text{cm}^3$ ，較佳的是低於 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ ，更較佳的是低於 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 的區域；氫濃度為 $2 \times 10^{20} \text{atoms}/\text{cm}^3$ 以下，較佳為 $5 \times 10^{19} \text{atoms}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{19} \text{atoms}/\text{cm}^3$ 以下，進一步較佳為 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下的區域；氮濃度低於 $5 \times 10^{19} \text{atoms}/\text{cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms}/\text{cm}^3$ 以下的區域。

[0262] 此外，當以高濃度包含矽或碳時，有可能降

低氧化物半導體層的結晶性。為了不使氧化物半導體層的結晶性降低，例如以使氧化物半導體層具有如下區域的方式進行控制：矽濃度低於 $1 \times 10^{19} \text{ atoms/cm}^3$ ，較佳的是低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更較佳的是低於 $1 \times 10^{18} \text{ atoms/cm}^3$ 的區域；碳濃度低於 $1 \times 10^{19} \text{ atoms/cm}^3$ ，較佳的是低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，更較佳的是低於 $1 \times 10^{18} \text{ atoms/cm}^3$ 的區域。

[0263] 此外，將如上述那樣的被高度純化了的氧化物半導體膜用於通道形成區域的電晶體的關態電流極小。例如，可以使以源極與汲極之間的電壓為 0.1V、5V 或 10V 左右時的電晶體的每通道寬度的關態電流降低到幾 $\text{yA}/\mu\text{m}$ 至幾 $\text{zA}/\mu\text{m}$ 。

[0264] 另外，作為電晶體的閘極絕緣膜，大多使用包含矽的絕緣膜，因此較佳的是如本發明的一個實施方式的電晶體那樣不使氧化物半導體層的用作通道的區域與閘極絕緣膜接觸。另外，當通道形成在閘極絕緣膜與氧化物半導體層的介面時，有時在該介面產生載子散射而使電晶體的場效移動率降低。從上述觀點來看，可以說較佳為使氧化物半導體層的用作通道的區域與閘極絕緣膜分開。

[0265] 因此，藉由使氧化物半導體層 130 具有氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c 的疊層結構，能夠將通道形成在氧化物半導體層 130b 中，由此能夠形成具有高場效移動率及穩定的電特性的電晶體。

[0266] 在氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c 的能帶結構中，導帶底的能量連續地變化。這從由於氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c 的組成相互相似，氧容易在上述三者中互相擴散的情況上，也可以得到理解。由此可以說，雖然氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c 是組成互不相同的疊層體，但是在物性上是連續的。因此，在圖式中，被層疊的各氧化物半導體層的介面由虛線表示。

[0267] 主要成分相同而層疊的氧化物半導體層 130 不是簡單地將各層層疊，而以形成連續結合（在此，尤其是指各層之間的導帶底的能量連續地變化的 U 型井（U-shape well）結構）的方式形成。換言之，以在各層的介面之間不存在會形成俘獲中心或再結合中心等缺陷能階的雜質的方式形成疊層結構。如果，雜質混入被層疊的氧化物半導體層的層間，能帶則失去連續性，因此載子在介面被俘獲或者再結合而消失。

[0268] 例如，氧化物半導體層 130a 及氧化物半導體層 130c 可以使用 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 、 $1 : 3 : 3$ 、 $1 : 3 : 4$ 、 $1 : 3 : 6$ 、 $1 : 4 : 5$ 、 $1 : 6 : 4$ 或 $1 : 9 : 6$ （原子數比）的 In-Ga-Zn 氧化物等。氧化物半導體層 130b 可以使用 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $2 : 1 : 3$ 、 $5 : 5 : 6$ 或 $3 : 1 : 2$ （原子數比）等的 In-Ga-Zn 氧化物等。另外，當以上述氧化物為濺射靶材進行成膜時，濺射靶材的原子數比與所

形成的氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c 的原子數比不一定相同，有 $\pm 40\%$ 左右的差。

[0269] 氧化物半導體層 130 中的氧化物半導體層 130b 用作井 (well)，通道形成在氧化物半導體層 130b 中。另外，氧化物半導體層 130 的導帶底的能量連續地變化，因此，也可以將氧化物半導體層 130 稱為 U 型井。另外，也可以將具有上述結構的通道稱為埋入通道。

[0270] 另外，雖然在氧化物半導體層 130a 與氧化矽膜等絕緣層之間以及氧化物半導體層 130c 與氧化矽膜等絕緣層的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是藉由設置氧化物半導體層 130a 及氧化物半導體層 130c，可以使氧化物半導體層 130b 和該陷阱能階相隔。

[0271] 注意，氧化物半導體層 130a 及氧化物半導體層 130c 的導帶底的能量與氧化物半導體層 130b 的導帶底的能量之間的能量差小時，有時氧化物半導體層 130b 的電子越過該能量差到達陷阱能階。當電子被陷阱能階俘獲時，在絕緣層介面產生負電荷，使得電晶體的臨界電壓向正方向漂移。

[0272] 氧化物半導體層 130a、氧化物半導體層 130b 及氧化物半導體層 130c 較佳為包含結晶部。尤其是，藉由使用 c 軸配向結晶，能夠對電晶體賦予穩定的電特性。另外，c 軸配向的結晶抗彎曲，由此可以提高使用撓性基

板的半導體裝置的可靠性。

[0273] 作為用作源極電極層的導電層 140 及用作汲極電極層的導電層 150，例如可以使用選自 Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc 及該金屬材料的合金的材料的單層或疊層。典型的是，特別較佳為使用容易與氧鍵合的 Ti 或在後面能以較高的溫度進行處理的熔點高的 W。此外，也可以使用低電阻的 Cu 或 Cu-Mn 等合金與上述材料的疊層。另外，在電晶體 105、電晶體 106、電晶體 111、電晶體 112 中，例如可以作為導電層 141 及導電層 151 使用 W，作為導電層 142 及導電層 152 使用 Ti 及 Al 的疊層膜等。

[0274] 上述材料具有從氧化物半導體膜抽出氧的性質。由此，在與上述材料接觸的氧化物半導體膜的一部分的區域中，氧化物半導體膜中的氧被脫離，而在氧化物半導體膜中形成氧缺陷。包含於膜中的微量的氫與該氧缺陷鍵合而使該區域明顯地 n 型化。因此，可以將該 n 型化的區域用作電晶體的源極或汲極。

[0275] 此外，當導電層 140 及導電層 150 使用 W 形成時，也可以對導電層 140 及導電層 150 摻雜氮。藉由摻雜氮可以適度地降低抽出氧的性質，由此可以防止 n 型化的區域擴展到通道區域。另外，藉由作為上述導電層 140 及導電層 150 使用 W 與 n 型半導體層的疊層，使 n 型半導體層與氧化物半導體層接觸，可以防止 n 型化的區域擴展到通道區域。作為 n 型半導體層可以使用添加有氮的

In-Ga-Zn 氧化物、氧化鋅、氧化銦、氧化錫、氧化銦錫等。

[0276] 作為用作閘極絕緣膜的絕緣層 160，可以使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鋇、氧化釷、氧化鈮、氧化鈳、氧化釷、氧化釷、氧化鈳、氧化鈳和氧化鈳中的一種以上的絕緣膜。此外，絕緣層 160 也可以是上述材料的疊層。另外，絕緣層 160 也可以包含 La、N、Zr 等作為雜質。

[0277] 另外，說明絕緣層 160 的疊層結構的一個例子。絕緣層 160 例如包含氧、氮、矽、鉛等。具體地，較佳為包含氧化鉛及氧化矽或者氧化鉛及氧氮化矽。

[0278] 氧化鉛及氧化鋁的相對介電常數比氧化矽或氮化矽高。因此，與使用氧化矽的情況相比可以使絕緣層 160 的厚度更大，由此可以減少穿隧電流引起的洩漏電流。就是說，可以實現關態電流小的電晶體。再者，與包括非晶結構的氧化鉛相比，包括結晶結構的氧化鉛具有高相對介電常數。因此，為了形成關態電流小的電晶體，較佳為使用具有晶體結構的氧化鉛。作為晶體結構的例子，可以舉出單斜晶結構或立方體晶結構等。但是，本發明的一個實施方式不侷限於此。

[0279] 此外，作為與氧化物半導體層 130 接觸的絕緣層 120 及絕緣層 160 較佳為使用氮氧化物的釋放量少的膜。當氮氧化物的釋放量多的絕緣層與氧化物半導體接觸時，有時因氮氧化物導致能階密度變高。作為絕緣層 120

及絕緣層 160，例如可以使用氮氧化物的釋放量少的氧氮化矽膜或氧氮化鋁膜等的氧化物絕緣層。

[0280] 此外，氮氧化物的釋放量少的氧氮化矽膜是在 TDS 分析法中氮釋放量比氮氧化物的釋放量多的膜，典型的是氮釋放量為 1×10^{18} 個/cm³ 以上且 5×10^{19} 個/cm³ 以下。此外，上述氮釋放量是藉由膜表面溫度為 50℃ 以上且 650℃ 以下，較佳為 50℃ 以上且 550℃ 以下的加熱處理而得到的釋放量。

[0281] 藉由作為絕緣層 120 及絕緣層 160 使用上述氧化物絕緣層，可以降低電晶體的臨界電壓的漂移，由此可以降低電晶體的電特性變動。

[0282] 作為用作閘極電極層的導電層 170 例如可以使用 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、Ta 及 W 等的導電膜。另外，也可以使用上述材料的合金或上述材料的導電氮化物。此外，也可以使用選自上述材料、上述材料的合金及上述材料的導電氮化物中的多種材料的疊層。典型的是，可以使用鎢、鎢與氮化鈦的疊層、鎢與氮化鉭的疊層等。另外，也可以使用低電阻的 Cu 或 Cu-Mn 等合金或者上述材料與 Cu 或 Cu-Mn 等合金的疊層。在本實施方式中，作為導電層 171 使用氮化鉭，作為導電層 172 使用鎢，以便形成導電層 170。

[0283] 作為絕緣層 175 可以使用含氫的氮化矽膜或氮化鋁膜等。在實施方式 4 所示的電晶體 103、電晶體 104、電晶體 106、電晶體 109、電晶體 110 及電晶體 112

中，藉由作為絕緣層 175 使用含氫的絕緣膜可以使氧化物半導體層的一部分 n 型化。另外，氮化絕緣膜還用作阻擋水分等的膜，可以提高電晶體的可靠性。

[0284] 作為絕緣層 175 也可以使用氧化鋁膜。尤其是，較佳為在實施方式 4 所示的電晶體 101、電晶體 102、電晶體 105、電晶體 107、電晶體 108 及電晶體 111 中作為絕緣層 175 使用氧化鋁膜。氧化鋁膜的不使氫、水分等雜質以及氧透過的阻擋效果高。因此，將氧化鋁膜適合用作具有如下效果的保護膜：在電晶體的製程中及製造電晶體之後，防止氫、水分等雜質向氧化物半導體層 130 混入；防止從氧化物半導體層釋放氧；防止氧的從絕緣層 120 的不需要的釋放。也可以將包含於氧化鋁膜的氧擴散到氧化物半導體層中。

[0285] 在絕緣層 175 上較佳的是形成有絕緣層 180。作為該絕緣層可以使用包含氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化鋅、氧化釷、氧化鉛、氧化鐳、氧化釹、氧化鈣及氧化鋁中的一種以上的絕緣膜。此外，該絕緣層也可以是上述材料的疊層。

[0286] 在此，絕緣層 180 較佳的是與絕緣層 120 同樣地包含比化學計量組成多的氧。能夠將從絕緣層 180 釋放的氧穿過絕緣層 160 擴散到氧化物半導體層 130 的通道形成區域，因此能夠對形成在通道形成區域中的氧缺陷填補氧。由此，能夠獲得穩定的電晶體電特性。

[0287] 為了實現半導體裝置的高集成化，必須進行

電晶體的微型化。另一方面，已知伴隨著電晶體的微型化，電晶體的電特性劣化，尤其是通道寬度的縮短導致通態電流的降低。

[0288] 在本發明的一個實施方式的電晶體 107 至電晶體 112 中，以覆蓋其中形成通道的氧化物半導體層 130b 的方式形成有氧化物半導體層 130c，通道形成層與閘極絕緣膜沒有接觸。因此，能夠抑制在通道形成層與閘極絕緣膜的介面產生的載子散射，而可以增高電晶體的通態電流。

[0289] 在本發明的一個實施方式的電晶體中，如上所述，以在通道寬度方向上電性上包圍氧化物半導體層 130 的方式形成有閘極電極層（導電層 170），因此氧化物半導體層 130 除了垂直於頂面的方向上被施加閘極電場之外，垂直於側面的方向上也被施加閘極電場。換言之，對通道形成層整體施加閘極電場而實效通道寬度擴大，由此可以進一步提高通態電流。

[0290] 在本發明的一個實施方式的氧化物半導體層 130 具有兩層或三層結構的電晶體中，藉由將形成有通道的氧化物半導體層 130b 形成於氧化物半導體層 130a 上，可以獲得不容易形成介面能階的效果。此外，在本發明的一個實施方式的氧化物半導體層 130 具有三層結構的電晶體中，藉由將氧化物半導體層 130b 位於三層結構的中間，來同時得到消除從上下方混入的雜質的影響的效果等。因此，除了可以增高上述電晶體的通態電流之外，還

可以實現臨界電壓的穩定化及 S 值（次臨界值）的下降。因此，可以降低閘極電壓 V_G 為 0V 時的電流，而可以降低功耗。另外，由於電晶體的臨界電壓穩定，所以可以提高半導體裝置的長期可靠性。此外，本發明的一個實施方式的電晶體可以抑制隨著微細化導致的電特性劣化，由此可以說適合於集成度高的半導體裝置。

[0291] 雖然本實施方式所說明的金屬膜、半導體膜及無機絕緣膜等各種膜可以典型地利用濺射法或電漿 CVD 法形成，但是也可以利用熱 CVD 法等其他方法形成。作為熱 CVD 法的例子，可以舉出 MOCVD（Metal Organic Chemical Vapor Deposition：有機金屬化學氣相沉積）法或 ALD（Atomic Layer Deposition：原子層沉積）法等。

[0292] 由於熱 CVD 法是不使用電漿的成膜方法，因此具有不產生電漿損傷所引起的缺陷的優點。

[0293] 可以以如下方法進行利用熱 CVD 法的成膜：將源氣體及氧化劑同時供應到腔室內，將腔室內的壓力設定為大氣壓或減壓，使其在基板附近或在基板上起反應。

[0294] 另外，可以以如下方法進行利用 ALD 法的成膜：將腔室內的壓力設定為大氣壓或減壓，將用於反應的源氣體引入腔室並起反應，並且按該順序反復地引入氣體。也可以將源氣體與惰性氣體（氬或氦等）用作載子氣體一併地進行引入。例如，也可以將兩種以上的源氣體依次供應到腔室內。此時，在第一源氣體起反應之後引入惰

性氣體，然後引入第二源氣體，以防止多種源氣體混合。或者，也可以不引入惰性氣體而藉由真空抽氣將第一源氣體排出，然後引入第二源氣體。第一源氣體附著到基板表面且起反應來形成第一層，之後引入的第二源氣體附著且起反應，由此第二層層疊在第一層上而形成薄膜。藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步階覆蓋性良好的薄膜。由於薄膜的厚度可以根據反復引入氣體的次數來進行調節，因此，ALD法可以準確地調節厚度而適用於製造微型FET。

[0295] 利用 MOCVD 法或 ALD 法等熱 CVD 法可以形成以上所示的實施方式所公開的金屬膜、半導體膜、無機絕緣膜等各種膜，例如，當形成 In-Ga-Zn-O 膜時，可以使用三甲基銦（ $\text{In}(\text{CH}_3)_3$ ）、三甲基鎵（ $\text{Ga}(\text{CH}_3)_3$ ）及二甲基鋅（ $\text{Zn}(\text{CH}_3)_2$ ）。不侷限於上述組合，也可以使用三乙基鎵（ $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）代替三甲基鎵，並使用二乙基鋅（ $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）代替二甲基鋅。

[0296] 例如，在使用利用 ALD 法的沉積裝置形成氧化鈦膜時，使用如下兩種氣體：藉由使包含溶劑和鈦前體的液體（鈦醇鹽、四二甲基醯胺鈦（TDMAH， $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ ）或四（乙基甲基醯胺）鈦等鈦醯胺）氣化而得到的源氣體；以及用作氧化劑的臭氧（ O_3 ）。

[0297] 例如，在使用利用 ALD 法的沉積裝置形成氧化鋁膜時，使用如下兩種氣體：藉由使包含溶劑和鋁前體的液體（三甲基鋁（TMA， $\text{Al}(\text{CH}_3)_3$ ）等）氣化而得到的

源氣體；以及用作氧化劑的 H_2O 。作為其它材料有三（二甲基醯胺）鋁、三異丁基鋁、鋁三（2,2,6,6-四甲基-3,5-庚二酮）等。

[0298] 例如，在使用利用 ALD 法的沉積裝置形成氧化矽膜時，使六氯乙矽烷附著在被成膜面上，供應氧化氣體（ O_2 、一氧化二氮）的自由基使其與附著物起反應。

[0299] 例如，在使用利用 ALD 法的沉積裝置形成鎢膜時，依次引入 WF_6 氣體和 B_2H_6 氣體形成初始鎢膜，然後依次引入 WF_6 氣體和 H_2 氣體形成鎢膜。注意，也可以使用 SiH_4 氣體代替 B_2H_6 氣體。

[0300] 例如，在使用利用 ALD 法的沉積裝置形成氧化物半導體膜如 In-Ga-Zn-O 膜時，依次引入 $\text{In}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 In-O 層，然後依次引入 $\text{Ga}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 GaO 層，之後依次引入 $\text{Zn}(\text{CH}_3)_2$ 氣體和 O_3 氣體形成 ZnO 層。注意，這些層的順序不侷限於上述例子。也可以使用這些氣體來形成混合化合物層如 In-Ga-O 層、In-Zn-O 層、Ga-Zn-O 層等。注意，雖然也可以使用利用 Ar 等惰性氣體進行起泡而得到的 H_2O 氣體代替 O_3 氣體，但是較佳為使用不包含 H 的 O_3 氣體。

[0301] 注意，本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而實施。

[0302]

實施方式 6

下面，說明可用於本發明的一個實施方式的氧化物半

導體膜的結構。

[0303] 在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。此外，“垂直”是指兩條直線的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。

[0304] 在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0305] 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜包括CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：c軸配向結晶氧化物半導體）膜、多晶氧化物半導體膜、微晶氧化物半導體膜以及非晶氧化物半導體膜等。

[0306] 首先，對CAAC-OS進行說明。

[0307] CAAC-OS膜是包含多個c軸配向的結晶部的氧化物半導體膜之一。

[0308] 在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察CAAC-OS膜的明視野影像與繞射圖案的複合分析影像（也稱為高解析度TEM影像）中，觀察到多個結晶部。然而，即使在高解析度TEM影像中，也觀察不到結晶部與結晶部之間的邊界，亦即，晶界（grain boundary）。因此，可以說在CAAC-OS膜中，不容易發生起因於晶界的電子移動率的

降低。

[0309] 當從大致平行於樣本面的方向觀察 CAAC-OS 膜的剖面的高解析度 TEM 影像時，觀察到在結晶部中金屬原子配列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0310] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的平面的高解析度 TEM 影像可知在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0311] 使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析包括 InGaZnO_4 的結晶的 CAAC-OS 膜時，在繞射角（ 2θ ）為 31° 附近時會出現峰值。由於該峰值來源於 InGaZnO_4 結晶的（009）面，由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0312] 注意，當利用 out-of-plane 法分析包括 InGaZnO_4 結晶的 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0313] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽、過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，矽等元素因為其與氧的結合力比構成氧化物半導體膜的金屬元素與氧的結合力更強而成為因從氧化物半導體膜奪取氧而打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。此外，鐵或鎳等重金屬、氫、二氧化碳等因為其原子半徑（分子半徑）大而在包含在氧化物半導體膜內部時成為打亂氧化物半導體膜的原子排列使得結晶性降低的主要因素。注意，包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0314] 此外，CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺損有時成為載子陷阱或者藉由俘獲氫而成為載子發生源。

[0315] 將雜質濃度低且缺陷態密度低（氧缺損的個數少）的狀態稱為“高純度本質”或“實質上高純度本質”。高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子發生源，因此可以具有較低的載子密度。因此，使用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常開啟特性）。此外，高純度本質或實質上高純度本質的氧化物半導體膜具有較少的載子陷阱。因此，使用該氧化物半導體膜的電晶體的電特性變動小，而成為高可靠性電晶體。此外，被氧化物半導體膜的載子陷阱俘獲的電荷到被釋放需要長時間，有時像固定電荷那樣

動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體的電特性有時不穩定。

[0316] 此外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0317] 接下來，說明微晶氧化物半導體膜。

[0318] 在微晶氧化物半導體膜的高解析度 TEM 影像中有觀察到結晶部及觀察不到明確的結晶部的區域。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶（nc：nanocrystal）的氧化物半導體膜稱為 nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）膜。另外，例如在 nc-OS 膜的高解析度 TEM 影像中，不經常觀察到明確的晶界。

[0319] nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在對 nc-OS 膜進行使用其束徑比結晶部大（例如，50nm 以上）的電子射線的電子繞射（選區域電子繞射）

時，觀察到類似光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於結晶部或者比結晶部小的電子射線的奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到分佈為圓圈狀的斑點。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0320] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。

[0321] 接著，對非晶氧化物半導體膜進行說明。

[0322] 非晶氧化物半導體膜是具有無序的原子排列並不具有結晶部的氧化物半導體膜。其一個例子為具有如石英那樣的無定形態的氧化物半導體膜。

[0323] 在非晶氧化物半導體膜的高解析度 TEM 影像中，觀察不到結晶部。

[0324] 使用 XRD 裝置對非晶氧化物半導體膜進行結構分析。當利用 out-of-plane 法分析時，檢測不到表示結晶面的峰值。另外，在非晶氧化物半導體膜的電子繞射圖案中，觀察到光暈圖案。另外，在非晶氧化物半導體膜的奈米束電子繞射圖案中，觀察不到斑點，而觀察到光暈圖案。

[0325] 此外，氧化物半導體膜有時具有呈現 nc-OS

膜與非晶氧化物半導體膜之間的物性的結構。將具有這種結構的氧化物半導體膜特別稱為 amorphous-like 氧化物半導體 (amorphous-like OS : amorphous-like Oxide Semiconductor) 膜。

[0326] 在 amorphous-like OS 膜的高解析度 TEM 影像中，有時觀察到空洞（也稱為空隙）。此外，在高解析度 TEM 影像中，有明確地確認到結晶部的區域及確認不到結晶部的區域。amorphous-like OS 膜有時因 TEM 觀察時的微量的電子照射而產生晶化，由此觀察到結晶部的生長。另一方面，在優質的 nc-OS 膜中，幾乎觀察不到因 TEM 觀察時的微量的電子照射而產生晶化。

[0327] 此外，amorphous-like OS 膜及 nc-OS 膜的結晶部的大小的測量可以使用高解析度 TEM 影像進行。例如， InGaZnO_4 的結晶具有層狀結構，在 In-O 層之間具有兩個 Ga-Zn-O 層。 InGaZnO_4 的結晶的單位晶格具有三個 In-O 層和六個 Ga-Zn-O 層的一共九個層在 c 軸方向上重疊為層狀的結構。因此，這些彼此相鄰的層之間的間隔與 (009) 面的晶格表面間隔（也稱為 d 值）大致相等，從結晶結構分析求出其值，亦即，0.29nm。因此，著眼於高解析度 TEM 影像的晶格條紋，在晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的區域，每個晶格條紋都被認為是對應於 InGaZnO_4 的結晶的 a-b 面。

[0328] 注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、amorphous-like OS 膜、微晶氧化物

半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

[0329] 本實施方式所示的結構可以與其他實施方式所示的結構適當地組合而使用。

[0330]

實施方式 7

本發明的一個實施方式的攝像裝置及包含該攝像裝置的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠播放儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用本發明的一個實施方式的攝像裝置及包含該攝像裝置的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 44A 至圖 44F 示出這些電子裝置的具體例子。

[0331] 圖 44A 是可攜式遊戲機，該可攜式遊戲機包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907、觸控筆 908 以及相機 909 等。注意，雖然圖 44A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。可以將本發明的一個實施方式的攝像裝

置用於相機 909。

[0332] 圖 44B 是可攜式資料終端，該可攜式資料終端包括第一外殼 911、顯示部 912、相機 919 等。藉由顯示部 912 所具有的觸摸功能可以進行資訊的輸入或輸出。可以將本發明的一個實施方式的攝像裝置用於相機 919。

[0333] 圖 44C 是數位相機，該數位相機包括外殼 921、快門按鈕 922、麥克風 923、發光部 927 以及透鏡 925 等。可以將本發明的一個實施方式的攝像裝置設置在透鏡 925 的焦點的位置上。

[0334] 圖 44D 是手錶型資訊終端，該手錶型資訊終端包括外殼 931、顯示部 932、腕帶 933 以及相機 939 等。顯示部 932 也可以是觸控面板。可以將本發明的一個實施方式的攝像裝置用於相機 939。

[0335] 圖 44E 是視頻攝影機，該視頻攝影機包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，顯示部 943 設置在第二外殼 942 中。並且，第一外殼 941 和第二外殼 942 由連接部 946 連接，由連接部 946 可以改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。可以將本發明的一個實施方式的攝像裝置設置在透鏡 945 的焦點的位置上。

[0336] 圖 44F 是行動電話，在外殼 951 中設置有顯

示部 952、麥克風 957、揚聲器 954、相機 959、輸入輸出端子 956 以及操作用的按鈕 955 等。可以將本發明的一個實施方式的攝像裝置用於相機 959。

[0337] 本實施方式可以與本說明書所示的其他實施方式適當地組合。

【符號說明】

[0338]

40：矽基板

41：基板

51：電晶體

52：電晶體

53：電晶體

54：電晶體

55：電晶體

56：電晶體

58：電容元件

59：活性層

60：光電轉換元件

61：光電轉換層

62：透光性導電層

63：半導體層

64：半導體層

65：半導體層

70：導電體

71：佈線

72：佈線

73：佈線

74：分隔壁

75：佈線

80：絕緣層

91：像素電路

91a：電路

91b：電路

92a：電路

92b：電路

93：電路

93a：區域

93b：區域

93c：區域

94：電路

95：電路

96：區域

101：電晶體

102：電晶體

103：電晶體

104：電晶體

105：電晶體

- 106：電晶體
- 107：電晶體
- 108：電晶體
- 109：電晶體
- 110：電晶體
- 111：電晶體
- 112：電晶體
- 115：基板
- 120：絕緣層
- 130：氧化物半導體層
- 130a：氧化物半導體層
- 130b：氧化物半導體層
- 130c：氧化物半導體層
- 140：導電層
- 141：導電層
- 142：導電層
- 150：導電層
- 151：導電層
- 152：導電層
- 160：絕緣層
- 170：導電層
- 171：導電層
- 172：導電層
- 173：導電層

175：絕緣層

180：絕緣層

231：區域

232：區域

233：區域

311：佈線

312：佈線

313：佈線

314：佈線

315：佈線

316：佈線

317：佈線

331：區域

332：區域

333：區域

334：區域

335：區域

400：像素部

400a：像素部

400b：像素部

400d：像素部

400h：像素部

400p：像素部

411：電路

412 : 電路

413 : 電路

414 : 電路

421 : 電路

422 : 電路

423 : 電路

424 : 電路

431 : 電路

432 : 電路

433 : 電路

434 : 電路

435 : 電路

438 : 電路

441 : 資料線

442 : 資料線

443 : 資料線

444 : 資料線

445 : 資料線

448 : 資料線

450 : 電路

501 : 信號

502 : 信號

503 : 信號

504 : 信號

505 : 信號
506 : 信號
507 : 信號
508 : 信號
509 : 信號
510 : 期間
511 : 期間
520 : 期間
531 : 期間
610 : 期間
611 : 期間
612 : 期間
621 : 期間
622 : 期間
623 : 期間
631 : 期間
701 : 信號
702 : 信號
703 : 信號
704 : 信號
705 : 信號
901 : 外殼
902 : 外殼
903 : 顯示部

904：顯示部
905：麥克風
906：揚聲器
907：操作鍵
908：觸控筆
909：照相機
911：外殼
912：顯示部
919：照相機
921：外殼
922：快門按鈕
923：麥克風
925：透鏡
927：發光部
931：外殼
932：顯示部
933：腕帶
939：照相機
941：外殼
942：外殼
943：顯示部
944：操作鍵
945：透鏡
946：連接部

- 951：外殼
- 952：顯示部
- 954：揚聲器
- 955：按鈕
- 956：輸入輸出端子
- 957：麥克風
- 959：照相機
- 1100：層
- 1200：層
- 1300：層
- 1400：層
- 1500：絕緣層
- 1510：遮光層
- 1520：有機樹脂層
- 1530a：濾色片
- 1530b：濾色片
- 1530c：濾色片
- 1540：微透鏡陣列
- 1550：光學轉換層

申請專利範圍

【請求項1】一種攝像裝置，其包括：

第一像素電路，其包括第一光電轉換元件、和該第一光電轉換元件的陰極與源極或汲極中的一者被電連接之第一電晶體；

第二像素電路，其包括第二光電轉換元件、和該第二光電轉換元件的陰極與源極或汲極中的一者被電連接之第二電晶體；和

電路，其進行從該第一像素電路及該第二像素電路輸出的信號的處理；

該電路包括第三電晶體，

在該第三電晶體的上方具有絕緣層，

在該絕緣層的上方配置該第一像素電路與該第二像素電路，

其中，該第一光電轉換元件的陽極與該第二光電轉換元件的陽極未分離並與第一導電層電連接，

其中，該第一導電層、與該第一電晶體的源極或汲極電連接的第二導電層、和與該第二電晶體的源極或汲極電連接的第三導電層，接於相同的絕緣層的上表面而被配置。

【請求項2】如請求項1的攝像裝置，其具有被以與該第一光電轉換元件的陰極和該第二光電轉換元件的陰極之間的區域重疊的方式配置的絕緣體。

[illegible]

1200

1100

71

51 59 52 59 41

圖 2

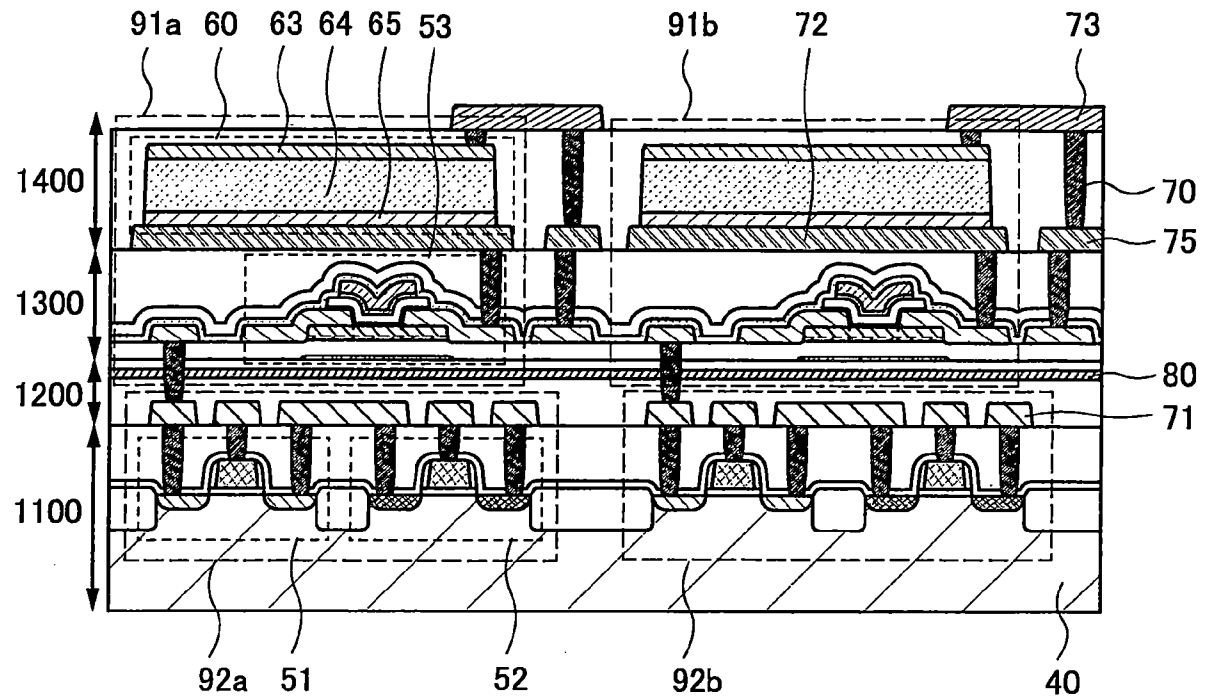


圖 3A

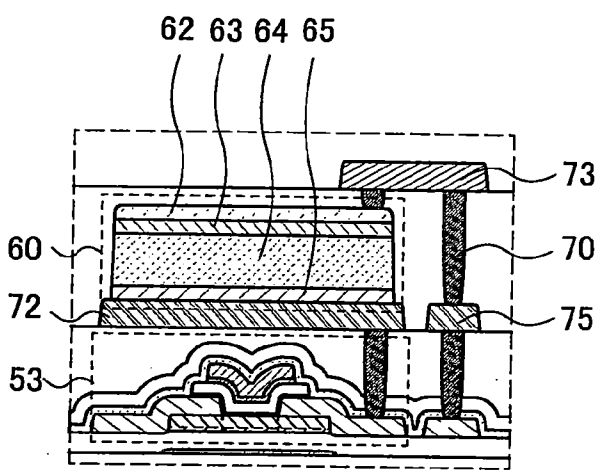


圖 3B

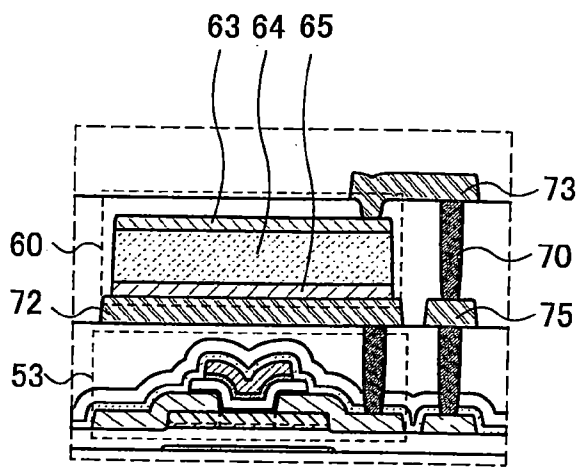


圖 3C

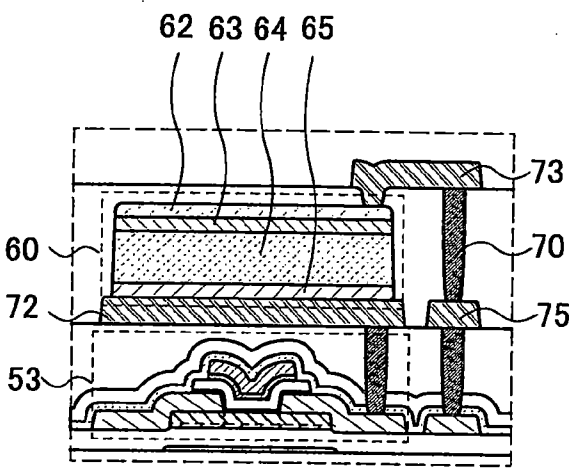


圖 3D

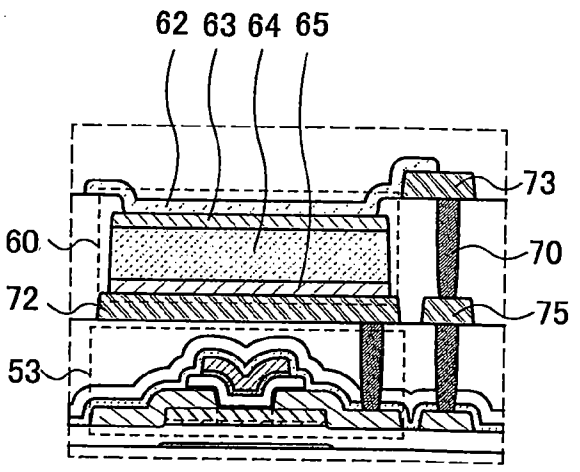


圖 3E

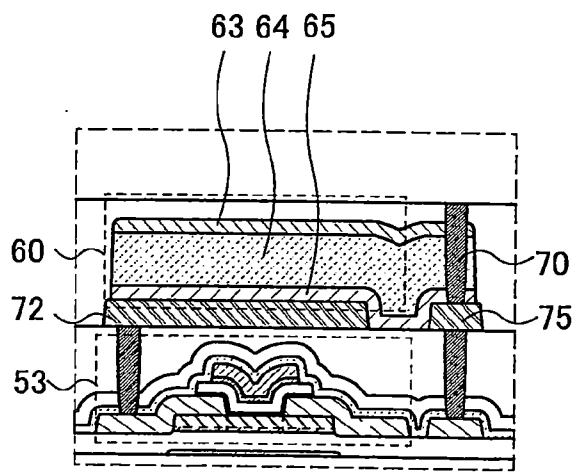


圖 3F

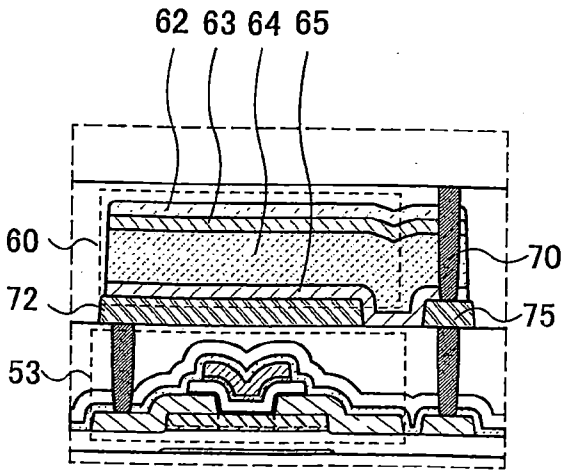


圖 4A

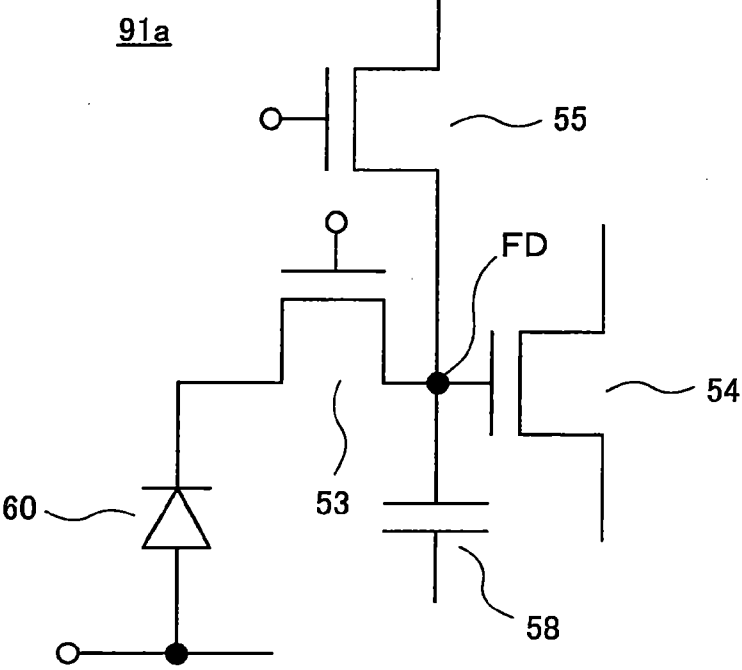
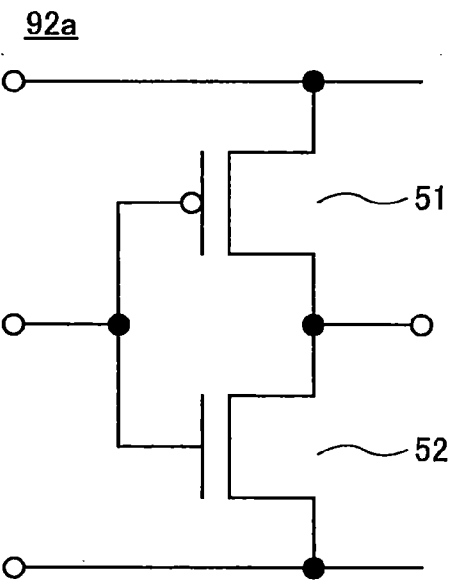


圖 4B



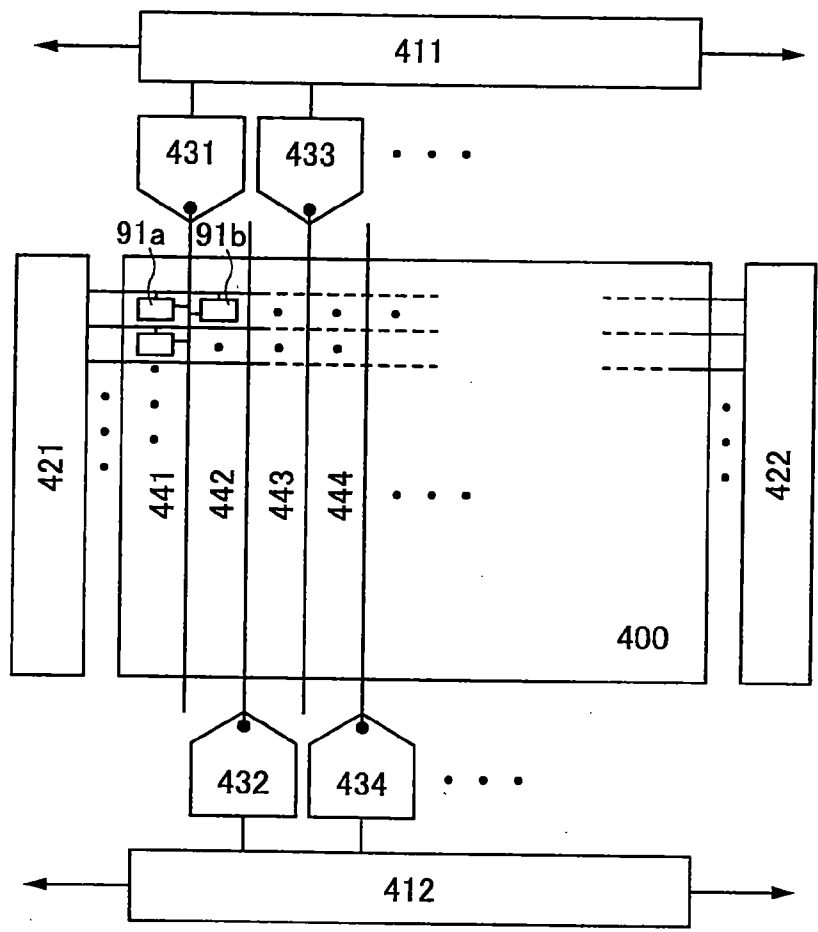


圖 5

圖 6A

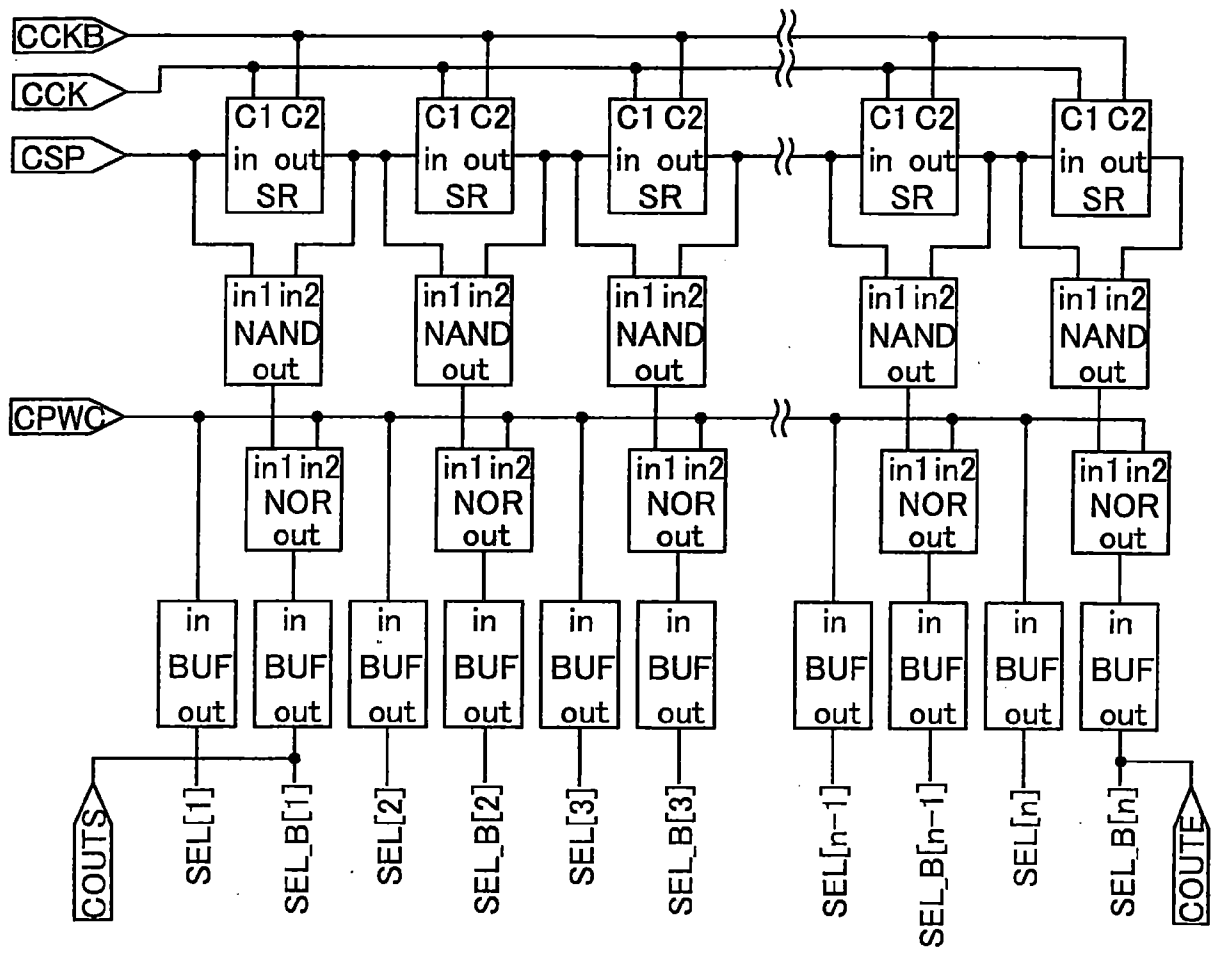


圖 6B

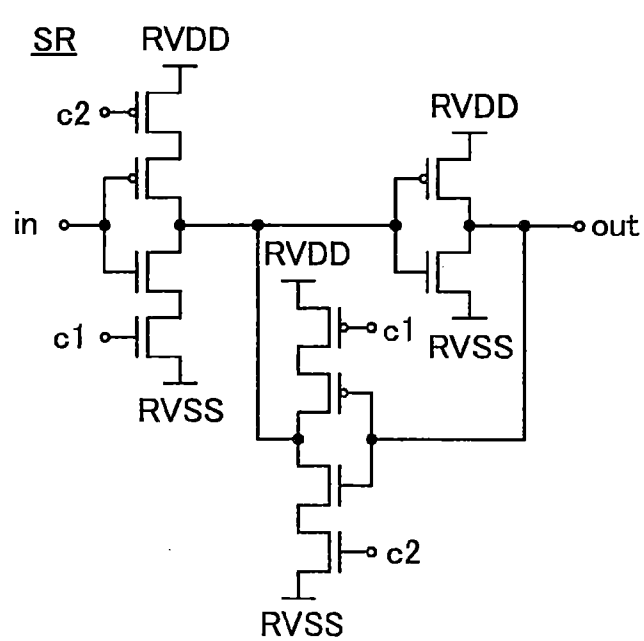


圖 6C

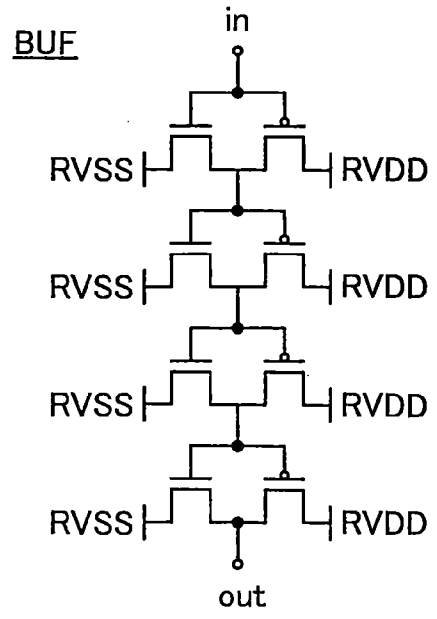


圖 7

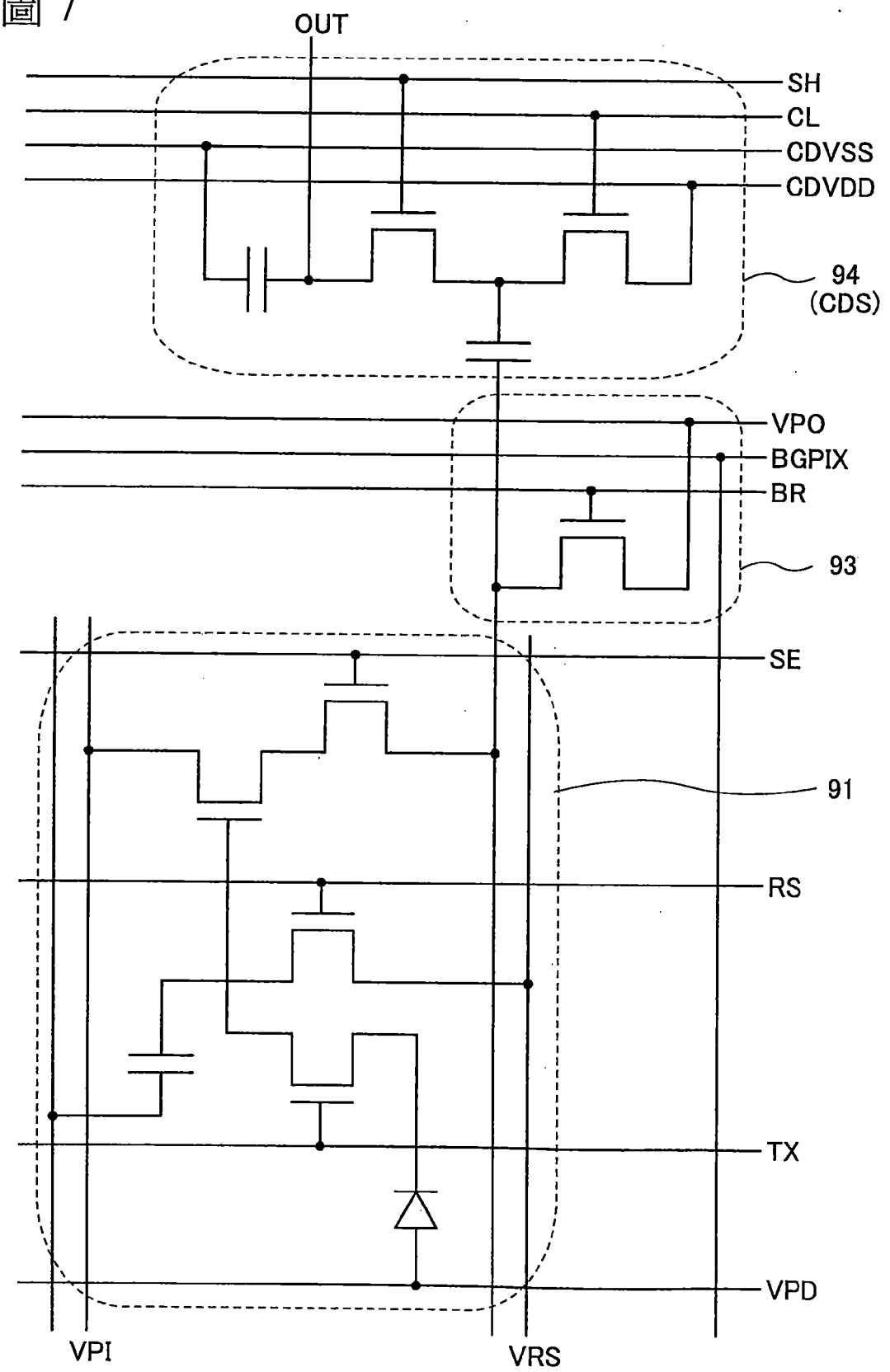


圖 8A

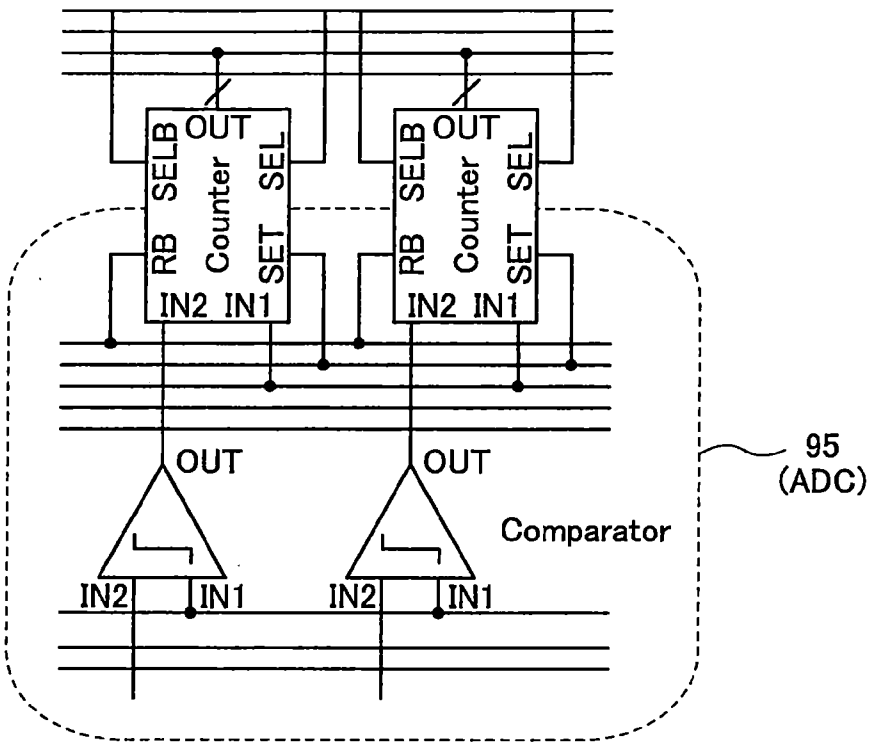


圖 8B

比較器

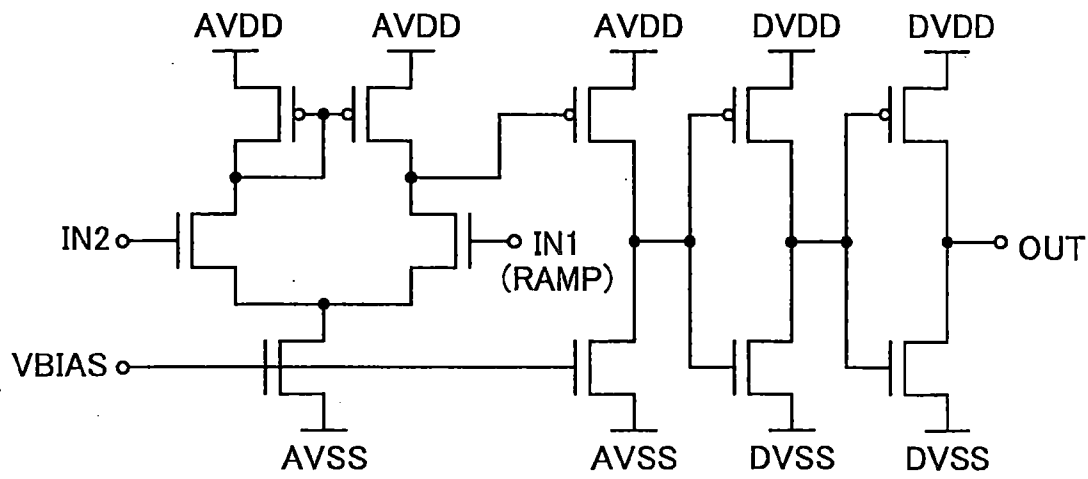


圖 9A

計數器

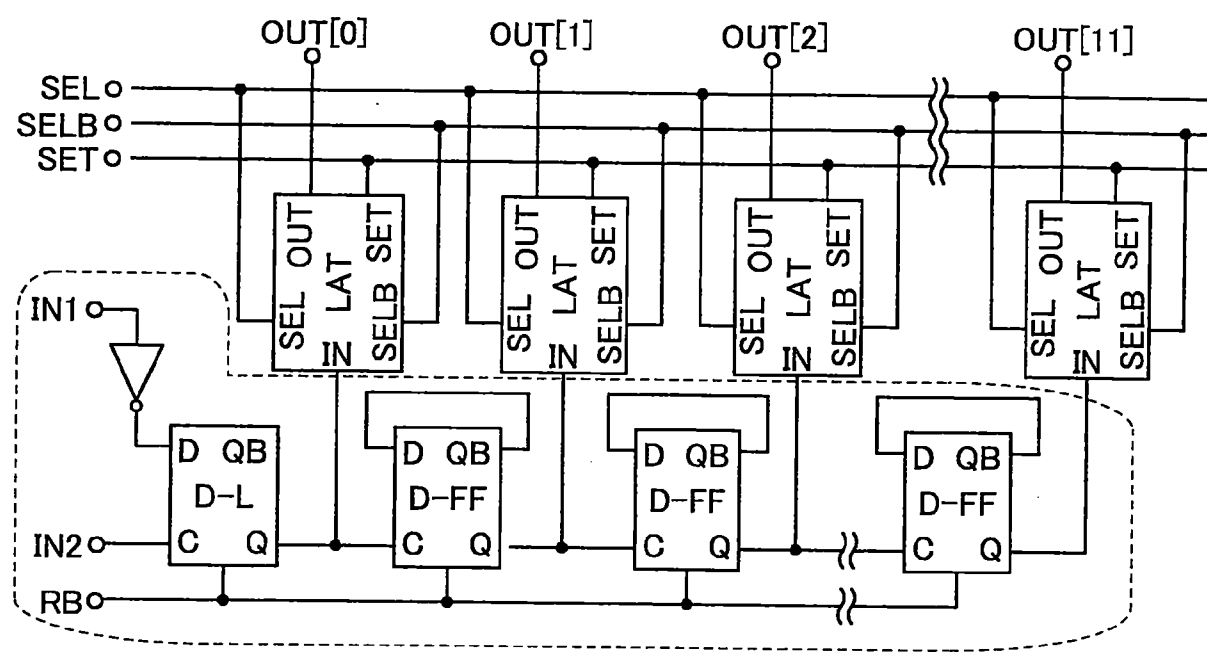


圖 9B

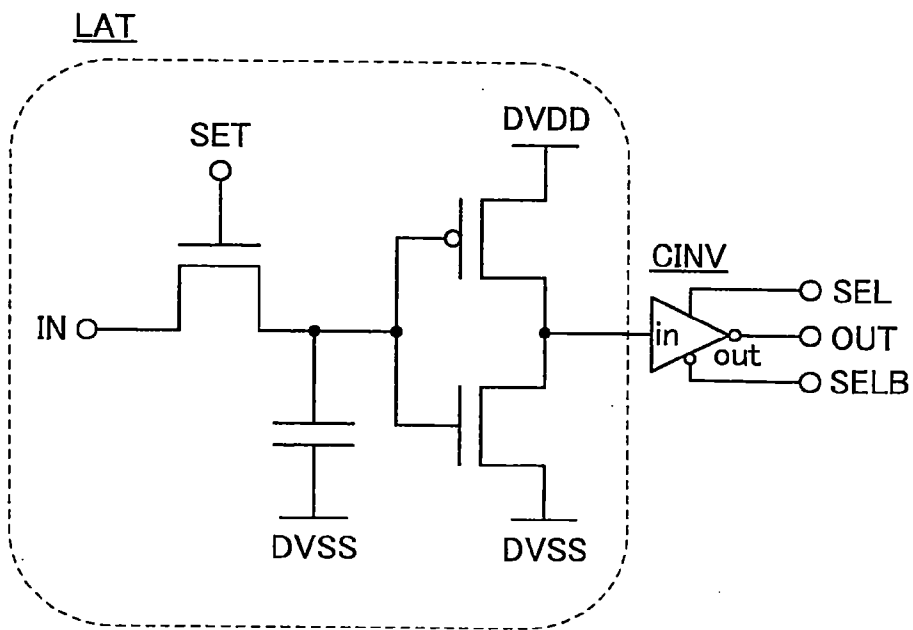


圖 10

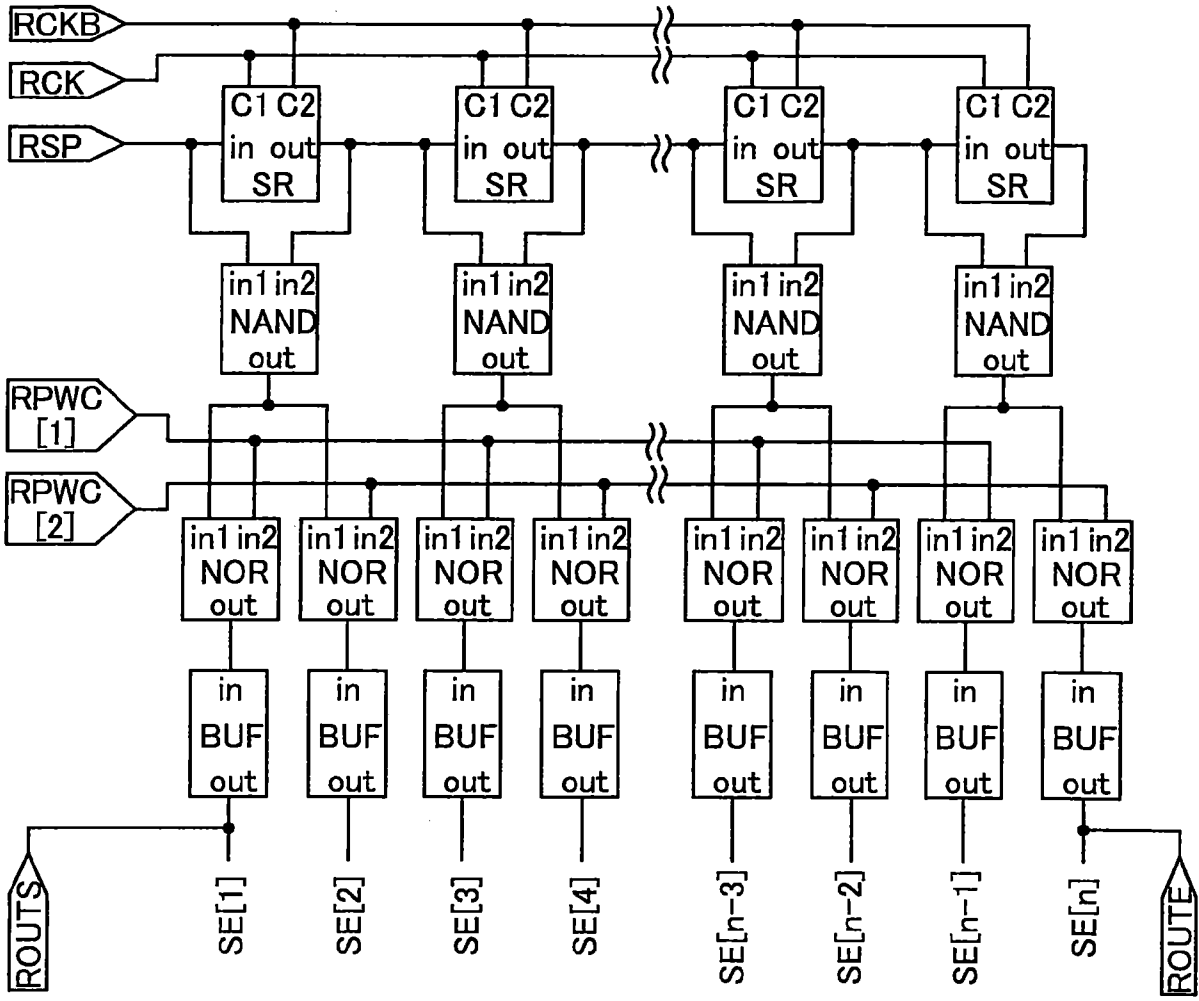


圖 11A

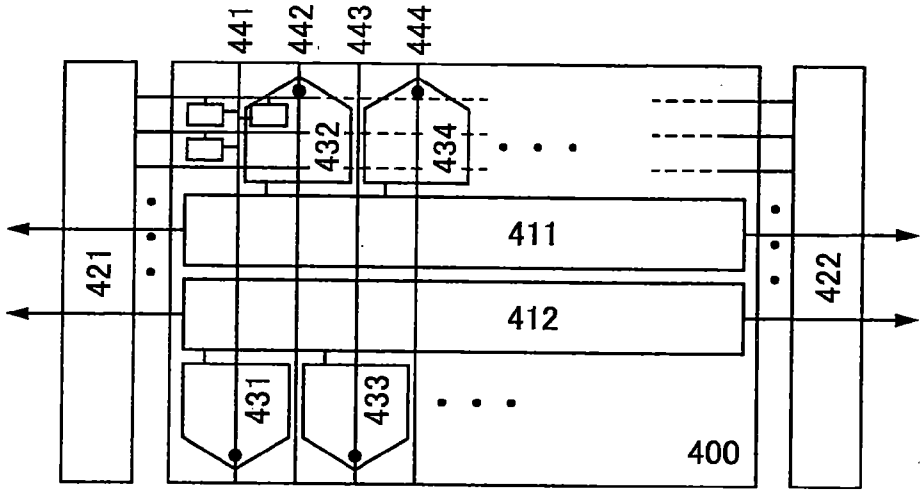
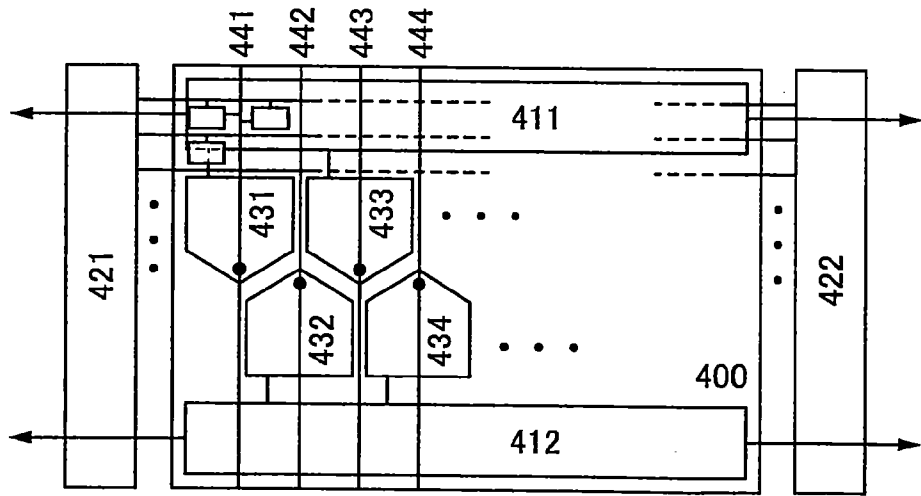


圖 11B



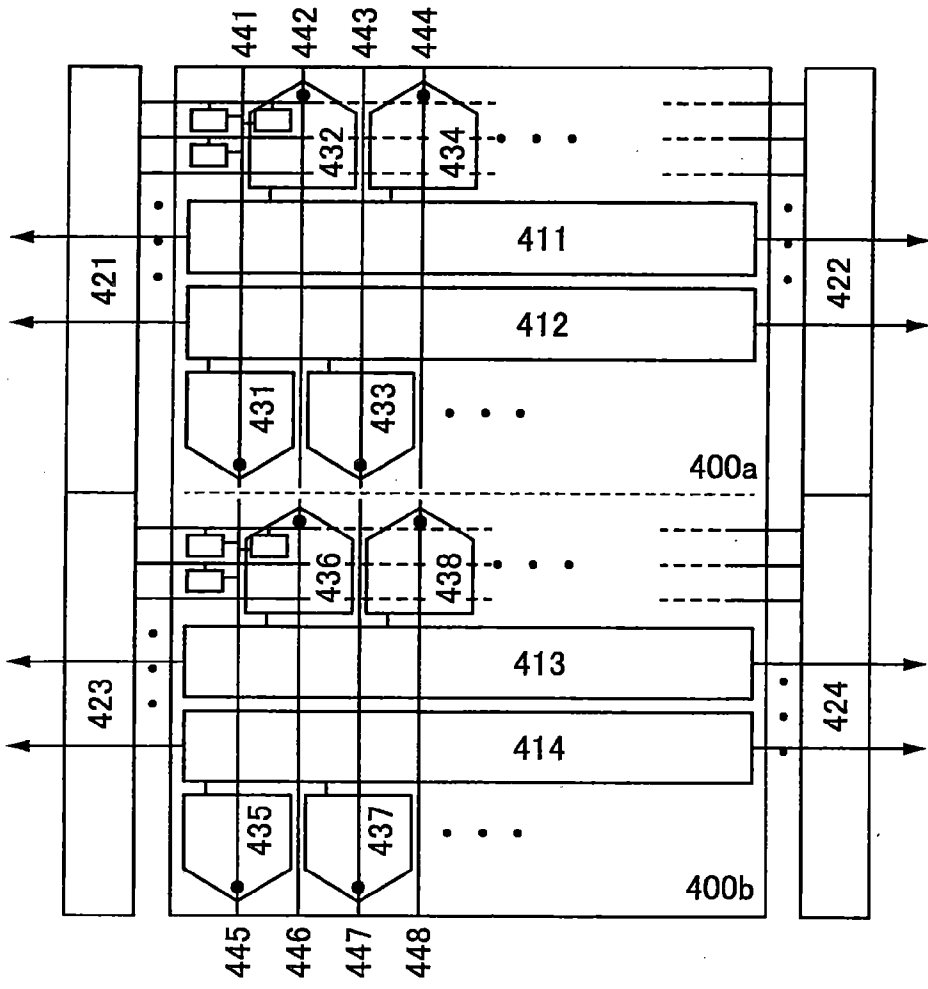


圖 12

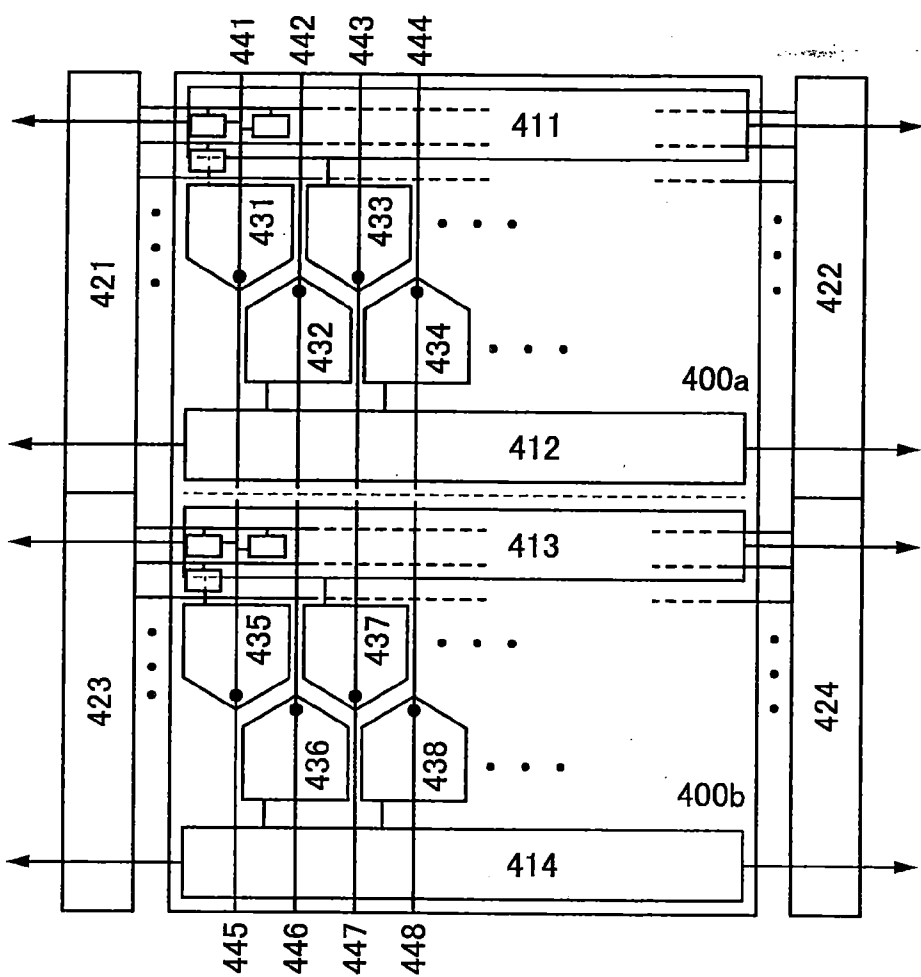


圖 13

圖 14A

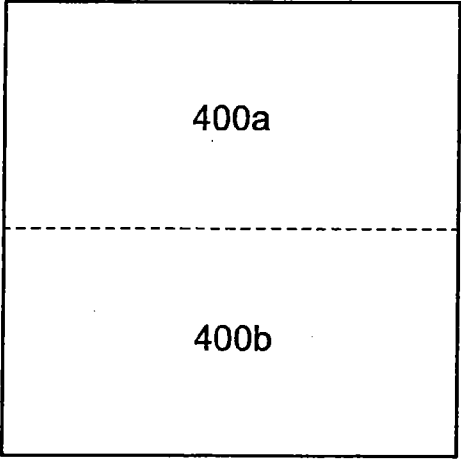


圖 14B

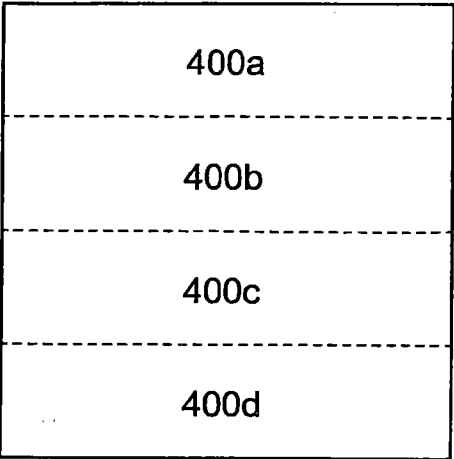


圖 14C

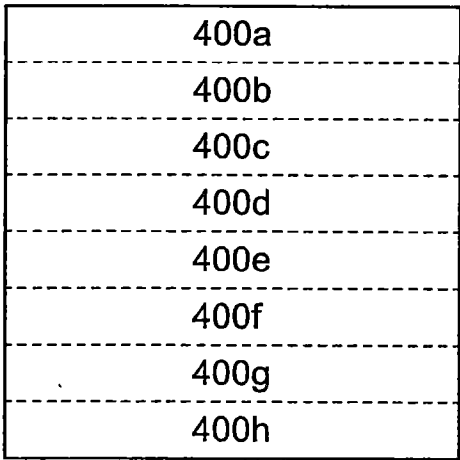
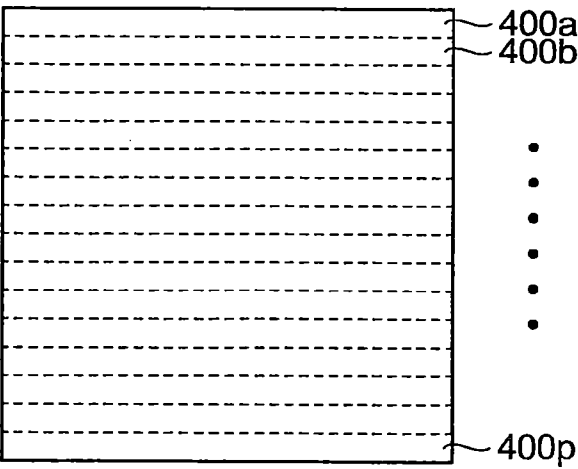
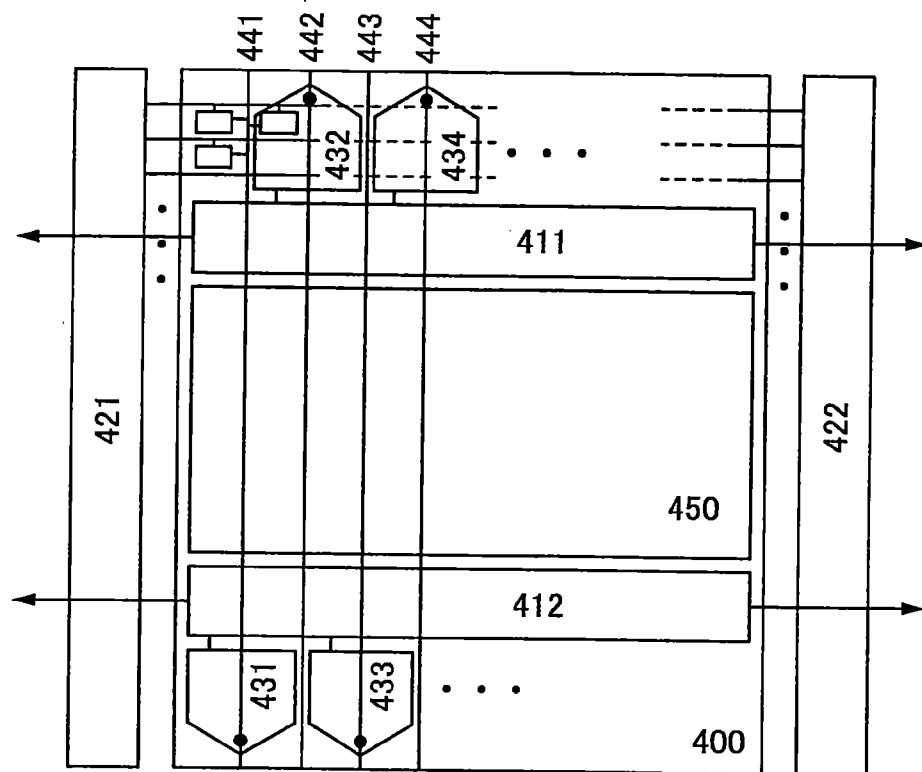


圖 14D



15
圖

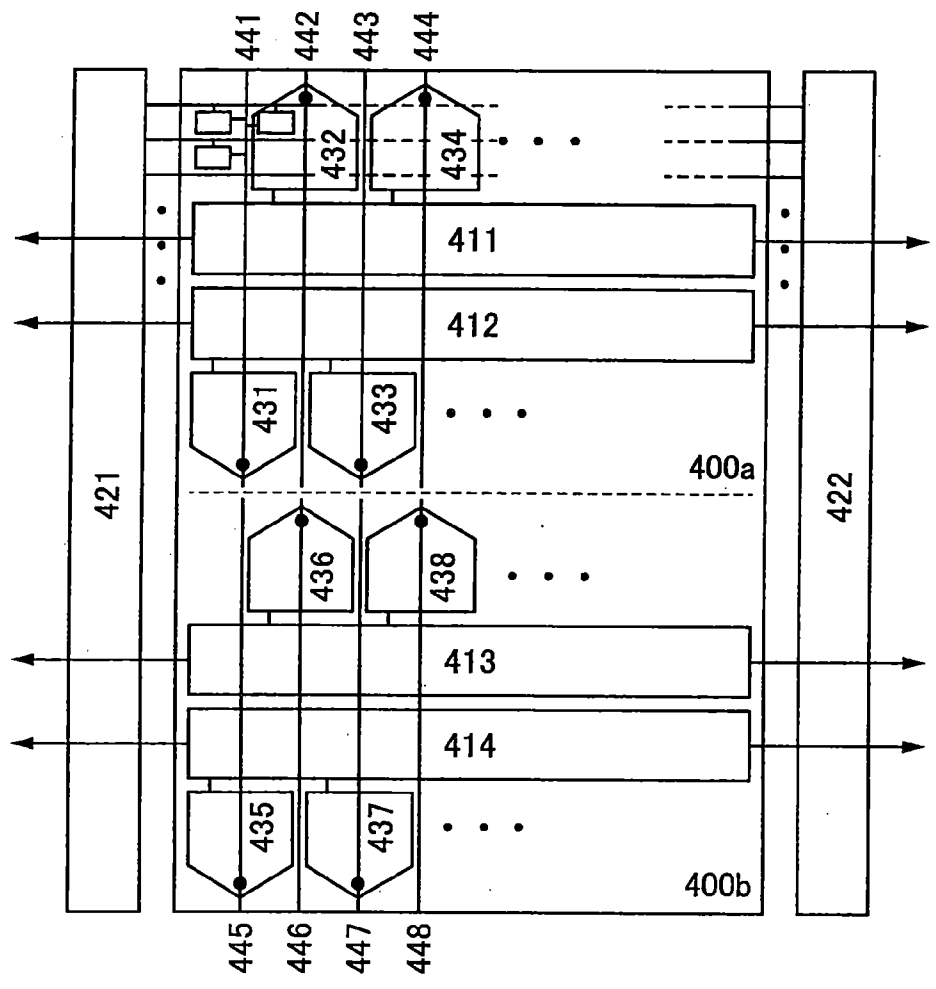


圖 16

圖 17

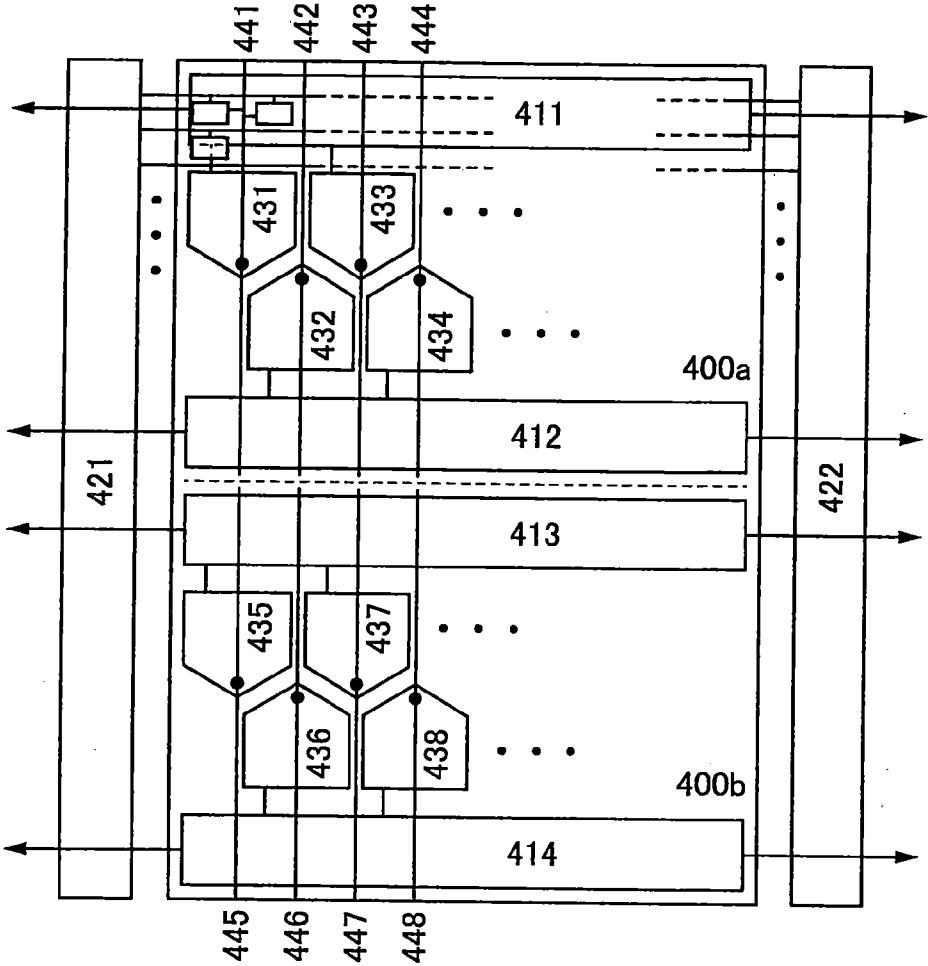


圖 18A

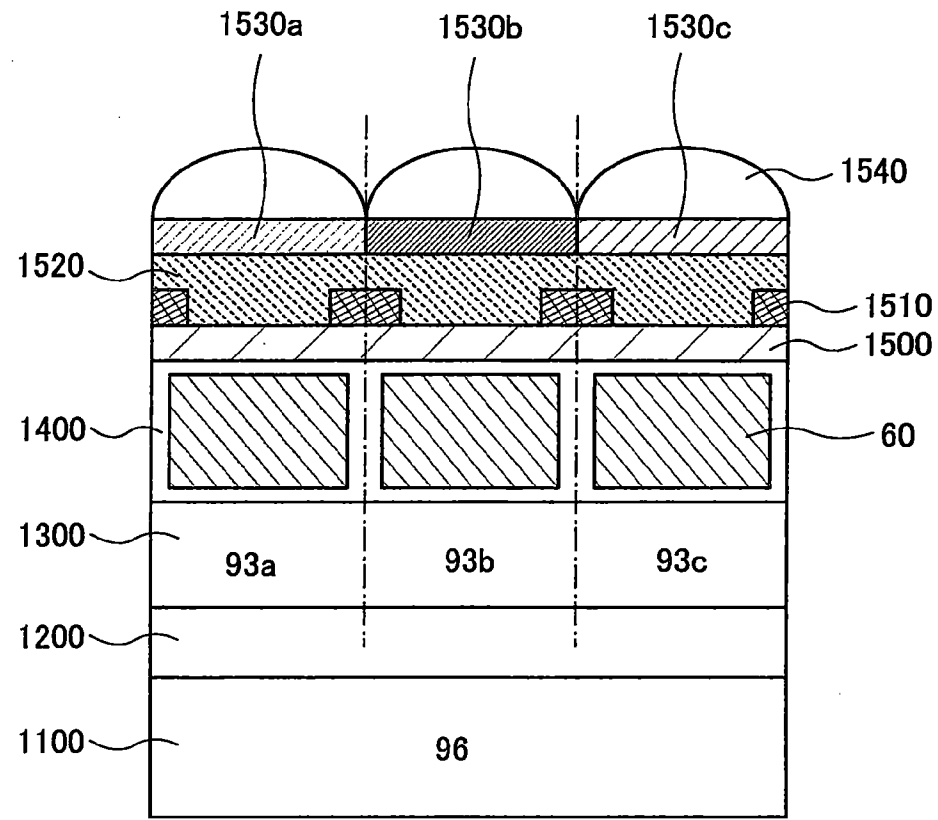


圖 18B

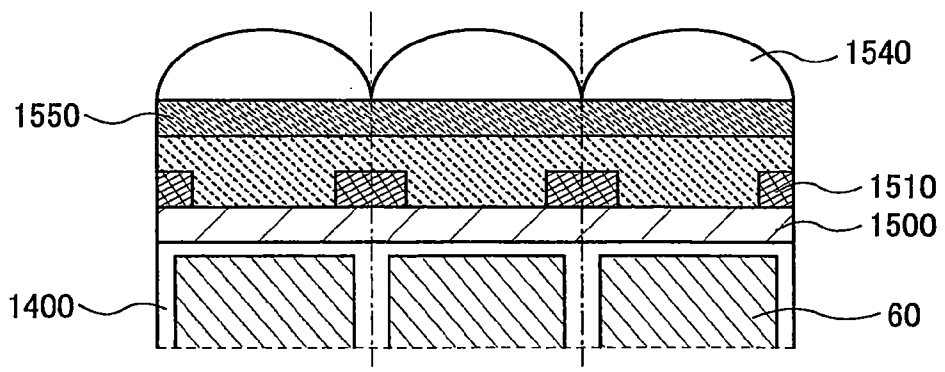


圖 19A1

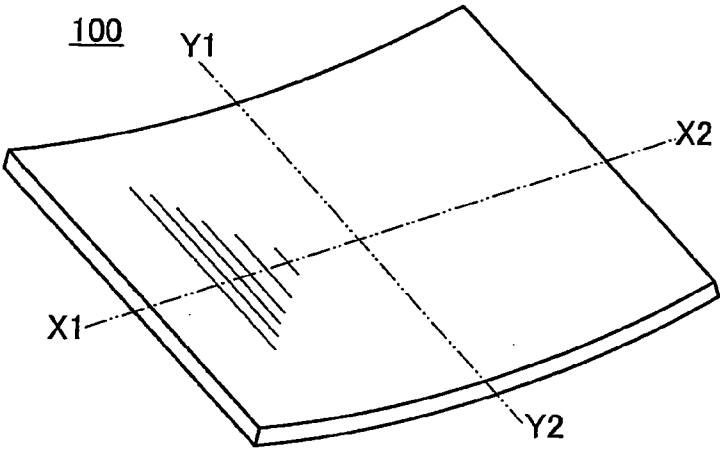


圖 19A2

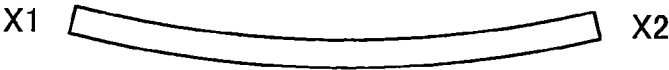


圖 19A3

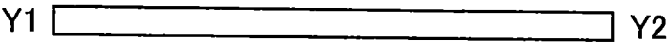


圖 19B1

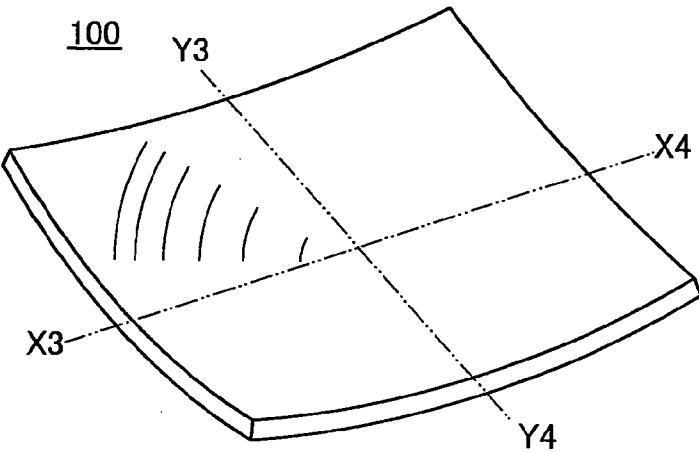


圖 19B2

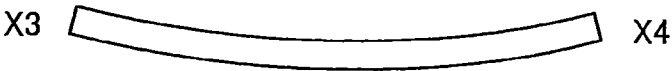


圖 19B3

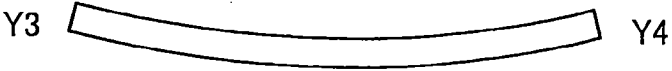


圖 20A

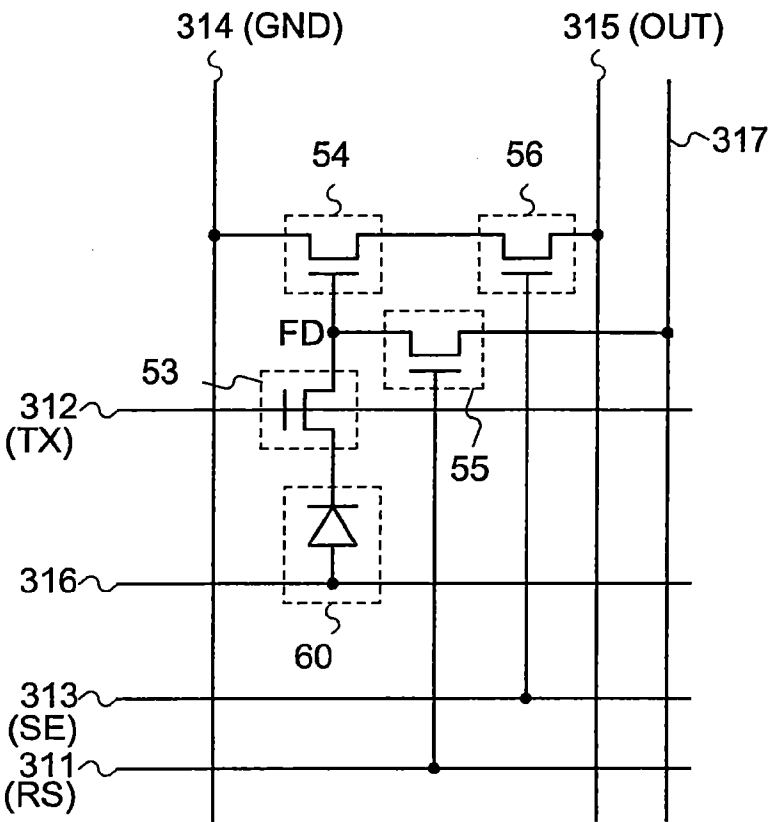


圖 20B

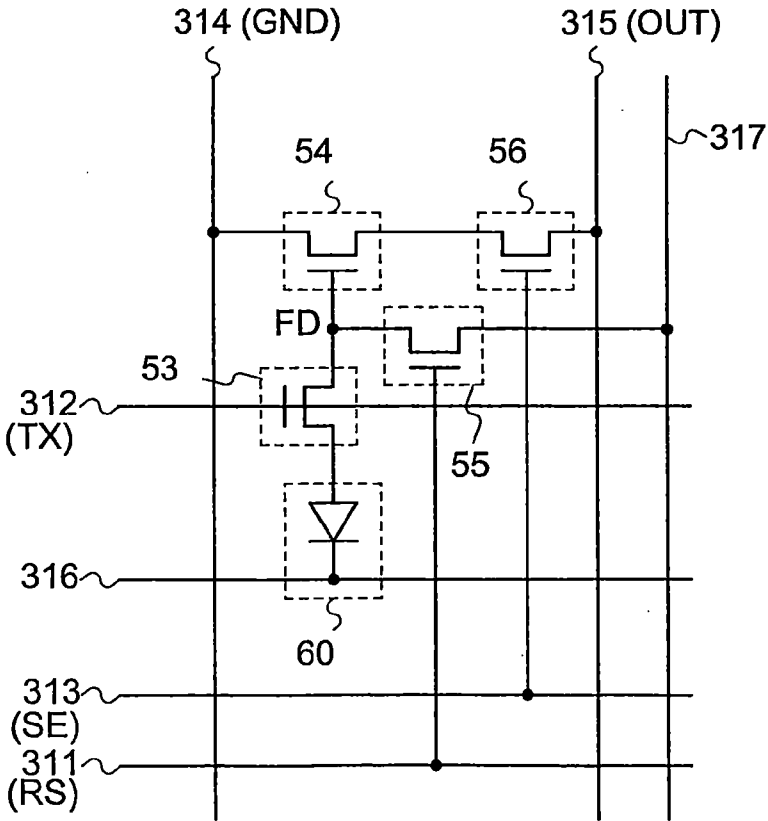


圖 21A

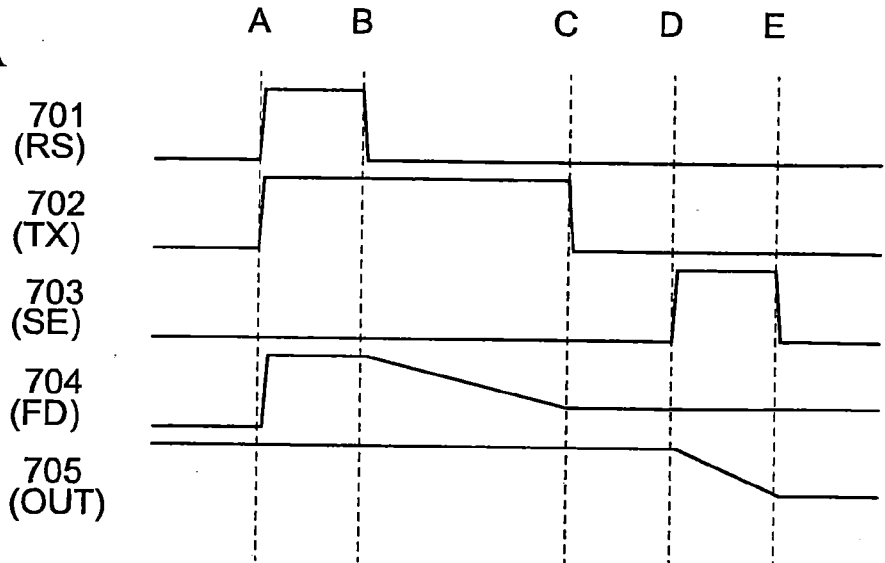


圖 21B

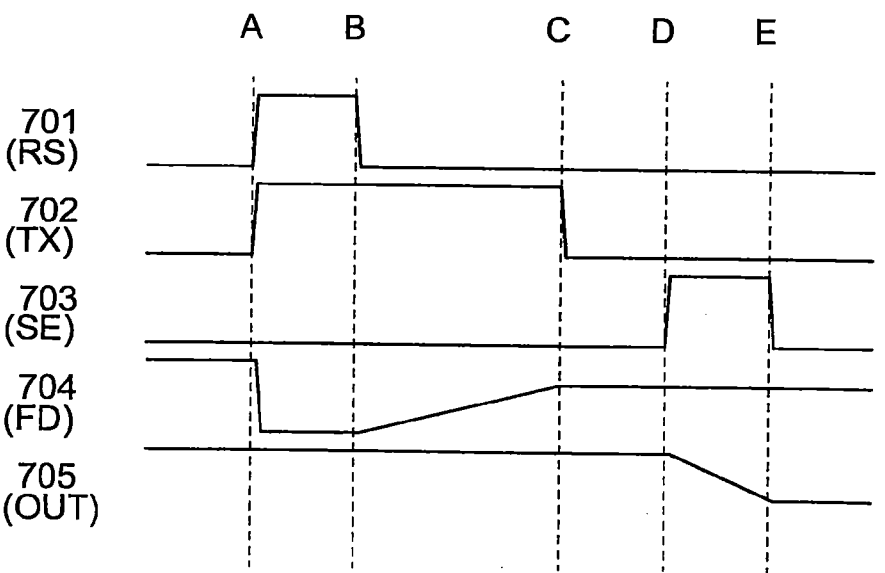


圖 21C

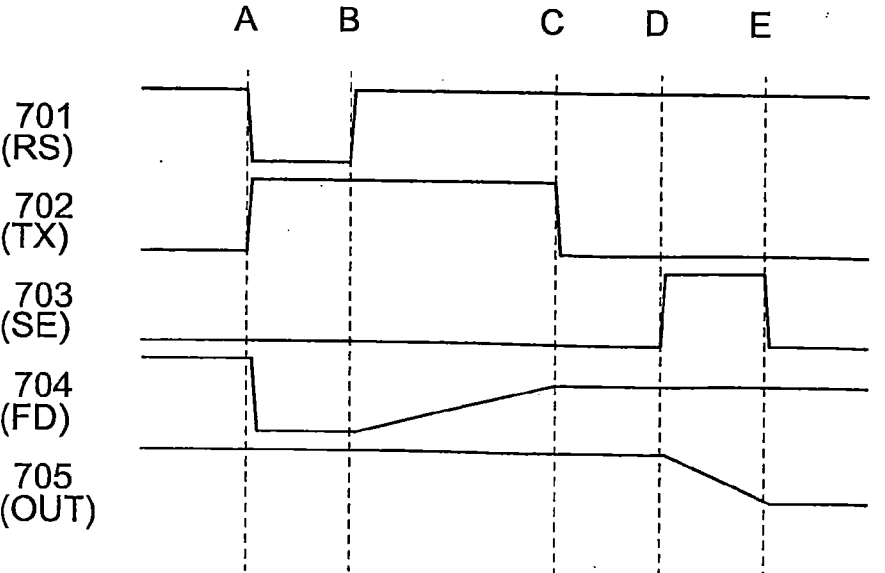


圖 22A

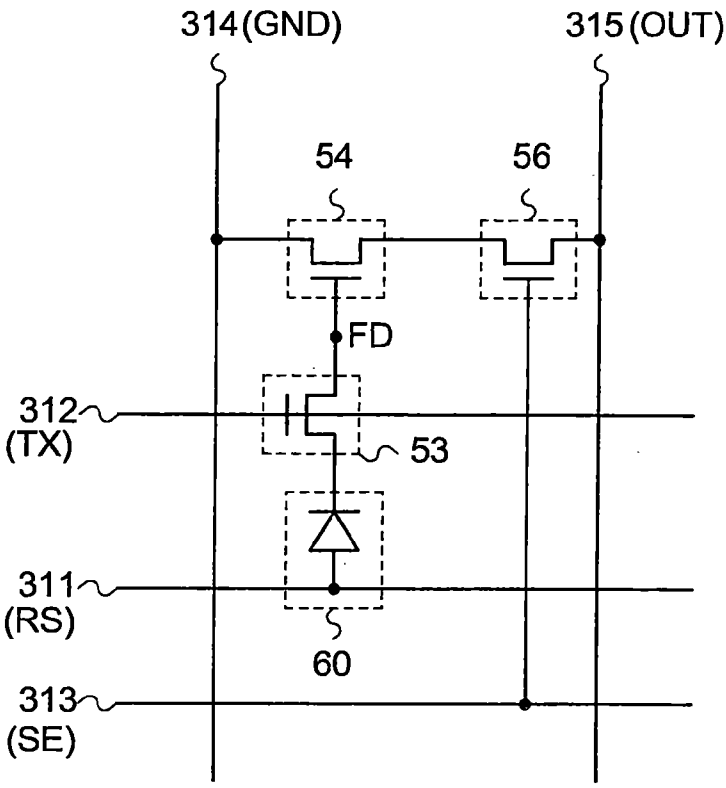


圖 22B

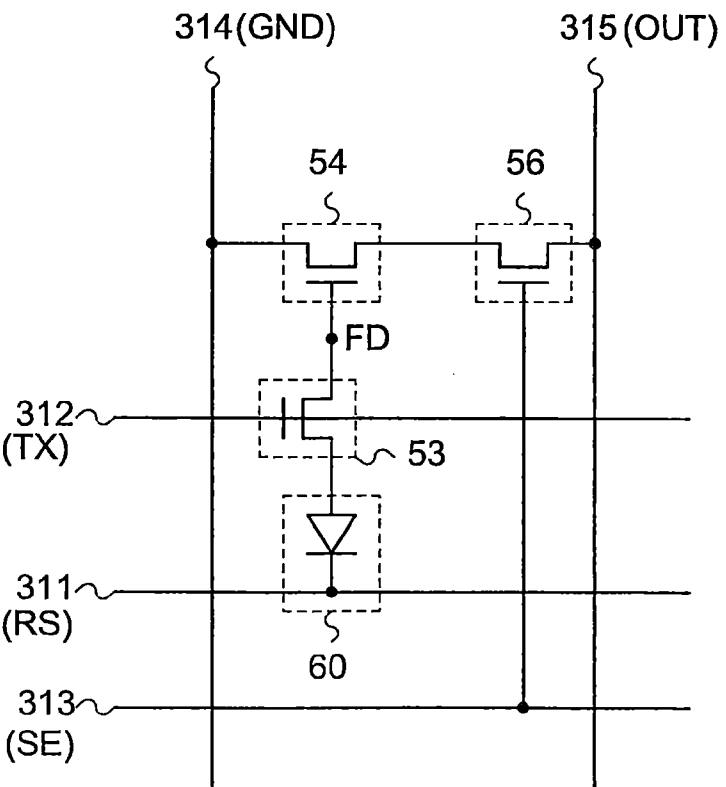


圖 23A

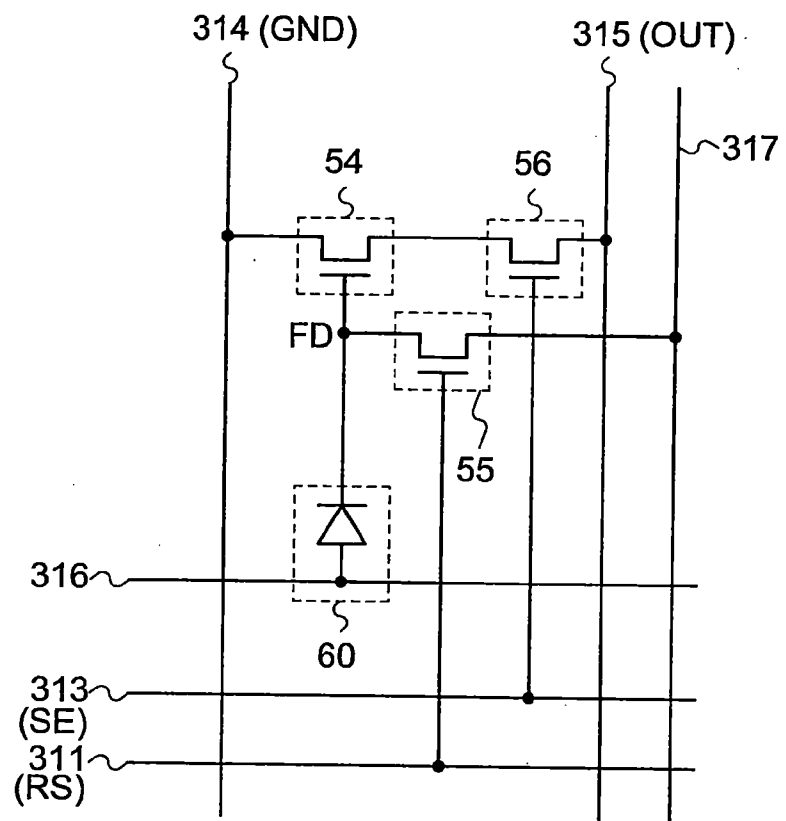


圖 23B

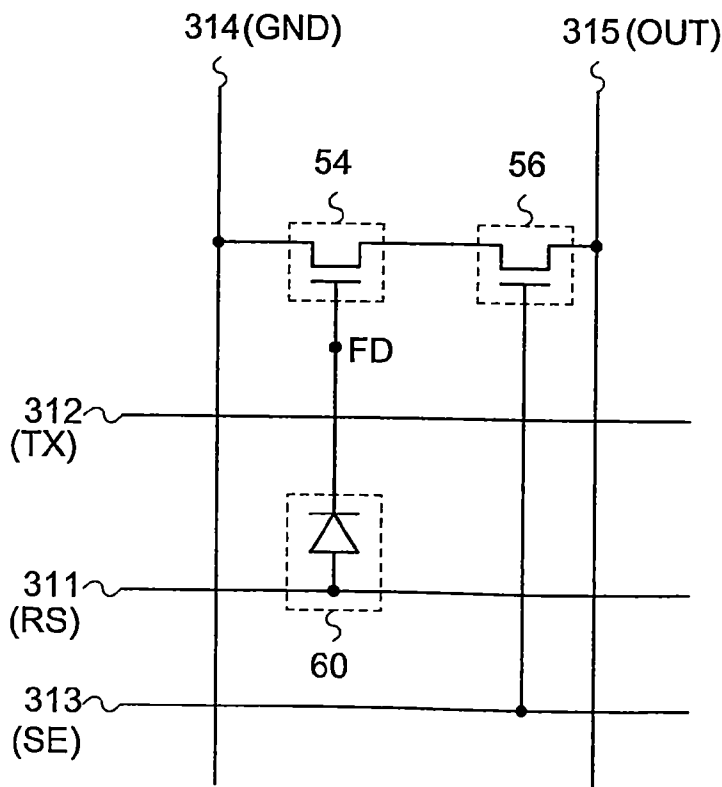


圖 25A

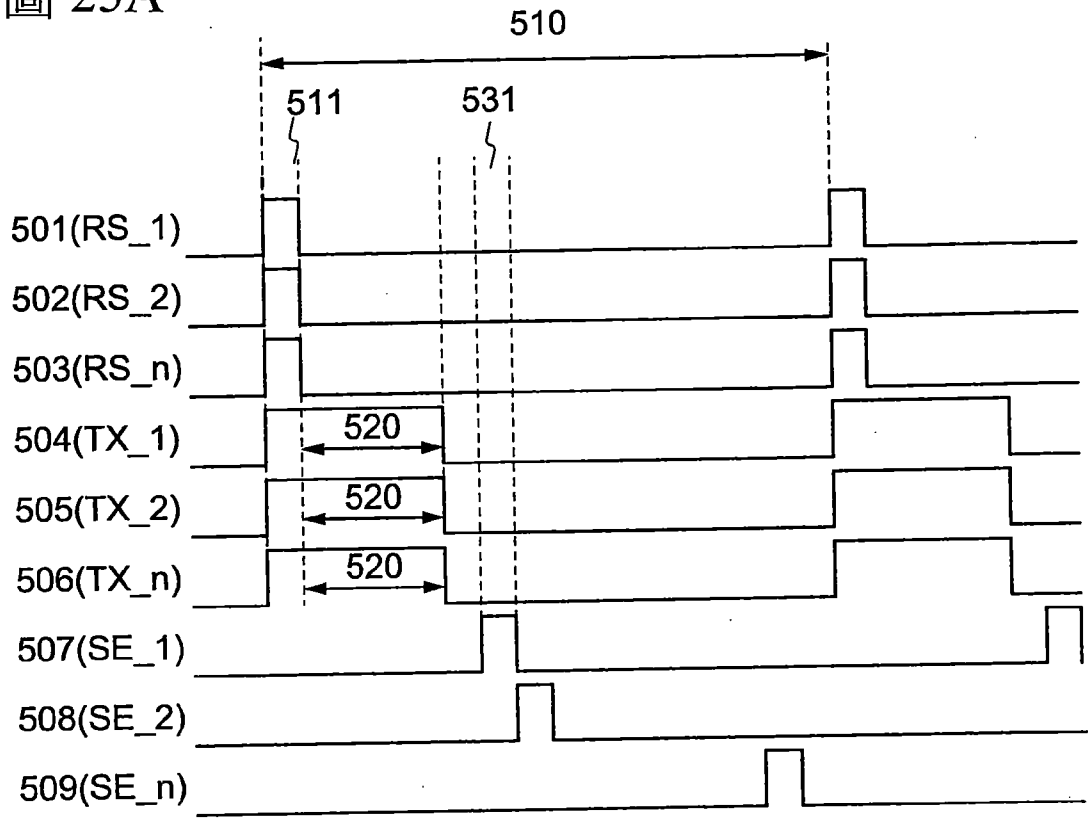


圖 25B

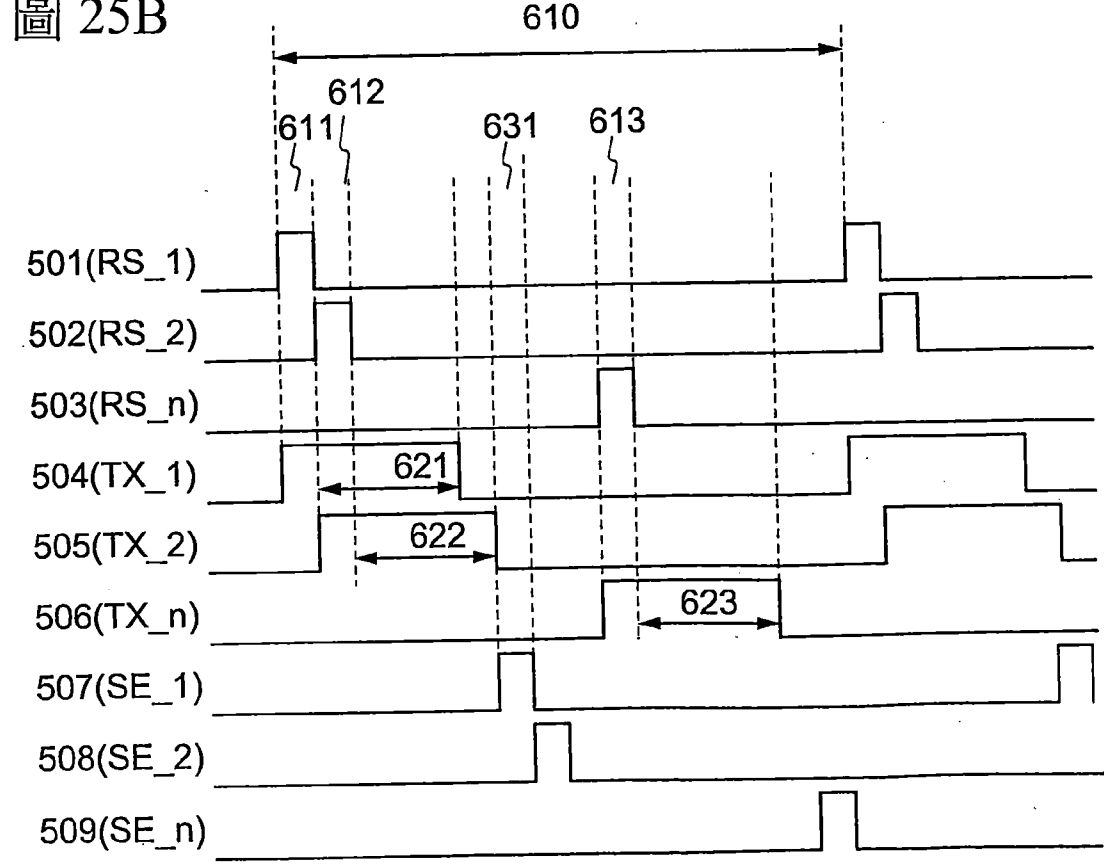


圖 26A

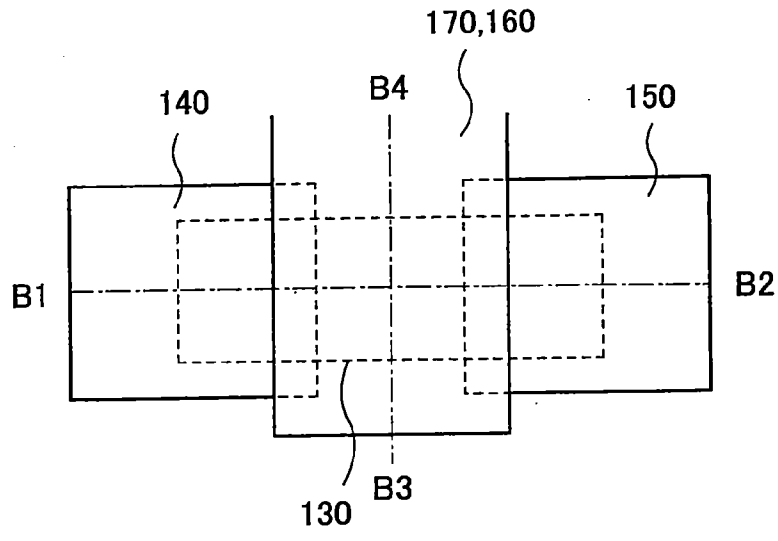


圖 26B

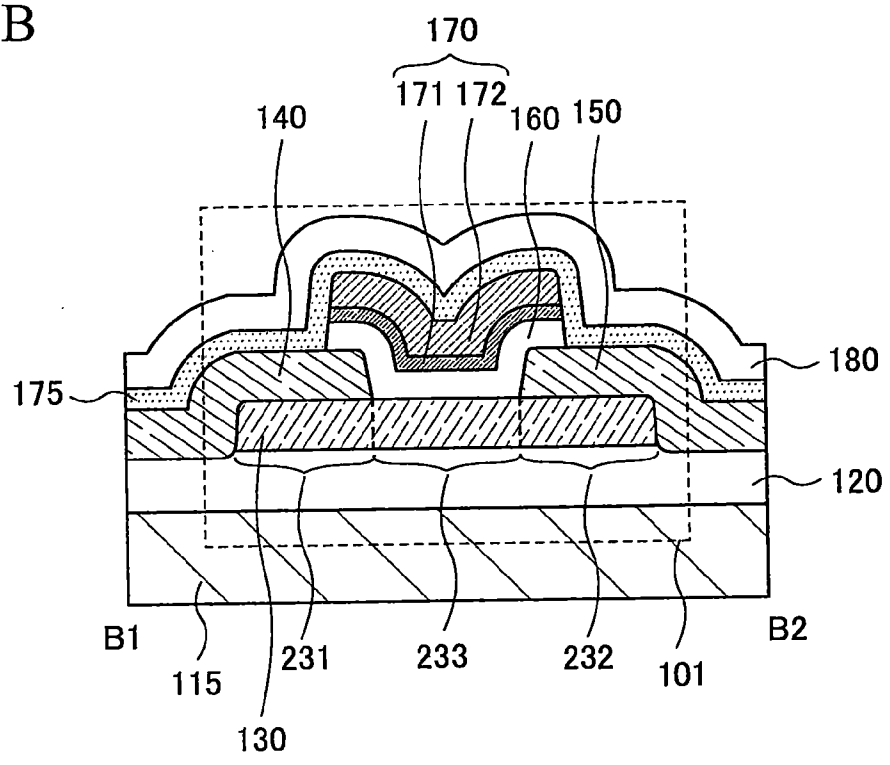


圖 27A

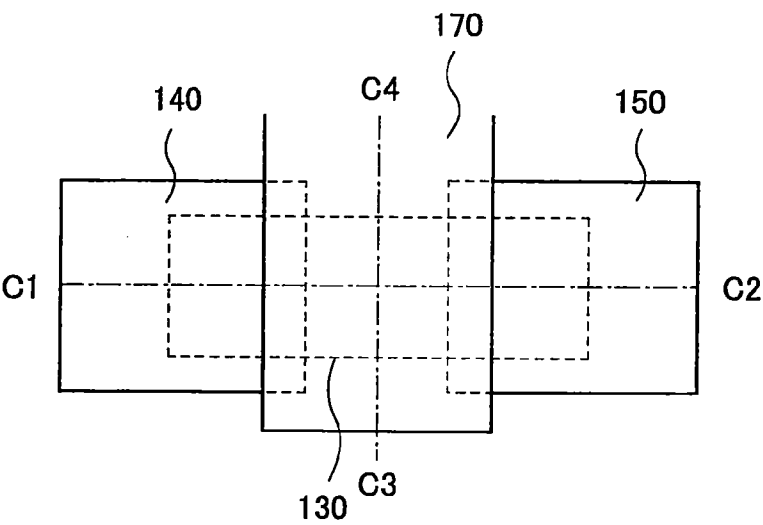


圖 27B

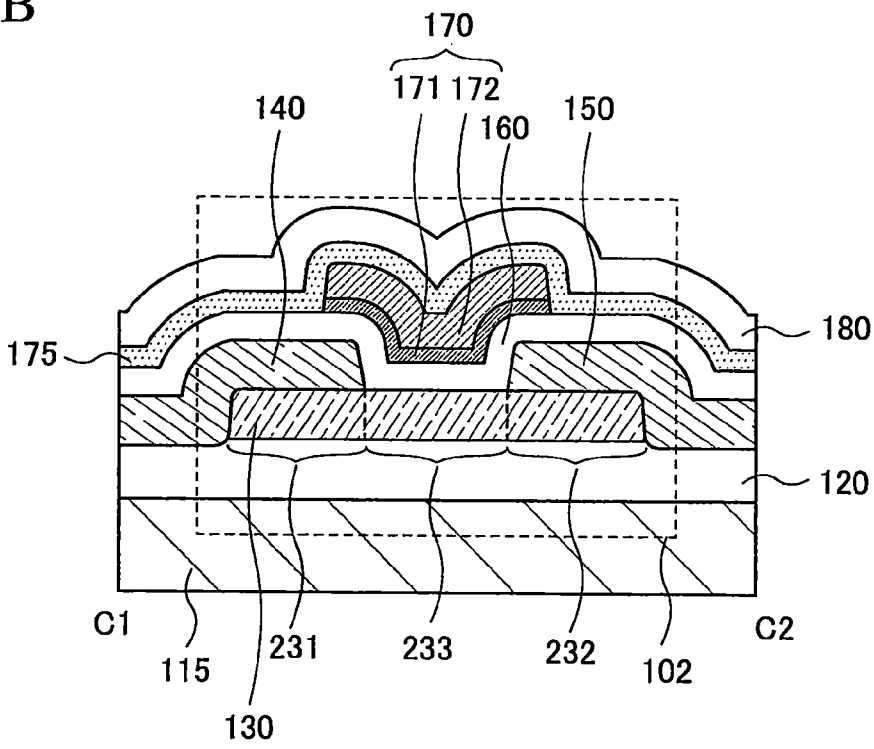


圖 28A

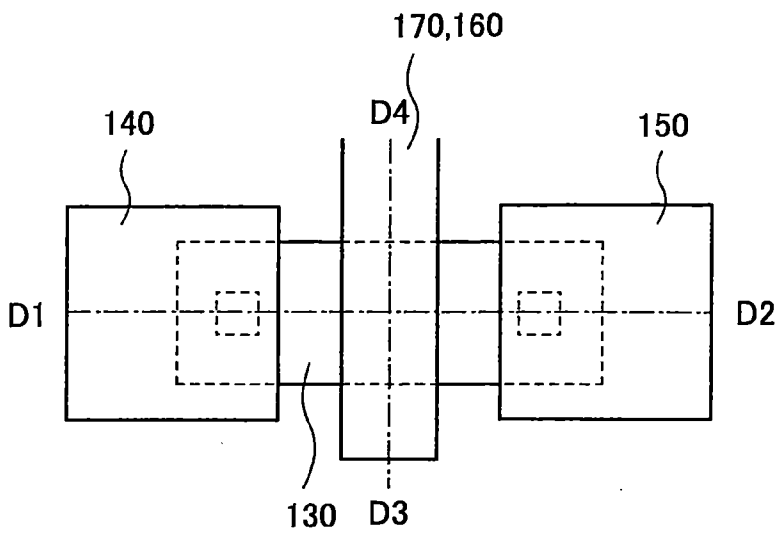


圖 28B

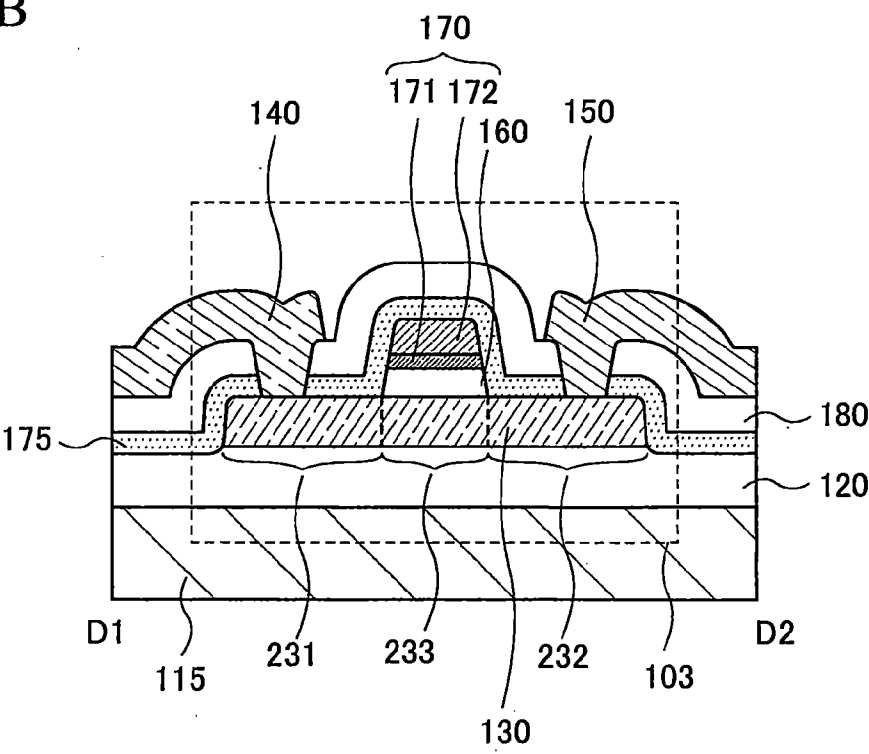


圖 29A

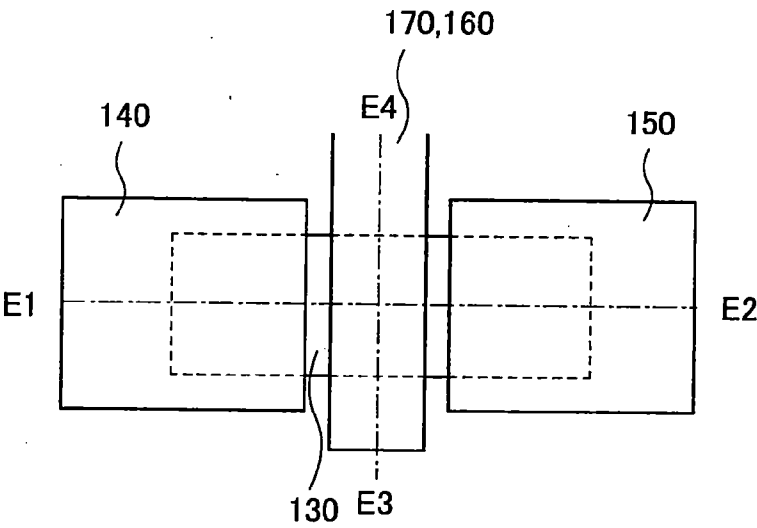


圖 29B

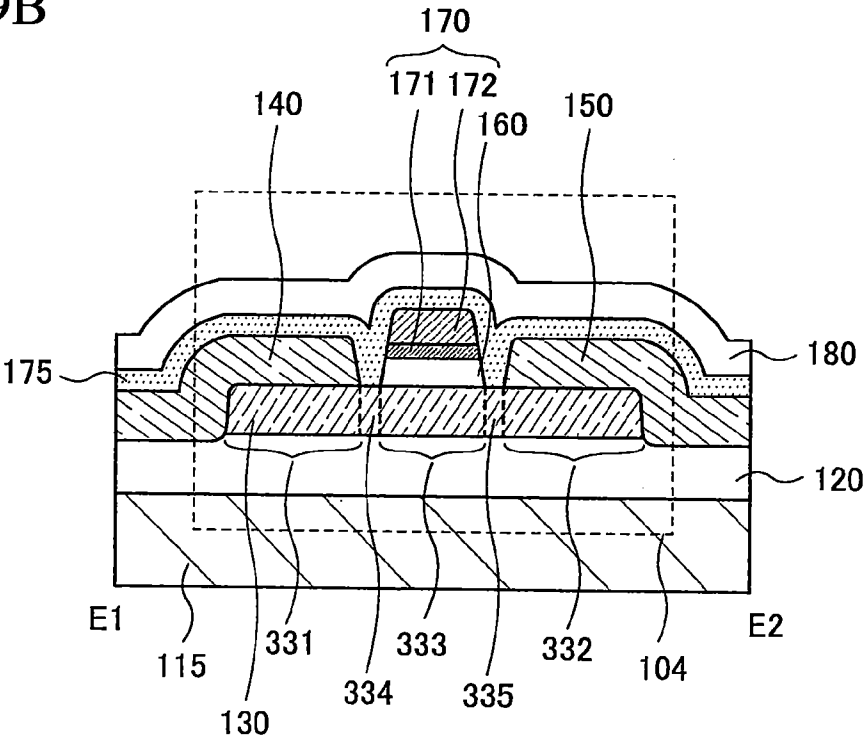


圖 30A

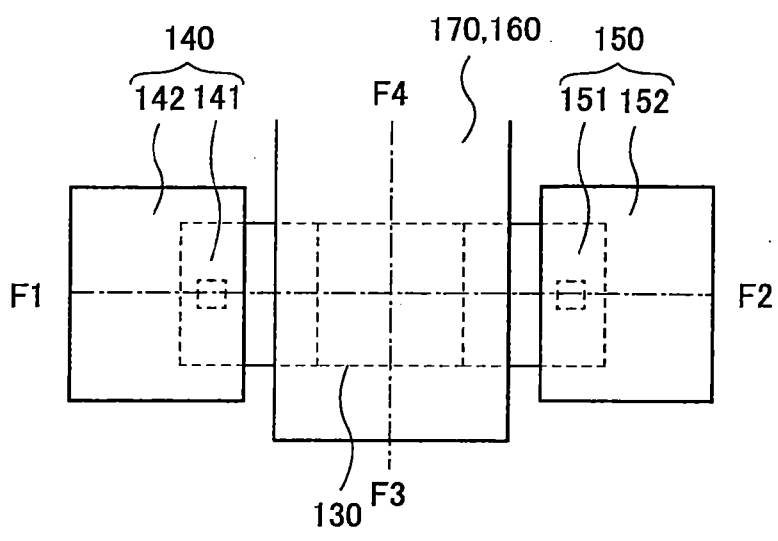


圖 30B

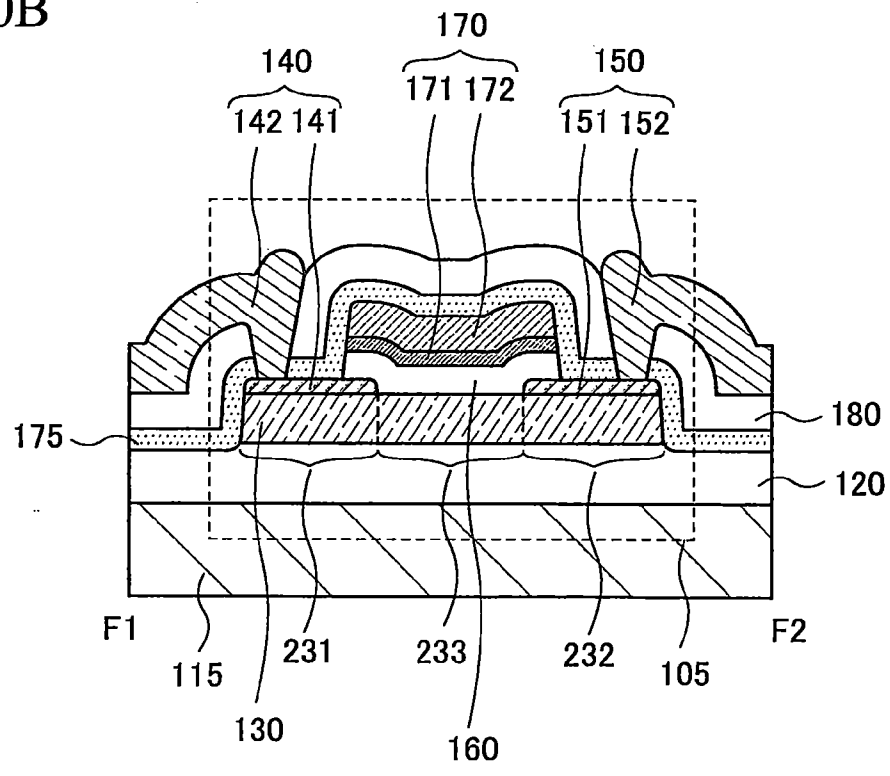


圖 31A

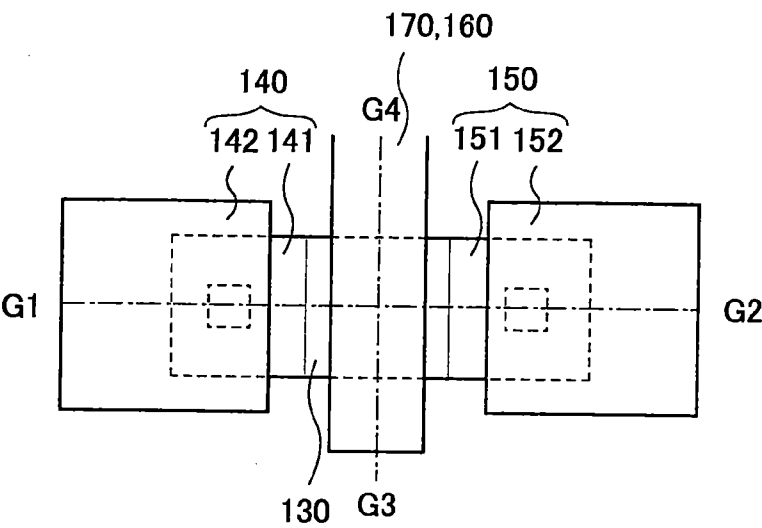


圖 31B

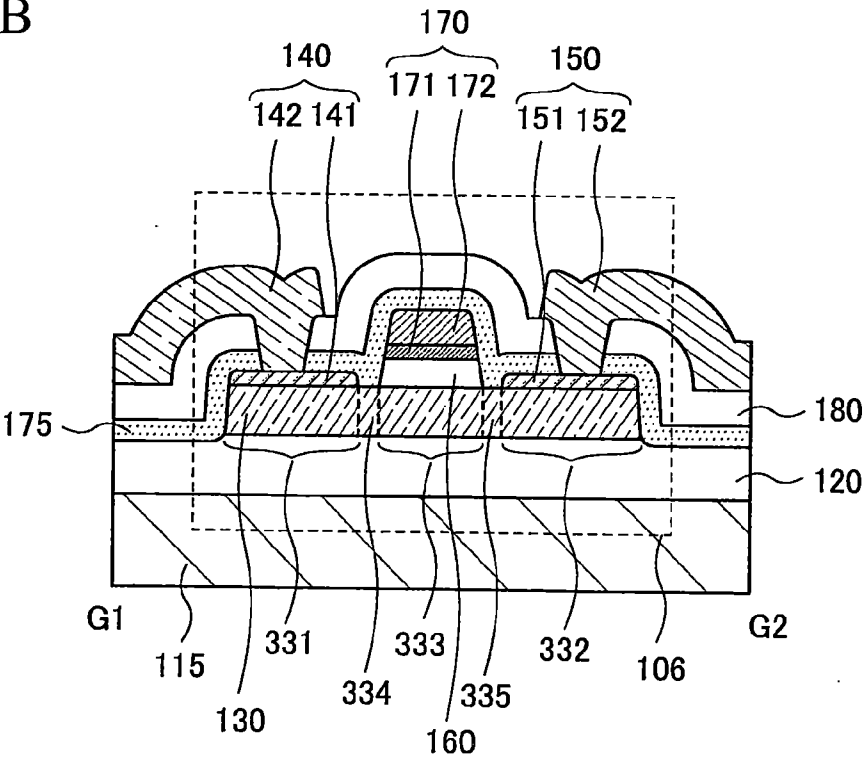


圖 32A

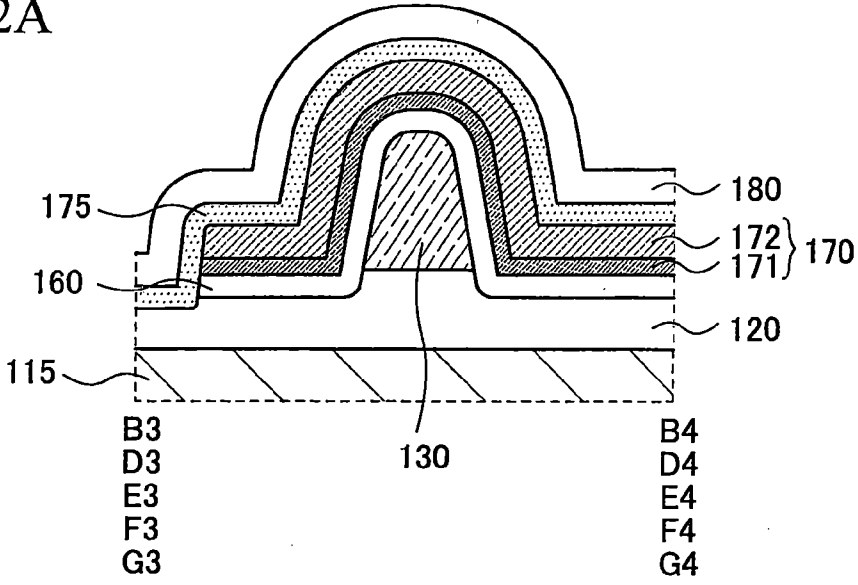


圖 32B

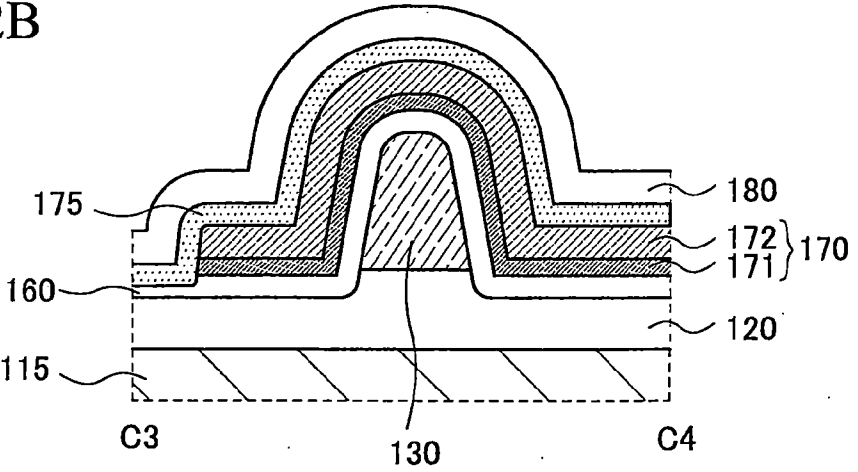


圖 32C

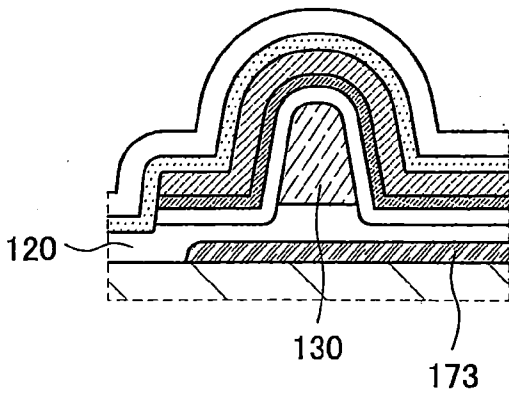


圖 32D

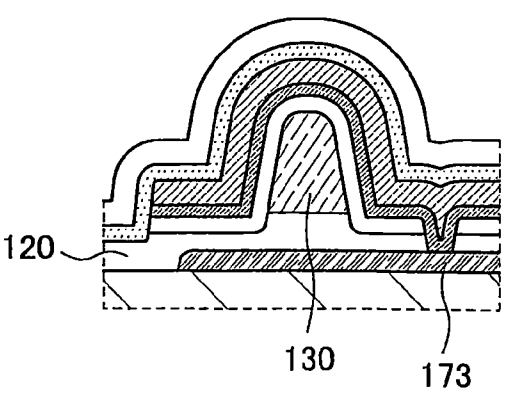


圖 33A

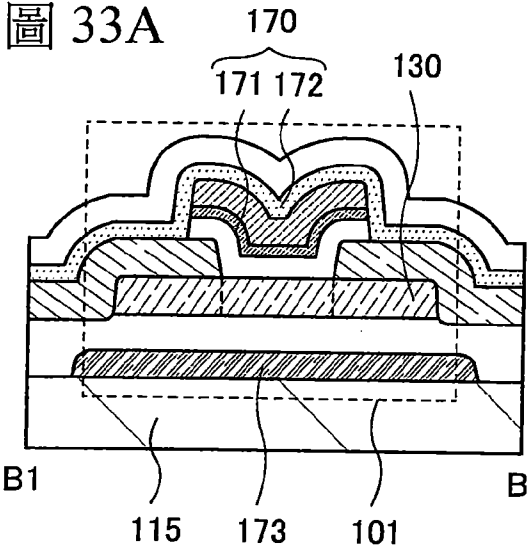


圖 33B

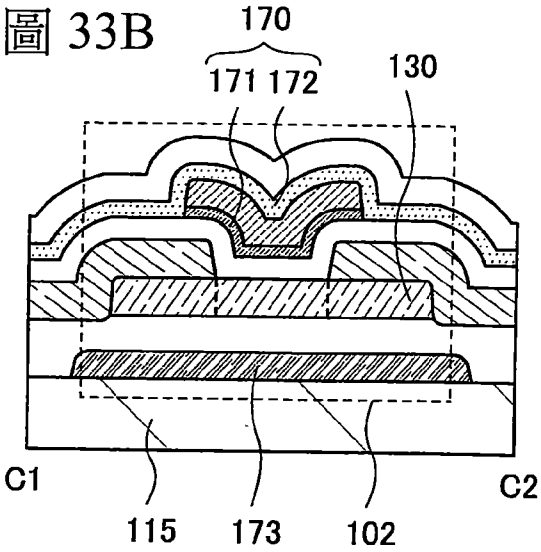


圖 33C

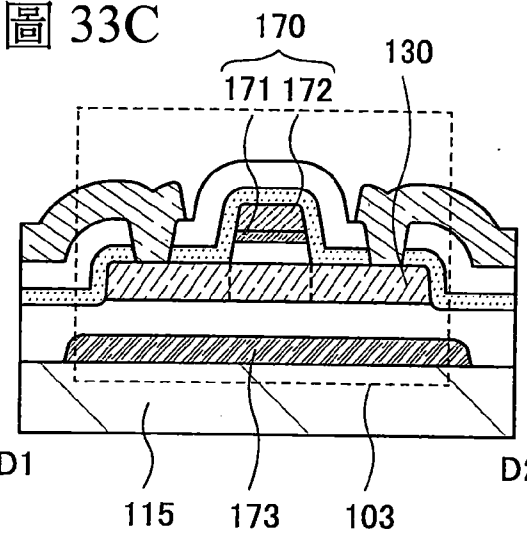


圖 33D

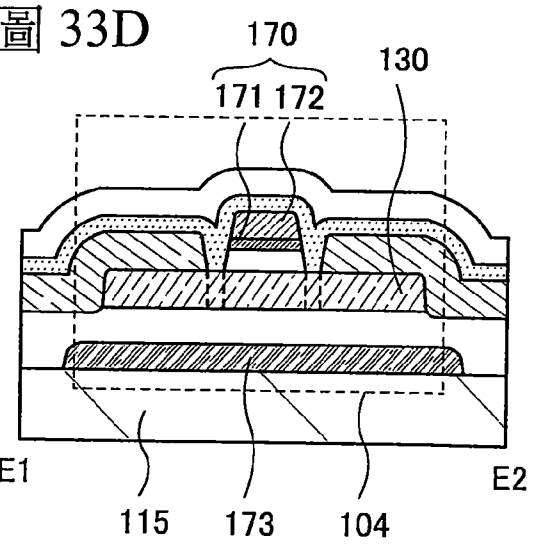


圖 33E

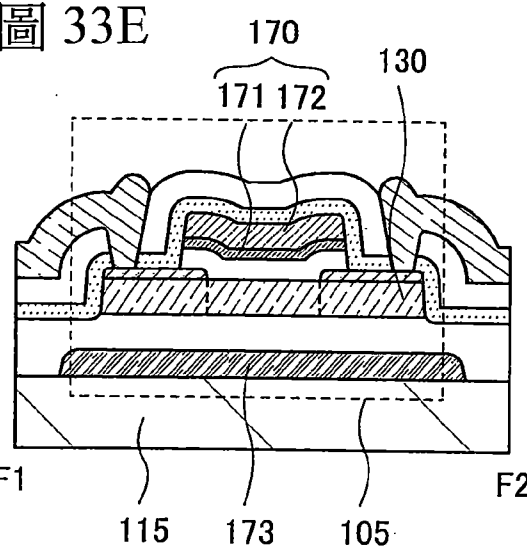


圖 33F

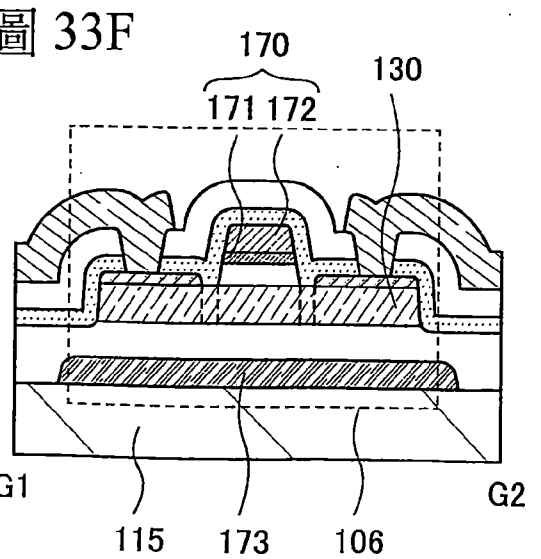


圖 34A

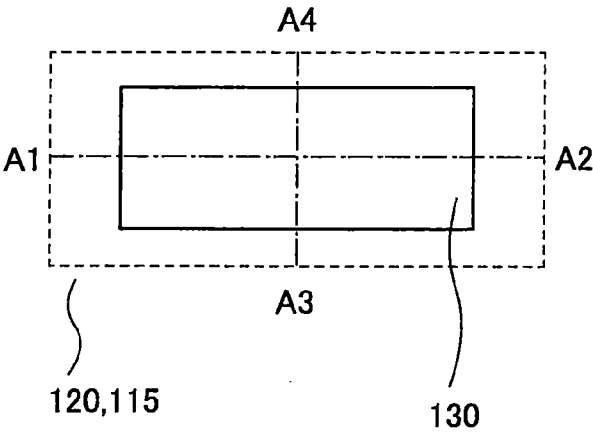


圖 34B

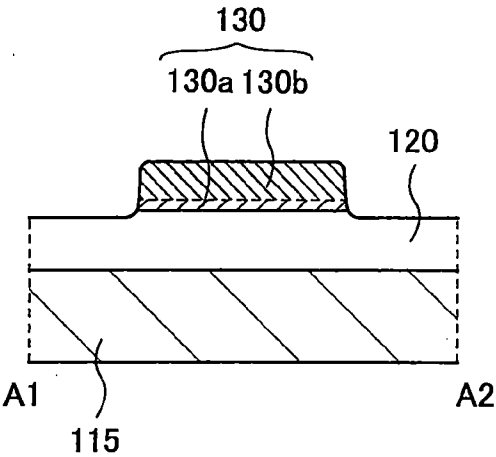


圖 34D

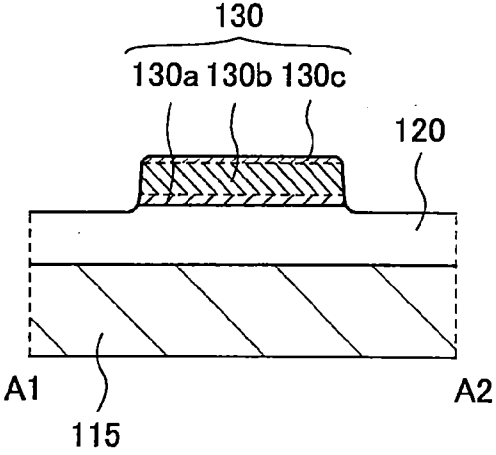


圖 34C

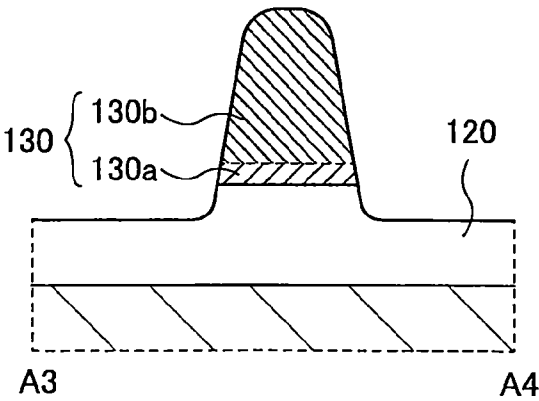


圖 34E

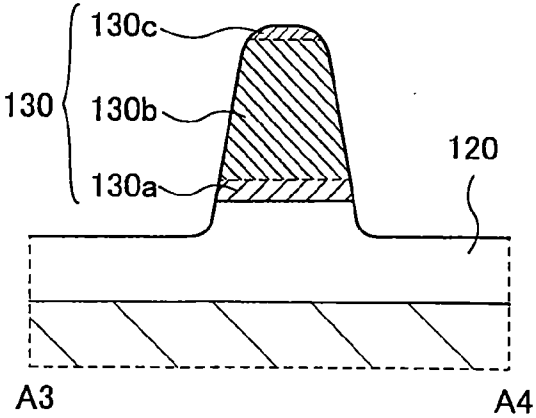


圖 35A

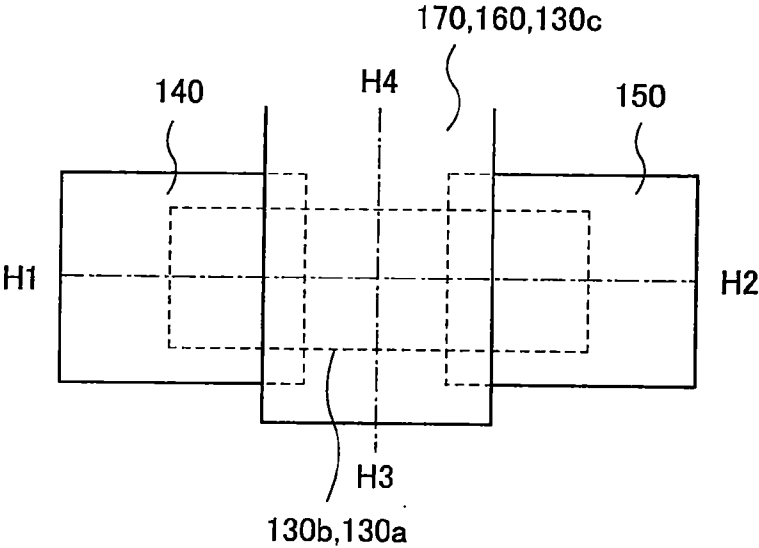


圖 35B

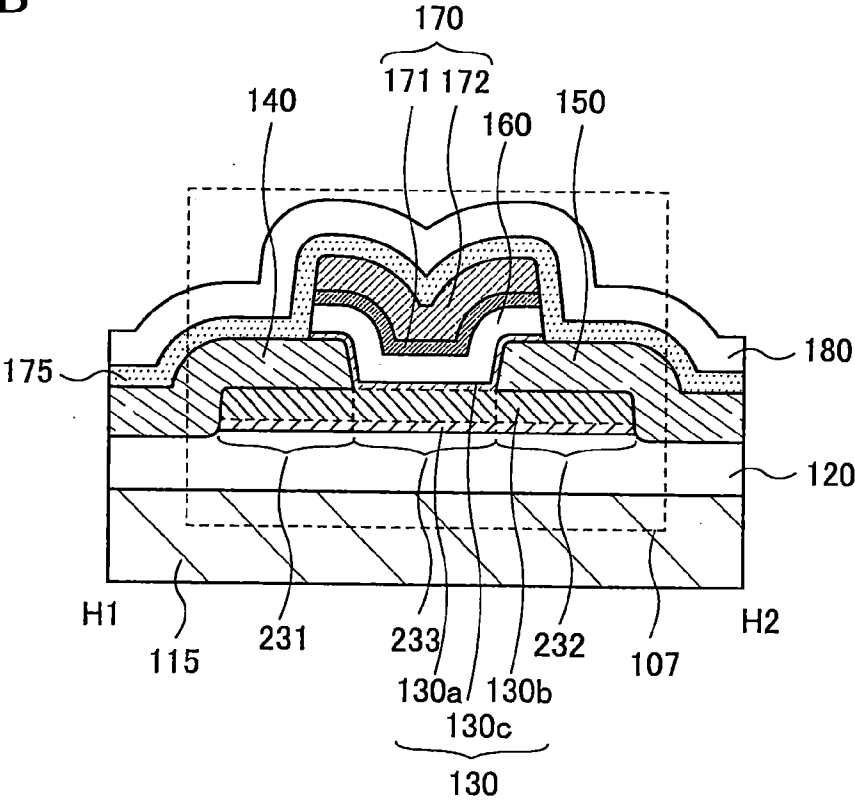


圖 36A

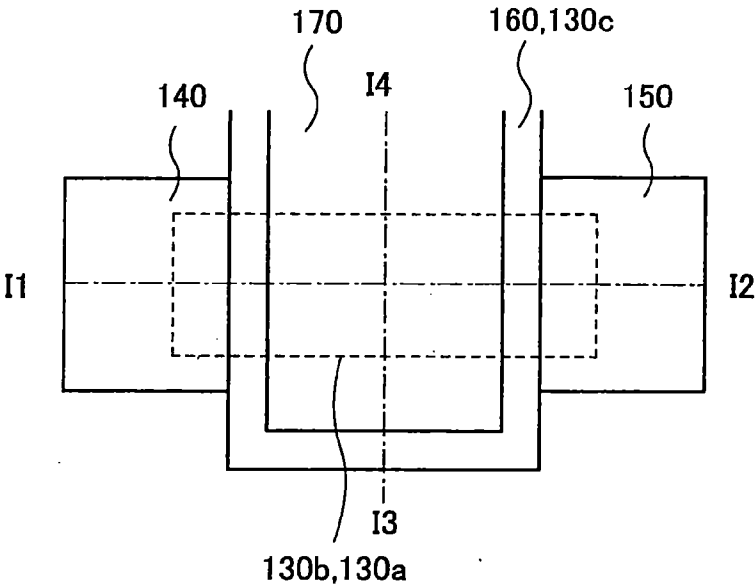


圖 36B

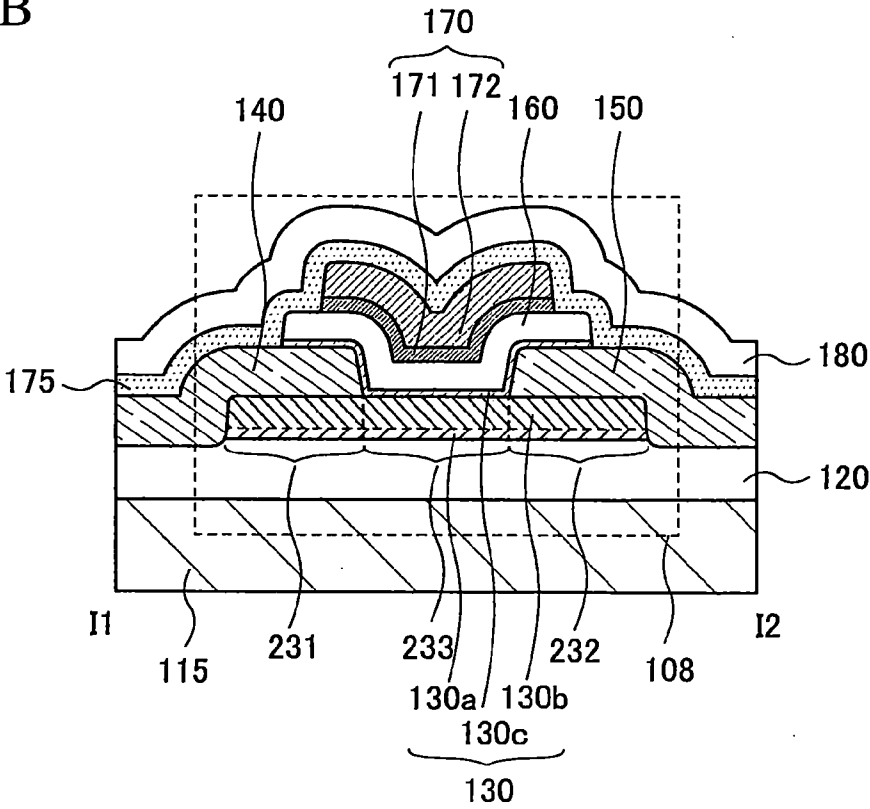


圖 37A

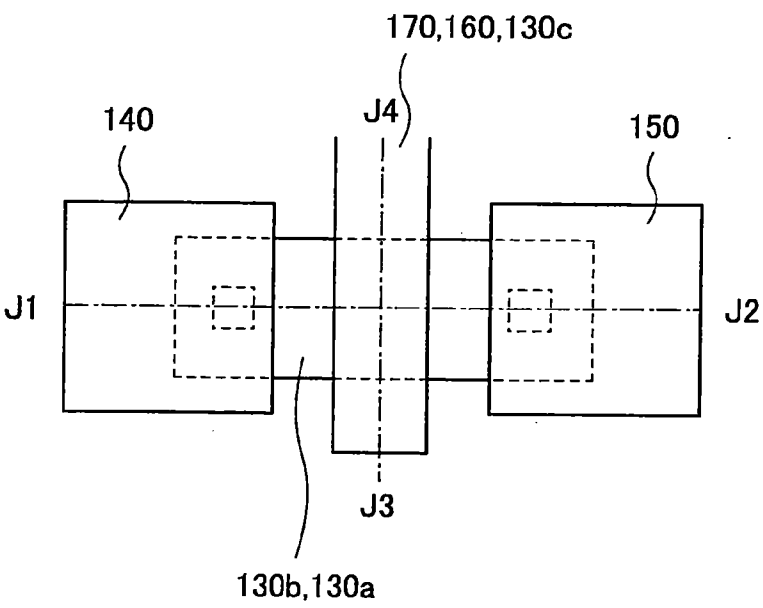


圖 37B

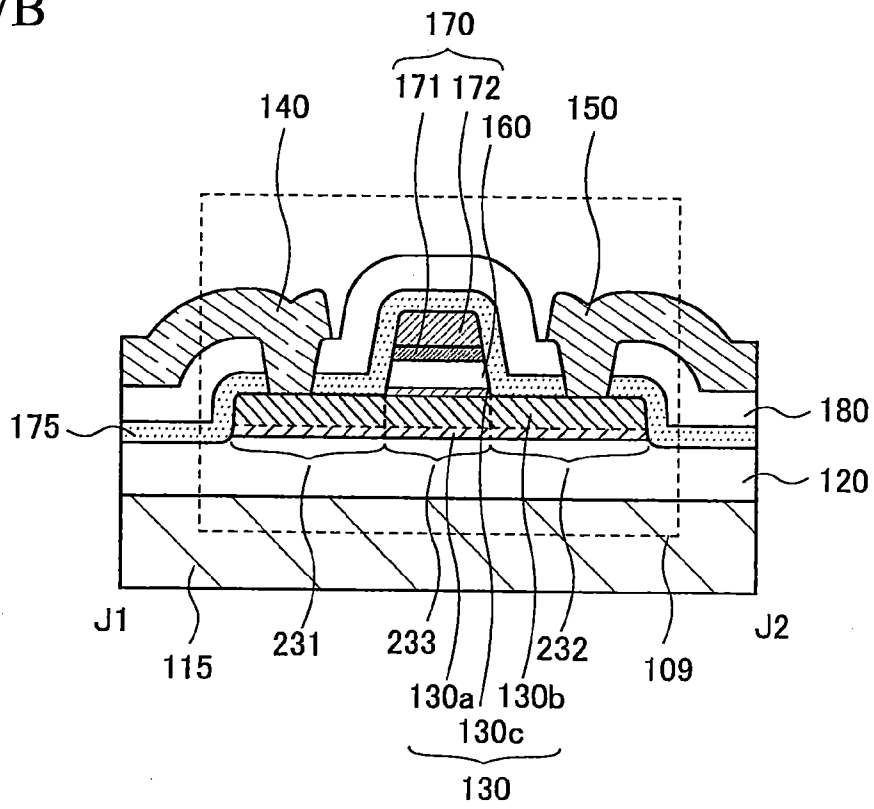


圖 38A

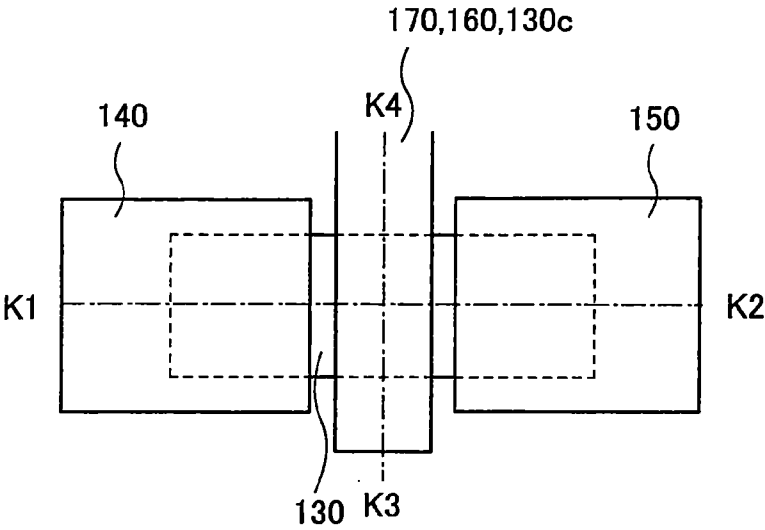


圖 38B

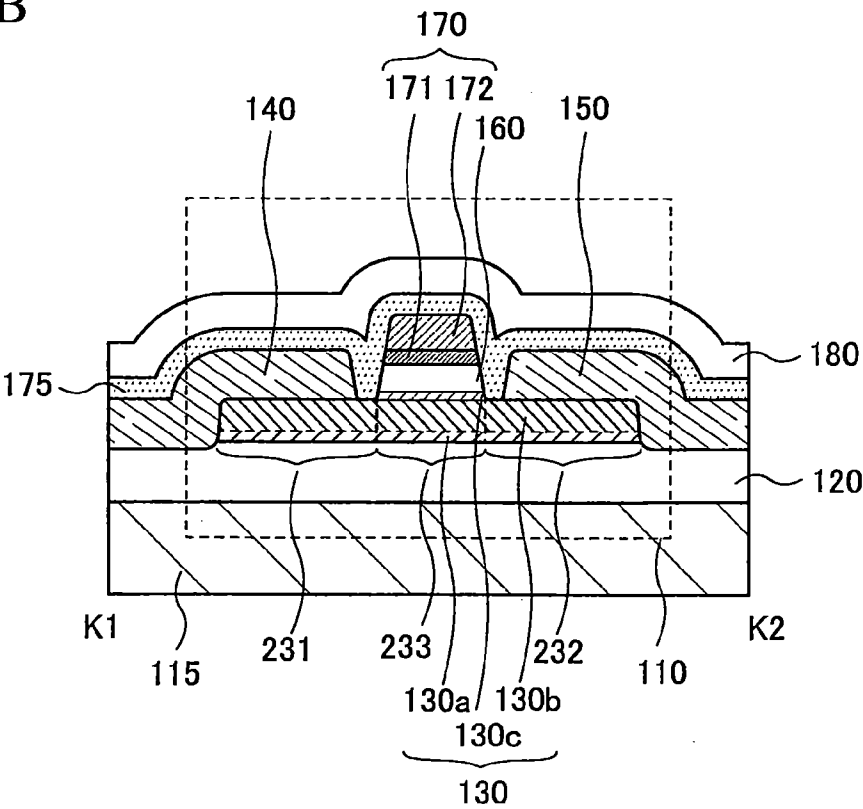


圖 39A

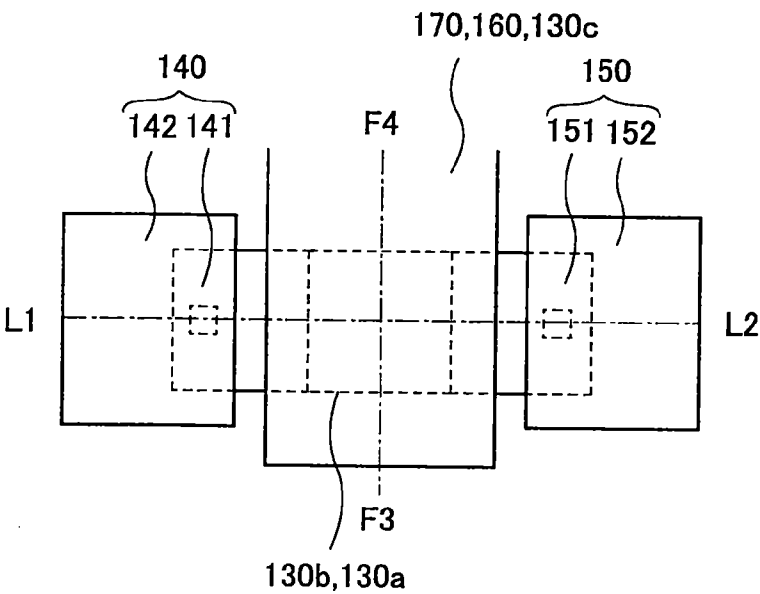


圖 39B

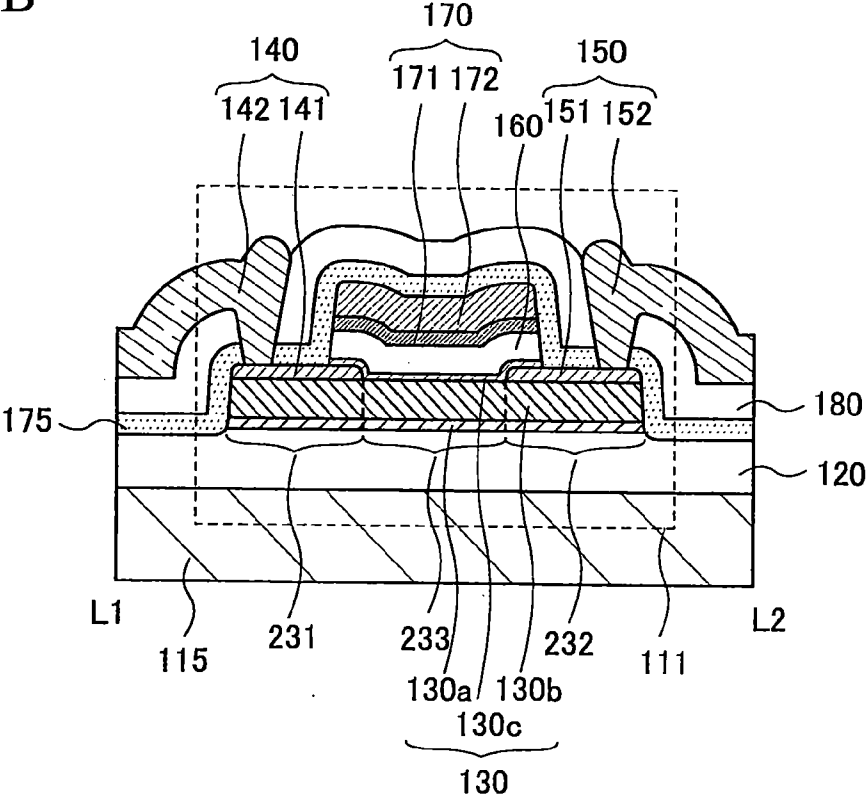


圖 40A

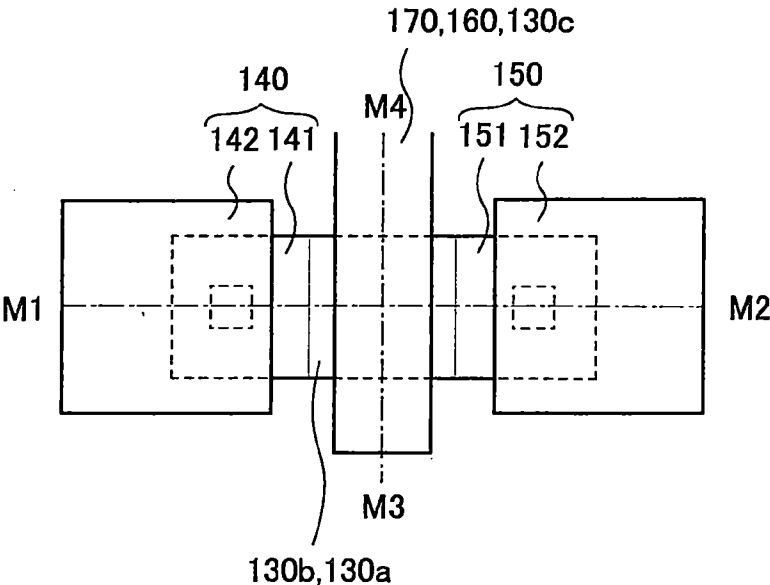


圖 40B

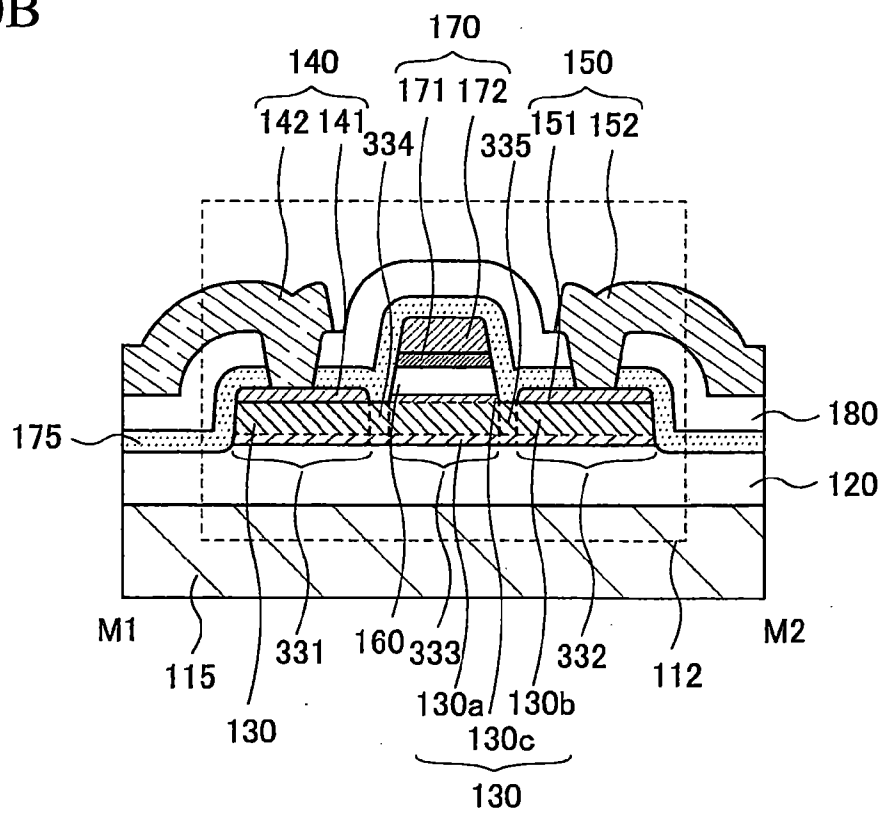


圖 41A

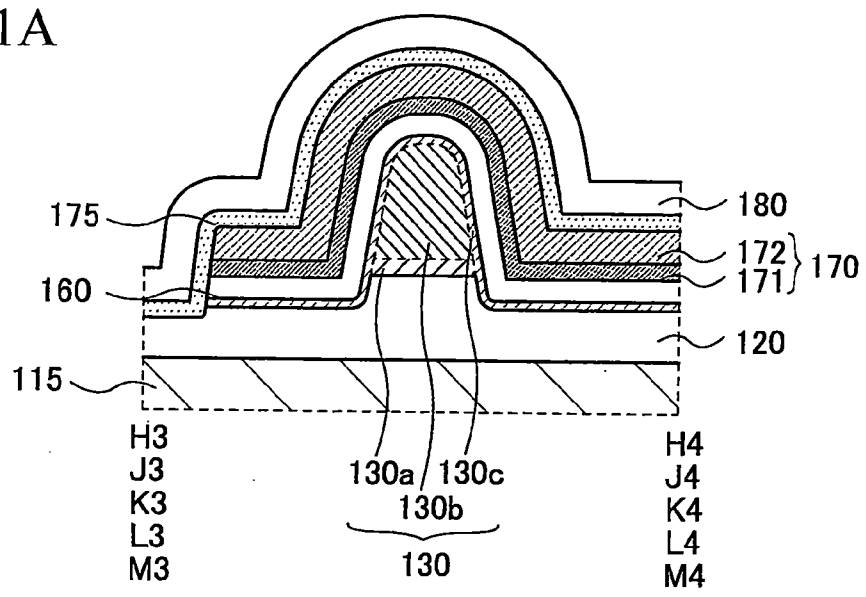


圖 41B

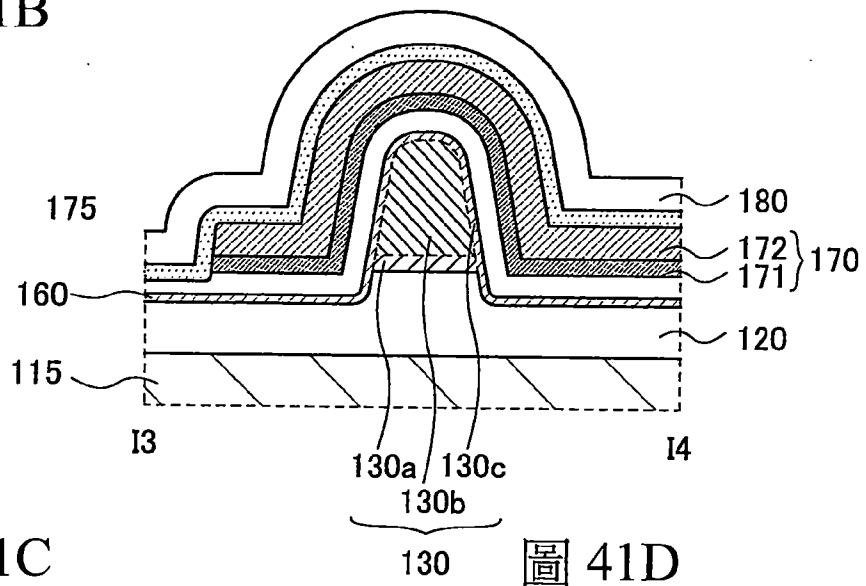


圖 41C

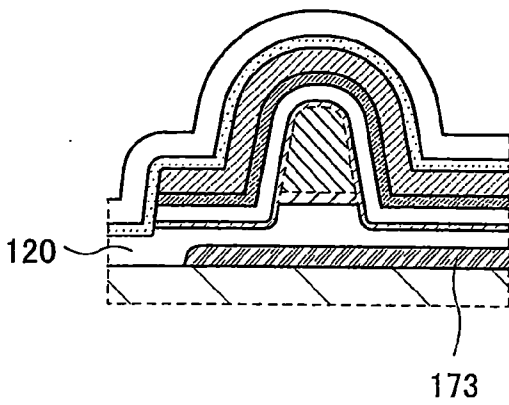


圖 41D

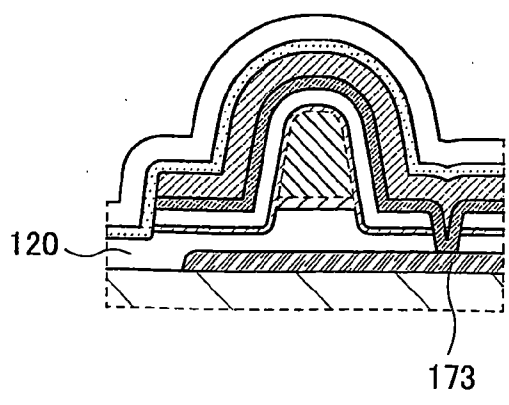


圖 42A

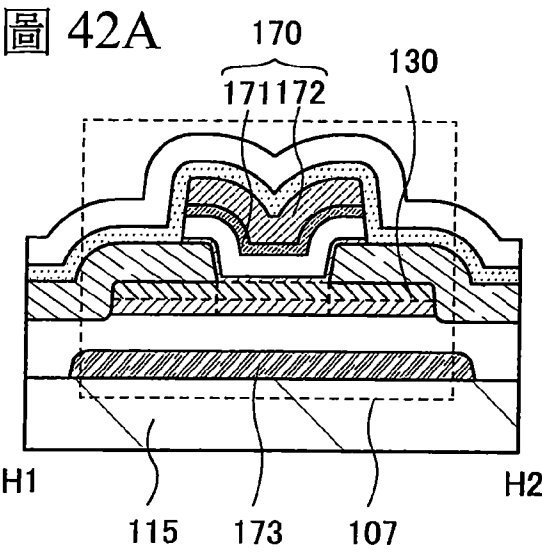


圖 42B

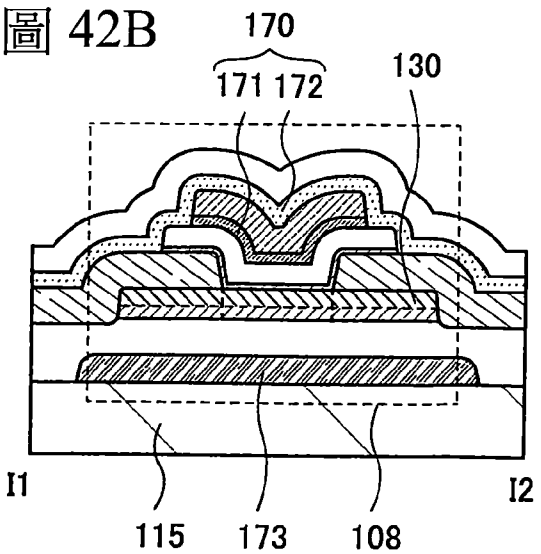


圖 42C

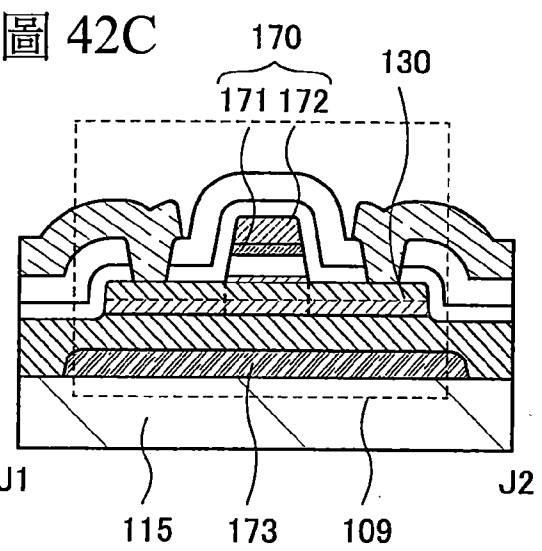


圖 42D

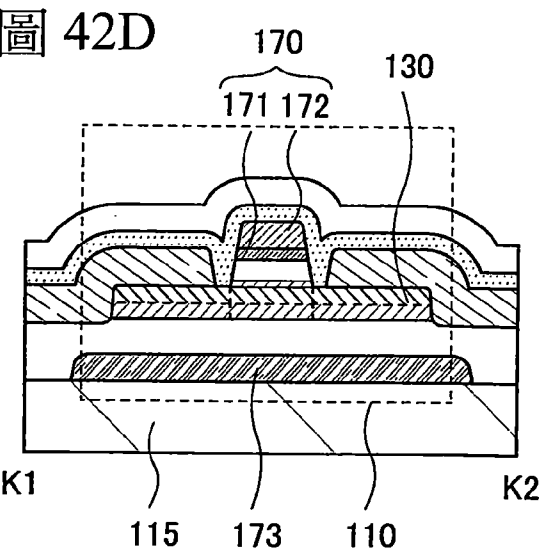


圖 42E

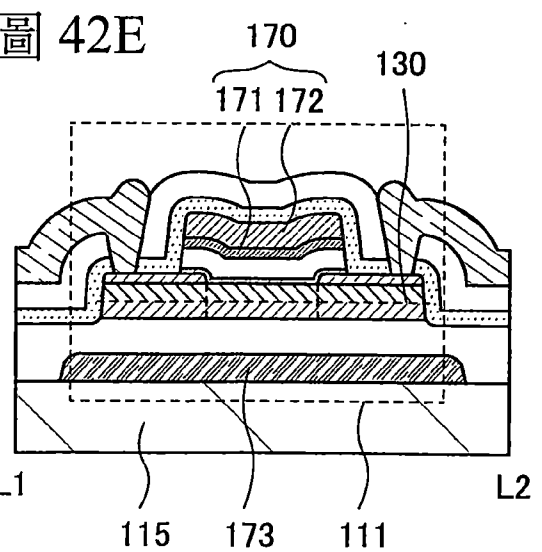


圖 42F

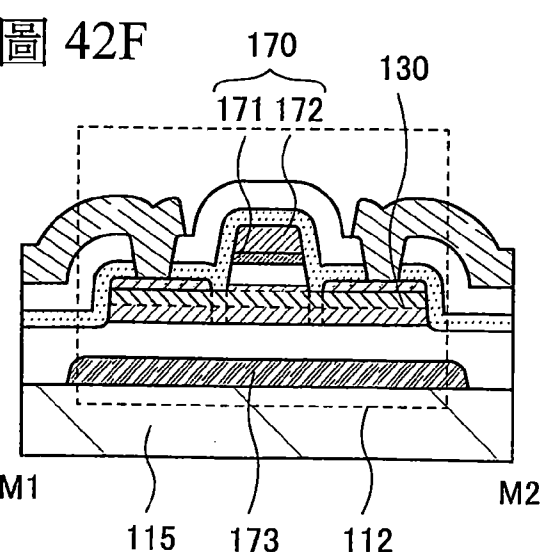


圖 43A

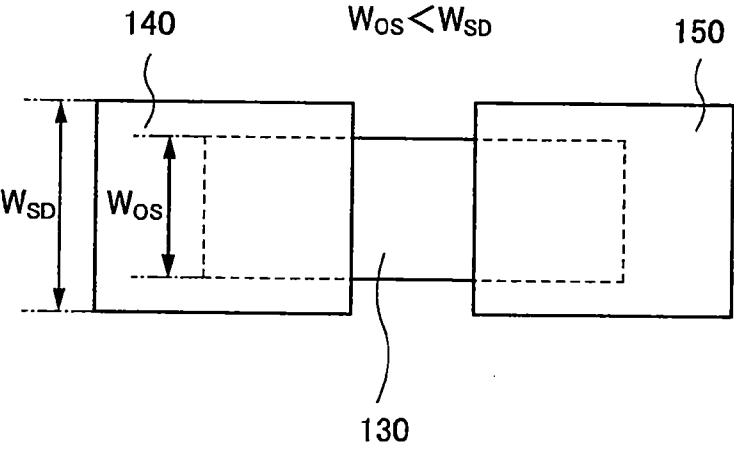


圖 43B

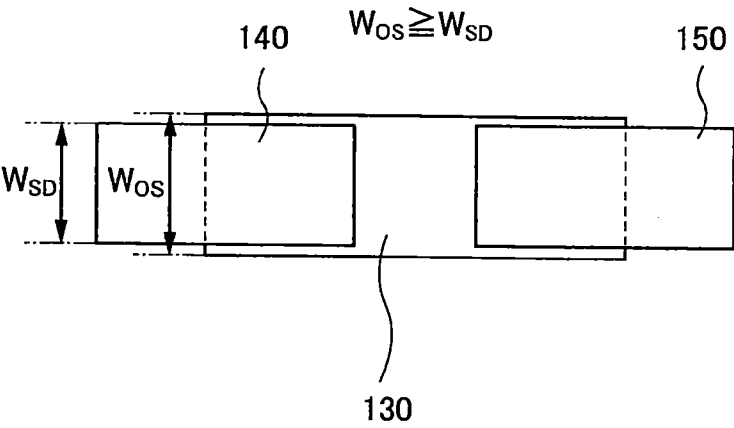


圖 44A

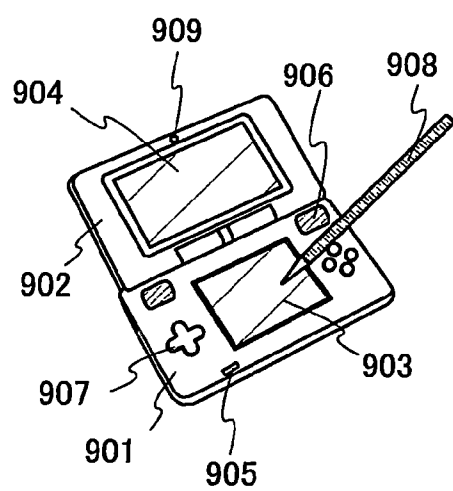


圖 44B

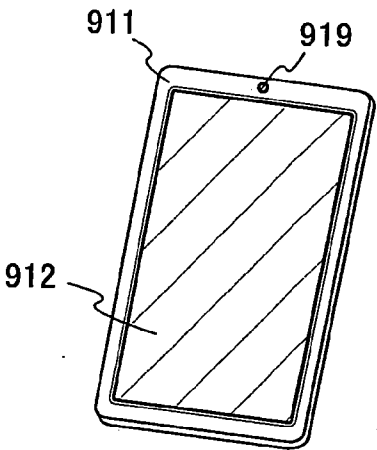


圖 44C

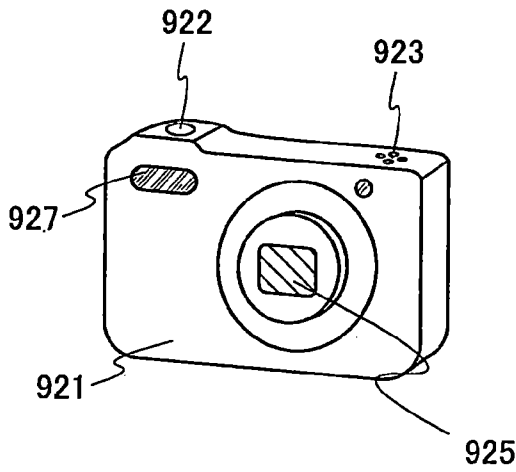


圖 44D

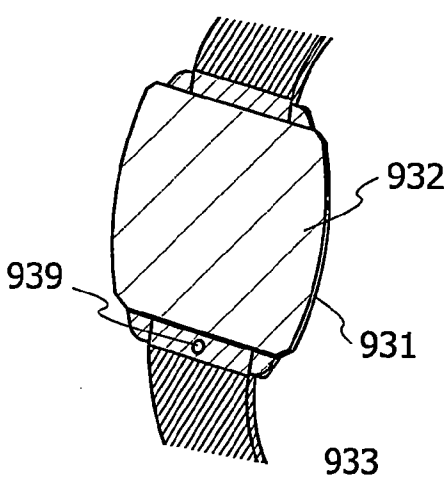


圖 44E

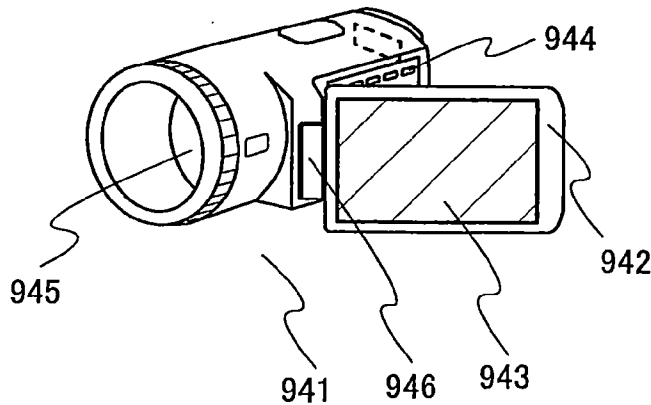


圖 44F

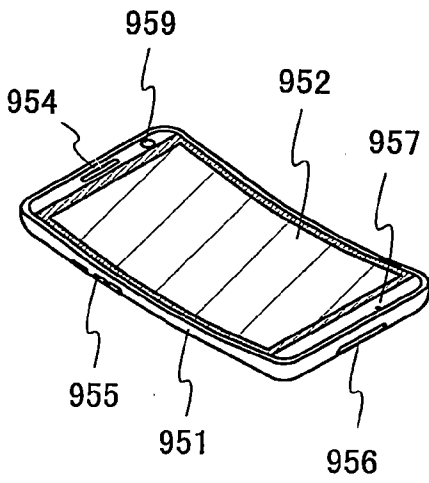


圖 45A

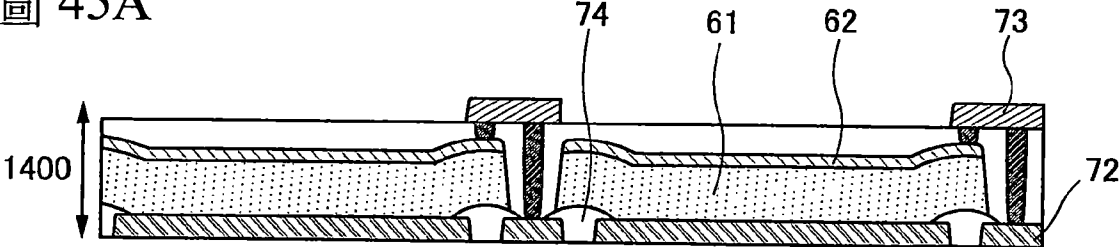


圖 45B

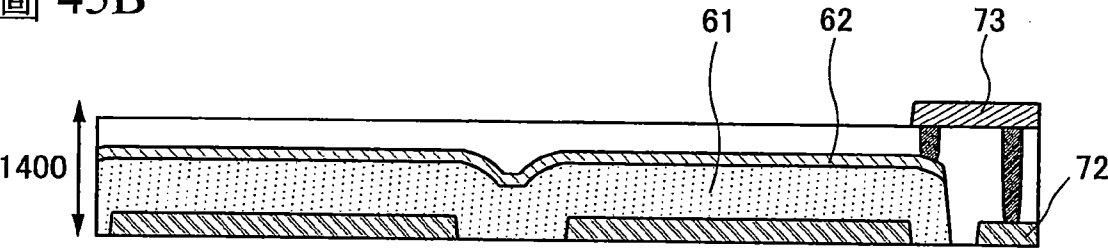


圖 45C

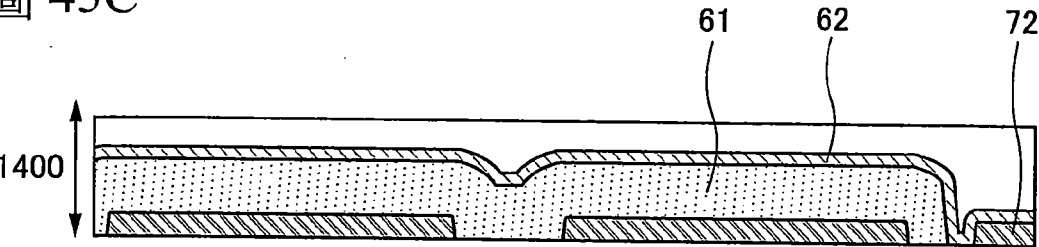


圖 45D

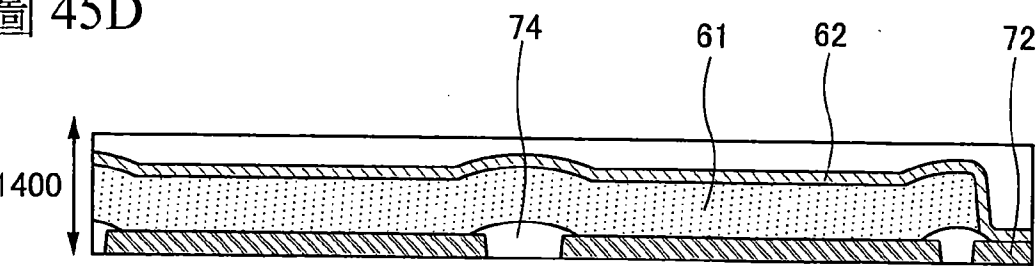


圖 46

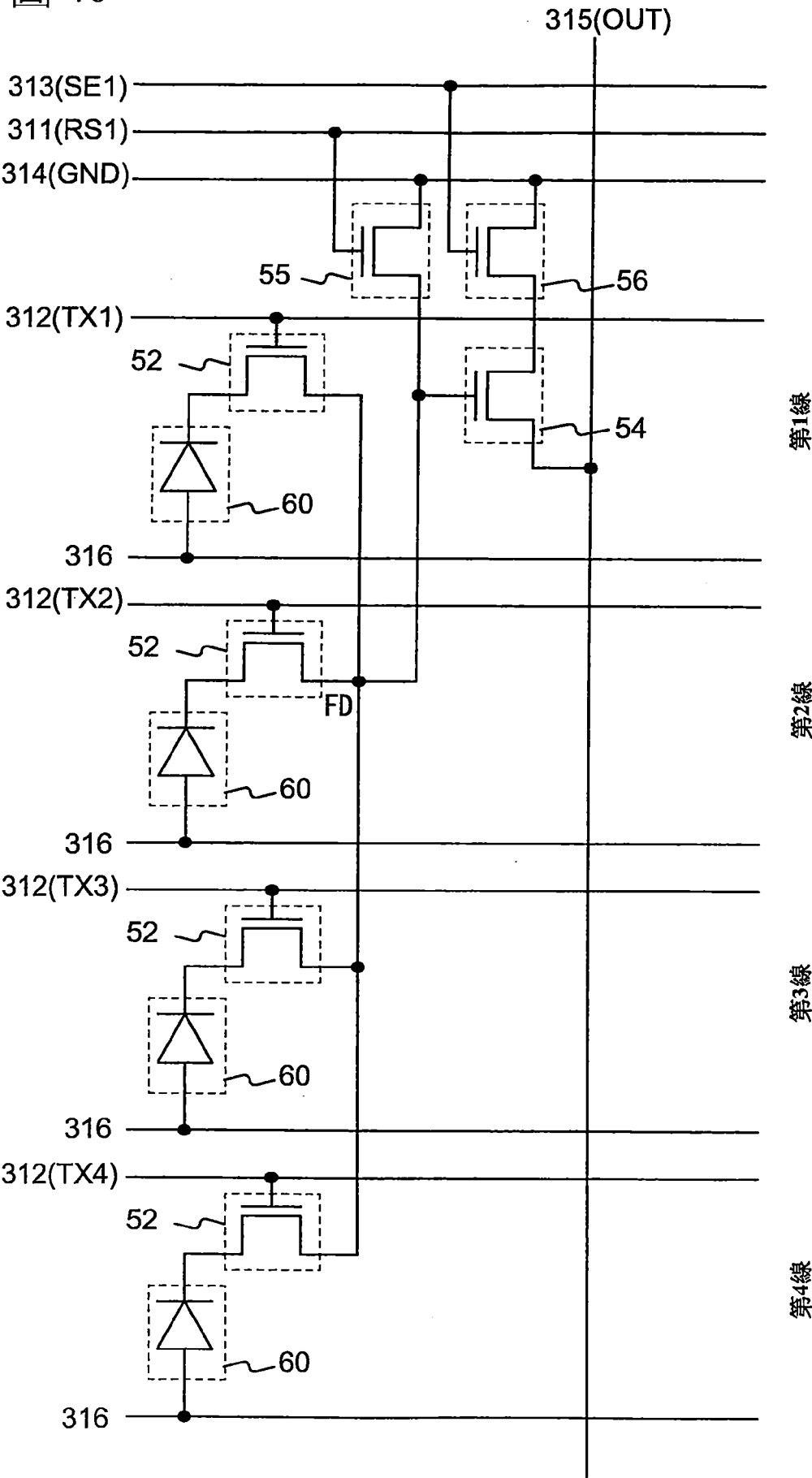


圖 47

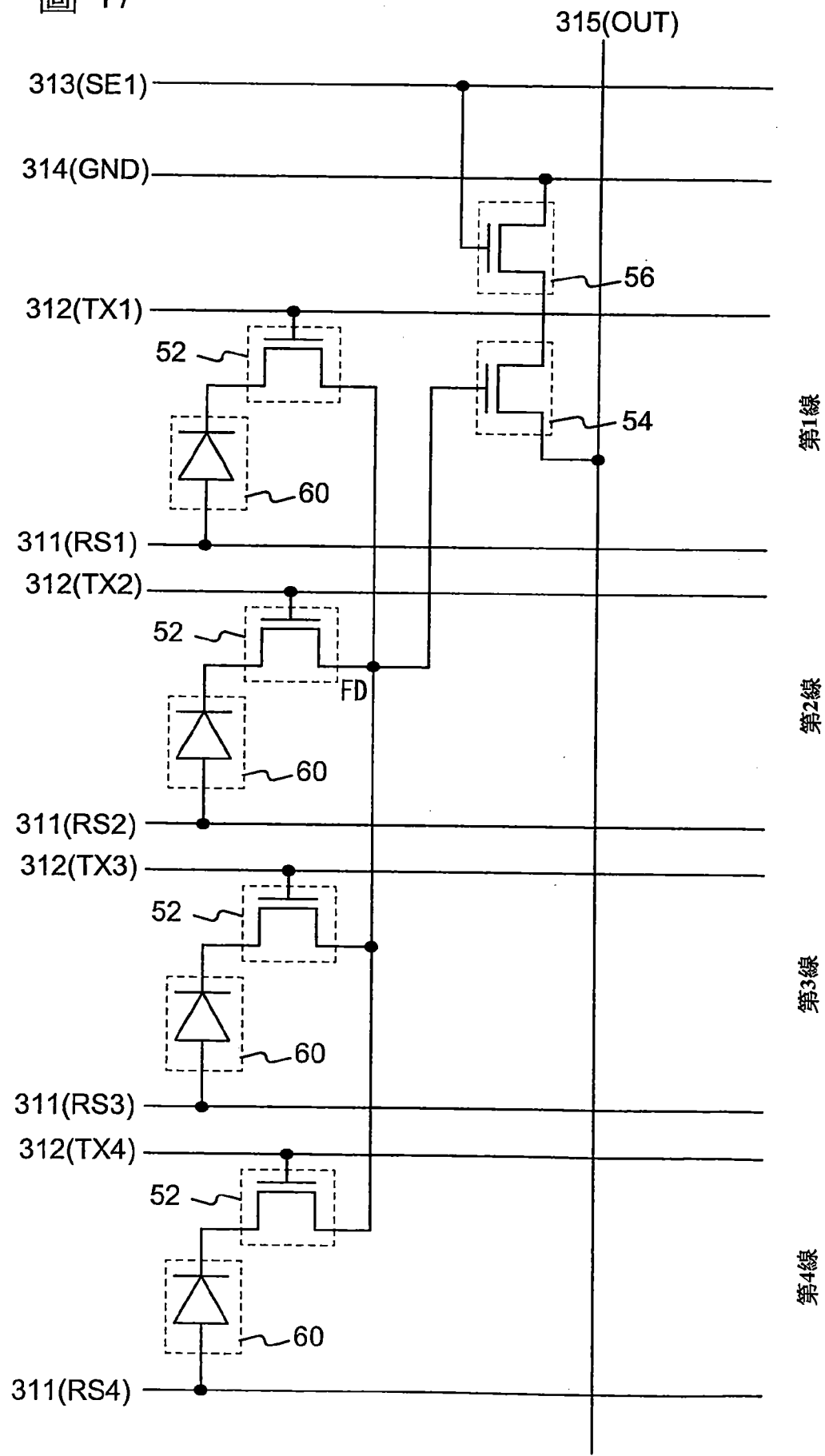


圖 48

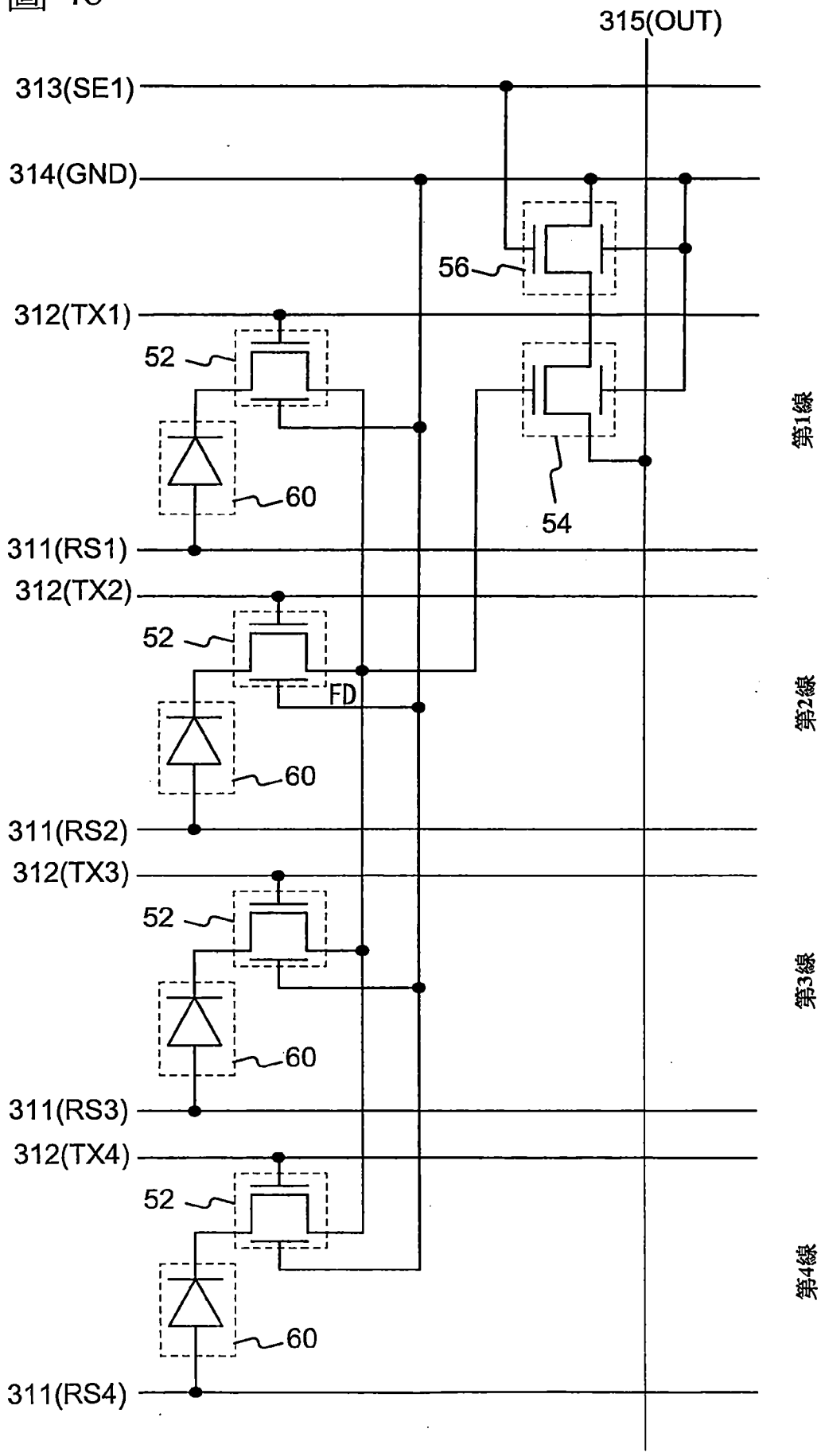


圖 49

