

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成20年12月18日(2008.12.18)

【公開番号】特開2006-127741(P2006-127741A)
 【公開日】平成18年5月18日(2006.5.18)
 【年通号数】公開・登録公報2006-019
 【出願番号】特願2005-303346(P2005-303346)
 【国際特許分類】

G 1 1 C 11/22 (2006.01)

【F I】

G 1 1 C 11/22 5 0 1 K

G 1 1 C 11/22 5 0 1 L

【手続補正書】
 【提出日】平成20年10月15日(2008.10.15)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

セルアレイを構成するメモリセルを制御する強誘電体半導体メモリ装置において、
 メインワードラインにそれぞれ並列に連結され、前記メインワードラインを通じて提供されるメインワードラインイネーブル信号に応じて選択されたサブワードラインにサブワードラインイネーブル信号を提供する少なくとも 1 つのサブワードラインドライバ回路と、

前記サブワードラインにそれぞれ並列に連結され、前記サブワードラインイネーブル信号に応じて選択されたローカルワードラインにローカルワードラインイネーブル信号を提供することにより、前記ローカルワードラインに連結された少なくとも 1 つのメモリセルを制御する少なくとも 1 つのローカルワードラインドライバ回路と、

前記メインワードラインにそれぞれ並列に連結され、メインワードラインイネーブル信号に応じて、前記選択されたサブワードラインに連結された少なくとも 1 つのローカルワードラインドライバ回路により制御される複数のメモリセルに共通に連結されるプレートラインにプレートラインイネーブル信号を提供する少なくとも 1 つのプレートラインドライバ回路と、
 を備えることを特徴とする半導体メモリ装置。

【請求項 2】

前記メモリセルは、
 ローカルワードラインイネーブル信号により駆動される 1 つのアクセストランジスタと、
 前記アクセストランジスタとプレートラインとの間に連結される 1 つの強誘電体キャパシタと、
 を含むことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 3】

前記サブワードラインドライバ回路と前記プレートラインドライバ回路は一体型に構成されていることを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 4】

前記サブワードラインドライバ回路は、

前記メインワードラインイネーブル信号により駆動されてサブワードラインイネーブル信号を選択されたサブワードラインに提供するためのPチャンネルトランジスタと、

メインワードラインディスエーブル信号の印加時にサブワードラインのフローティングを防止するための第1Nチャンネルトランジスタと、

前記メインワードラインイネーブル信号の印加時に選択されないサブワードラインのフローティングを防止するための第2Nチャンネルトランジスタと、

を含むことを特徴とする請求項3に記載の半導体メモリ装置。

【請求項5】

前記プレートラインドライバ回路は、

前記メインワードラインイネーブル信号により駆動されてプレートラインイネーブル信号を前記プレートラインに提供するためのPチャンネルトランジスタと、

前記メインワードラインディスエーブル信号により駆動されてプレートラインのフローティングを防止するためのNチャンネルトランジスタと、

を含むことを特徴とする請求項4に記載の半導体メモリ装置。

【請求項6】

前記メインワードラインディスエーブル信号、前記サブワードラインイネーブル信号、及び前記ローカルワードラインイネーブル信号は第1電圧レベルを有し、前記メインワードラインイネーブル信号は接地電圧レベルを有し、前記プレートラインイネーブル信号は前記第1電圧レベルよりも一定レベルだけ低い電源電圧レベルの第2電圧レベルを有することを特徴とする請求項5に記載の半導体メモリ装置。

【請求項7】

セルアレイを構成するメモリセルを制御する半導体メモリ装置において、

メインワードラインにそれぞれ並列に連結され、前記メインワードラインを通じて提供されるメインワードラインイネーブル信号に応じて選択されたサブワードラインにサブワードラインイネーブル信号を提供する少なくとも1つのサブワードラインドライバ回路と、

前記サブワードラインにそれぞれ並列に連結され、前記サブワードラインイネーブル信号に応じて選択されたローカルワードラインにローカルワードラインイネーブル信号を提供することにより、前記ローカルワードラインに連結された少なくとも1つのメモリセルを制御する少なくとも1つのローカルワードラインドライバ回路と、

を含むことを特徴とする半導体メモリ装置。

【請求項8】

前記サブワードラインドライバ回路は、

前記メインワードラインイネーブル信号により駆動されてサブワードラインイネーブル信号を選択されたサブワードラインに提供するためのPチャンネルトランジスタと、

メインワードラインディスエーブル信号の印加時に選択されないサブワードラインのフローティングを防止するための第1Nチャンネルトランジスタと、

前記メインワードラインイネーブル信号の印加時に選択されないサブワードラインのフローティングを防止するための第2Nチャンネルトランジスタと、

を含むことを特徴とする請求項7に記載の半導体メモリ装置。

【請求項9】

前記メインワードラインディスエーブル信号、前記サブワードラインイネーブル信号、及び前記ローカルワードラインイネーブル信号は電源電圧レベルの第2電圧レベルよりも一定レベル以上高い電圧レベルの第1電圧レベルを有し、前記メインワードラインイネーブル信号は接地電圧レベルを有することを特徴とする請求項8に記載の半導体メモリ装置。

【請求項10】

前記ローカルワードラインドライバ回路は、

前記サブワードラインと前記ローカルワードラインとの間に連結されて前記サブワードラインイネーブル信号をローカルワードラインイネーブル信号として前記選択されたロー

カルワードラインに提供するNチャンネルトランジスタと、

選択されないローカルワードラインのフローティングを防止するためのNチャンネルトランジスタと、

を含むことを特徴とする請求項9に記載の半導体メモリ装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

上記目的を達成するためになされた本発明による半導体メモリ装置は、セルアレイを構成するメモリセルを制御する強誘電体半導体メモリ装置において、メインワードラインにそれぞれ並列に連結され、前記メインワードラインを通じて提供されるメインワードラインイネーブル信号に応じて選択されたサブワードラインにサブワードラインイネーブル信号を提供する少なくとも1つのサブワードラインドライバ回路と、前記サブワードラインにそれぞれ並列に連結され、前記サブワードラインイネーブル信号に応じて選択されたローカルワードラインにローカルワードラインイネーブル信号を提供することにより、前記ローカルワードラインに連結された少なくとも1つのメモリセルを制御する少なくとも1つのローカルワードラインドライバ回路と、前記メインワードラインにそれぞれ並列に連結され、メインワードラインイネーブル信号に応じて前記選択されたサブワードラインに連結された少なくとも1つのローカルワードラインドライバ回路により制御される複数のメモリセルに共通に連結されるプレートラインにプレートラインイネーブル信号を提供する少なくとも1つ以上のプレートラインドライバ回路と、を備えることを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

前記メモリセルは、ローカルワードラインイネーブル信号により駆動される1つのアクセストランジスタと、前記アクセストランジスタとプレートラインとの間に連結される1つの強誘電体キャパシタと、を含むことが好ましい。

前記サブワードラインドライバ回路と前記プレートラインドライバ回路は一体型に構成されていることが好ましい。

前記サブワードラインドライバ回路は、前記メインワードラインイネーブル信号により駆動されてサブワードラインイネーブル信号を選択されたサブワードラインに提供するためのPチャンネルトランジスタと、メインワードラインディスエーブル信号の印加時にサブワードラインのフローティングを防止するための第1Nチャンネルトランジスタと、前記メインワードラインイネーブル信号の印加時に選択されないサブワードラインのフローティングを防止するための第2Nチャンネルトランジスタと、を含むことが好ましい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

前記プレートラインドライバ回路は、前記メインワードラインイネーブル信号により駆動されてプレートラインイネーブル信号を前記プレートラインに提供するためのPチャンネルトランジスタと、前記メインワードラインディスエーブル信号により駆動されてプレートラインのフローティングを防止するためのNチャンネルトランジスタと、を含むこと

が好ましい。

前記メインワードラインディスエーブル信号、前記サブワードラインイネーブル信号、及び前記ローカルワードラインイネーブル信号は第 1 電圧レベルを有し、前記メインワードラインイネーブル信号は接地電圧レベルを有し、前記プレートラインイネーブル信号は前記第 1 電圧レベルよりも一定レベルだけ低い電源電圧レベルの第 2 電圧レベルを有することが好ましい。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

また、上記目的を達成するためになされた本発明による半導体メモリ装置は、セルアレイを構成するメモリセルを制御する半導体メモリ装置において、メインワードラインにそれぞれ並列に連結され、前記メインワードラインを通じて提供されるメインワードラインイネーブル信号に応じて選択されたサブワードラインにサブワードラインイネーブル信号を提供する少なくとも 1 つのサブワードラインドライバ回路と、前記サブワードラインにそれぞれ並列に連結され、前記サブワードラインイネーブル信号に応じて選択されたローカルワードラインにローカルワードラインイネーブル信号を提供することにより、前記ローカルワードラインに連結された少なくとも 1 つのメモリセルを制御する少なくとも 1 つのローカルワードラインドライバ回路と、を含むことを特徴とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

前記サブワードラインドライバ回路は、前記メインワードラインイネーブル信号により駆動されてサブワードラインイネーブル信号を選択されたサブワードラインに提供するための P チャンネルトランジスタと、メインワードラインディスエーブル信号の印加時に選択されないサブワードラインのフローティングを防止するための第 1 N チャンネルトランジスタと、前記メインワードラインイネーブル信号の印加時に選択されないサブワードラインのフローティングを防止するための第 2 N チャンネルトランジスタと、を含むことが好ましい。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

前記メインワードラインディスエーブル信号、前記サブワードラインイネーブル信号、及び前記ローカルワードラインイネーブル信号は電源電圧レベルの第 2 電圧レベルよりも一定レベル以上高い電圧レベルの第 1 電圧レベルを有し、前記メインワードラインイネーブル信号は接地電圧レベルを有することが好ましい。

前記ローカルワードラインドライバ回路は、前記サブワードラインと前記ローカルワードラインとの間に連結されて前記サブワードラインイネーブル信号をローカルワードラインイネーブル信号として前記選択されたローカルワードラインに提供する N チャンネルトランジスタと、選択されないローカルワードラインのフローティングを防止するための N チャンネルトランジスタと、を含むことが好ましい。