

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3833805号
(P3833805)

(45) 発行日 平成18年10月18日(2006.10.18)

(24) 登録日 平成18年7月28日(2006.7.28)

(51) Int.C1.

F 1

HO2H 3/22 (2006.01)
HO2H 9/04 (2006.01)HO2H 3/22
HO2H 9/04

C

請求項の数 4 (全 8 頁)

(21) 出願番号 特願平10-2186
 (22) 出願日 平成10年1月8日(1998.1.8)
 (65) 公開番号 特開平10-257664
 (43) 公開日 平成10年9月25日(1998.9.25)
 審査請求日 平成16年12月2日(2004.12.2)
 (31) 優先権主張番号 9700101
 (32) 優先日 平成9年1月8日(1997.1.8)
 (33) 優先権主張国 フランス(FR)

(73) 特許権者 590003869
 ソムフィ ソシエテ パ アクシオンス
 シンプリフィエ
 フランス国、74300 クリューズ、ア
 ブニュ デュ ヌーボ モンド、50
 (74) 代理人 100077517
 弁理士 石田 敏
 (74) 代理人 100108383
 弁理士 下道 晶久
 (74) 代理人 100088269
 弁理士 戸田 利雄
 (74) 代理人 100082898
 弁理士 西山 雅也

最終頁に続く

(54) 【発明の名称】スタティック・アイソレータ

(57) 【特許請求の範囲】

【請求項 1】

サージが生じた場合の負荷(MO)のDC電源供給回路用のスタティック・アイソレータであって、該負荷の電源供給回路に挿入されるように意図されたダイポール(SS)を有し、該ダイポールが、ディスクリート構成要素から構成されると共に、瞬間的でないサージを検出するための手段(R1, R2, T3, C1)と、前記負荷を付勢する時に及ぼされる瞬間的なサージの影響を抑制するように意図され、電源電圧をフィルタリングし蓄積すると共に該電源電圧の存在を記憶するための手段(C, R1)と、前記サージを検出するための手段によって制御され、前記負荷への電源供給を遮断するための手段(T3, R2, R8, R9, T4, T1, R7, R4)とを具備するスタティック・アイソレータにおいて、

前記ダイポールの構成要素は更に、前記電源電圧の消失を検出するための手段(C, R1, R3, R6, T6)と、前記電源電圧の記憶を消去するための手段(R2, R6, T3, T6, C)とを構成することを特徴とするスタティック・アイソレータ。

【請求項 2】

前記ダイポールの構成要素の一部(C, R1, R2, R6, T3, T6)は、該ダイポールの一つ以上の機能に関与している、請求項1に記載のスタティック・アイソレータ。

【請求項 3】

前記電源電圧をフィルタリングし蓄積するための手段は、基本的にキャパシタ(C)によって構成され、前記電源電圧の記憶を消去するための手段は、該キャパシタによって制御

される短絡回路 (R 2 , R 6 , T 3 , T 6) によって構成されている、請求項 2 に記載のスタティック・アイソレータ。

【請求項 4】

前記ダイポールは、電源の正の端子とモータとの間に接続され、該ダイポールの端子間に、第 1 の抵抗器 (R 3) と、第 2 の抵抗器 (R 1) と直列に接続されたキャパシタ (C) と、該キャパシタの端子における電圧を制限するために該キャパシタと並列に接続されたツエナ・ダイオード (Z) と、しきい値回路を構成し、ダイオード (D) 及び第 3 の抵抗器 (R 6) と直列に接続されると共に、該ダイオードとの接続点が前記キャパシタ及び前記第 2 の抵抗器の接続点に接続されている集積回路 (C I) と、第 4 の抵抗器 (R 7) と直列に接続されると共に、そのベースが第 5 の抵抗器 (R 4) を介して前記集積回路の出力端 (S) に接続されている第 1 のトランジスタ (T 1) と、第 6 及び第 7 の抵抗器 (R 8 , R 9) と直列に接続されると共に、そのベースが前記第 1 のトランジスタ (T 1) 及び前記第 4 の抵抗器 (R 7) の接続点に接続されている第 2 のトランジスタ (T 4) と、第 8 の抵抗器 (R 2) と直列に接続された第 3 のトランジスタ (T 3) とを備え、該第 3 のトランジスタのベースが第 4 のトランジスタ (T 6) のコレクタに接続され、該第 4 のトランジスタのエミッタが前記キャパシタ (C) 及び前記第 2 の抵抗器 (R 1) の接続点に接続され、該第 4 のトランジスタのベースが前記ダイオード (D) 及び前記第 3 の抵抗器 (R 6) の接続点に接続されており、

前記サージを検出するための手段は、前記第 2 及び第 8 の抵抗器 (R 1 , R 2) と、前記集積回路 (C I) と、前記第 3 のトランジスタ (T 3) とから構成され、

前記電源電圧をフィルタリングし蓄積するための手段は、前記キャパシタ (C) と、前記第 2 の抵抗器 (R 1) とから構成され、

前記負荷への電源供給を遮断するための手段は、前記第 4 、第 5 、第 6 、第 7 及び第 8 の抵抗器 (R 7 , R 4 , R 8 , R 9 , R 2) と、前記第 1 、第 2 及び第 3 のトランジスタ (T 1 , T 4 , T 3) とから構成され、

前記電源電圧の消失を検出するための手段は、前記第 1 、第 2 及び第 3 の抵抗器 (R 3 , R 1 , R 6) と、前記キャパシタ (C) と、前記第 4 のトランジスタ (T 6) とから構成され、

前記電源電圧の記憶を消去するための手段は、前記キャパシタ (C) と、前記第 3 及び第 4 のトランジスタ (T 3 , T 6) と、前記第 3 及び第 8 の抵抗器 (R 6 , R 2) とから構成されている、請求項 3 に記載のスタティック・アイソレータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、サージが生じた場合の負荷の DC 電源供給回路用のスタティック・アイソレータであって、該負荷の電源供給回路に挿入されるように意図されたダイポールを有し、該ダイポールが、ディスクリート構成要素から構成されると共に、瞬間的でないサージを検出するための手段と、前記負荷を付勢する時に及ぼされる瞬間的なサージの影響を抑制するように意図され、電源電圧をフィルタリングし蓄積すると共に該電源電圧の存在を記憶するための手段と、前記サージを検出するための手段によって制御され、前記負荷への電源供給を遮断するための手段とを具備するスタティック・アイソレータに関する。

【0002】

【従来の技術】

かかるスタティック・アイソレータは米国特許第 3 851218 号から知られている。4 つのポール (4 極) を有するアイソレータに対する利点は、それを通常のヒューズと置き換えることができる事である。このようなスタティック・アイソレータにおいて、電源電圧をフィルタリングし蓄積するための手段は、特にモータ等の負荷を付勢する時に及ぼされる瞬間的なサージの影響を抑制するために設けられているが、一般には抵抗器と直列に接続されたキャパシタによって構成されている。

【0003】

10

20

30

40

50

【発明が解決しようとする課題】

しかしながら、モータとアイソレータへの電源供給が遮断された時にキャパシタの電荷を急速に放電させるための手段が設けられていない。そのため、スタティック・アイソレータのリカバリー・タイムが相対的に長くなり、また、抵抗器を介して放電させなければならぬキャパシタの容量値が大きくなるといった課題があった。

【0004】

【課題を解決するための手段】

上記の課題を解決するため、本発明に係るスタティック・アイソレータは、本発明におけるダイポールの構成要素が更に、電源電圧の消失を検出するための手段と、該電源電圧の記憶を消去するための手段とを構成することを特徴としている。 10

【0005】

電源電圧を蓄積するための手段は、基本的にキャパシタによって構成されており、また電源電圧の記憶を消去するための手段は、該キャパシタの電荷を放電させるための手段を構成している。

本発明の好適な一実施形態によれば、ダイポールの構成要素の一部は該ダイポールの一つ以上の機能に関与しており、これによって、回路全体の構成要素の数を減らすことができる。

【0006】

【発明の実施の形態】

以下、本発明の一実施形態について添付図面を参照しながら更に詳細に説明する。 20

図1は本発明の一実施形態に係るスタティック・アイソレータの構成を例示する。図示の回路は、ダイポールSSの両端子間に、それぞれ並列に、抵抗器R3と、抵抗器R1と直列に接続されたキャパシタCと、ダイオードD及び抵抗器R6と直列に接続された集積回路CIと、抵抗器R7と直列に接続されたPNP型のトランジスタT1と、2つの抵抗器R8及びR9と直列に接続されたNPN型のトランジスタT4と、抵抗器R2と直列に接続されたPNP型のトランジスタT3とを有している。また、逆方向にバイアス電圧が印加されたツエナ・ダイオードZがキャパシタCと並列に接続されている。回路は更に、NPN型の第4のトランジスタT6と抵抗器R4を有している。トランジスタT6のベースはダイオードDと抵抗器R6の接続点に接続され、トランジスタT6のエミッタはキャパシタCと抵抗器R1の接続点に接続され、トランジスタT6のコレクタは抵抗器R8及びR9の接続点に接続されている。この接続点には、さらにトランジスタT3のベースが接続されている。また、抵抗器R4を介してトランジスタT1のベースが集積回路CIの出力端Sに接続されている。トランジスタT4のベースはトランジスタT1のコレクタに接続されている。 30

【0007】

ツエナ・ダイオードZの役割は、キャパシタCの端子における電圧を制限することである。

集積回路CIは、しきい値回路を構成しており、その内部しきい値を越える電圧がその入力端子(E)とグランド端子(M)の間に現れた場合に、その出力(S)を0から正の電圧に変化させる。 40

【0008】

ダイオードDは、トランジスタT6のベース・エミッタ接合の破壊を防止するためのものである。

図1に示される回路は、図2において各ブロックによって示される機能を実現する。これらの機能は以下のものである。

- ・電圧+(すなわち電源電圧)のフィルタリング及び蓄積
- ・サージの検出
- ・電圧+の消失の検出
- ・電圧+の記憶の消去(すなわち電荷の放電)
- ・|によって指示される電源供給の遮断

回路の構成要素の幾つかは、複数の機能に関与している。具体的には、R 1, C 及び T 3 は 3 つの機能に関与しており、R 2, R 6 及び T 6 は 2 つの機能に関与している。

【0009】

サージを検出する機能は図 3 に例示される。モータの電流が R 2 を通して流れると、R 2 に電位差が生じ、回路 C I の検出端子に現れる。ここで、回路 C I の出力端 S に電圧が現れると、それは、R 2 における電圧降下があまりにも大きいということ、すなわちサージの発生、を意味する。

ここで留意すべきことは、キャパシタ C の端子における電圧がダイオード Z のツェナ電圧の値まで増大し、これによってこの電圧の存在の検出が確認されることである。

【0010】

電圧をフィルタリングし蓄積する機能は図 4 に例示される。

装置を付勢した時、モータを起動させるための電流は、遮断されるべきサージとして検出されてはいけない。この機能はキャパシタ C によって実現される。すなわち、キャパシタ C は、抵抗器 R 1 を通して、回路 C I がそれをトリガさせるしきい値を越える電圧を検出しない程度に緩慢に充電される。

【0011】

いったん充電されると、キャパシタ C は電源電圧 (+) の存在を記憶する。

電源供給を遮断する機能は図 5 に例示される。回路 C I の出力端 S に電圧が現れると、該電圧によってトランジスタ T 1 及び T 4 はオフし、さらに電力トランジスタ T 3 がオフする。そして、モータの電流は仮想的に 0 に低下し、抵抗器 R 3 を通して残余電流が流れることに留まる。

【0012】

電源電圧 (+) の消失を検出する機能は図 6 に例示される。

特にモータ停止コマンドによって電源供給が遮断され、装置の電圧 (+) が消失すると、キャパシタ C の電荷は、抵抗器 R 1, R 3 及び R 6 とトランジスタ T 6 のベース・エミッタ接合を通して放電する。電圧の消失の検出を特徴付けているのは、このトランジスタによる導通である。

【0013】

記憶の消去すなわち電荷を放電させる機能は図 7 に例示される。

電源電圧の供給が遮断されると、キャパシタ C の電荷による電流が、トランジスタ T 3 及び T 6 からなる電力回路を通してループ状に流れる。抵抗器 R 3 は、電圧の消失の検出の開始時に役立っていたが、ここでは短絡される。そして、トランジスタ T 6 による導通が、R 2 及び R 6 によってより長く保証される。

【0014】

この回路の特徴は、電圧降下が小さいこと、直列構成にとって不可欠の特性を有していること、トリガを高精度に行えること、温度ドリフトが小さいこと、リカバリー・タイムが極めて短いこと、そして、トリガした後のリーク電流が小さいことである。

この回路の更なる特徴は、特にその性能と比較した場合にコストが低いことである。

【図面の簡単な説明】

【図 1】本発明の一実施形態に係るスタティック・アイソレータの回路図である。

【図 2】図 1 の回路によって実現される種々の機能をブロック図の形態で示した図である。

【図 3】サージを検出する機能に関する回路の構成要素を太線で示した図である。

【図 4】電源電圧をフィルタリングし蓄積する機能に関する回路の構成要素を太線で示した図である。

【図 5】負荷への電源供給を遮断する機能すなわち中断する機能に関する回路の構成要素を太線で示した図である。

【図 6】電源電圧の消失を検出する機能に関する回路の構成要素を太線で示した図である。

【図 7】記憶を消去する機能すなわち電荷を放電させる機能に関する回路の構成要素を

10

20

30

40

50

太線で示した図である。

【符号の説明】

C ... キャパシタ

C I ... 集積回路

D ... ダイオード

M O ... 負荷

R 1 , R 2 , R 3 , R 4 , R 6 , R 7 , R 8 , R 9 ... 抵抗器

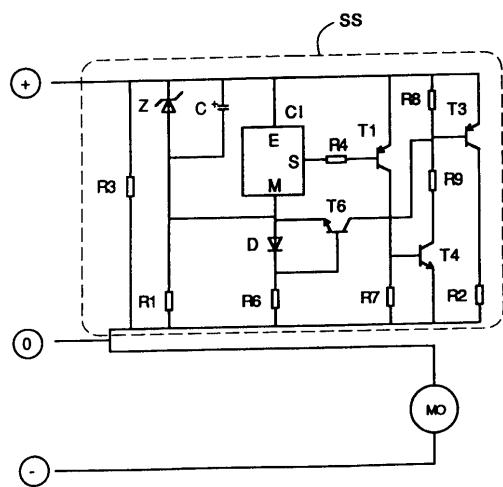
S S ... ダイポール

T 1 , T 3 , T 4 , T 6 ... トランジスタ

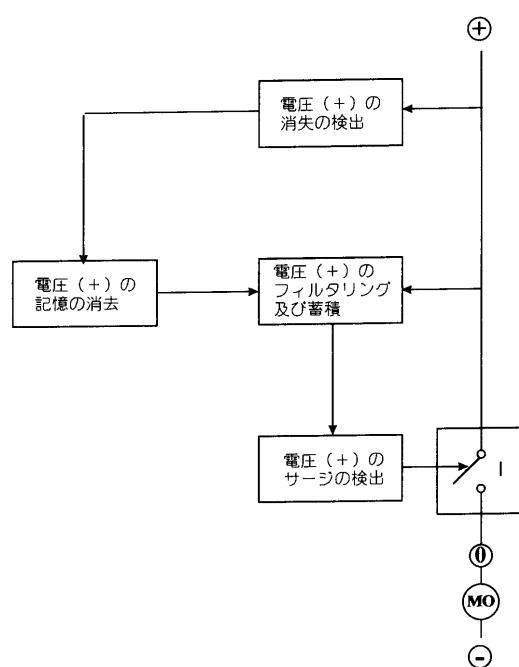
Z ... ツエナ・ダイオード

10

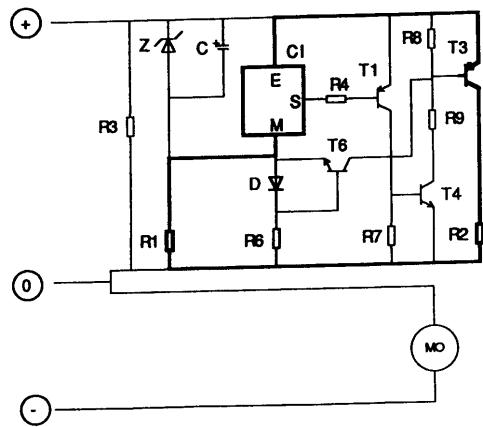
【図 1】



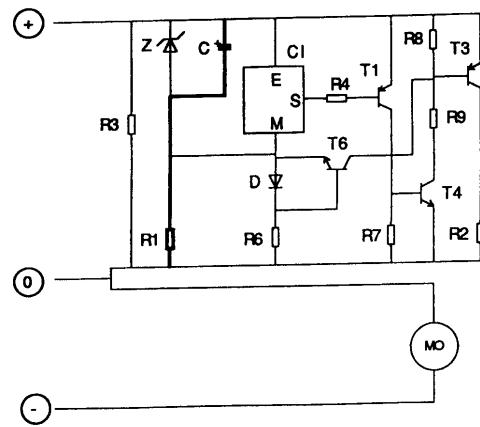
【図 2】



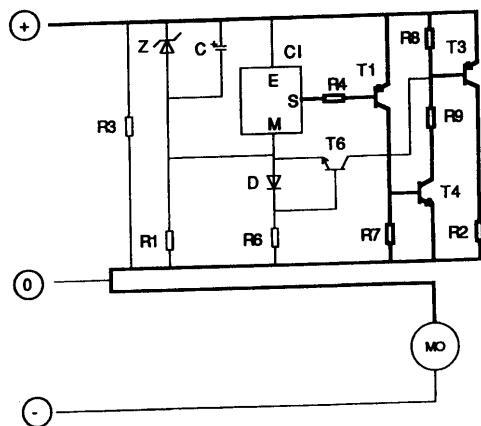
【図3】



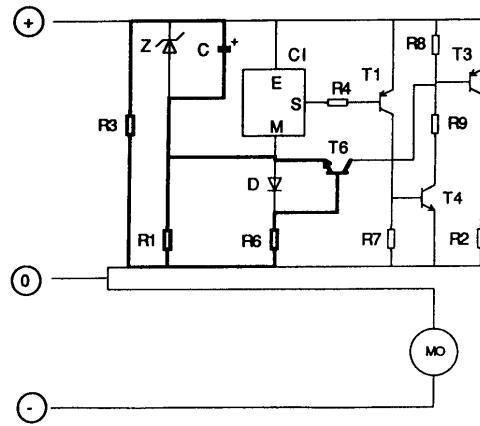
【図4】



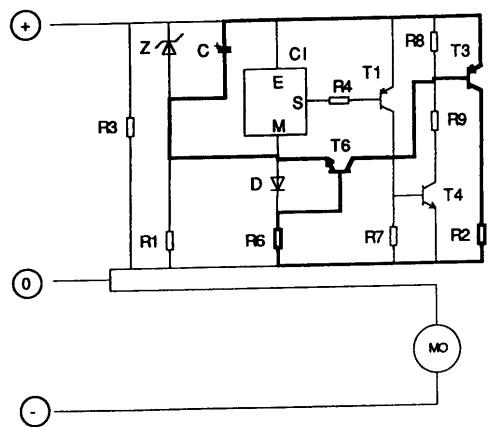
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 アラン トラーシャ
フランス国, 74330 ラ バルム ドゥ シリンジィ, ルート ダブリイ

審査官 高野 誠治

(56)参考文献 米国特許第3851218(US, A)

(58)調査した分野(Int.Cl., DB名)

H02H 3/08 - 3/253
H02H 9/04
H02H 9/09