



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2018년10월05일  
 (11) 등록번호 10-1905249  
 (24) 등록일자 2018년09월28일

(51) 국제특허분류(Int. Cl.)  
 G01S 13/44 (2006.01) G01S 13/28 (2006.01)  
 (52) CPC특허분류  
 G01S 13/4463 (2013.01)  
 G01S 13/282 (2013.01)  
 (21) 출원번호 10-2015-0185196  
 (22) 출원일자 2015년12월23일  
 심사청구일자 2015년12월23일  
 (65) 공개번호 10-2016-0077004  
 (43) 공개일자 2016년07월01일  
 (30) 우선권주장  
 62/096,421 2014년12월23일 미국(US)  
 (뒷면에 계속)  
 (56) 선행기술조사문헌  
 JP2013521508 A\*  
 (뒷면에 계속)  
 전체 청구항 수 : 총 29 항

(73) 특허권자  
 인피니언 테크놀로지스 아게  
 독일연방공화국 85579 노이비베르크 암 캠페온 1-12  
 (72) 발명자  
 바헤티 아슈투쉬  
 독일 뮌헨 81541 호헨발데크스트라세 29  
 발 자그지트 싱  
 미국 프레몬트 94356 141 아파트먼트 파세오 파드리 파크웨이 37200  
 (뒷면에 계속)  
 (74) 대리인  
 제일특허법인(유)

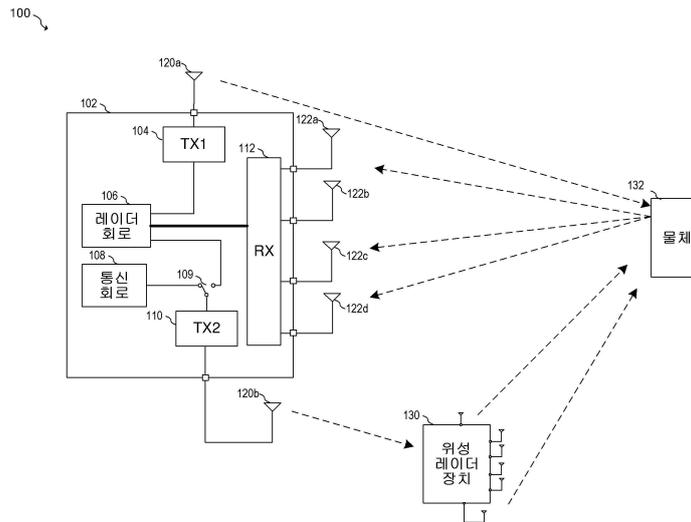
심사관 : 변영석

(54) 발명의 명칭 **RFIC 및 안테나 시스템이 구비된 RF 시스템**

**(57) 요약**

하나의 실시예에 따르면, 패키징된 무선 주파수(RF) 회로는 패키지 기판 상에 배치된 무선 주파수 집적 회로(RFIC)를 포함하며, 상기 RFIC는 상기 RFIC의 제1 에지에서의 수신 포트에 연결되는 복수의 수신기 회로, 및 상기 RFIC의 제2 에지에서의 제1 송신 포트에 연결되는 제1 송신 회로를 포함한다. 패키징된 RF 회로는 상기 RFIC의 제1 에지에 인접하게 상기 패키지 기판 상에 배치된 수신 안테나 시스템 및 상기 RFIC의 제2 에지에 인접하게 상기 패키지 기판 상에 배치되며 상기 RFIC의 제1 송신 포트에 전기적으로 연결되는 제1 송신 안테나를 더 포함한다. 상기 수신 안테나 시스템은 각각 대응하는 수신 포트에 전기적으로 연결된 복수의 수신 안테나 요소를 포함한다.

**대표도**



- (52) CPC특허분류  
*H01Q 19/30* (2018.05)  
*G01S 2013/0245* (2013.01)
- (72) 발명자  
**정메이어 레인하드-볼프강**  
 독일 아잉 85653 슈스테르스트라세 6  
**나스르 이스메일**  
 독일 운테르하힝 82008 릴리엔탈스트라세 8  
**노페니 데니스**  
 독일 쾰른 51069 그라펜물렌베그  
**트로타 사베리오**  
 독일 뮌헨 80538 티에르슈스트라세 44
- (56) 선행기술조사문헌  
 JP2004198312 A\*  
 JP2001174539 A\*  
 JP2014055957 A\*  
 JP2012112861 A\*  
 \*는 심사관에 의하여 인용된 문헌
- (30) 우선권주장  
 62/201,895 2015년08월06일 미국(US)  
 62/222,058 2015년09월22일 미국(US)  
 14/954,198 2015년11월30일 미국(US)
-

## 명세서

### 청구범위

#### 청구항 1

복수의 수신 안테나와,  
복수의 송신 안테나와,  
복수의 수신 안테나에 연결된 복수의 수신 회로 및 복수의 송신 안테나에 연결된 복수의 송신 회로를 포함하는 레이더 프런트 엔드 회로와,  
상기 복수의 송신 회로에 연결된 출력을 갖는 오실레이터와,  
상기 복수의 수신 회로의 출력 및 상기 오실레이터의 제어 입력에 연결된 레이더 프로세싱 회로를 포함하되,  
상기 복수의 수신 회로는 상기 레이더 프런트 엔드 회로의 제1 에지 상에 배열되고,  
상기 복수의 송신 회로의 제1 부분은 상기 레이더 프런트 엔드 회로의 제2 에지 상에 배열되며,  
상기 복수의 송신 회로의 제2 부분은 상기 레이더 프런트 엔드 회로의 제3 에지 상에 배열되고,  
상기 제2 에지는 상기 제1 에지에 인접하고 상기 제3 에지는 상기 제1 에지에 인접한 레이더 시스템.

#### 청구항 2

제1항에 있어서,  
상기 레이더 프로세싱 회로는 상기 오실레이터의 제어 입력에 연결된 위상 고정 루프(phase locked loop)를 포함하는 레이더 시스템.

#### 청구항 3

제2항에 있어서,  
상기 위상 고정 루프는 상기 오실레이터의 제어 입력 및 상기 레이더 프로세싱 회로에 연결되는 아날로그 위상 고정 루프를 포함하는 레이더 시스템.

#### 청구항 4

제2항에 있어서,  
상기 위상 고정 루프는 디지털-아날로그 변환기 및 상기 디지털-아날로그 변환기의 출력과 상기 오실레이터의 제어 입력 사이에 연결되는 적분기를 갖는 소프트웨어 PLL을 포함하는 레이더 시스템.

#### 청구항 5

제1항에 있어서,

상기 레이더 프로세싱 회로는 오실레이터의 제어 입력에 연결된 주파수 변조된 연속 파(frequency modulated continuous wave)(FMCW) 생성기를 포함하는

레이더 시스템.

#### 청구항 6

제5항에 있어서,

상기 FMCW 생성기는 2GHz 내지 8GHz의 변조 대역폭, 6kHz 내지 9kHz의 최소 중간 주파수(IF), 및 150kHz 내지 250kHz의 최대 IF를 생성하도록 구성되는

레이더 시스템.

#### 청구항 7

제5항에 있어서,

상기 FMCW 생성기는 2GHz 내지 8GHz의 변조 대역폭, 3kHz 내지 5kHz의 최소 중간 주파수(IF), 및 800kHz 내지 1.2MHz의 최대 IF를 생성하도록 구성되는

레이더 시스템.

#### 청구항 8

제1항에 있어서,

상기 오실레이터의 중심 주파수(center frequency)는 50GHz 내지 70GHz인

레이더 시스템.

#### 청구항 9

제1항에 있어서,

복수의 수신 회로의 대응하는 출력에 연결된 입력을 갖는 복수의 아날로그-디지털 변환기를 더 포함하는

레이더 시스템.

#### 청구항 10

제9항에 있어서,

복수의 아날로그-디지털 변환기의 출력에 연결된 디지털 인터페이스를 더 포함하는

레이더 시스템.

#### 청구항 11

제10항에 있어서,

복수의 아날로그-디지털 변환기의 출력에 연결된 디지털 신호 프로세서를 더 포함하는

레이더 시스템.

**청구항 12**

제11항에 있어서,

상기 디지털 신호 프로세서는 복수의 아날로그-디지털 변환기의 출력 각각에 대해 가중된 FFT를 수행하고, 상기 가중된 FFT의 결과를 합산하여 가중 합(weighted sum)을 형성하도록 구성되는

레이더 시스템.

**청구항 13**

제10항에 있어서,

상기 디지털 인터페이스는 USB 인터페이스를 포함하는

레이더 시스템.

**청구항 14**

제1항에 있어서,

상기 레이더 프로세싱 회로는 제1 시간 주기 동안 복수의 송신 회로 중 제1 송신 회로를 활성화하고, 상기 제1 시간 주기 후 제2 시간 주기 동안 상기 복수의 송신 회로 중 제2 송신 회로를 활성화하도록 구성되는

레이더 시스템.

**청구항 15**

제1항에 있어서,

상기 복수의 수신 안테나는 복수의 야기-우다(Yagi-Uda) 수신 안테나를 포함하고,

상기 복수의 송신 안테나는 야기-우다 송신 안테나를 포함하는

레이더 시스템.

**청구항 16**

제1항에 있어서,

상기 복수의 수신 안테나는 복수의 패치 수신 안테나를 포함하고,

상기 복수의 송신 안테나는 복수의 패치 송신 안테나를 포함하는

레이더 시스템.

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

복수의 수신 회로 및 복수의 송신 회로를 포함하는 레이더 프론트 엔드 회로에 연결되도록 구성된 레이더 프로세싱 회로를 포함하는 레이더 시스템으로서,

상기 레이더 프로세싱 회로는,

상기 레이더 프론트 엔드 회로의 상기 복수의 수신 회로의 출력에 연결되도록 구성된 입력을 갖는 제1 아날로그-디지털 변환기와,

제1 아날로그-디지털 변환기의 출력에 연결된 디지털 신호 프로세서와,

호스트에 연결되도록 구성된 디지털 인터페이스와,

주파수 변조된 연속 파(FMCW) 생성기와,

상기 FMCW 생성기의 출력에 연결된 입력 및 레이더 프론트 엔드 회로의 오실레이터 회로에 연결되도록 구성된 출력을 갖는 PLL 회로를 포함하되,

상기 복수의 수신 회로는 상기 레이더 프론트 엔드 회로의 제1 에지 상에 배열되고,

상기 복수의 송신 회로의 제1 부분은 상기 레이더 프론트 엔드 회로의 제2 에지 상에 배열되며,

상기 복수의 송신 회로의 제2 부분은 상기 레이더 프론트 엔드 회로의 제3 에지 상에 배열되고,

상기 제2 에지는 상기 제1 에지에 인접하고 상기 제3 에지는 상기 제1 에지에 인접한

레이더 시스템.

**청구항 20**

제19항에 있어서,

상기 FMCW 생성기는 상기 레이더 프론트 엔드 회로의 송신 출력에서 2GHz 내지 8GHz의 변조 대역폭, 상기 복수의 수신 회로의 출력에서 6kHz 내지 9kHz의 최소 중간 주파수(IF), 및 상기 복수의 수신 회로의 출력에서 150kHz 내지 250kHz의 최대 IF를 생성하도록 구성되는

레이더 시스템.

**청구항 21**

제19항에 있어서,

상기 FMCW 생성기는 상기 레이더 프론트 엔드 회로의 송신 출력에서 2GHz 내지 8GHz의 변조 대역폭, 상기 복수의 수신 회로의 출력에서 3kHz 내지 5kHz의 최소 중간 주파수(IF), 및 상기 복수의 수신 회로의 출력에서 800kHz 내지 1.2MHz의 최대 IF를 생성하도록 구성되는

레이더 시스템.

**청구항 22**

제19항에 있어서,

상기 PLL 회로는,

분주된 오실레이터 주파수에 연결되도록 구성된 입력을 갖는 제2 아날로그-디지털 변환기와,

상기 제2 아날로그-디지털 변환기에 연결된 입력을 갖는 FFT 회로와,

상기 FFT 회로의 출력에 연결된 입력을 갖는 록업 테이블과,

상기 록업 테이블의 출력에 연결된 입력 및 상기 레이더 프론트 엔드 회로의 오실레이터 회로에 연결되도록 구성된 출력을 갖는 디지털-아날로그 변환기를 포함하는 레이더 시스템.

**청구항 23**

제22항에 있어서,  
상기 제2 아날로그-디지털 변환기는 상기 제1 아날로그-디지털 변환기와 상이한 레이더 시스템.

**청구항 24**

제19항에 있어서,  
상기 레이더 프론트 엔드 회로를 더 포함하는 레이더 시스템.

**청구항 25**

복수의 송신 회로 및 복수의 수신 회로를 포함하는 레이더 프론트 엔드 회로를 포함하는 레이더 시스템을 동작시키는 방법으로서,  
주파수 변조된 연속 파(FMCW) 신호를 생성하는 단계와,  
복수의 송신 안테나를 통해 FMCW 신호를 송신하는 단계와,  
복수의 수신 안테나를 통해 반사된 FMCW 신호를 수신하는 단계와,  
반사되고 수신된 FMCW 신호를 중간 주파수에 믹싱하여 IF 신호를 형성하는 단계와,  
상기 IF 신호를 프로세싱하는 단계와,  
디지털 인터페이스를 통해 프로세싱된 IF 신호를 호스트로 송신하는 단계를 포함하되,  
상기 복수의 수신 회로는 상기 레이더 프론트 엔드 회로의 제1 에지 상에 배열되고,  
상기 복수의 송신 회로의 제1 부분은 상기 레이더 프론트 엔드 회로의 제2 에지 상에 배열되며,  
상기 복수의 송신 회로의 제2 부분은 상기 레이더 프론트 엔드 회로의 제3 에지 상에 배열되고,  
상기 제2 에지는 상기 제1 에지에 인접하고 상기 제3 에지는 상기 제1 에지에 인접한 레이더 시스템을 동작시키는 방법.

**청구항 26**

제25항에 있어서,  
상기 IF 신호를 프로세싱하는 단계는 상기 IF 신호에 대해 FFT를 수행하는 단계를 포함하는 레이더 시스템을 동작시키는 방법.

**청구항 27**

제25항에 있어서,

상기 프로세싱된 IF 신호를 호스트로 송신하는 단계는 USB 인터페이스를 통해 상기 프로세싱된 IF 신호를 상기 호스트로 송신하는 단계를 포함하는

레이더 시스템을 동작시키는 방법.

### 청구항 28

제25항에 있어서,

상기 복수의 송신 안테나를 통해 FMCW 신호를 송신하는 단계는 복수의 송신 패치 안테나를 통해 상기 FMCW 신호를 송신하는 단계를 포함하고,

상기 복수의 수신 안테나를 통해 반사된 FMCW 신호를 수신하는 단계는 복수의 수신 패치 안테나를 통해 상기 FMCW 신호를 수신하는 단계를 포함하는

레이더 시스템을 동작시키는 방법.

### 청구항 29

제25항에 있어서,

상기 복수의 송신 안테나를 통해 FMCW 신호를 송신하는 단계는 적어도 하나의 야기-우다 송신 안테나를 통해 상기 FMCW 신호를 송신하는 단계를 포함하고,

상기 복수의 수신 안테나를 통해 반사된 FMCW 신호를 수신하는 단계는 복수의 야기-우다 수신 안테나를 통해 상기 FMCW 신호를 수신하는 단계를 포함하는

레이더 시스템을 동작시키는 방법.

### 청구항 30

제25항에 있어서,

상기 FMCW 신호를 생성하는 단계는 상기 IF 신호가 6kHz 내지 9kHz의 최소 중간 주파수(IF) 및 150kHz 내지 250kHz의 최대 IF를 갖도록 2GHz 내지 8GHz의 변조 대역폭을 갖는 FMCW 신호를 생성하는 단계를 포함하는

레이더 시스템을 동작시키는 방법.

### 청구항 31

제25항에 있어서,

상기 FMCW 신호를 생성하는 단계는 상기 IF 신호가 3kHz 내지 5kHz의 최소 중간 주파수(IF) 및 800kHz 내지 1.2MHz의 최대 IF를 갖도록 2GHz 내지 8GHz의 변조 대역폭을 갖는 FMCW 신호를 생성하는 단계를 포함하는

레이더 시스템을 동작시키는 방법.

## 발명의 설명

### 기술 분야

[0001] 본 출원은 2014년 12월 23일에 출원된 미국 가특허출원 번호 62/096,421, 2015년 08월 06일에 출원된 미국 가특허출원 번호 62/201,895, 및 2015년 09월 22일에 출원된 미국 가특허출원 번호 62/222,058의 우선권을 주장하며, 이들 출원은 그 전체가 본 명세서에 참조로서 포함된다.

[0002] 관련 출원과의 상호 참조

[0003] 이 특허 출원은 다음의 공동출원 중이고 함께 양도된 2015년 11월 30일자로 출원된 미국 특허 출원 번호 14/954,395, 발명의 명칭 "RF System with an RFIC and Antenna System," (Attorney Docket Number 2014 P 52192 US01) 및 2015년 11월 30일자로 출원된 미국 특허 출원 번호 14/954,256, 발명의 명칭 "System and Method for Radar" (Attorney Docket Number 2015 P 51802 US01)과 더 관련되며, 상기 출원들은 그 전체가 본 명세서에 참조로서 포함된다.

[0004] 기술 분야

[0005] 본 발명은 일반적으로 전자 장치와 관련되며, 더 구체적으로 무선 주파수 집적 회로(RFIC) 및 안테나 시스템이 구비된 무선 주파수(RF) 시스템과 관련된다.

### 배경 기술

[0006] 저비용 반도체 기술, 가령, 실리콘 게르마늄(SiGe) 및 미세 지오메트리 상보적 금속-옥사이드 반도체(CMOS) 공정의 빠른 진보로 인해, 지난 수년 동안 밀리미터-파 주파수 체제에서의 적용에 상당한 관심이 기울여 졌다. 고속 바이폴라 및 금속-옥사이드 반도체(MOS) 트랜지스터의 이용 가능성이 60GHz, 77GHz, 및 80GHz에서뿐 아니라 100 GHz를 초과하는 mm-파 적용예에서도 집적 회로의 증가하는 수요를 이끌었다. 이러한 적용예의 예시로는 자동차 레이더 시스템 및 멀티-기가비트 통신 시스템이 있다.

[0007] 일부 레이더 시스템에서, 주파수 변조된 신호를 송신하고, 반사된 상기 주파수 변조된 신호를 수신하며, 상기 주파수 변조된 신호의 송신과 수신 간의 시간 딜레이 및/또는 주파수 차이를 기초로 거리를 결정함으로써, 레이더와 타겟 간의 거리가 결정된다. 따라서 일부 레이더 시스템은 RF 신호를 송신하기 위한 송신 안테나, 상기 RF 신호를 수신하기 위한 수신 안테나뿐 아니라 송신된 신호를 생성하고 RF 신호를 수신하도록 사용되는 연관된 RF 회로도 포함한다. 일부 경우, 위상 어레이 기법(phased array technique)을 이용해 지향성 빔을 구현하기 위해 복수의 안테나가 사용될 수 있다.

### 발명의 내용

#### 해결하려는 과제

#### 과제의 해결 수단

[0008] 일 실시예에 따르면, 패키징된 무선 주파수(RF) 회로가 무선 주파수 집적 회로(RFIC)를 포함하며, 상기 RFIC는 패키지 기판 상에 배치되며 상기 RFIC의 제1 에지에서의 수신 포트에 연결된 복수의 수신기 회로 및 상기 RFIC의 제2 에지에서의 제1 송신 포트에 연결된 제1 송신 회로를 가진다. 패키징된 RF 회로는 또한 상기 RFIC의 제1 에지에 인접하며 상기 패키지 기판 상에 배치되는 수신 안테나 시스템 및 상기 RFIC의 제2 에지에 인접하게 패키지 기판 상에 배치되며 RFIC의 제1 송신 포트에 전기적으로 연결된 제1 송신 안테나를 더 포함한다. 상기 수신 안테나 시스템은 대응하는 수신 포트에 전기적으로 각각 연결되는 복수의 수신 안테나 요소를 포함한다.

#### 도면의 간단한 설명

[0009] 본 발명 및 이의 이점의 더 완전한 이해를 위해, 첨부된 도면을 참조하여 이하의 기재를 참조할 수 있다.

도 1은 일 실시예에 따르는 레이더 시스템을 포함한다.

도 2는 도 2a-2c를 포함하며, 일 실시예에 따르는 RF 시스템/안테나 패키지 및 대응하는 회로 보드를 도시한다.

도 3은 일 실시예에 따르는 RF 시스템/안테나 패키지의 평면도를 도시한다.

도 4는 도 4a, 4b 및 4c를 포함하며, 추가 실시예에 따르는 RF 시스템/안테나 패키지 및 이에 대응하는 회로 보드를 도시한다.

도 5는 일 실시예에 따르는 패치 안테나 시스템에 의해 생성되는 안테나 패턴을 도시한다.

도 6은 도 6a 및 6b를 포함하는 일 실시예에 따르는 무선 주파수 집적 회로(RFIC)의 개략적 레이아웃을 도시한다.

도 7은 일 실시예에 따르는 레이더 시스템의 블록도를 도시한다.

도 8은 도 8a, 8b, 8c 및 8d를 포함하며, 주파수 변조되는 연속 파(FMCW) 레이더 시스템의 동작을 나타내는 다이어그램을 제공한다.

도 9는 도 9a, 9b, 9c 및 9d를 포함하며, 일 실시예에 따르는 레이더 시스템 및 일 실시예에 따르는 안테나 구성의 블록도를 나타낸다.

도 10은 도 10a, 10b, 10c 및 10d를 포함하며, 다양한 실시예에 따르는 레이더 시스템의 회로 보드를 도시한다.

도 11은 일 실시예에 따르는 레이더 제어기의 블록도를 도시한다.

도 12는 일 실시예에 따르는 동작의 자동 트리거 모드의 흐름도이다.

도 13은 일 실시예에 따르는 동작의 수동 트리거 모드의 흐름도이다.

도 14는 일 실시예에 따르는 프로세싱 시스템의 블록도를 도시한다.

서로 다른 도면에서의 대응하는 숫자 및 기호가, 달리 지시되지 않는 한, 대응하는 부분을 지칭하는 것이 일반적이다. 도면은 선호되는 실시예의 관련 양태를 명료하게 도시하도록 그려진 것이며 반드시 실측 비율로 그려진 것은 아니다. 특정 실시예를 더 명료하게 도시하기 위해, 동일한 구조, 물질, 또는 프로세스 단계의 변동을 가리키는 무자가 도면 번호 뒤에 존재할 수 있다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] 현재 선호되는 실시예의 제작 및 이용이 이하에서 상세히 설명된다. 그러나 본 발명은 다양한 특정 맥락에서 실현될 수 있는 많은 적용 가능한 발명 개념을 제공함이 자명할 것이다. 설명되는 특정 실시예가 본 발명을 제작하고 이용하는 특정 방식에 대한 예시에 불과하며 본 발명의 범위를 제한하지 않는다.
- [0011] 본 발명은 특정 맥락, 레이더 시스템, 가령, 카메라 감지 시스템 및 휴대용 소비자 장치를 위해 사용되는 레이더 시스템을 위한 시스템 및 방법에서 바람직한 실시예와 관련하여 기재될 것이다. 본 발명은 또한 그 밖의 다른 시스템 및 적용예, 가령, 일반 레이더 시스템 및 무선 통신 시스템에 적용될 수 있다.
- [0012] 본 발명의 실시예에서, RF 회로 및 안테나를 포함하는 고주파수 RF 시스템이 단일 볼 그리드 어레이(ball grid array)(BGA) 패키지로 구현된다. 상기 RF 시스템은 칩의 제1 에지(edge) 상에 수신 인터페이스 및 상기 칩의 인접하거나 대향하는 에지 상에 송신 인터페이스를 갖는 집적 회로를 포함한다. 다중-요소 패치 안테나(multi-element patch antenna)가 상기 칩의 제1 에지에 인접하게 상기 패키지의 표면 상에 배치되고 상기 칩의 제1 에지의 다중 수신 채널 인터페이스에 연결된다. 마찬가지로, 신호를 송신하기 위한 패치 안테나가 상기 송신 인터페이스에 인접하여 칩의 인접하거나 대향하는 에지 상에서 패키지의 재배선 층 상에 배치된다. 하나의 실시예에서, 적어도 하나의 송신 채널이 입사 레이더 신호 또는 데이터 신호를 선택적으로 송신하도록 사용될 수 있다. 본 발명의 또 다른 실시예에서, 집적 회로가 회로 보드 상에 배치된 다중-요소 패치 안테나에 인접하게 상기 회로 보드 상에 직접 장착될 수 있다.
- [0013] 송신 안테나와 수신 안테나 간 격리를 제공하기 위해, 접지 벽(ground wall)이 패키지에서 상기 제1 에지에 인접하게 배치된다. 이 접지 벽은 재배선 층 내 접지 층을 이용해 및/또는 접지되는 솔더 볼의 어레이를 이용해 구현될 수 있다. 덧붙여, 더미 솔더 볼(dummy solder ball)이 팬 아웃 영역에서, 특히, 패치 안테나에 인접한 패키지의 영역에서, 패키지에 기계적 안정성을 제공하도록 사용될 수 있다.
- [0014] 하나의 실시예에서, 레이더 시스템에서 널리 사용되는 빔 형성 개념이 빔 조향 및 지향성을 RF 신호의 송신 및 수신에 부여하도록 사용될 수 있다. 이러한 실시예는, 예를 들어, 자동차 레이더, 카메라 시스템, 휴대용 시스템, 웨어러블 장치, TV 세트, 태블릿 컴퓨터, 및 그 밖의 다른 적용예에 적용될 수 있다. 예를 들어, 카메라 시스템에서, 레이더 시스템은 사진 찍히는 물체까지의 거리를 결정하여 초점과 노출 설정을 결정하도록 사용될 수 있다. 이 거리는, 약 2GHz 내지 8GHz의 대역폭, 가령, 7GHz 대역폭을 갖는 60GHz 레이더 시스템의 실시예를 이용해, 정확하고 높은 분해능으로, 결정될 수 있다. 이러한 거리 정보는 또한 스마트 감지 시스템에서 사용될 수 있으며, 여기서 레이더 거리측정 데이터(radar ranging data)가 카메라 데이터와 병합된다.
- [0015] 실시예의 빔 형성 개념은 또한 제스처 인식 시스템(gesture recognition system)을 구현하도록 사용될 수 있다. 과거에는, 제스처 인식 시스템이 광학 카메라, 압력 센서, PAL 및 그 밖의 다른 장치를 이용해 구현되었다. 실시예의 레이더 시스템을 이용함으로써, 제스처 인식 시스템은 편의상 플라스틱 또는 그 밖의 다른 견고한 물질

로 만들어진 불투명 커버 뒤에 감춰진 채 정확한 거리 측정을 수행할 수 있다.

- [0016] 도 1은 본 발명의 실시예에 따르는 레이더 시스템(100)을 도시한다. 도시된 바와 같이, 레이더 송수신기 장치(radar transceiver device)(102)가 송신 안테나(120a) 및/또는 송신 안테나(120b)를 통해 물체(132)를 향해 입사 RF 신호를 송신하고, 수신 안테나(122a-d)를 포함하는 안테나 어레이를 통해 반사된 RF 신호를 수신한다. 레이더 송수신기 장치(102)는 수신 안테나(122a-d)에 연결된 수신기 프론트 엔드(112), 송신 안테나(120a)에 연결된 제1 송신기 프론트 엔드(104), 및 송신 안테나(120b)에 연결된 제2 송신기 프론트 엔드(110)를 포함한다. 레이더 회로(106)는 제1 및 제2 송신기 프론트 엔드(104 및 110)로 송신될 신호를 제공하고 수신기 프론트 엔드(112)에 의해 수신된 신호를 수신 및/또는 프로세싱한다.
- [0017] 하나의 실시예에서, 제2 송신기 프론트 엔드(110)로의 입력이, 스위치(109)에 의해 나타내어지는 회로를 통해, 레이더 회로(106)의 출력과 통신 회로(108)의 출력 중에 선택될 수 있다. 제2 송신기 프론트 엔드(110)가 레이더 회로(106)로부터의 입력을 수신할 때, 제1 송신기 프론트 엔드(104)와 제2 송신기 프론트 엔드(110) 모두 홀로그래픽 레이더(holographic radar)를 구축하도록 사용될 수 있다. 다른 한편, 제2 송신기 프론트 엔드(110)가 통신 회로(108)로부터의 입력을 수신할 때, 제1 송신기 프론트 엔드(104)가 송신 안테나(120a)로 레이더 신호를 제공하고 제2 송신기 프론트 엔드(110)가 송신 안테나(120b)로 통신 신호를 제공한다. 이 통신 신호는 반송파로 변조된 신호일 수 있다. 하나의 예시에서, 제2 송신기 프론트 엔드(110)는 바이폴라 위상-편이 키잉(BPSK) 변조된 신호를 데이터를 갖고 있는 위성 레이더 장치(130)로 송신할 수 있다. 일부 실시예에서, 레이더 송수신기 장치(102)와 위성 레이더 장치(130) 간 데이터 링크가 레이더 송수신기 장치(102)와 위성 레이더 장치(130) 간 RF 송신 및 수신을 조화(coordinate)시켜, 위상 어레이 빔 조향을 구현하도록 사용될 수 있다. 일부 실시예에서, 위성 레이더 장치(130)도 역시 데이터 송신 능력을 가지며 레이더 송수신기 장치(102)는 위성 레이더 장치(130)로부터의 데이터를 안테나(122a-d)를 통해 수신하도록 구성될 수 있다.
- [0018] 하나의 실시예에서, 레이더 송수신기 장치(102), 또는 레이더 송수신기 장치(102)의 일부분이, 제1 송신기 프론트 엔드(104), 제2 송신기 프론트 엔드(110), 수신기 프론트 엔드(112), 및 송신 안테나(120a 및 120b) 및 수신 안테나(122a-d)를 포함하는 패키지로 구현될 수 있다. 도 2a는 안테나(120a, 120b 및 122a-d)를 구현하도록 사용되는 레이더 회로(106) 및 패치 안테나(208)를 포함하는 볼 그리드 어레이(BGA) 패키지의 횡단면도이다. 대안적 실시예에서, 패치 안테나 외 다른 안테나 요소가 사용될 수 있는데, 가령, 야기-우다 안테나(Yagi-Uda antenna)가 패키징된 칩 및 안테나 모듈의 측부로부터 감지를 제공하도록 사용될 수 있다. 도시된 바와 같이, 패키징된 칩과 안테나 모듈(202)은 솔더 볼(210)을 통해 회로 보드(204)에 연결된다.
- [0019] 하나의 실시예에서, 레이더 시스템(100)뿐 아니라 본 명세서에 개시된 그 밖의 다른 실시예의 동작 주파수가 약 57GHz 내지 약 66GHz이다. 대안적으로 실시예의 시스템은 이 범위 밖의 주파수에서도 동작할 수 있다.
- [0020] 도 2b는 패키징된 칩과 안테나 모듈(202)의 평면도이다. 도시된 RF 칩(206)은 패키지의 재배선 층(220) 상에 배치되고 RF 칩(206)의 제1 에지 상에 배치되는 수신기 프론트 엔드(112), RF 칩(206)의 제1 에지에 인접한 제2 에지에 연결된 제1 송신기 프론트 엔드(104), 및 레이더 회로(106)의 제1 에지에 또한 인접한 제3 에지에 연결된 제2 송신기 프론트 엔드(110)를 가진다. 대안적으로, 송신기 회로는 RF 칩(206)의 제1 에지에 대향하는 제4 에지로도 연결될 수 있다.
- [0021] 수신 패치 안테나(receive patch antenna)(222)가 RF 칩(206)의 제1 에지와 동일 측부 상에 위치되지만, 수신 패치 안테나(222)와 RF 칩(206) 간 격리, 및 수신 패치 안테나(222)와 송신 패치 안테나(214 및 216) 간 격리를 제공하는 접지 벽(212)에 의해 분리된다. 접지 벽(212)은, 예를 들어, 접지된 솔더볼(210g)을 이용해, 및/또는 패키지의 재배선 층(220) 내 접지된 전도성 층을 통해, 구현될 수 있다. 도시된 바와 같이, 송신 패치 안테나(214)는 제1 송신기 프론트 엔드(104)에 연결되고 제1 송신기 프론트 엔드(104)와 동일한 RF 칩(206)의 에지에 인접하게 배치된다. 마찬가지로, 송신 패치 안테나(216)는 제2 송신기 프론트 엔드(110)에 연결되며 제2 송신기 프론트 엔드(110)와 동일한 RF 칩(206)의 에지에 인접하게 배치된다.
- [0022] 더미 솔더 볼(210d)이 수신 패치 안테나(222)에 인접한 패키지의 팬 아웃 영역에 배치되고 패키징된 칩과 안테나 모듈(202)에 기계적 안정성을 제공한다. 마찬가지로, 모서리 솔더 볼(corner solder ball)(210c)이 패키지에 기계적 안정성을 제공할 뿐 아니라, 패키징된 칩과 안테나 모듈(202)이 인쇄 회로 보드(PCB) 상에 설치되고 솔더링될 때 패키지의 재배선 층(220)의 모서리를 지지할 수 있다. 일부 실시예에서, 더미 솔더 볼(210d) 및 코너 솔더 볼(210c)이 RF 칩(206)으로의 전기적 연결을 제공하는 연결 솔더 볼(210r) 상의 기계적 응력을 완화함으로써 패키지의 재배선 층(220)이 다양한 기계적 응력, 가령, 반복되는 온도 사이클링에 견딜 수 있게 한다.

- [0023] 도 2c는 일 실시예에 따르는, 재배선 층 또는 기판(253) 상에 배치되는 RF 칩(251)을 포함하는 레이더 송수신기 장치(250)를 도시한다. 송신 수신 패치 안테나(252) 및 수신 패치 안테나(254 및 256)가 RF 칩(251)에 연결되며 z 방향의 복사 패턴(radiation pattern)(270)을 가진다. 덧붙여, 송신 수신 야기-우다(Yagi-Uda) 안테나(252) 및 수신 야기-우다 안테나(258 및 260)가 RF 칩(251)에 연결되고 y 방향의 복사 패턴(272)을 가진다. 일부 실시예에서, 수신 패치 안테나(254 및 256) 및 야기-우다 안테나(258 및 260)가 조합되어, "반구(half-ball)" 복사 패턴(274)을 형성할 수 있다.
- [0024] 도 3은 본 발명의 또 다른 실시예에 따르는 패키지 기판(300)을 도시한다. 도시된 바와 같이, RF 칩(304)은 패키지 기판(300) 상에 배치되고 송신 회로(TX1 및 TX2)를 통해 각각 송신 패치 안테나(310a) 및 송신 패치 안테나(310b)에 연결된다. 수신 패치 안테나(308a-d)를 포함하는 수신 패치 안테나 시스템(306)은 RF 칩(304) 상의 수신 회로(RX1, RX2, RX3 및 RX4)에 연결된다. 도시된 바와 같이, 패키지 기판(300)의 레이아웃이, 지오메트릭 상 안테나들을 이격시키고 접지 벽(314)을 통해 안테나들을 격리시킴으로써, 수신 패치 안테나 시스템(306)과 송신 패치 안테나(310a 및 310b) 간 격리를 제공한다. 하나의 실시예에서, 접지 벽(314)이 접지된 솔더 볼의 어레이를 이용해 구현된다.
- [0025] RF 칩(304)으로의 전기적 연결을 제공하는 솔더 볼(316)에 추가로, 수신 패치 안테나 시스템(306) 및 모서리 더미 솔더 볼(318)에 인접하게 배치된 더미 솔더 볼(312)이 패키지에 기계적 안정성을 제공할 뿐 아니라, 추가 기계적 연결 및 정렬 능력을 패키지 기판(300)이 솔더링되는 기판에 제공할 수 있다. 하나의 실시예에서, 패키지 기판(300)의 물리적 치수는 약 14mm×14mm이다. 대안적으로 패키지 기판(300)은 다른 크기일 수 있다.
- [0026] 하나의 실시예에서, 수신 패치 안테나 시스템(306)은 RF 시스템에 의해 송신되는 신호 주파수의 파장  $\lambda$ 의 계수 x(복수 배 또는 분수 배)만큼 이격되어 있는 중심을 갖는 사각형 구성으로 배열되는 사각형 패치 안테나(308a, 308b, 308c 및 308d)를 포함한다. 일부 실시예에서, x는 약 1/2 내지 약 2/3이다. 대안적으로 x는 이 범위 밖에 있을 수 있다. 대안적 실시예에서, 특정 시스템의 규격에 따라 4개보다 많거나 적은 패치 안테나가 사용되어 수신 패치 안테나 시스템(306)을 구현할 수 있다.
- [0027] 도 4a는 회로 보드(424) 상에 배치되는 일 실시예에 따르는 RF 시스템/안테나 패키지(420)의 횡단면도이다. 내장형 웨이퍼 레벨 볼 그리드 어레이(embedded wafer level ball grid array)(eWLB) 패키지와 관련된 특정 실시예에서, RF 시스템/안테나 패키지(420)가 약 450 $\mu$ m 두께의 몰딩 물질 층(molding material layer)(402) 및 상기 몰딩 물질 층 아래에 배치되며 약 20 $\mu$ m 두께인 저온도 계수(low temperature coefficient)(LTC) 층(404)을 포함한다. 다양한 패치 안테나가 7.5 $\mu$ m 재배선 층(RDL)(406)을 이용해 구현된다. 하나의 실시예에서, 다양한 송신 및 수신 회로를 포함하는 RF 칩(410)이 상기 몰딩 물질(402) 내 공동(cavity) 내에 배치된다. 일부 실시예에서, RF 시스템/안테나 패키지(420)는 패키지의 기판 내 다양한 수동 소자(passive device)의 라우팅 및/또는 구현을 위해 사용되는 추가 전도성 층을 포함할 수 있다. 본 발명의 대안적 실시예에서, 그 밖의 다른 패키지 유형, 가령, BGA 또는 Advanced Thin Small Leadless ATSPAL 패키지가 또한 사용될 수 있다.
- [0028] 하나의 실시예에서, RF 시스템/안테나 패키지(420)가 솔더 볼(408)을 통해 회로 보드(424) 상에 장착된다. 회로 보드(424)은 구리 접지 층(414) 상에 배치된 FR4 물질(412)을 이용해 구현될 수 있다. 대안적으로, 또 다른 물질, 가령, 로저스(Rogers) PCB 물질이 사용될 수 있다. 일부 실시예에서, 회로 보드(424)은 종래 기술에서 알려진 바와 같은 추가 전도성 및 절연 층을 포함할 수 있다. 일부 구현예에서 FR4 물질(412)은 약 165 $\mu$ m 두께일 수 있고 구리 접지 층(414)은 약 35 $\mu$ m 두께일 수 있지만, 그 밖의 다른 두께가 사용될 수 있다. 하나의 실시예에서, RF 시스템/안테나 패키지(420)의 하부 부분이 회로 보드(424)의 상부 부분으로부터 약 250 $\mu$ m 만큼 이격되어서, 안테나 패치와 구리 접지 층(414) 간에 충분히 큰 간격을 제공할 수 있다. 이러한 공간은 구리 접지 층(414)을 회로 보드(424)의 하부 층으로서 가짐으로써 더 증진될 수 있다.
- [0029] 도 4b는 회로 보드(424) 상에 배치되는 RF 시스템/안테나 패키지(420)의 절단된 3차원 도시이다. 칩(410)을 하우징하는 RF 시스템/안테나 패키지(420)의 섹션이 영역(422)으로 지시되어, RF 시스템/안테나 패키지(420)의 나머지 부분에 대한 칩(410)의 상대적 위치를 나타낸다. 도 4c는 솔더 볼(408)을 통해 회로 보드(424) 상에 장착된 RF 시스템/안테나 패키지(420)의 횡단면도이다.
- [0030] RF 시스템/안테나 패키지(420)의 다양한 층 및 상기 RF 시스템/안테나 패키지가 배치되는 기판을 위해 사용되는 다양한 예시적 물리적 치수 및 다양한 물질은 단지 특정 예시에 불과함이 이해되어야 한다. 본 발명의 대안적 실시예에서, 그 밖의 다른 물리적 치수 및 적합한 물질이 다양한 층을 위해 사용될 수 있다.
- [0031] 도 5는 도 3에 도시된 일 실시예에 따르는 4-요소 수신 안테나 시스템(306)에 대한 안테나 패턴(500)을 나타내

는 3차원 플롯을 도시한다. 도시된 바와 같이, 안테나 패턴(500)은 Z 방향으로 지향되는 메인 로브(main lobe)와 X-축 및 Y-축과 교차하는 사이드 로브(side lobe)를 가진다. 하나의 실시예에서, 각각의 사이드 로브는 4개의 수신 패치 안테나 각각에 대응한다. 대안적 실시예에 따르는 패치 안테나가 상이한 안테나 패턴을 가질 수 있음이 이해되어야 한다.

[0032] 도 6a는 앞서 기재된 다양한 실시예에서 나타난 RF 칩을 구현하도록 사용될 수 있는 일 실시예에 따르는 RFIC(600)를 도시한다. 하나의 실시예에서, RFIC(600)은 RFIC(600)의 상부 에지를 따라 배치된 4개의 수신 채널, 및 RFIC(600)의 좌측부와 우측부 상에 각각 배치된 2개의 송신 채널을 포함한다. 도시된 바와 같이, 각각의 수신 채널은, 핀(RF\_RX1, RF\_RX2, RF\_RX3 및 RF\_RX4)에서 수신된 각자의 RF 신호를 라인(IF1, IF2, IF3 및 IF4)에서 중간 주파수(intermediate frequency)로 하향변환(downconvert)하는 각자의 변압기(602) 및 믹서(604)를 포함한다. 제1 송신 채널은 핀(RF\_TX1p 및 RF\_TX1n)에 신호를 제공하는 변압기(624) 및 전력 증폭기(622)를 포함하고, 제2 송신 채널은 변압기(618) 및 믹서(616)를 포함한다. 하나의 실시예에서, 믹서(616)가 활성화되어, 핀(BPSK)에서 도입된 바이폴라 위성 편이 키잉(BPSK)된 데이터를 이용해 반송파를 변조할 수 있다. 따라서 믹서(616)는 BPSK 변조기로서 기능 할 수 있다. 하나의 특정 예시에서, 약 1000MB의 데이터율(data rate)이 믹서(616)를 이용해 지원된다. 대안적 실시예에서, 데이터는 또 다른 데이터율로 그리고 또 다른 변조 스킴을 이용해 변조될 수 있다. 믹서(616)가, 예를 들어, 제2 송신 채널이 입사 레이더 신호를 제공하는 시간 주기 동안, 활성화되지 않을 때, 로컬 오실레이터(LO) 버퍼(612)에 의해 제공되는 신호가 출력 핀(RF\_TX2p 및 RF\_TX2n)으로 제공된다.

[0033] 제1 및 제2 송신 채널은 송신되는 전력을 측정하기 위해 각자의 전력 센서(626 및 620)를 더 포함할 수 있으며, 이는 종래 기술에 알려진 전력 센서 회로 및 시스템을 이용해 구현될 수 있다. 이러한 전력 센서의 비제한적 예를 들면, 다이오드 검출기 및 대수 전력 검출기(logarithmic power detector)가 있을 수 있다. 전력 센서(626 및 620)의 출력과 온도 센서(630)의 출력은 멀티플렉서(634)를 통해 외부 핀에서 선택 가능하다. 일부 실시예에서, 제1 송신 채널 및 제2 송신 채널의 출력 진폭이 디지털-아날로그 변환기(614)를 이용해 조절될 수 있다. 출력 진폭으로의 이러한 조절은 전력 센서(620 및 626)에 의해 측정된 전력을 기초로 이뤄질 수 있다.

[0034] 하나의 실시예에서, 다양한 믹서 및 송신기에 연결되는 LO 신호는 약 57GHz 내지 약 66GHz의 주파수를 갖지만, 특정 실시예 및 이의 규격에 따라서 이 범위 밖의 주파수도 사용될 수 있다. 도시된 바와 같이, LO 신호가 VCO(636)에 의해 생성되고 전력 스플리터(608)에 의해 분할되기 전에 LO 버퍼(628)에 의해 먼저 버퍼링된다. 도시된 바와 같이, 3-웨이 월킨슨 전력 스플리터가 사용되지만, 그 밖의 다른 실시예에서 월킨슨 전력 스플리터는 LO 신호를 3개보다 더 많거나 더 적은 출력으로 분할할 수 있다. 덧붙여, 해당 기술 분야에서 알려져 있는 그 밖의 다른 전력 스플리터 회로, 시스템 토폴로지가 사용될 수 있다. 하나의 실시예에서, 핀 Vtune을 통해 외부 위상 고정 루프(PLL) 회로(도시되지 않음)를 이용해 VCO(636)의 주파수가 튜닝된다. 전력 스플리터(608)의 출력은 LO 버퍼(606, 610 및 612)의 출력에 연결된다.

[0035] 외부 PLL 회로로 분주된 출력을 제공하기 위해 주파수 분주기(632)가 사용될 수 있다. 하나의 특정 실시예에서, 주파수 분주기(632)의 분주 비(divider ratio)는 16 내지 8192에서 선택될 수 있다. 대안적으로, 특정 적용에 및 이의 규격에 따라서 그 밖의 다른 분주 비가 사용될 수 있다. 추가 대안적 실시예에서, 나머지 PLL 구성요소, 가령, 위상 검출기 및 전하 펌프가 또한 RFIC(600) 상에 배치될 수 있다.

[0036] 하나의 실시예에서, RFIC(600)의 다양한 모드 및 기능이 직렬 주변 인터페이스(SPI)(638)를 통해 디지털 방식으로 제어될 수 있다. 대안적으로, 그 밖의 다른 인터페이스, 가령, I2C 인터페이스 MIPI/RFIE가 사용될 수 있다.

[0037] 도 6b는 도 6a에 도시된 개략도에 대응하는 RFIC(600)의 예시적 레이아웃을 도시한다. 하나의 실시예에서, RFIC(600)은 SiGe 프로세스로 구현된다. 대안적으로 그 밖의 다른 프로세스가 사용되어 RFIC(600)를 구현할 수 있다.

[0038] 도 7은 일 실시예에 따르는 개념을 이용하는 레이더-기반 제스처 인식 시스템(700)을 도시한다. 도시된 바와 같이, 레이더 송수신기 장치(702)는 입사 RF 신호를 송신 안테나(720a) 및/또는 송신 안테나(720b)를 통해 제스처를 취하는 손(732)으로 송신하고, 반사된 RF 신호를 수신 안테나(722a-d)를 포함하는 안테나 어레이를 통해 수신하도록 구성된다. 레이더 송수신기 장치(702)는 수신 안테나(722a-d)에 연결된 수신기 프론트 엔드(712), 송신 안테나(720a)에 연결된 제1 송신기 프론트 엔드(704), 및 송신 안테나(120b)에 연결된 제2 송신기 프론트 엔드(710)를 포함한다. 레이더 회로(706)는 제1 및 제2 송신기 프론트 엔드(704 및 710)로 송신되도록 신호를 제공하며 수신기 프론트 엔드(712)를 통해 신호를 수신한다. 프로세싱 회로(708)는 수신된 신호를 프로세싱하고

제1 송신기 프론트 엔드(704) 및 제2 송신기 프론트 엔드(710)에 의해 생성된 송신을 제어한다. 일부 실시예에서, 레이더-기반 제스처 인식 시스템(700)은 2개의 송신 채널 및 4개의 수신 채널을 갖는 주파수 변조된 연속파(FMCW) 레이더 센서로서 구현됨으로써, 안테나 앞의 시야(field of view)(FOV)에서 각각의 타겟의 상대적 속도, 거리 및 위상이 측정되도록 디지털 빔 형성 홀로그래픽 레이더를 구현할 수 있다.

[0039] 동작 동안, 손(732)의 위치 및 제스처가 레이더 송수신기 장치(702) 및/또는 여기에 연결된 그 밖의 다른 프로세싱 회로에 의해 검출될 수 있다. 예를 들어, 레이더 송수신기 장치(702)는 컴퓨터 시스템, 가전기기, 또는 그 밖의 다른 장치에 연결될 수 있고, 검출된 제스처는 컴퓨터 시스템 또는 다양한 장치로의 입력으로서 사용될 수 있다. 예를 들어, 두 손가락이 서로를 두드리는 제스처가 "버튼 누름"으로 해석되거나, 엄지 및 나머지 손가락을 회전하는 제스처가 다이얼 돌림으로 해석될 수 있다.

[0040] 본 명세서에 기재된 다른 실시예와 마찬가지로, 레이더 송수신기 장치(702), 또는 레이더 송수신기 장치(702)의 일부분이 제1 송신기 프론트 엔드(704), 제2 송신기 프론트 엔드(710), 수신기 프론트 엔드(712)뿐 아니라 송신 안테나(720a 및 720b) 및 수신 안테나(722a-d)까지 포함하는 패키지로 구현될 수 있다. 일부 실시예에서, 레이더 송수신기 장치(702)는 회로 보드 상에 배치되는 하나 이상의 집적 회로로서 구현될 수 있고, 송신 안테나(720a 및 720b) 및 수신 안테나(722a-d)는 상기 회로 보드 상에서 상기 집적 회로에 인접하게 구현될 수 있다.

[0041] 도 8a-8d는 FMCW 레이더의 기본적인 동작을 도시한다. 도 8a는 프로세서(802), 송신 회로(804), 송신 안테나(808), 수신 회로(806) 및 수신 안테나(810)를 포함하는 FMCW 레이더 시스템(800)의 단순화된 다이어그램을 도시한다. 동작 중에, 송신 회로(804)는 근거리 타겟(close target)(812)과 원거리 타겟(far target)(814)에 의해 반사되는 가변 주파수를 갖는 RF 신호를 송신한다. 반사된 RF 에너지가 안테나(810) 및 수신 회로(806)에 의해 수신되며, 수신된 신호가 해당 분야에 알려진 다양한 타겟 분류 알고리즘을 수행하는 프로세서(802)에 의해 프로세싱된다.

[0042] 도 8b는 FMCW 시스템의 파형 다이어그램을 도시한다. 신호(822)는 송신 회로(804)에 의해 송신되는 레이더 신호의 주파수를 나타내고, 신호(824)는 근거리 타겟(812)에 의해 반사된 신호의 주파수를 나타내며 신호(826)는 원거리 타겟(814)에 의해 반사된 신호를 나타낸다. 송신 신호의 전송에서부터 상기 근거리 타겟(812)에 의해 반사된 신호의 수신까지의 딜레이가  $t_a$ 이고, 송신된 신호에서부터 원거리 타겟(814)에 의해 반사되는 신호의 수신까지의 딜레이가  $t_b$ 이다. 수신 시 이들 시간 딜레이에 의해 송신된 신호와 수신된 신호 간 주파수 오프셋이 발생한다. 다양한 실시예에서, 송신된 신호가 수신된 신호와 혼합(mix)되어, 송신 신호와 수신 신호 간 주파수의 차이를 나타내는 중간 주파수 신호를 생성할 수 있다. 도시된 바와 같이, 송신 신호(822)와 근거리 타겟(812)으로부터 반사된 수신 신호(824)의 주파수 차이가  $IF1a$ 이고 송신 신호(822)와 원거리 타겟(814)으로부터 반사된 수신 신호(826)의 주파수 차이가  $IF1b$ 이다. 도시된 바와 같이, FMCW 레이더 시스템의 대역폭 BW는 최대 송신 신호와 최소 송신 신호 간 차이와 관련된다.

[0043] 도시된 바와 같이, 도 8c에서, FMCW 시스템의 분해능은 시스템의 앞서 언급된 대역폭 BW와 관련된다. 구체적으로 거리 분해능이 다음과 같이 표현될 수 있다:

[0044] 
$$\Delta R = \frac{c}{2BW} = \frac{c}{2\Delta f} \quad (1)$$

[0045] 여기서,  $c$ 는 빛의 속도이고,  $\Delta f$ 는 차이나는 주파수(ramped frequency)의 최소 주파수와 최대 주파수의 차이이다. 실시예에서, 2개의 가까운 구별 가능한 타겟들 간 최소 거리가  $\Delta R$ 이다. 도 8d에 도시된 바와 같이, 일 실시예에 따르는 FMCW 시스템이 인지할 수 있는 최소 및 최대 거리는 각각 50cm 및 5m이다.

[0046] 도 9a는 예를 들어 일 실시예에 따르는 제스처 인식 시스템에서 사용될 수 있는 일 실시예에 따르는 레이더 시스템(900)의 블록도이다. 도시된 바와 같이, 레이더 시스템(900)은 기저대역 프로세싱 회로(901)에 연결되는 RF 프론트 엔드(902)를 포함한다. 레이더 시스템(900)의 수신 경로 수신 안테나(922a-d), RF 프론트 엔드(902) 내 수신 신호 경로, 대역통과 필터(912) 및 상기 대역통과 필터(912)의 출력을 디지털화하는 기저대역 프로세싱 회로(901) 내 4채널 아날로그-디지털 변환기(ADC)를 포함한다. 이 디지털화된 수신 신호는 FFT 코어(924) 및 기저대역 프로세싱 회로(901) 내 그 밖의 다른 다양한 디지털 신호 프로세싱 요소에 의해 추가로 프로세싱될 수 있다.

[0047] 송신 경로가 레이더 시스템(900)의 다양한 요소들 간에 공유될 수 있는 클럭 생성 회로(clock generation circuit)를 포함한다. 하나의 실시예에서, 위상 고정 루프(PLL) 회로(910)를 이용해 소인된 주파수 신호(swept

frequency signal)가 생성되어 RF 프론트 엔드(902) 내 온-보드 VCO를 제어할 수 있다. 도시된 바와 같이 PLL(910)은 수정 오실레이터(crystal oscillator)(908)에 의해 참조되며, 상기 수정 오실레이터는 클록 분주기(clock divider)(914)를 통해 기저대역 프로세싱 회로(901)로 클록을 제공한다. 대안적 실시예에서, 기저 대역 프로세싱 회로(901) 내에서 구현되는 소프트웨어 PLL이 디지털-아날로그 변환기(DAC)(916) 및 저역통과 필터 및/또는 적분기(integrator)(906)를 통해 RF 프론트 엔드(902) 내 온-보드 VCO의 주파수를 제어한다. 개별 전압 조정기(voltage regulator)(932, 934 및 936)가 각각, 조정된 전력 공급 전압을 RF 프론트 엔드(902), 기저대역 프로세싱 회로(901) 내 아날로그 회로, 및 기저대역 프로세싱 회로(901) 내 디지털 회로로 제공하도록 사용될 수 있다.

[0048] 하나의 실시예에서, RF 프론트 엔드(902)는 본 명세서에 기재된 패키징된 RF 시스템/안테나 패키지를 이용해 구현될 수 있다. 예를 들어, 도 6a 및 6b의 일 실시예에 따르는 RFIC가 하나의 실시예에 따르는 패키징된 안테나 내에 배치되거나 패치 안테나를 갖는 회로 보드 상에 장착될 수 있다.

[0049] 하나의 실시예에서, 레이더 시스템(900)은 고속 처프(fast chirp)를 이용해 시야(FOV)를 스캔할 수 있다. 예를 들어, 레이더 시스템(900)의 주파수 생성 회로가 125us 동안 7GHz를 소인(sweep)하도록 구성될 수 있다. 대안적으로, 그 밖의 다른 주파수 범위 및 소인 시간이 사용될 수 있다. 압축 펄스(compressed pulse)라고도 지칭될 수 있는 비교적 고속의 처프를 이용함으로써, 더 낮은 피크 전력이 생성될 수 있고, 이로 인해, 주파수에 대한 다양한 발산 마스크(emission mask) 요건을 충족하는 것이 더 용이해 진다. 또한, 소인된 주파수 신호를 이용함으로써, 일부 실시예에서 선명한 펄스 생성기(sharp pulse generator)가 사용되지 않는다.

[0050] 앞서 언급된 바와 같이, 레이더 시스템(900)은 PLL(910)을 이용할 수 있고, 일부 실시예에서, 상기 PLL은 분수형 N PLL(fractional N PLL)로서 구현될 수 있다. 하나의 예시에서, 분수형 N PLL은 64GHz VCO 및 이에 뒤따르는 약 4GHz의 출력 주파수를 생성하는 16의 분주 비를 갖는 분주기를 이용해 구현된다. 일부 실시예에서, VCO 및 분주기는 도 6a에 도시된 RFIC(600)와 유사한 방식으로 RF 프론트 엔드 회로(902) 내에서 구현될 수 있고, 위상-주파수 검출기(PFD), 전하 펌프 및 루프 필터가 PLL(910) 내에서 구현된다. 대안적으로, 분수 모드(fractional mode)에서의 PLL의 최소 분주 비, PLL 루프 대역폭, 대역에서 위상 노이즈를 낮추고 스퍼(spur)를 고주파수로 편이시키기 위한 가장 높은 PFD 주파수, 램프 동안 주파수 분해능, 저노이즈 컴팩트 고주파수 수정 오실레이터의 가용성을 고려하여, 또 다른 VCO 주파수 및 분주 비가 선택될 수 있다. 도시된 실시예에서, 수정 오실레이터(908)는 80MHz의 주파수를 생성하지만, 다른 실시예에서, 그 밖의 다른 수정 오실레이터 주파수가 사용될 수 있다.

[0051] 또 다른 실시예에서, 소프트웨어 PLL이 사용될 수 있다. 도시된 바와 같이, 소프트웨어 PLL이 RF 프론트 엔드 회로(902)(VCO 및 분주기를 포함), RF 프론트 엔드(902)의 분주기의 출력을 샘플링하는 ADC(922), 주파수 선형화를 튜닝하기 위한 알고리즘을 적용하는 마이크로제어기, DAC(916) 및 RF 프론트 엔드 회로(902) 내 VCO에 대한 튜닝 전압을 제공하는 저역 통과 필터 및/또는 적분기(906)를 포함하는 루프를 가진다. 일부 실시예에서, RF 시스템(900)은 PLL(910)과, DAC(916) 및 저역 통과 필터 및/또는 적분기(906)를 이용하는 소프트웨어 PLL 모두를 가져서, 둘 중 어느 하나가 동작을 위해 선택되도록 구성될 수 있다.

[0052] 수정 오실레이터(908)가 80MHz에서 약 2ps의 RMS 지터를 갖는 클록을 생성하는 하나의 실시예에서, 신호와 연관된 지터가 수정 오실레이터(908)와 연관된 지터보다 한 자릿수 더 크도록 전치 분주기(prescaler)의 분주 비가 선택될 수 있다. 따라서 ADC(922) 샘플링의 지터가 성능에 영향을 덜 미친다. 일부 경우, 전치 분주기의 분주 비가, 출력 주파수가 ADC의 대역폭 내에 속함을 보장하기에 충분히 크도록 선택된다. 하나의 실시예에서, 전치 분주기의 출력 주파수가 7MHz의 범위 내에 있도록 8172의 분주 비가 사용된다. ADC(922)의 주파수는 RF 프론트 엔드(902)의 출력 주파수가 언더샘플링되도록 선택될 수 있다. 예를 들어, 하나의 실시예에서, 7MHz의 출력이 약 2Msps의 샘플링률로 샘플링된다. 대안적으로, 특정 실시예 및 이의 규격에 따라서 그 밖의 다른 분주 비, 출력 주파수 및 샘플링 주파수가 사용될 수 있다.

[0053] 하나의 실시예에서, 가변 이득 증폭기(VGA)(921)가 RF 프론트 엔드(902)의 중간 주파수(IF) 출력과 ADC(922) 사이에 연결되어, IF 신호의 전체 동적 범위(full dynamic range)가 ADC(922)의 풀 스케일(full scale) 입력에 대응하도록 IF 신호의 이득을 스케일할 수 있다. 앨리어싱(aliasing)을 방지 및/또는 IF 신호의 주파수 콘텐츠를 관심 스캐닝 범위로 제한하기 위해, 대역통과 필터(912)가 ADC 앞에 연결될 수 있다. 예를 들어, 하나의 실시예에서, 대역통과 필터(912)는 약 8kHz의 최소 주파수 및 약 250kHz의 최대 주파수를 가져, 주파수 콘텐츠를 관심 스캐닝 범위, 가령, 5cm 내지 1m로 제한할 수 있다. 대안적으로, 또 다른 대역폭이 다른 스캐닝 범위를 촉진하기 위해 사용될 수 있다.

[0054] 하나의 실시예에서, 전압 조정기(932, 934 및 936)는 해당 분야에서 알려진 전력 공급 회로 및 시스템을 이용해 구현될 수 있다. 예를 들어, 로우 드롭아웃(low dropout)(LDO) 조정기가 사용되어 다양한 구성요소들에 대해 약 3.3V의 DC 전압을 제공할 수 있다. 일부 실시예에서, 전하 펌프가 더 높은 로컬 전압을 제공하도록 사용될 수 있다. 예를 들어, 더 높은 튜닝 전압을 갖는 VCO를 이용하는 실시예에서, 전하 펌프가 사용되어 3.3V 전력 공급 전압을 최대 5V로 변환하여, VCO의 전체 튜닝 범위를 이용할 수 있다. 3.3V와 5V는 단지 예시에 불과하며 또 다른 실시예의 시스템에서 또 다른 전압이 발생될 수 있음이 이해되어야 한다.

[0055] 하나의 실시예에서, 기저대역 프로세싱 회로(901)는 전역 직렬 버스(USB) 인터페이스(918)를 더 포함하여, 일 실시예에 따르는 레이더 시스템(900)과의 통신을 촉진시킬 수 있다. 예를 들어, 레이더 시스템(900)의 상태가 설정될 수 있고, USB 인터페이스(918)를 이용해 측정된 데이터가 수신될 수 있다. USB 인터페이스(918)는 해당 분야에서 알려진 USB 인터페이스 회로를 이용해 구현될 수 있다. 기저대역 프로세싱 회로(901)는 직렬 주변 인터페이스(SPI)(920)를 더 포함하여, SPI 인터페이스(904)를 통해 RF 프런트 엔드(902)를 제어하고, 또 다른 시스템 구성요소, 가령, VGA(921) 및 PLL(910)를 제어할 수 있다. 기저대역 프로세싱 회로(901) 내에 록업 테이블(LUT)(917)이 더 포함되어, RF 프런트 엔드(902)의 다양한 안테나 구성을 빠르게 결정할 수 있다.

[0056] 하나의 예시에서, 레이더 시스템(900)은 상기의 수학적식(1)에 따라 2cm의 거리 분해능(range resolution)에 대응하는 7GHz의 변조 대역폭을 가짐으로써 50cm의 최대 거리  $R_{max}$ 를 갖도록 구성될 수 있다. 따라서 50cm의 최대 검출 거리  $R_{max}$ 는 25개의 거리 게이트(range gate)에 대응한다.

[0057] 하나의 실시예에서, 최소 IF 주파수 및 최대 IF 주파수는 다음과 같이 표현될 수 있다.

$$IF_{min} = \frac{BW}{\tau} \frac{2\Delta R}{c} \quad (2)$$

$$IF_{max} = \frac{BW}{\tau} \frac{2R_{max}}{c} \quad (3)$$

[0058]

[0059] 상기의 수학적식 (2) 및 (3)에 따르면, 7GHz의 대역폭 및  $\tau = 125\mu s$ 의 소인 시간(sweep time)에 대해, 최소 IF 주파수  $IF_{min}$ 은 약 8kHz이고 최대 IF 주파수  $IF_{max}$ 는 약 200kHz이다. 일부 실시예에서, 최소 IF 주파수  $IF_{min}$ 는 수신된 신호의 주파수 콘텐츠를 수신된 IF 출력의 1/f 노이즈 절점 주파수보다 높도록 편이시키기 위해 사용된다. 일부 경우, 낮은 1/f 노이즈 절점 주파수일수록 더 느린 주파수 램프에 대응한다. 따라서 가령, SiGe 바이폴라 트랜지스터 같은 낮은 1/f 노이즈 절점 주파수를 갖는 장치일수록 더 낮은 대역폭을 갖는 일 실시예에 따르는 RF 시스템과 호환될 수 있다. 반대로, CMOS 같은 높은 1/f 노이즈 절점 주파수를 갖는 기술일수록, 더 빠른 램프 및 더 높은 대역폭을 이용해 지원될 수 있다.

[0060] 본 발명의 예시에서, 2 Ms/s의 샘플링률이 ADC(922)에 대해 사용될 수 있으며, 이는 앨리어싱(aliasing)을 피하기 위해 10x 오버샘플링 비를 제공한다. 덧붙여 IF 주파수  $IF_{min}$  및 최대 IF 주파수  $IF_{max}$ 가 ADC(922)에 선행하는 대역통과 필터(912)를 성형하도록 사용될 수 있다.

[0061] 송신 측에서, 약 0.5 V 내지 약 5.5V의 튜닝 범위 및 약 1GHz/V의 최소 이득  $K_{vco}$ 를 갖는 VCO를 이용해 7GHz 대역폭이 구현될 수 있다. DAC(916) 및 레벨 시프터(level shifter)를 이용해 튜닝 전압이 생성될 수 있다. 하나의 실시예에서, 5Ms/s에서 동작하는 2개의 12-비트 DAC가 VCO에 대한 튜닝 전압을 제공하도록 사용된다. 5Ms/s에서, 125 $\mu s$  주파수 소인이 두 12-비트 DAC 모두에 대해 마이크로제어기의 LUT에 저장될 약 625개의 포인트 또는 약 1.25kB에 대응한다. 이들 가정하에서, 2개의 인접한 주파수 포인트들 간 주파수 스텝이 약 5.6MHz이다. 하나의 실시예에서, 적분기(906)에 대해 약 130ns의 시간 상수가 사용된다.

[0062] 추가 예시에서, 레이더 시스템(900)은 상기 수학적식(1)에 따라 약 2cm의 거리 분해능에 대응하는 약 7GHz의 변조 대역폭을 가짐으로써 약 5m의 최대 거리  $R_{max}$ 를 갖도록 구성될 수 있다. 따라서 5m의 최대 검출 거리  $R_{max}$ 가 250개의 거리 게이트에 대응한다.

[0063] 상기의 수학적식 (2) 및 (3)에 따르면, 7GHz의 대역폭 및  $\tau = 250\mu s$ 의 소인 시간(sweep time)에 대해, 최소 IF 주파수  $IF_{min}$ 은 약 4kHz이고 최대 IF 주파수  $IF_{max}$ 는 약 1MHz이다. 하나의 예시에서, 약 2Ms/s 및 약 2.4Ms/s의 샘플링률이 ADC(922)에 대해 사용될 수 있고, 이는 앨리어싱을 피하기 위해 2x 내지 2.4x의 오버샘플링 비를 가진다.

[0064] 송신 측에서, 약 0.5V 내지 약 5.5V의 튜닝 범위를 갖는 VCO, 및 약 1GHz/V의 최소 이득  $K_{vco}$ 를 이용해 7GHz 대역

폭이 구현될 수 있고, 여기서 튜닝 전압은 이전 예시에서와 같이 5Ms/s에서 동작하는 2개의 12-비트 DAC에 의해 제공된다. 대안적으로 7GHz보다 낮은 대역폭이 사용될 수 있다. 예를 들어, 일부 실시예에서, 2GHz 내지 8GHz의 대역폭이 사용될 수 있다. 대안적으로 특정 시스템 및 이의 규격에 따라서 이 범위 밖의 대역폭도 사용될 수 있다. 5Ms/s에서, 250 $\mu$ s 주파수 소인은 두 12-비트 DAC 모두에 대해 마이크로제어기의 LUT에 저장될 약 1250개 포인트, 또는 약 2.5kB에 대응한다. 이러한 가정하에서, 2개의 인접한 주파수 포인트들 간 주파수 스텝은 약 2.8MHz이다. 하나의 실시예에서, 250ns의 시간 상수가 적분기(906)에 대해 사용된다.

[0065] 앞서 기재된 다양한 파라미터는 일 실시예에 따르는 레이더 시스템에 적용될 수 있는 파라미터의 여러 예시에 불과함이 이해되어야 한다. 대안적 실시예에서, 그 밖의 다른 대역폭, 튜닝 범위, IF 주파수, 샘플링률, 비트 분해능, 소인 시간, 및 LUT 폭이 사용될 수 있다.

[0066] 도 9b는 도 9a의 시스템이 구현될 수 있는 방식을 도시하는 일 실시예에 따르는 레이더 시스템(950)의 블록도를 도시한다. 도시된 바와 같이, 레이더 시스템(950)은 마이크로제어기 집적 회로(IC)(954)에 연결된 RF 프론트 엔드(952)를 포함한다. RF 프론트 엔드(952)는 4개의 수신 채널(Rx1-Rx4) 및 2개의 송신 채널(Tx1 및 Tx2)을 포함하는 송수신기 회로(958)를 포함한다. 대안적으로, 송수신기 회로(958)는 더 많거나 더 적은 송신 채널 및/또는 수신 채널을 포함할 수 있다. 송수신기 회로(958)는 신호 집적 회로 상에서 구현되거나 복수의 집적 및/또는 이산 회로를 이용해 구현될 수 있다.

[0067] 마이크로제어기 집적 회로는 송수신기(958)의 IF 출력을 아날로그 영역에서 디지털 영역으로 변환하는 ADC 회로(960)를 포함한다. 상기 ADC 회로(960)의 디지털 출력은 USB 인터페이스(966)로 직접 라우팅되거나 디지털 프로세싱 블록(962)으로 라우팅될 수 있다. 대안적 실시예에서, USB 인터페이스(966)는 그 밖의 다른 유형의 병렬 또는 직렬 인터페이스, 가령, 저전압 차동 시그널링(low voltage differential signaling)(LVDS) 또는 모바일 산업 프로세서 인터페이스(mobile industry processor interface)(MIPI)를 이용해 구현될 수 있다.

[0068] 일부 실시예에서, 저 드롭아웃 조정기(956)는 전력 공급 전압을 RF 프론트 엔드(962) 및 마이크로제어기 집적 회로(954)로 제공한다. 다양한 실시예에서, 마이크로제어기 집적 회로(954)는 범용 집적 회로 또는 주문형 집적 회로를 이용해 구현될 수 있다.

[0069] 동작 동안, 송수신기 회로(958)는 송신 채널(Tx1 및 Tx2)로부터의 송신을 위한 가변 주파수의 신호를 발생시키기 위해, 소프트웨어 PLL(965)로부터 타이밍 기준(timing reference)을 수신한다. 가변 주파수의 이 신호는 램프된 사인 파 또는 레이더 송신을 위한 그 밖의 적합한 신호일 수 있다. 하나의 실시예에서, 타이밍 기준이 RF 프론트 엔드(952) 내 VCO(도시되지 않음)를 위한 제어 전압일 수 있다.

[0070] 일부 실시예에서, 마이크로제어기 집적 회로(954)는 RF 프론트 엔드, 송수신기 회로(958)와 ADC 회로(960) 사이의 VGA(도시되지 않음), 소프트웨어 PLL(965)를 제어하도록 사용될 수 있다. 대안적으로 VGA는 외부 회로 또는 RF 프론트 엔드(952) 상에 배치될 수 있다. 다양한 실시예에서, 마이크로제어기 집적 회로(954)는 또한 일 실시예에 따르는 레이더 시스템의 그 밖의 다른 구성요소를 하우징하는 시스템 기판 상에 배치된 그 밖의 다른 회로를 제어하도록 구성될 수 있다.

[0071] 마이크로제어기 집적 회로(954)는 범용 집적 회로를 이용하여 구현되거나 주문형 집적 회로(application specific integrated circuit)를 이용해 구현될 수 있다. 다양한 실시예에서, 마이크로제어기 집적 회로(954)는 프로그램 가능한 비휘발성 메모리, 가려요 플래시 메모리에 저장되는 펌웨어를 포함할 수 있다. 이 펌웨어는, 예를 들어, 동작 동안 레이더 시스템(950)을 구성하도록 사용될 수 있고, 레이더 시스템(950)의 원시 데이터(raw data)를 생성하는 기능부를 활성화시키도록 사용될 수 있다.

[0072] 하나의 실시예에서, 송수신기 회로(958)는 안테나 어레이에 연결되고 해당 분야에 알려진 위상 어레이 기법을 이용해 지향성 빔을 제공하도록 구성된다. 예를 들어, 다양한 딜레이가 수신 채널(Rx1 내지 Rx4)의 수신에 적용될 수 있다. 수신각(reception angle)( $\theta$ )가 각각의 수신 채널 간 상대적 딜레이, 수신된 신호의 파장( $\lambda$ ) 및 안테나 요소들 간 거리 d를 기초로 한다. 일부 실시예에서, 마이크로제어기 집적 회로(954)는 본 명세서에 기재된 FMCW 스킴의 다양한 실시예의 주파수 생성을 구현하는 소프트웨어 PLL에 연결된 FMCW 생성기를 포함한다.

[0073] 도 9c는 다양한 실시예에 따르는 RF 시스템에서 사용될 수 있는 소프트웨어 PLL(970)의 블록도를 도시한다. 소프트웨어 PLL은 고주파수 부분(972), 기저대역 부분(971) 및 외부 저역 통과 필터(986)를 포함한다. 다양한 실시예에서, 고주파수 부분(972)은 도 9a에 도시된 프론트 엔드 집적 회로, 가령, RF 프론트 엔드(902) 상에서 구현될 수 있고, 기저대역 부분(971)은 기저대역 회로, 가령, 기저대역 프로세싱 회로(901) 상에서 구현될 수 있다. 동작 동안, VCO(974)는 입력 전압  $V_{tune}$ 에 따라 설정된 주파수를 갖는 로컬 오실레이터 출력 신호 LO를 제

공한다. 로컬 오실레이터 신호 LO는 분주기(976)를 이용해 분주되어 분주된 신호 DivOut을 생성할 수 있고, 상기 분주된 신호는 ADC(978)를 통해 디지털화된다. ADC(978)의 기능이 도 9a에 도시된 ADC(921)를 이용함으로써, 가령, 샘플을 시 다중화함으로써 구현되거나 개별 아날로그-디지털 변환기를 이용해 구현될 수 있다. 고속 푸리에 변환(FFT)(980)은 디지털화된 분주기 출력을 취하고 룩업 테이블(982)이 사용되어 FFT의 출력을 DAC(984)에 의해 생성될 제어 전압에 맵핑할 수 있다. 저역 통과 필터(986)는 DAC(984)의 출력으로부터의 열 노이즈 및 양자화 노이즈에 대해 사용되어 우수한 위상 노이즈 성능을 보장할 수 있다. 다양한 실시예에서, FFT(980)는 해당 분야에 알려진 디지털 신호 프로세싱 하드웨어 및 소프트웨어를 이용해 구현될 수 있다.

[0074] 소프트웨어 PLL을 이용하는 하나의 실시예에서, 60GHz VCO의 위상 노이즈와 관련하여 다음의 가정이 이뤄진다:

[0075]  $PN_{ssb} @10kHz = -50dBc/Hz;$

[0076]  $PN_{ssb} @100kHz = -80dBc/Hz;$

[0077]  $PN_{ssb} @1MHz = -100dBc/Hz;$  및

[0078]  $PN_{ssb} @10MHz = -120dBc/Hz.$

[0079] 도 9d에 도시된 바와 같이, 송신 안테나(T1 및 T2)로부터 레이더 신호를 개별 시점에서 송신함으로써 합성 수신 채널이 구현될 수 있다. 예를 들어, 제1 시간 주기 동안, 제1 레이더 신호가 안테나(T1)을 통해 송신되며 안테나(T2)를 통해서 송신되지 않고, 최종 반사된 신호가 안테나 요소(R1, R2, R3 및 R4)에 의해 캡처되어 수신된 신호의 제1 세트를 형성할 수 있다. 제2 시간 주기 동안, 제2 레이더 신호가 안테나(T2)를 통해 송신되고 안테나(T1)를 통해 송신되지 않으며, 최종 반사된 신호는 안테나 요소(R1, R2, R3 및 R4)에 의해 캡처되어 수신된 신호의 제2 세트를 형성할 수 있다. 안테나(T1)와 안테나(T2) 간 공간 차이 때문에, 수신된 신호의 제1 세트 및 제2 세트가 조합되어 일 실시예에 따르는 레이더 시스템에 의해 감지 및 모니터링된 다양한 타겟의 공간 정보를 생성할 수 있다.

[0080] 도 10a는 하나의 실시예에 따르는 레이더 시스템의 회로 보드(1000)을 도시하며, 상기 회로 보드 상에서 송신 패치 안테나(1002 및 1004) 및 수신 패치 안테나(1006)가 회로 보드 상에 배치된다. 일부 실시예에서, 회로 보드(1000)은 저  $\epsilon_r$  PCB 재료, 가령, 로저스 3003 시리즈 PCB 재료를 이용해 구현될 수 있다. 또한 회로 보드(1000) 상에 RF 프론트 엔드 IC(1022), PLL IC(1010), 상기 PLL IC(1010), VGA(1012), 마이크로제어기(1014) 및 저 드롭아웃 전압 조정기(1016, 1018 및 1020)를 지원하는 적분기 IC(1008)가 위치한다. 패치 안테나가 사용되는 실시예에서, 층 스택(layer stack)의 접지 평면이 완전한 변조된 대역폭을 커버하도록 최적화될 수 있다. 다양한 실시예에서, PCB 상의 안테나 층과 접지 사이의 거리가 수백 마이크로미터이며, 이는 안테나 요소를 위한 층 분한 대역폭 및 이득을 제공한다. 이러한 갭을 얻기 위해, 접지 평면이 PCB의 제2 층 상에 배치될 수 있다. 일부 실시예에 따르는 회로 보드는 RF 프론트 엔드 IC(1022) 아래와 마이크로제어기(1014) 주변에 블라인드 비아를 포함하여, 열을 PCB의 하부 층으로 전달할 수 있으며, 여기서, 전도성 층, 가령, 알루미늄이 사용되어 레이더 회로에 의해 발생된 열을 확산시킬 수 있다.

[0081] 도 10b는 모든 패치 안테나가 RF 프론트 엔드를 하우징하는 패키지(1030) 내에 내장되는 일 실시예에 따르는 레이더 시스템의 회로 보드(1050)을 도시한다. 도 10c는 패키지(1054)가 배치되는 회로 보드(1050)의 사시도 및 단면도를 도시한다. 하나의 실시예에서, 패키지(1054)는 RF 프론트 엔드 IC(1052) 및 다양한 패치 안테나를 포함한다. 이러한 실시예는 도 2, 3 및 4의 실시예와 관련하여 앞서 기재된 원리를 적용할 수 있다.

[0082] 도 10d는 도 10b의 실시예에 대응하는 빈 회로 보드(bare circuit board)을 도시한다. 도시된 바와 같이, RF 프론트 엔드 IC가 배치되는 장착 영역(landing area)은 FR4 물질의 제1 층 아래에 접지 평면 및 열 비아(thermal via)를 포함한다.

[0083] 도 11은 일 실시예에 따르는 시스템의 제어 아키텍처(1100)의 블록도를 도시한다. 일 실시예에서, 제어 아키텍처는 마이크로제어기, 마이크로프로세서, 및 해당 분야에 알려져 있는 그 밖의 다른 제어 회로를 이용해 구현될 수 있다. 제어 아키텍처는 비일시적 컴퓨터 판독형 매체, 가령, 휘발성 메모리 상에 저장되는 소프트웨어 또는 펌웨어를 이용해 프로그래밍되거나, 시스템에 전력이 공급될 때 휘발성 메모리로 로딩될 수 있다.

[0084] 레이더 시스템(1104)은 모든 펌웨어 모듈의 전체 흐름 제어 및 조화를 담당하고, 프레임 시퀀서(1108)가 사용되어 처프(chirp)를 프로세싱하고 데이터 사후 프로세싱을 실시간으로 제공할 수 있다. 안테나 제어기(1112)가 사용되어 수신 안테나 및 송신 안테나를 활성화하여 일 실시예에 따르는 레이더 시스템 내 아날로그 및 RF 회로에 대한 전력 제어를 제공할 수 있다. 처프 생성기(1110)가 하드웨어 PLL 칩을 제어하도록 구성되거나 및/또는 소

소프트웨어 처프 생성을 위해 데이터를 DAC하도록 구성될 수 있다.

- [0085] 통신 프로토콜(1102)이 호스트 컴퓨터와의 대화를 제공하며 메시지 데이터를 포맷팅하고 데이터 무결성(data integrity)을 체크하도록 구성될 수 있고, 타깃 검출 알고리즘(1106)이 샘플링된 IF 데이터를 사후-프로세싱(post-processing)하도록 디지털 신호 프로세싱(DSP) 기능을 제공하며, 타깃 및 제스처를 검출하도록 구성될 수 있다. 프론트 엔드 칩 드라이버(1114)가 프론트 엔드 구성 레지스터와 인터페이싱하고 프론트 엔드 구성 레지스터와의 SPI 인터페이스를 통해 통신될 SPI 데이터를 셋업한다. 하나의 실시예에서, PLL 칩 드라이버(1113)가 PLL 칩 구성 레지스터와 인터페이싱하고, 또한 SPI 인터페이스를 통해 PLL 칩으로 통신될 데이터를 셋업할 수 있다. SPI 드라이버(1120)는 로우 레벨 주변장치 레지스터 설정을 핸들링하여 SPI 인터페이스를 통해 데이터를 전송할 수 있고, ADC 드라이버(1122)가 ADC를 위한 로우 레벨 주변장치 레지스터 설정을 핸들링할 뿐 아니라 ADC를 위한 직접 메모리 액세스(DMA)를 셋업할 수 있다. DAC 드라이버(1118)는 DAC를 위한 로우-레벨 주변장치 레지스터 설정을 핸들링하고, 타이머 드라이버(1124)가 실시간 프로세싱을 위해 정의된 간격으로 신호를 발생시킨다. 타이머 드라이버(1124)는 또한 ADC를 위한 샘플 클럭을 발생시킬 수 있다. USB/VCOM 블록(1116)은 로우-레벨 USB 주변장치 레지스터 설정을 핸들링하고 USB 통신 스택을 구현한다.
- [0086] 다양한 실시예에서, 제어 아키텍처(1100)는 자동 트리거 모드 또는 수동 트리거 모드에서 일 실시예에 따르는 레이더 시스템을 제어할 수 있다. 자동 트리거 모드에서, 제어기는 고정된 사용자 정의형 간격으로 프레임을 구축하고 프레임을 프로세싱하는 처프의 시퀀스를 셋업한다. 동작 동안, 원시 데이터가 외부 호스트 컴퓨터로 전송되고, 및/또는 원시 데이터가 프로세싱되어 타깃 및 제스처를 검출할 수 있으며, 이 경우, 프로세싱된 타깃 및 제스처 데이터가 외부 호스트 컴퓨터로 전송된다. 안테나 셋업의 재구성이 프레임의 처프들 사이에서 발생할 수 있다.
- [0087] 하나의 실시예에서, 프레임 시퀀스는 외부 호스트 컴퓨터로부터 시작 코멘트를 수신하면 동작하기 시작하고 외부 호스트 컴퓨터로부터 종료 코멘트가 수신될 때까지 동작을 계속한다. 일부 실시예에서, 프레임 시퀀스는 특정 수의 프레임 후에 자동으로 멈춘다. 전력을 절약하기 위해, 제어기는 프레임들 사이에 RF 회로를 부분적으로 끌 수 있다(turn-off).
- [0088] 도 12는 일 실시예에 따르는 동작의 자동 트리거 모드의 흐름도(1200)를 도시한다. 라인(1202, 1204 및 1206)을 따르는 박스가 각각의 단계에서의 데이터의 흐름을 가리킨다. 라인(1202) 상의 박스가 통신 프로토콜 블록(1102)에 의해 수행되는 활동을 나타내고, 라인(1204) 상의 박스가 제어 블록, 가령, 레이더 시스템(1104), 프레임 시퀀스(1108), 안테나 제어기(1112) 및 처프 생성기(1110)에 의해 수행되는 활동을 나타낸다. 라인(1206) 상의 박스는 다양한 로우-레벨 드라이버에 의해 수행되는 활동을 나타낸다.
- [0089] 단계(1210)에서, 외부 컴퓨터는 ADC 및 처프 파라미터를 전송한다. 상기 파라미터는 ADC의 동작, 가령, 샘플링률을 정의하며 송신될 주파수 램프의 특성을 정의한다. 단계(1212)에서, 레이더 시스템(1104)은 특정 파라미터로 ADC를 구성한다. 단계(1214)에서, 외부 컴퓨터가 프레임 시퀀스 설정을 프레임 시퀀스(1108)로 전송하며, 단계(1216)에서, 레이더 시스템(1104)은 송신된 주파수 램프를 정의하는 처프 시퀀스로 프레임 시퀀서(1108)를 셋업한다.
- [0090] 단계(1218)에서, 시작 명령어가 외부 컴퓨터로부터 수신된다. 이 시작 명령어가 수신되면, 레이더 시스템(1104)이 단계(1220)에서 RF 회로에 전력을 공급하고, 단계(1222)에서 현재 칩 설정으로 처프 생성기(1110) 또는 하드웨어 PLL을 구성하며, 단계(1224)에서 프레임 시퀀서(1108)를 시동한다. 프레임 시퀀서(1108)는 시스템이 멈출 때까지 원하는 속도(rate)로 프레임을 트리거한다(단계(1226)).
- [0091] 하나의 실시예에서, 프레임 시퀀서(1108)는 단계(1228 내지 1242)에 따라 프레임을 트리거한다. 단계(1228)에서, 프레임 시퀀서(1108)는 프레임을 트리거한다. 단계(1230)에서 수신 및 송신 안테나가 다음 처프에 대해 활성화되고, 단계(1232)에서 프레임 시퀀서(1108)는 IF 샘플 데이터에 대해 DMA 채널을 설정한다. 단계(1234)에서, 프레임 시퀀서(1108)는 처프 생성기(1110)를 트리거하여 주파수 램프를 생성할 수 있다. 그 후, 단계(1236)에서 프레임 시퀀서(1108)는 ADC 샘플링을 시작한다. 처프가 완료될 때, 프레임 시퀀서(1108)는 샘플링된 데이터를 외부 컴퓨터로 전송하며(단계(1238)), 프레임의 다음 처프가 프로세싱된다(단계(1240)). 일부 실시예에서, 단계(1242)에서 프레임 시퀀서(1108)는 안테나를 꺼서 전력을 절약할 수 있다. 단계(1244)에서 외부 컴퓨터로부터 중단 명령어가 수신될 때, 단계(1246)에서 레이더 시스템은 RF 회로의 전력 공급을 중단한다.
- [0092] 일 실시예에 따르는 트리거 모드에서, 외부 호스트 컴퓨터로부터의 시작 명령어 이후 아날로그 RF 회로에 전력이 공급된다. 그러나 일부 실시예에서, RF 회로는 계속 전력 공급 받는다. 외부 호스트 컴퓨터로부터 명령어가

수신되면 처프가 트리거되고, 칩이 완료된 후, 샘플링된 IF 데이터가 외부 호스트 컴퓨터로 전송된다. 하나의 실시예에서, 샘플링된 데이터에 어떠한 프로세싱도 적용되지 않는다. 새 설정과 함께 시작 명령어를 전송함으로써, 안테나 설정이 언제라도 변경될 수 있다. 일부 실시예에서, 칩 설정은 어느 때라도 변경될 수 있다.

[0093] 도 13은 일 실시예에 따르는 수동 트리거 동작 모드의 흐름도(1300)를 도시한다. 라인(1302, 1304 및 1306)을 따르는 박스는 각각의 단계에서의 데이터 흐름을 가리킨다. 라인(1302) 상의 박스가 통신 프로토콜 블록(1102)에 의해 수행되는 활동을 나타내고, 라인(1304) 상의 박스가 제어 블록, 가령, 레이더 시스템(1104), 프레임 시퀀서(1108), 안테나 제어기(1112), 및 처프 생성기(1110)에 의해 수행되는 활동을 나타낸다. 라인(1306) 상의 박스가 다양한 로우-레벨 드라이버에 의해 수행되는 활동을 나타낸다.

[0094] 하나의 실시예에서, 단계(1310)에서 외부 컴퓨터로부터 시작 명령어가 수신된다. 이 시작 명령어가 수신되면, 레이더 시스템(1104)은 레이더 시스템 내 RF 회로에 전력을 공급하고(단계(1312)), 현재 처프 설정으로 처프 생성기(1110) 또는 하드웨어 PLL을 구성하며(단계(1314)), 레이더 시스템 내 수신 안테나 및 송신 안테나를 활성화한다(단계(1316)). 단계(1318)에서, 레이더 시스템(1104)은 샘플링된 데이터를 위한 내부 라우팅을 셋업한다.

[0095] 단계(1320)에서, 외부 컴퓨터로부터 ADC 파라미터 및 처프 파라미터가 수신되고, 단계(1322)에서 레이더 시스템(1104)은 수신된 파라미터로 ADC를 구성한다. 단계(1324)에서, 레이더 시스템(1104)은 새로 수신된 칩 설정으로 처프 생성기(1110) 또는 하드웨어 PLL을 구성한다.

[0096] 단계(1326)에서 외부 컴퓨터로부터 트리거 명령어가 수신될 때, 레이더 시스템(1104)은 IF 샘플 데이터에 대한 DMA 채널을 셋업하고(단계(1328)), 단계(1330)에서 처프 생성기(1110)를 트리거하여 주파수 램프를 생성하며, (단계(1332)에서) ADC 샘플링을 시작한다. 처프 또는 주파수 램프가 완료될 때, 단계(1334)에서 레이더 시스템(1104)은 외부 컴퓨터로 샘플링된 데이터를 전송한다. 외부 컴퓨터로부터 중단 명령어를 수신하면(단계(1336)), 레이더 시스템(1104)은 레이더 시스템에서 RF 회로의 전력 공급을 중단한다(단계(1338)).

[0097] 이제 도 14를 참조하면, 본 발명의 하나의 실시예에 따라 프로세싱 시스템(1400)의 블록도가 제공된다. 프로세싱 시스템(1400)은 일 실시예의 레이더 시스템의 일부분 및/또는 상기 일 실시예의 레이더 시스템과 인터페이스하는 외부 컴퓨터 또는 프로세싱 장치를 구현하도록 사용될 수 있는 범용 플랫폼 및 일반 구성요소 및 기능을 도시한다. 프로세싱 시스템(1400)은, 예를 들어, 앞서 언급된 프로세스를 수행하도록 구성된 버스(1408)에 연결된 중앙 처리 장치(CPU)(1402), 메모리(1404), 및 대용량 저장 장치(1406)를 포함할 수 있다. 프로세싱 시스템(1400)은, 필요에 따라, 로컬 디스플레이(1412)로의 연결성을 제공하기 위한 비디오 어댑터(1410) 및 하나 이상의 입출력 장치(1416), 가령, 마우스, 키보드, 프린터, 테이프 드라이브, CD 드라이브 등을 위한 입출력 인터페이스를 제공하기 위한 입출력(I/O) 어댑터(1414)를 더 포함할 수 있다.

[0098] 또한 프로세싱 시스템(1400)은 네트워크(1420)와 통신하기 위해 유선 링크, 가령, 이더넷 케이블, USB 인터페이스 등 및/또는 무선/셀방식 링크에 연결되도록 구성된 네트워크 어댑터를 이용해 구현될 수 있는 네트워크 인터페이스(1418)를 더 포함한다. 네트워크 인터페이스(1418)는 또한 무선 통신을 위해 적절한 수신기 및 송신기를 포함할 수 있다. 프로세싱 시스템(1400)은 그 밖의 다른 구성요소를 포함할 수 있다. 예를 들어, 프로세싱 시스템(1400)은 전력 공급기, 케이블, 마더보드, 이동식 저장 매체, 케이스 등을 포함할 수 있다. 그 밖의 다른 이러한 구성요소가, 도시되지 않았더라도, 프로세싱 시스템(1400)의 일부분으로 고려된다.

[0099] 여기서 본 발명의 실시예가 요약된다. 그 밖의 다른 실시예가 또한 본 명세서 및 여기에 포함된 특허청구범위의 전체로부터 이해될 수 있다. 한 가지 일반적인 양태는 패키지 기관 상에 배치되는 무선 주파수 집적 회로(RFIC), RFIC의 제1 에지에 인접하게 패키지 기관 상에 배치된 수신 안테나, 상기 RFIC의 제2 에지에 인접하게 패키지 기관 상에 배치되고 RFIC의 제1 송신 포트에 전기적으로 연결되는 제1 송신 안테나, RFIC에 인접하게 패키지 기관 상에 배치되어 RFIC에 전기적으로 연결되는 제1 복수의 솔더 볼, 전기적으로 부동(floating)인 수신 안테나 시스템에 인접하게 패키지 기관 상에 배치되는 제2 복수의 솔더 볼, 및 RFIC와 수신 안테나 시스템 사이에 패키지 기관 상에 배치되는 접지 벽을 갖는 패키징된 무선 주파수(RF) 회로를 포함한다. RFIC는 상기 RFIC의 제1 에지에서의 수신 포트에 연결되는 복수의 수신기 회로 및 제1 에지와 상이한 RFIC의 제2 에지에서의 제1 송신 포트에 연결된 제1 송신 회로를 포함하고, 수신 안테나 시스템은 각각 대응하는 수신 포트에 전기적으로 연결되는 복수의 수신 안테나 요소를 포함한다.

[0100] 구현예는 다음의 특징들 중 하나 이상을 포함할 수 있다. 패키징된 RF 회로: RFIC는 제1 에지와 상이하고 제2 에지와 상이한 RFIC의 제3 에지에서의 제2 송신 포트에 연결되는 제2 송신 회로를 더 포함하고, 상기 RF 회로는 상기 RFIC의 제3 에지에 인접하게 패키지 기관 상에 배치되며 상기 RFIC의 제2 송신 포트에 전기적으로 연결된

제2 송신 안테나를 더 포함한다. 일부 실시예에서, 제2 송신 회로는 비변조된 반송파와 변조된 반송파 간에 선택 가능한 입력을 포함한다. RFIC는 제2 송신 회로로 연결된 바이폴라 위상 편이 키(BPSK) 변조기를 더 포함할 수 있다.

[0101] 하나의 실시예에서, 제2 에지 및 제3 에지 각각이 제1 에지에 인접하다. 복수의 수신 안테나 요소 각각이 패치 안테나를 포함할 수 있고, 제1 송신 안테나는 패치 안테나를 포함할 수 있다. 일부 실시예에서, 수신 안테나 시스템은 정확히 4개의 수신 안테나 요소를 포함한다. 접지 벽은 수신 안테나 시스템과 RFIC 사이에 배치된 복수의 접지된 솔더 볼을 포함할 수 있다. 일부 구현예에서, 패키징된 RF 회로는 볼 그리드 어레이(BGA) 패키지이다.

[0102] 또 다른 일반 양태가 시스템을 포함하며, 상기 시스템은, 패키지 기관 상에 배치된 무선 주파수 집적 회로(RFIC)를 갖는 패키징된 무선 주파수(RF) 회로 및 제1 복수의 솔더 볼, 제2 복수의 솔더 볼 및 접지된 솔더 볼을 통해 상기 패키징된 무선 주파수(RF) 회로에 연결되는 회로 보드를 포함한다. RFIC는 상기 RFIC의 제1 에지에서의 수신 포트에 연결되는 복수의 수신기 회로, 및 상기 제1 에지와 상이한 RFIC의 제2 에지에서의 제1 송신 포트에 연결되는 제1 송신 회로를 포함한다. RFIC는 RFIC의 제1 에지에 인접하게 패키지 기관 상에 배치되며, 각각 대응하는 수신 포트에 전기적으로 연결되는 복수의 수신 패치 안테나 요소를 포함하는 수신 패치 안테나 시스템, 상기 RFIC의 제2 에지에 인접하게 패키지 기관 상에 배치되며 RFIC의 제1 송신 포트에 전기적으로 연결된 제1 송신 패치 안테나, 상기 RFIC의 제2 에지에 인접하게 패키지 기관 상에 배치되고 상기 RFIC의 제2 송신 포트에 전기적으로 연결된 제2 송신 패치 안테나, 상기 RFIC에 인접하게 상기 패키지 기관 상에 배치되며 상기 RFIC에 전기적으로 연결되는 제1 복수의 솔더 볼, 상기 수신 패치 안테나 시스템에 인접하게 상기 패키지 기관 상에 배치되는 제2 복수의 솔더 볼 - 상기 제2 복수의 솔더 볼은 전기적으로 부동임 -, 및 상기 RFIC와 수신 패치 안테나 시스템 사이에서 상기 패키지 기관 상에 배치된 접지 벽 -상기 접지 벽은 접지된 솔더 볼을 포함함 - 을 더 포함한다. 패키징된 무선 주파수(RF) 회로는 제1 복수의 솔더 볼, 제2 복수의 솔더 볼 및 상기 접지된 솔더 볼을 통해 패키징된 무선 주파수(RF) 회로에 연결된 회로 보드를 더 포함한다.

[0103] 구현예는 다음의 특징들 중 하나 이상을 포함할 수 있다. 회로 보드가 FR4 층 및 접지 평면을 포함하고, 접지 평면은 상기 패키징된 무선 주파수(RF) 회로로부터 회로 보드의 대향하는 측 상에 배치되는 시스템. 일부 실시예에서, 수신 패치 안테나 시스템은 정확히 4개의 수신 패치 안테나 요소를 포함한다. 일부 실시예에서, 패키징된 RF 회로는 볼 그리드 어레이(BGA) 패키지를 포함한다.

[0104] 추가 일반적인 양태가 시스템을 포함하며, 상기 시스템은: 회로 보드; 상기 회로 보드 상에 배치되는 무선 주파수 집적 회로(RFIC) - 상기 RFIC는, 상기 RFIC의 제1 에지에서의 수신 포트에 연결되는 복수의 수신기 회로, 및 상기 제1 에지와 상이한 RFIC의 제2 에지에서의 제1 송신 포트에 연결되는 제1 송신 회로를 포함함 - ; 상기 RFIC의 제1 에지에 인접하며 상기 회로 보드 상에 배치되는 수신 패치 안테나 시스템 - 상기 수신 패치 안테나 시스템은 대응하는 수신 포트에 각각 전기적으로 연결되는 복수의 수신 패치 안테나 요소를 포함함 - ; 상기 RFIC의 제2 에지에 인접하게 상기 회로 보드 상에 배치되고 상기 RFIC의 제1 송신 포트에 전기적으로 연결된 제1 송신 패치 안테나; 상기 RFIC의 제2 에지에 인접하게 상기 회로 보드 상에 배치되며 상기 RFIC의 제2 송신 포트에 전기적으로 연결되는 제2 송신 패치 안테나; 상기 RFIC에 인접하게 상기 회로 보드 상에 배치되고 상기 RFIC에 전기적으로 연결된 제1 복수의 솔더 볼; 상기 수신 패치 안테나 시스템에 인접하게 상기 회로 보드 상에 배치되고, 전기적으로 부동인 제2 복수의 솔더 볼; 및 상기 RFIC와 수신 패치 안테나 시스템 사이에서 상기 회로 보드 상에 배치되는 접지 벽 - 상기 접지 벽은 접지된 솔더 볼을 포함함 - 을 포함한다.

[0105] 구현예는 다음의 특징 중 하나 이상을 포함할 수 있다. 시스템에서, 회로 보드는 FR4 층 및 접지 평면을 포함하고, 상기 접지 평면은 상기 회로 보드에서 RFIC와 대향하는 측 상에 배치된다. 시스템에서 수신 패치 안테나 시스템은 정확히 4개의 수신 패치 안테나 요소를 포함한다. 상기 시스템에서 RFIC는 주파수 변조된 연속 파(FMCW) 레이더 프론트 엔드를 포함한다. 상기 시스템은 RFIC에 연결된 기저대역 체스처 인식 회로를 더 포함한다. 상기 시스템에서, 기저대역 체스처 인식 회로는, RFIC의 중간 주파수 수신 출력에 연결된 복수의 아날로그-디지털 변환기(ADC) 및 상기 복수의 ADC에 연결된 중간 주파수 프로세서를 포함한다.

[0106] 또 다른 일반적인 양태는 레이더 시스템을 포함하며, 상기 레이더 시스템은 복수의 수신 안테나, 복수의 송신 안테나, 복수의 수신 안테나에 연결된 복수의 수신 회로 및 복수의 송신 안테나에 연결된 복수의 송신 회로를 포함하는 레이더 프론트 엔드 회로, 상기 복수의 송신 회로에 연결된 출력을 갖는 오실레이터, 및 상기 복수의 수신 회로의 출력 및 오실레이터의 제어 입력에 연결된 레이더 프로세싱 회로를 포함한다.

[0107] 구현예는 다음의 특징 중 하나 이상을 포함할 수 있다. 상기 레이더 시스템에서, 상기 레이더 프로세싱 회로는

오실레이터의 제어 입력에 연결된 위상 고정 루프를 포함한다. 일부 실시예에서, 상기 위상 고정 루프는 상기 오실레이터의 제어 입력 및 레이더 프로세싱 회로에 연결된 아날로그 위상 고정 루프를 포함한다. 상기 위상 고정 루프는 디지털-아날로그 변환기 및 상기 디지털-아날로그 변환기의 출력과 오실레이터의 제어 입력 사이에 연결된 적분기를 갖는 소프트웨어 PLL을 포함할 수 있다.

[0108] 일부 실시예에서, 레이더 프로세싱 회로는 오실레이터의 제어 입력에 연결된 주파수 변조된 연속 파(FMCW) 생성기를 포함한다. 상기 FMCW 생성기는 2GHz 내지 8GHz의 변조 대역폭, 6kHz 내지 9kHz의 최소 중간 주파수(IF), 및 150kHz 내지 250kHz의 최대 IF 주파수를 생성하도록 구성될 수 있다. 상기 레이더 시스템은 복수의 아날로그-디지털 변환기의 출력에 연결된 디지털 신호 프로세서를 더 포함할 수 있다. 하나의 실시예에서, 디지털 신호 프로세서는 복수의 아날로그-디지털 변환기의 출력 각각에서 가중 FFT를 수행하고 상기 가중 FFT의 결과들을 합산하여 가중 합을 형성하도록 구성된다. 또 다른 실시예에서, FMCW 생성기는 2GHz 내지 8GHz의 변조 대역폭, 3kHz 및 5kHz의 최소 중간 주파수(IF), 및 800kHz 내지 1.2MHz의 최대 IF를 생성하도록 구성된다. 오실레이터의 중심 주파수는 50GHz 내지 70GHz이도록 설정될 수 있다. 일부 실시예에서, 레이더 시스템은 복수의 수신 회로의 대응하는 출력에 연결된 입력을 갖는 복수의 아날로그-디지털 변환기를 더 포함한다.

[0109] 다양한 실시예에서, 레이더 시스템은 복수의 아날로그-디지털 변환기의 출력에 연결된 디지털 인터페이스를 더 포함할 수 있다. 상기 디지털 인터페이스는 예를 들어, USB 인터페이스를 이용해 구현될 수 있다. 하나의 실시예에서, 상기 레이더 프로세싱 회로는 제1 시간 주기 동안 복수의 송신 회로 중 제1 송신 회로를 활성화하고, 상기 제1 시간 주기 후 제2 시간 주기 동안 상기 복수의 송신 회로 중 제2 송신 회로를 활성화하도록 구성된다. 안테나가 구현되는 방식과 관련하여, 복수의 수신 안테나는 복수의 야기-우다 수신 안테나를 포함할 수 있고 복수의 송신 안테나는 야기-우다 송신 안테나를 포함한다. 또 다른 실시예에서, 복수의 수신 안테나는 복수의 패치 수신 안테나를 포함하고 복수의 송신 안테나는 복수의 패치 송신 안테나를 포함한다. 상기 복수의 패치 송신 안테나 중 제1 부분이 상기 레이더 프론트 엔드 회로의 제2 에지 상에 배열되고 상기 복수의 패치 송신 안테나 중 제2 부분이 레이더 프론트 엔드 회로의 제3 에지 상에 배열되도록 복수의 패치 수신 안테나는 레이더 프론트 엔드의 제1 에지에 인접하게 배열된다. 일부 실시예에서, 제2 에지는 제1 에지에 인접하고 제3 에지는 제1 에지에 인접해 있다.

[0110] 또 다른 일반적인 양태는 레이더 시스템을 동작시키는 방법을 포함하며, 상기 방법은 호스트로부터 처프 파라미터(chirp parameter) 및 프레임 시퀀스 설정(frame sequence settings)을 포함하는 레이더 구성 데이터(radar configuration data)를 수신하는 단계를 포함한다. 상기 방법은 상기 레이더 구성 데이터를 수신한 후 상기 호스트로부터 시작 명령어를 수신하는 단계, 및 상기 시작 명령어를 수신한 후, 상기 처프 파라미터로 주파수 생성 회로를 구성하고, 프레임 시퀀서 설정으로 프레임 시퀀서를 구성하며, 지정 속도로 레이더 프레임을 트리거하는 단계를 더 포함한다.

[0111] 구현에는 다음의 특징 중 하나 이상을 포함할 수 있다. 상기 방법은 상기 호스트로부터 중단 명령어를 수신하는 단계, 및 상기 중단 명령어가 수신되면, 상기 레이더 프레임을 트리거하는 것을 중단하는 단계를 더 포함한다. 상기 방법은 상기 중단 명령어가 수신되면, 상기 레이더 시스템의 RF 회로로의 전력 공급을 중단하는 단계 및 상기 시작 명령어가 수신되면, 상기 레이더 시스템의 RF 회로로의 전력이 공급되는 단계를 더 포함할 수 있다. 일부 실시예에서, 상기 레이더 프레임을 트리거하는 단계는 주파수 생성 회로를 트리거하여 상기 처프 파라미터를 기초로 주파수 램프(frequency ramp)를 생성하는 단계, 레이더 시스템의 수신기에 연결된 아날로그-디지털 변환기로부터 샘플을 수신하는 단계, 및 수신된 샘플을 상기 호스트로 전송하는 단계를 포함한다. 상기 레이더 프레임을 트리거하는 단계는 상기 레이더 프레임의 시작 부분에서 상기 레이더 시스템의 수신 안테나 및 송신 안테나를 활성화하는 단계, 및 상기 레이더 프레임의 끝 부분에서 상기 레이더 시스템의 수신 안테나 및 송신 안테나를 비활성화하는 단계를 더 포함한다.

[0112] 또 다른 일반적인 양태는 레이더 시스템을 동작시키는 방법을 포함하며, 상기 방법은 호스트로부터 처프 파라미터를 포함하는 레이더 구성 데이터를 수신하는 단계를 포함한다. 상기 레이더 구성 데이터가 수신되면, 상기 처프 파라미터로 주파수 생성 회로가 구성되며, 상기 호스트로부터 트리거 명령어가 수신되고, 상기 트리거 명령어가 수신되면, 상기 처프 파라미터를 기초로 주파수 램프를 수행하도록 주파수 생성 회로가 트리거되며, 상기 레이더 시스템으로부터 샘플이 수신되며, 수신된 샘플이 상기 호스트로 전송된다.

[0113] 구현에는 다음의 특징 중 하나 이상을 포함할 수 있다. 상기 방법은 상기 호스트로부터 시작 명령어를 수신하는 단계, 상기 시작 명령어가 수신되면, 상기 레이더 시스템의 RF 회로에 전력을 공급하고 상기 레이더 시스템의 수신 안테나 및 송신 안테나를 활성화하는 단계, 상기 호스트로부터 중단 명령어를 수신하는 단계, 및 상기 중

단 명령어가 수신되면, 상기 RF 회로로의 전력 공급을 중단하는 단계를 더 포함한다. 상기 방법은 상기 시작 명령어가 수신되면 샘플링된 데이터에 대한 내부 라우팅을 구성하는 단계를 더 포함한다. 일부 실시예에서, 상기 방법은 트리거 명령어가 수신되면, 상기 레이더 시스템의 수신기에 연결된 아날로그-디지털 변환기를 시동하여 샘플링을 시작하는 단계를 더 포함한다.

[0114] 추가 양태는 레이더 시스템을 포함하며, 상기 레이더 시스템은 레이더 하드웨어에 연결되도록 구성된 프로세서 회로 및 상기 프로세서 회로에 연결된 비-일시적 컴퓨터 판독형 매체를 가진다. 상기 비-일시적 컴퓨터 판독형 매체는 실행형 프로그램을 포함하며, 상기 실행형 프로그램은 상기 프로세서 회로로 하여금: 호스트로부터 처프 파라미터와 프레임 시퀀스 설정을 포함하는 레이더 구성 데이터를 수신하는 단계, 및 상기 레이더 구성 데이터를 수신한 후 상기 호스트로부터 시작 명령어를 수신하는 단계를 수행하게 하도록 명령한다. 상기 시작 명령어를 수신한 후, 상기 실행형 프로그램은 프로세서 회로로 하여금 상기 처프 파라미터로 주파수 생성 회로를 구성하는 단계, 프레임 시퀀서 설정으로 프레임 시퀀서를 구성하는 단계, 및 지정 속도로 레이더 프레임을 트리거하는 단계를 수행하게 하도록 명령한다.

[0115] 구현예는 다음의 특징 중 하나 이상을 포함할 수 있다. 상기 레이더 시스템에서, 상기 실행형 프로그램은 프로세서 회로로 하여금, 상기 호스트로부터 중단 명령어를 수신하는 단계, 및 상기 중단 명령어가 수신되면 상기 레이더 프레임을 트리거하는 것을 중단하는 단계를 더 수행하게 하도록 명령한다. 상기 실행형 프로그램은 프로세서 회로로 하여금 상기 중단 명령어가 수신되면 상기 레이더 시스템의 RF 회로로의 전력 공급을 중단하는 단계 및/또는 상기 시작 명령어가 수신되면 상기 레이더 시스템의 RF 회로에 전력을 공급하는 단계를 더 수행하게 하도록 명령한다. 일부 실시예에서, 상기 레이더 프레임을 트리거하는 상기 실행형 프로그램 명령 단계는 주파수 생성 회로를 트리거하여 상기 처프 파라미터를 기초로 주파수 램프를 생성하는 단계, 상기 레이더 시스템의 수신기에 연결된 아날로그-디지털 변환기로부터 샘플을 수신하는 단계, 및 수신된 샘플을 상기 호스트로 전송하는 단계를 포함한다. 다양한 실시예에서, 상기 레이더 프레임을 트리거하는 상기 실행형 프로그램 명령 단계는 상기 레이더 프레임의 시작 부분에서 상기 레이더 시스템의 수신 안테나 및 송신 안테나를 활성화하는 단계, 및 상기 레이더 프레임의 끝 부분에서 상기 레이더 시스템의 수신 안테나 및 송신 안테나를 비활성화하는 단계를 더 포함한다. 일부 실시예에서 상기 레이더 시스템은 RF 회로 및 주파수 생성 회로를 포함할 수 있는 레이더 하드웨어를 더 포함한다.

[0116] 또 다른 일반적인 양태는 레이더 시스템을 포함하며 상기 레이더 시스템은 레이더 하드웨어에 연결되도록 구성된 프로세서 회로, 및 상기 프로세서 회로에 연결된 비-일시적 컴퓨터 판독형 매체를 가진다. 상기 비-일시적 컴퓨터 판독형 매체는 실행형 프로그램을 포함하며, 상기 실행형 프로그램은 상기 프로세서 회로로 하여금: 호스트로부터 처프 파라미터를 포함하는 레이더 구성 데이터를 수신하는 단계, 상기 레이더 구성 데이터가 수신되면, 처프 파라미터로 주파수 생성 회로를 구성하는 단계, 상기 호스트로부터 트리거 명령어를 수신하는 단계, 및 상기 트리거 명령어가 수신되면, 상기 처프 파라미터를 기초로 하는 주파수 램프를 수행하도록 주파수 생성 회로를 트리거하며, 상기 레이더 시스템으로부터 샘플을 수신하고, 상기 수신된 샘플을 호스트로 전송하는 단계를 수행하게 하도록 명령한다.

[0117] 구현예는 다음의 특징 중 하나 이상을 포함할 수 있다. 상기 레이더 시스템에서, 상기 실행형 프로그램은 프로세서 회로로 하여금 상기 호스트로부터 시작 명령어를 수신하는 단계, 상기 시작 명령어가 수신되면, 상기 레이더 시스템의 RF 회로로 전력을 공급하고 상기 레이더 시스템의 수신 안테나 및 송신 안테나를 활성화하는 단계, 상기 호스트로부터 중단 명령어를 수신하는 단계, 및 상기 중단 명령어가 수신되면, 상기 RF 회로로의 전력 공급이 중단되는 단계를 수행하게 하도록 명령한다. 상기 실행형 프로그램은 프로세서 회로로 하여금 상기 시작 명령어가 수신되면 샘플링된 데이터에 대한 내부 라우팅을 구성하는 단계 및/또는 상기 트리거 명령어가 수신되면 상기 레이더 시스템의 수신기에 연결된 아날로그-디지털 변환기를 시동하여 샘플링을 시작하는 단계를 더 수행하게 하도록 명령한다. 일부 실시예에서, 레이더 시스템은 레이더 하드웨어를 더 포함한다. 상기 레이더 하드웨어는, 예를 들어, RF 회로 및 주파수 생성 회로를 포함할 수 있다.

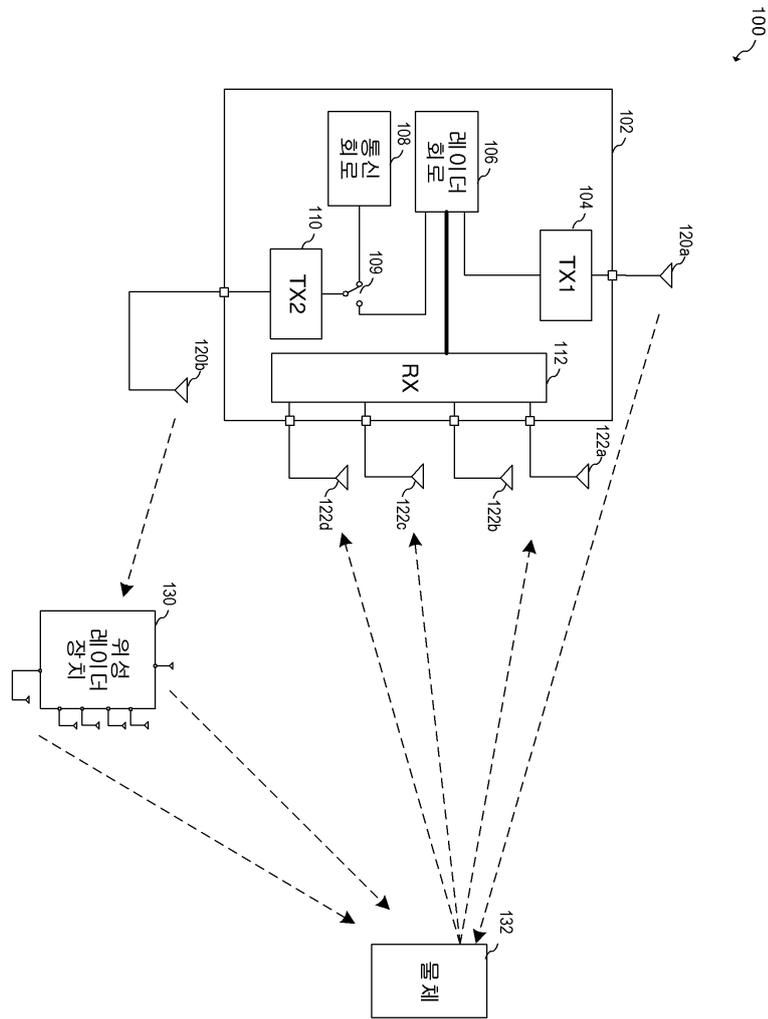
[0118] 또 다른 일반적인 양태는 회로 보드 상에 배치되는 무선 주파수 집적 회로(RFIC)를 포함하는 무선 주파수 시스템을 동작시키는 방법을 포함한다. 상기 방법은 상기 RFIC의 제1 에지에 인접하게 회로 보드 상에 배치되는 대응하는 복수의 수신 패치 안테나에 전기적으로 연결된 RFIC의 복수의 수신기 회로를 이용해 제1 RF 신호를 수신하는 단계를 포함한다. 상기 방법은 또한 RFIC의 제2 에지에 인접하게 상기 회로 보드 상에 배치되는 제1 송신 패치 안테나에 전기적으로 연결된 RFIC의 제1 송신 회로와 상기 RFIC의 제3 에지에 인접하게 상기 회로 보드 상에 배치되는 제2 안테나에 전기적으로 연결되는 RFIC의 제2 송신 회로를 이용해 제2 RF 신호를 송신하는 단계를 포함한다. 상기 제1 에지, 제2 에지 및 제3 에지는 서로 상이하다. 상기 방법은 상기 RFIC에 인접하게 회로 보

드 상에 배치되며 상기 RFIC에 전기적으로 연결된 제1 복수의 솔더 볼, 복수의 수신 패치 안테나 요소에 인접하며 상기 회로 보드 상에 배치되는 전기적으로 부동인 제2 복수의 솔더 볼, 및 상기 RFIC와 복수의 수신 패치 안테나 요소 사이에서 상기 회로 보드 상에 배치되는 접지된 솔더 볼을 이용해 제1 RF 신호를 차폐하는 단계를 포함한다.

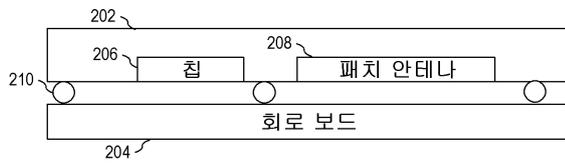
- [0119] 구현예는 다음의 특징 중 하나 이상을 포함할 수 있다. 상기 방법에서 패치 안테나 야기-우다(Yagi-Uda) 안테나를 포함한다. 상기 방법은 수신된 제1 RF 신호를 중간 주파수로 하향변환하여 중간 주파수 신호를 형성하는 단계를 더 포함할 수 있다. 일부 실시예에서, 상기 방법은 중간 주파수 신호의 아날로그-디지털 변환을 수행하는 단계를 더 포함할 수 있다.
- [0120] 본 발명의 실시예의 이점은 소형의 비용 효율적인 패키지로 고주파수 레이더 시스템을 구현할 수 있다는 것이다. 더미 솔더 볼을 이용하는 실시예가 기계적으로 안정하고 솔더 볼 자체가 많은 온도 사이클 동안 자신들의 무결성을 유지하기 때문에 바람직하다. 일부 실시예에서, 각각의 솔더 볼은 500번 초과 온도 사이클을 견디도록 구성될 수 있다.
- [0121] 추가 이점은 소형의 폼 팩터로 정확한 제스처 인식 시스템을 제공할 수 있다는 것이다. 일부 실시예의 추가 이점은 설계자가 고주파수 변환 설계에 대해 걱정하지 않고 고주파수 RF 시스템을 설계할 수 있다는 것이다. 따라서 일 실시예에 따르는 RF 레이더 시스템에 대한 시스템 설계자는 일 실시예에 따르는 RF 하드웨어에 의해 생성되는 원시 데이터를 프로세싱하기 위한 알고리즘의 개발에 집중할 수 있다.
- [0122] 본 발명이 예시적 실시예를 참조하여 기재되었지만, 이 기재는 한정을 의미하는 것이 아니다. 예시적 실시예의 다양한 변형 및 조합뿐 아니라 본 발명의 그 밖의 다른 실시예가 기재를 참조하여 해당 분야의 통상의 기술자에게 자명할 것이다.

도면

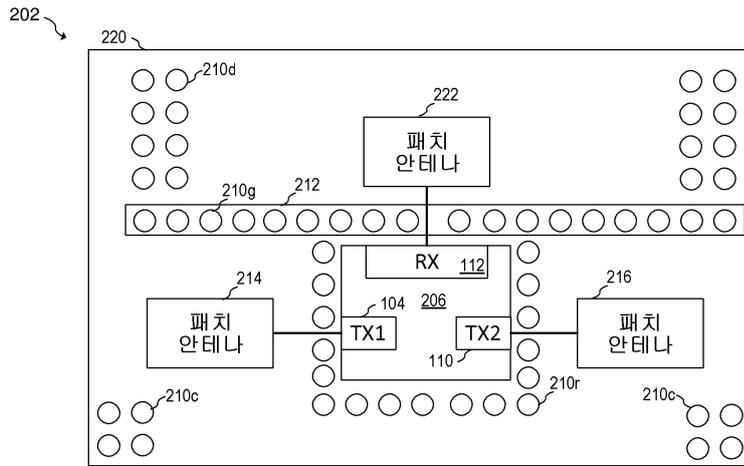
도면1



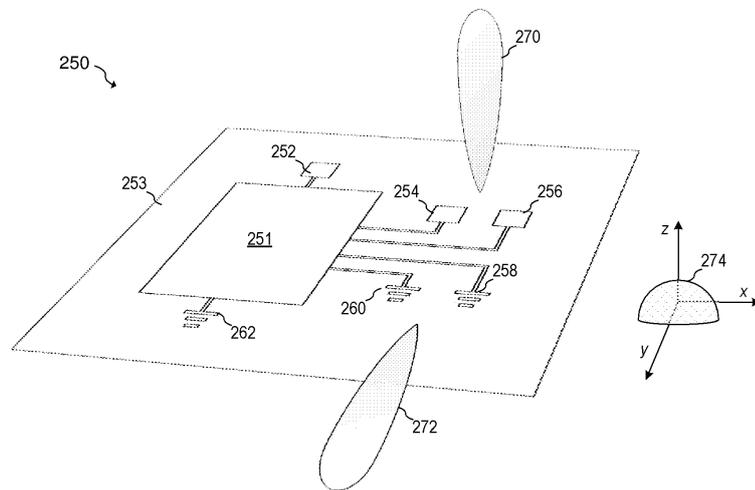
도면2a



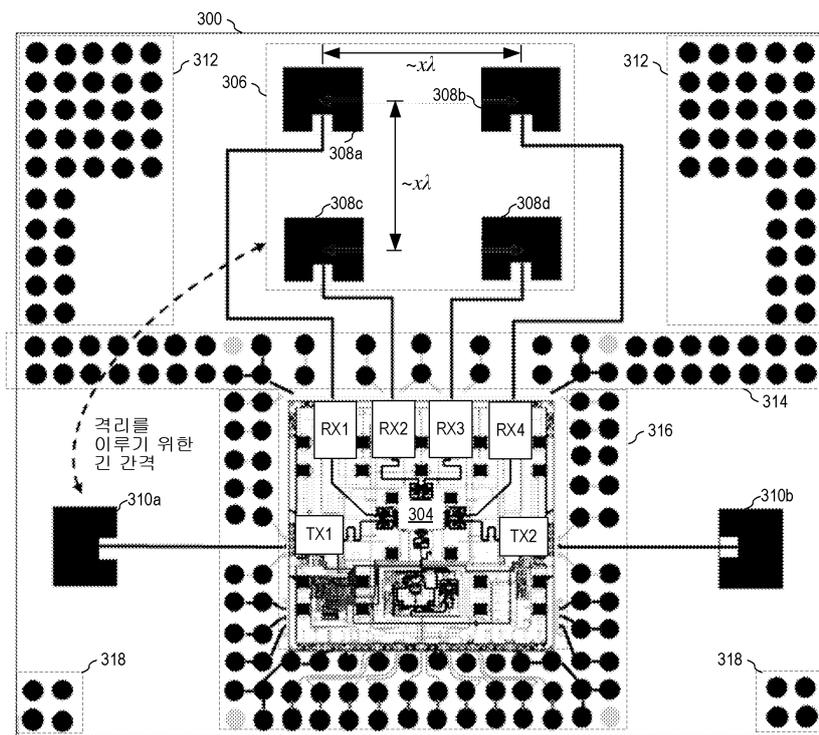
도면2b



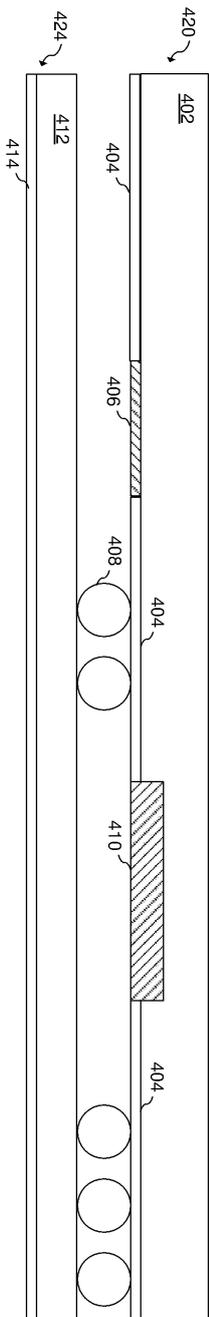
도면2c



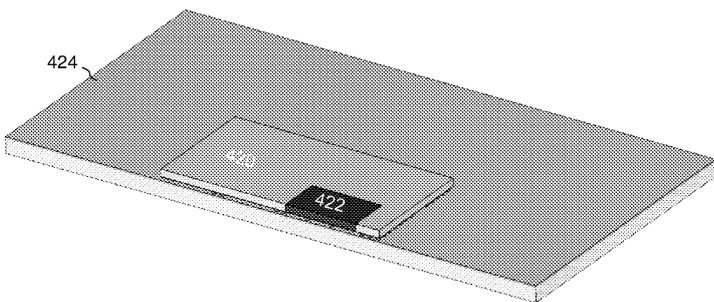
도면3



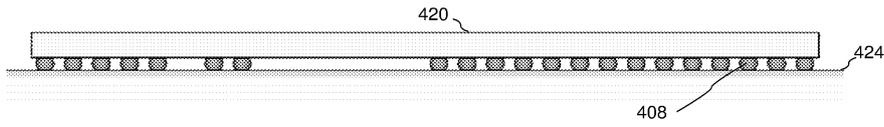
도면4a



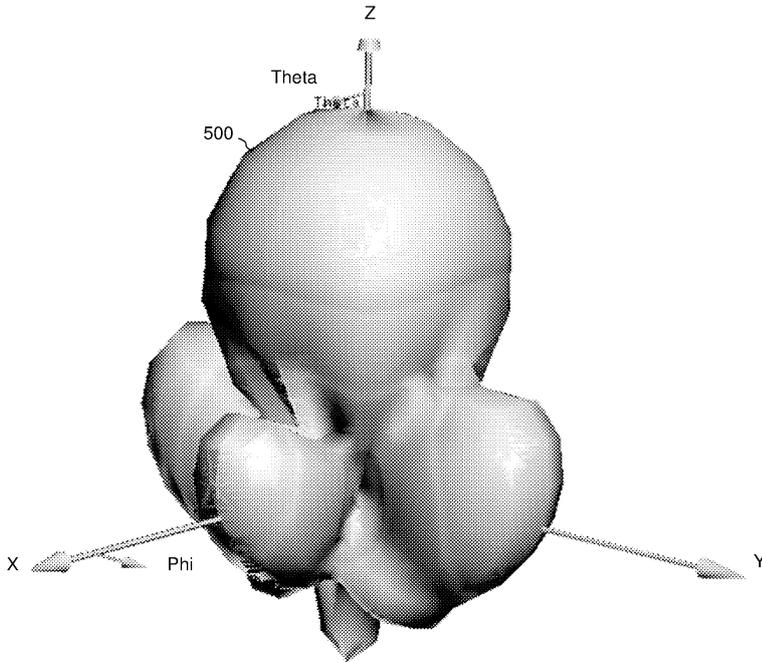
도면4b



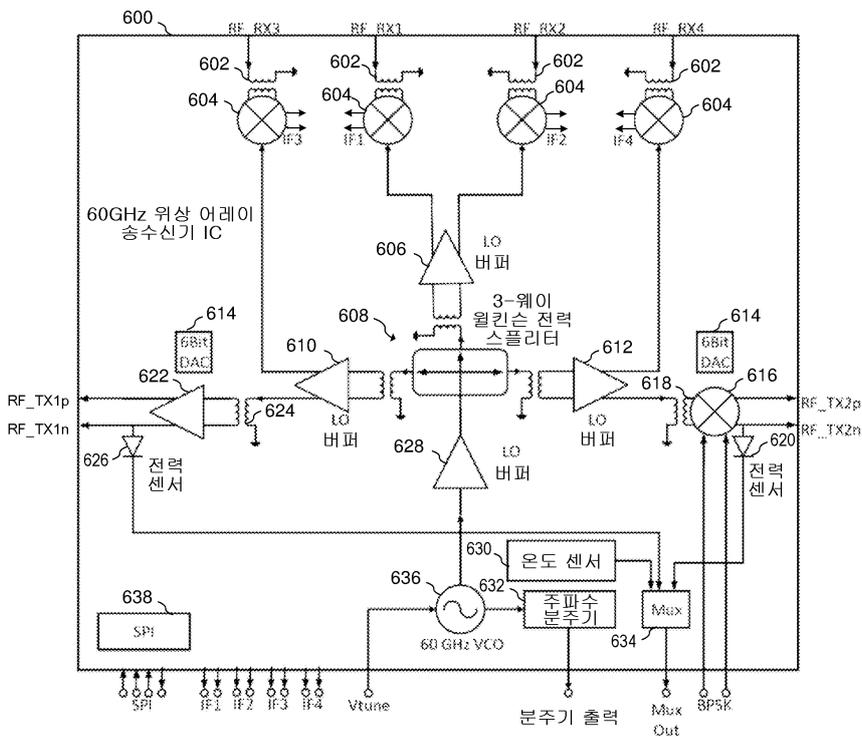
도면4c



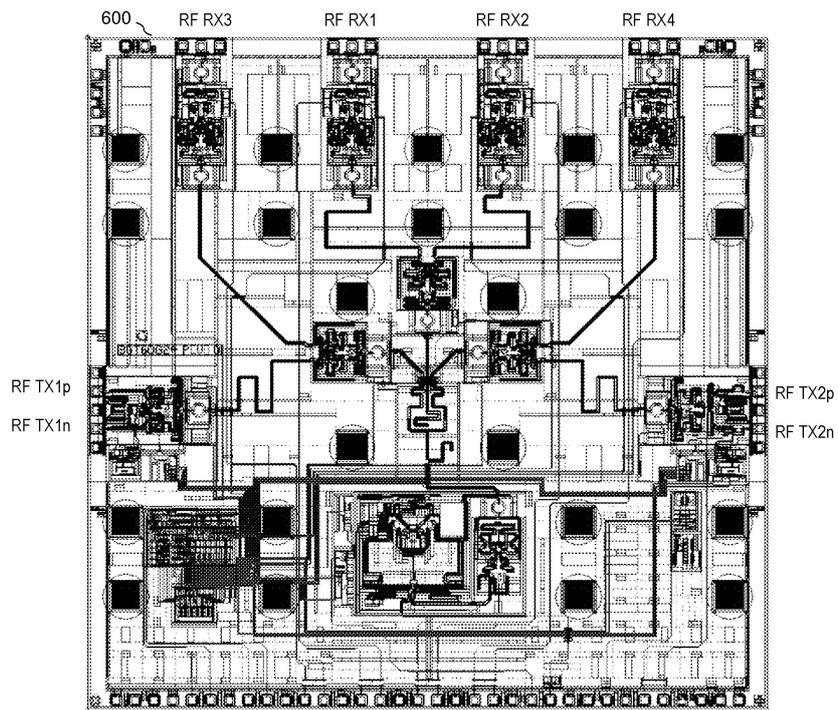
도면5



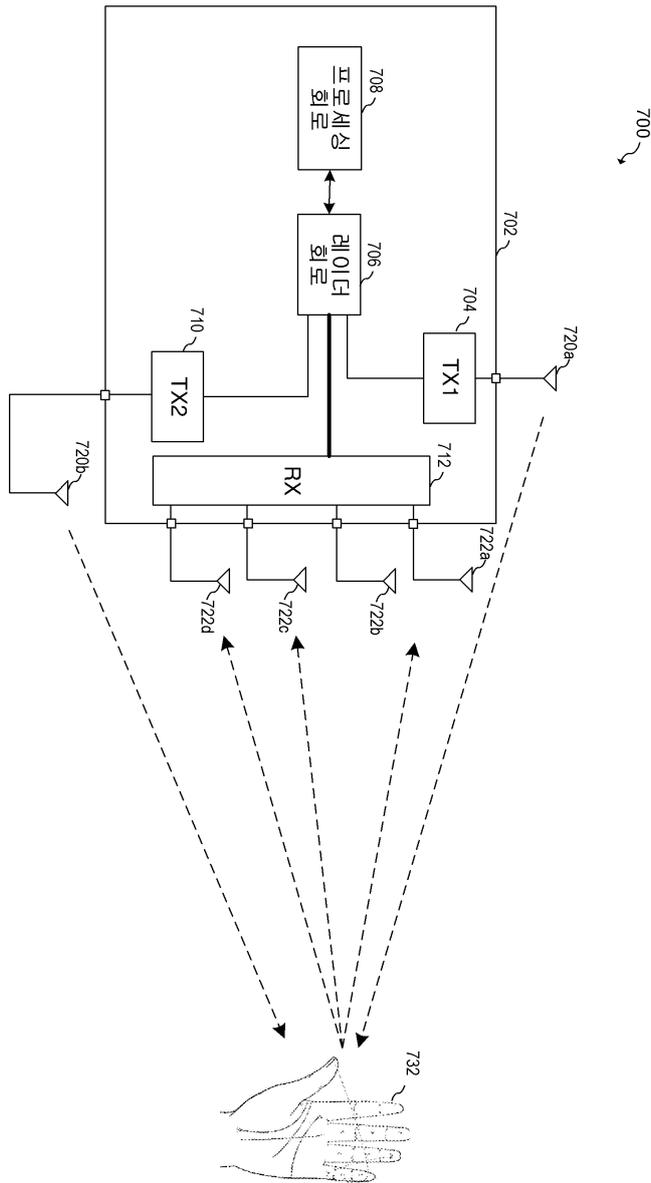
도면6a



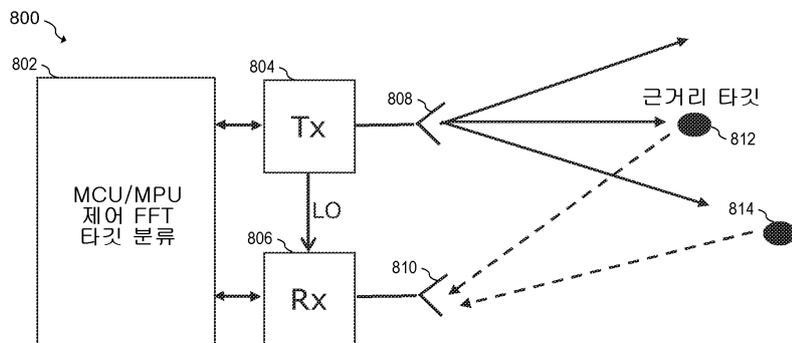
도면6b



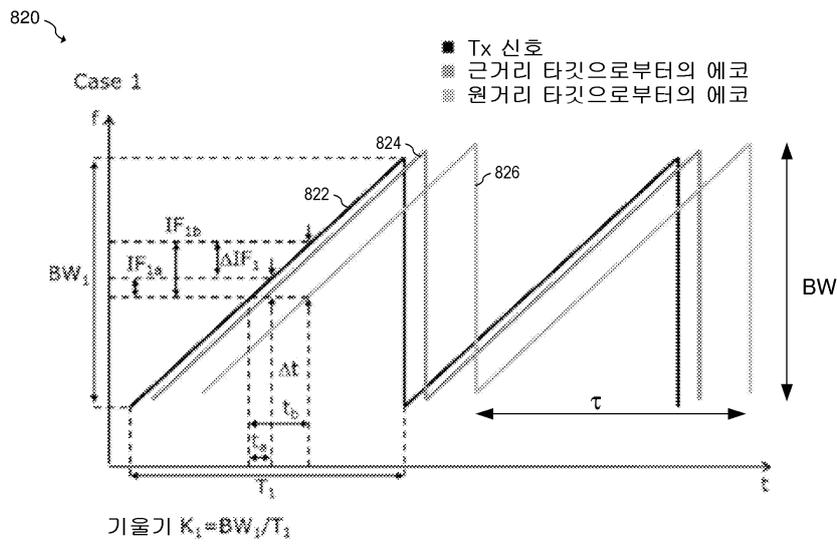
도면7



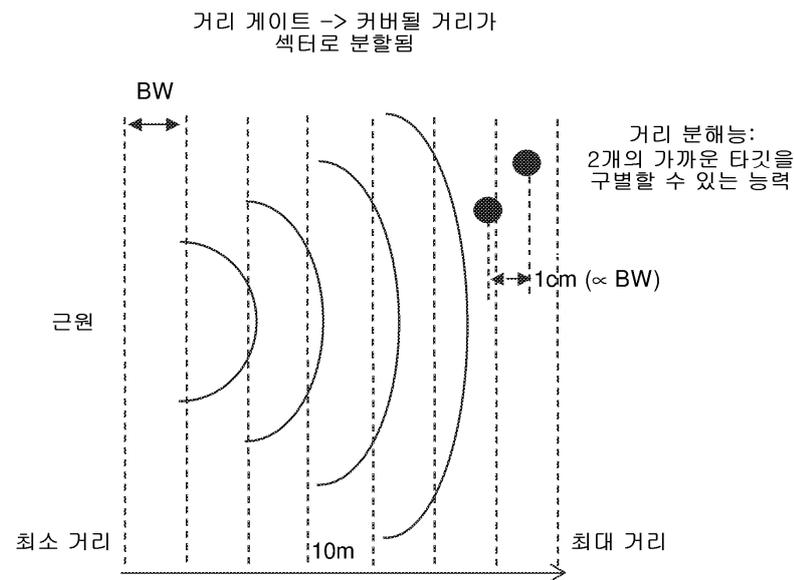
도면8a



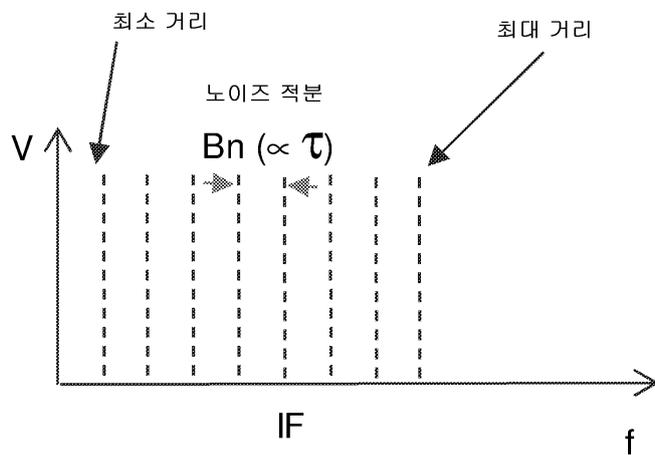
도면8b



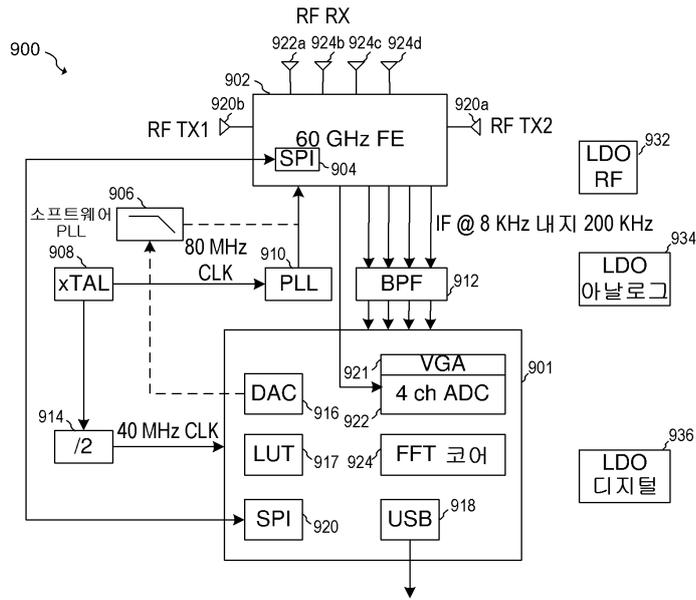
도면8c



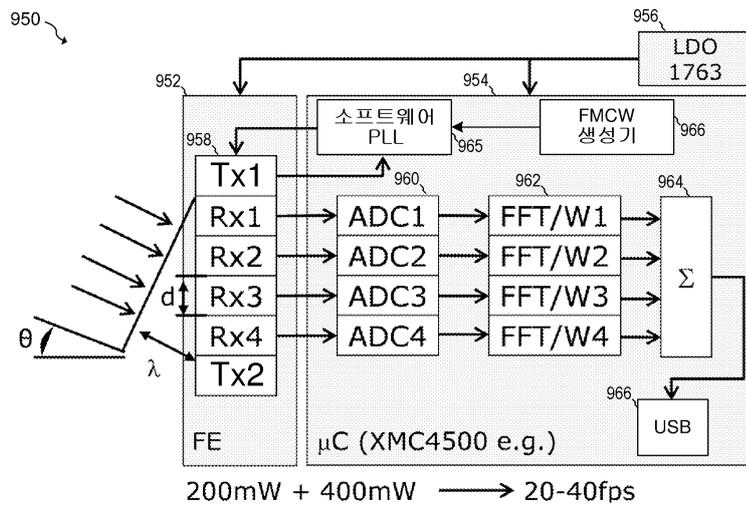
도면8d



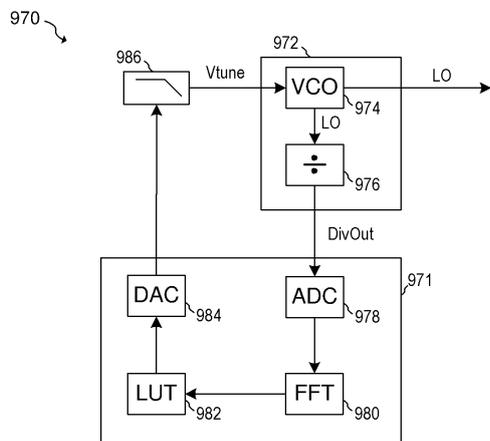
도면9a



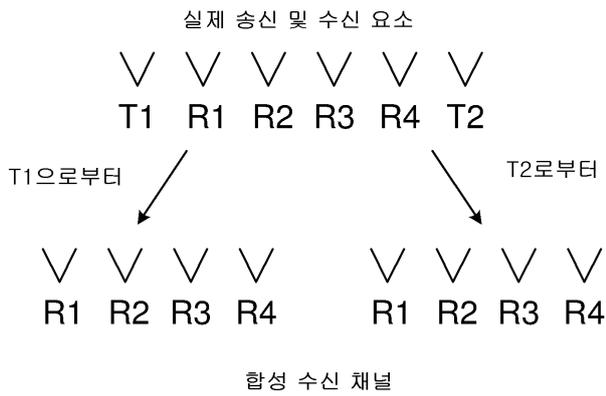
도면9b



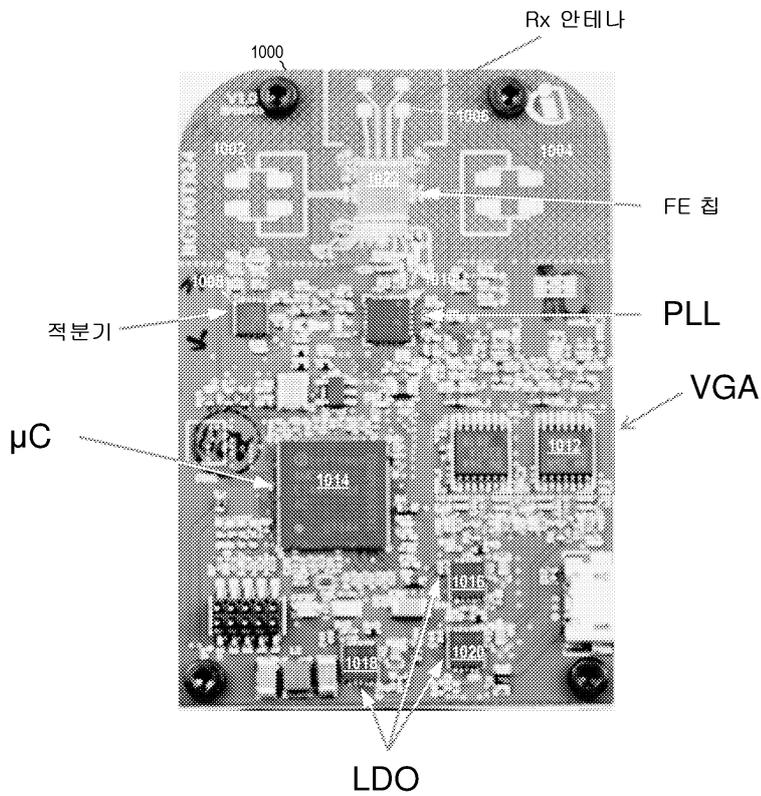
도면9c



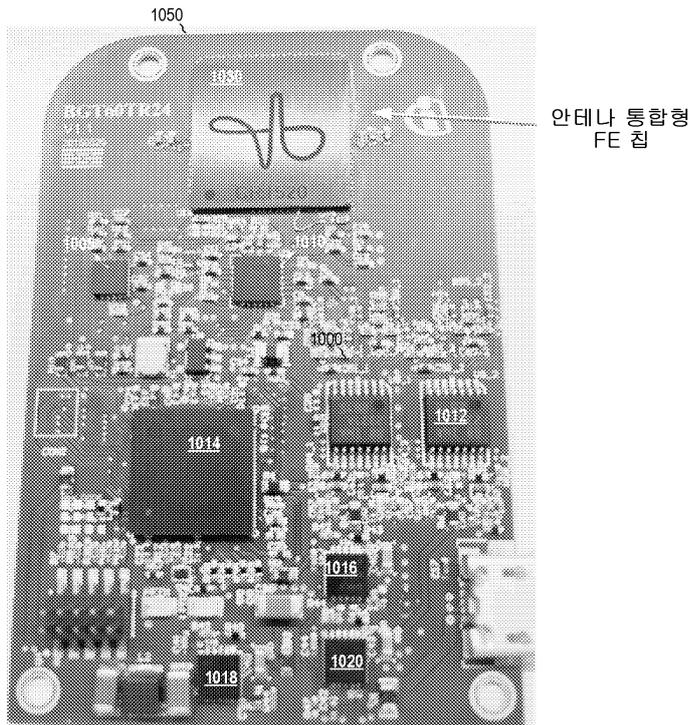
도면9d



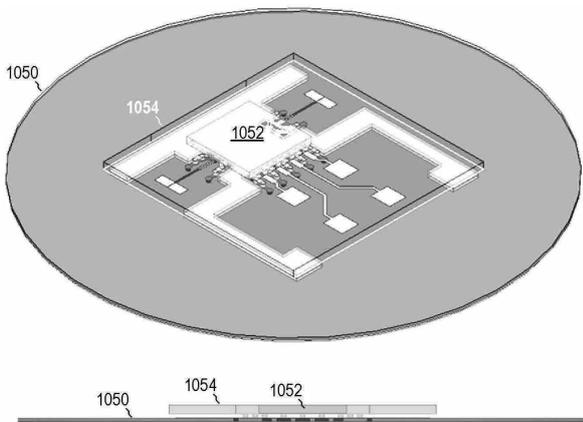
도면10a



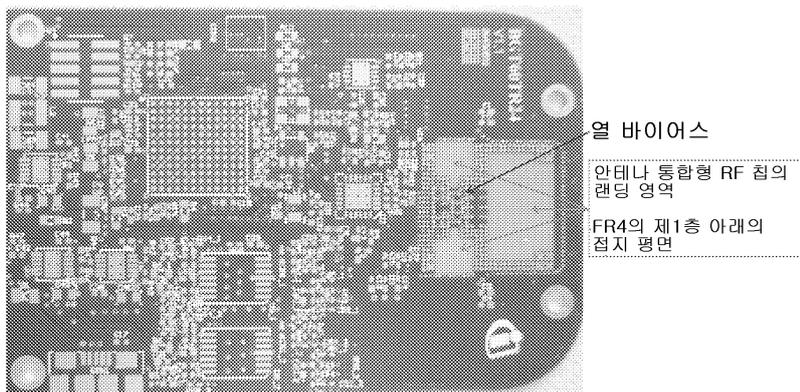
도면10b



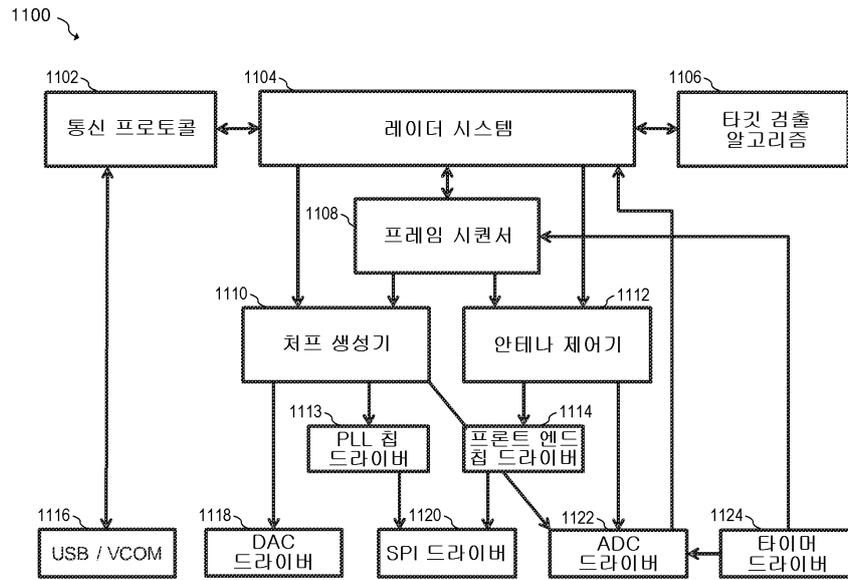
도면10c



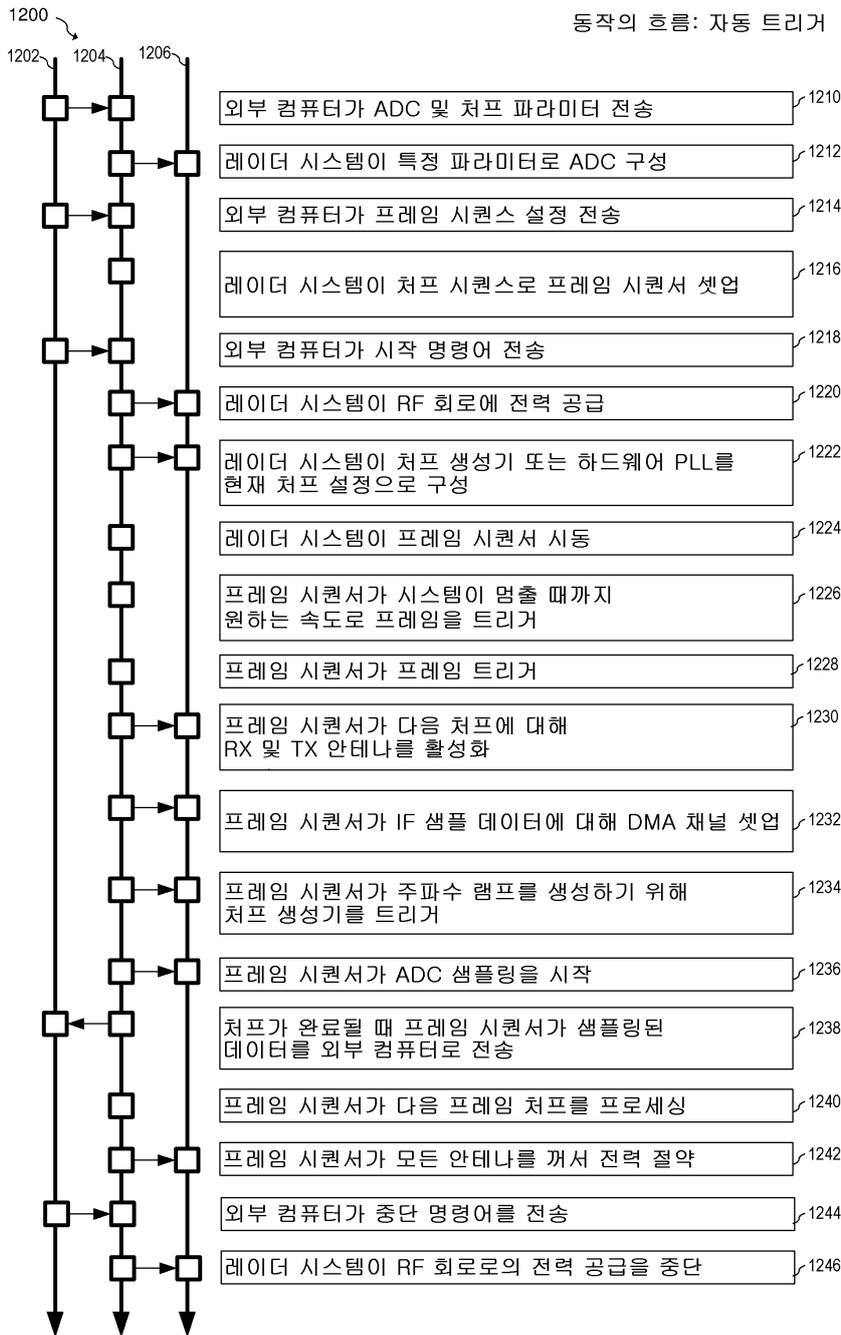
도면10d



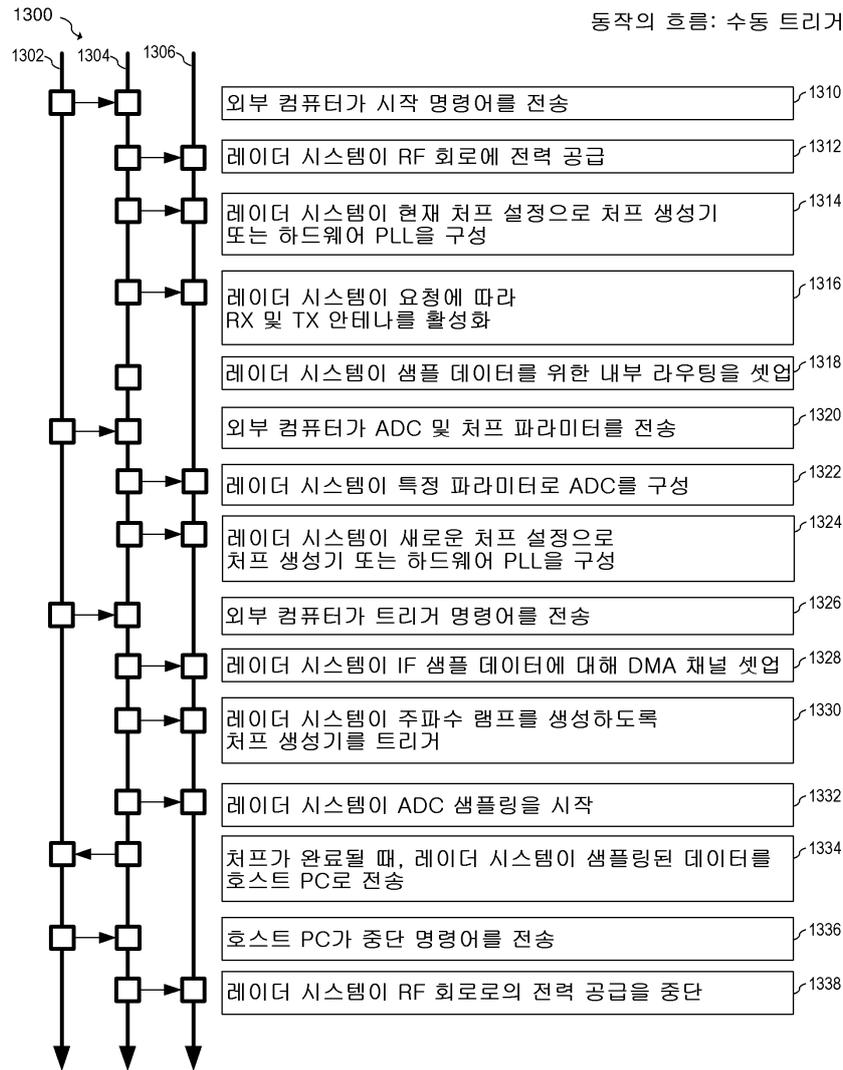
도면11



도면12



도면13



도면14

