

公告本

383412

申請日期	85.11.19
案 號	85114187
類 別	H01L 21/283

A4
C4

383412

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	MOS(金屬氧化物半導體)結構之閘極電極的 生產方法
	英 文	METHOD FOR PRODUCING A GATE ELECTRODE FOR AN MOS STRUCTURE
二、發明 創作人	姓 名	貝哈德路斯帝格 Berhard Lustig
	國 籍	德國
	住、居所	德國慕尼黑 D-81737 安特哈確格街 33 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 80333 威田巴契廣場 2 號
	代 表 人 姓 名	納特布斯克(Natebusch) 歐姆克(Ohmke)

裝

言

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
德 1995年12月21日 19548056.2(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

發明領域

對於高速電路而言，需要具有短通道長度之MOS(金屬氧化物半導體)結構，尤其是短通道MOSFET(金屬氧化物半導體場效電晶體)，短通道MOSFET具有一短的閘極長度，在低操作電壓下，短的閘極延遲時間係由短通道MOS電晶體完成。

相關技術說明

典型的閘極電極係由光微影技術所產生之遮罩的幫助建構一導電層而形成，利用光微影技術建構短通道MOS電晶體所需的這種尺寸低於100nm之閘極電極太小，對於那些建構之大小，例如，通常需要使用電子束微影技術。

為了要在矽基板上產生MOS結構之閘極電極，美國專利第4,358,340號提出首先要形成一 SiO_2 (氧化矽)之步級結構，矽基板之表面完全用 SiO_2 覆蓋，在該步驟結構之一邊緣上，利用多晶矽層的共澱積和多晶矽層的非等向性蝕刻而產生一間隔物，最後，將此間隔物當作蝕刻遮罩使用，以除去在該間隔物之外的步級結構，摻雜該間隔物且當作閘極電極使用，此閘極電極之大小取決於在該步級基底處間隔物之寬度，而與使用之微影製程的最小可行結構尖無關，在此方法中，有蝕刻穿透閘極氧化層的危險，尤其是如果閘極氧化層的厚度只有幾個奈米，則對次100奈米之短通道電晶體而言是絕對必要的。

由C. Johnson等人發表在1984年 IBM Technical

五、發明說明(2)

Disclosure Bulletin第26期第9卷，4587至4589頁之論文知道產生具有結構大小低於使用之微影製程的解析度限制之閘極氧化層的另一方法，即在基板上提供一閘極氧化層，一多晶矽層和一二氧化矽層，然後由光阻產生一基本上具有垂直邊緣之結構，在該邊緣，利用共澱積確定 Si_3Ni_4 （氧化矽）或 SiO_2 層之非等向性蝕刻，而產生一間隔物，此間隔物係當作蝕刻遮罩使用，利用結構化多晶矽層而形成閘極電極，為了防止光阻結構在間隔物形成期間流動，利用UV（紫外線）輻射使該光阻硬化，在閘極電極結構化之後，再除去該間隔物。

發明概述

本發明之目的係發表一產生具有結構大小小於可以在閘極電極完成使用之微影製程的解析度限制之MOS結構的閘極電極之另一方法。

根據本發明，此目的利用由申請專利範圍第1項所界定之方法完成，而本發明其他特徵則在其他之申請專利範圍中敘述。

在本發明之方法中，閘極電極係利用結構化一電極層而形成，此閘極電極之橫向延伸係由間隔物決定，其所形成之物質與該閘極電極相同，使用該間隔物當作蝕刻遮罩，而形成一堅硬的遮罩用以結構化該閘極電極，在閘極電極結構化時，由相同物質所製成之間隔物也同時除去，而不用將除去間隔物之步驟分開，雖然如此，也能產生基本上具有垂直邊緣之閘極電極。

五、發明說明(3)

因為根據本發明之方法並不需要光阻遮罩，所以在開極結構化期間可以避免非常薄的開極電介質過蝕刻。

形成在步級一側之間隔物以澱積一具有共邊緣覆蓋之層且確定此層之非等向性蝕刻為佳，而該步級係產生在覆蓋電極層表面之輔助層中。

此輔助層係以相同材料連續產生，該步級之高度可在此步級形成時經由蝕刻時間調整，此具有僅單一蝕刻製程之優點需要形成堅硬的遮罩，輔助層最好由TEOS SiO_2 形成，而電極層和間隔物則以多晶矽形成為佳，在標準製程中，這些物質可用具有對其他物質有良好選擇性之物質蝕刻。

圖式簡述

本發明可以與下面之附圖結合且根據示範之實施例作更詳細說明。

第1圖為具有開極電介質，電極層，輔助層和光阻遮罩之半導體基板。

第2圖為在形成輔助層之步級後的半導體基板。

第3圖為在澱積一具有共邊緣覆蓋之層後的半導體基板。

第4圖為在形成一間隔物之後的半導體基板。

第5圖為在形成一堅硬遮罩之後的半導體基板。

第6圖為在將電極層結構化以形成一開極電極之後的半導體基板。

較佳實施例說明

五、發明說明(4)

在基板1，例如一單晶矽晶圓或SOI基板上，外加一閘極電介質2，藉由範例之方法，利用熱氧化法得到一層例如厚度為3到4 nm(奈米)之 SiO_2 以形成閘極電介質2(參見第1圖)。

在此閘極電介質2之上，外加一電極層3，例如，此電極層3包含摻雜之多晶矽且厚度為100nm，例如，此電極層3之摻雜濃度範圍為 10^{21} cm^{-3} 。

在該電極層3之上，外加一輔助層4，例如其厚度為200nm，藉由範例之方法，在TEOS製程中得到之 SiO_2 而形成輔助層4。

在該輔助層4之表面上，產生一光阻遮罩5，其界定稍後將產生之閘極電極邊緣的位置。

藉由非等向性蝕刻，如使用 CHF_3 RIE(反應離子蝕刻)，在輔助層4產生基本上為垂直邊緣之步級(參見第2圖)，例如，此步級之高度為150nm，因此電極層3表面仍然由類步級結構的輔助層4覆蓋。

該步驟之高度可經由蝕刻時間控制，之後除去光阻遮罩5。

在整個表面之上澱積一基本上為共邊緣覆蓋之層6(參見第3圖)，例如，該層6由澱積多晶矽而得，例如其厚度為100nm。

藉由非等向性蝕刻，如使用HBr，RIE，除去層6之水平部份，然後當作間隔物7(第4圖)，其保留物為類步級結構的輔助層4的邊緣，就圖而論，該間隔物7形成一

五、發明說明(5)

封閉的曲線，若此為不想要之閘極電極的形狀，則該間隔物 7 可以藉由使用光阻遮罩之濕式化學法製程(未顯示)建構，該間隔物 7 之曲線可能利用製造較高之類步級結構的輔助層之邊緣而限制其上面之部分。

使用間隔物 7 當作蝕刻遮罩，然後建構輔助層 4，此由輔助層 4 產生一堅硬之遮罩 8，例如，若該輔助層 4 係為 SiO_2 (TEOS) 之連續澱積，則其利用非等向性 CHF_3 和 CF_4 蝕刻製程建構，此製程相對於多晶矽具有良好的選擇性，所以蝕刻在該間隔物 7 一側之上的輔助層 4 時，只輕微蝕刻開始暴露之電極層 3 的表面。

最後，利用非等向性蝕刻，例如使用 HBr ，建構電極層 3，此產生一閘極電極 9，在此蝕刻製程之同時，除去與閘極電極 9 之材料相同的間隔物 7 (參見第 6 圖)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: MOS(金屬氧化物半導體)結構之閘極
電極的生產方法)

為了要生產MOS結構,尤其是短通道MOS電晶體之閘極電極,使用閘極電極之物質的間隔物(7)產生一堅硬的遮罩(8),而此堅硬的遮罩係用以結構化閘極電極,此方法尤其適用於生產具有非常薄的閘極電介質且通道長度低於100nm之閘極電極。

(第5圖)

英文發明摘要(發明之名稱: METHOD FOR PRODUCING A GATE ELECTRODE FOR AN
MOS STRUCTURE)

To produce a gate electrode for an MOS structure, in particular a short-channel MOS transistor, a hard mask (8) is created, using a spacer (7) of the material of the gate electrode as the etching mask, and the hard mask is used to structure the gate electrode. The method is suitable particularly for the production of gate electrodes with very thin gate dielectrics with channel lengths below 100 nm.

Fig. 5

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

錄

六、申請專利範圍

1. 一種 MOS (金屬氧化物半導體) 結構之閘極電極的生產方法，包括：

一電極層 (3) 施加於提供有一閘極電介質 (2) 之半導體基板 (1) 上；

一輔助層 (4) 施加於該電極層 (3) 上；

在該輔助層 (4) 產生一步級，且該電極層 (3) 之表面繼續由類步級結構的輔助層 (4) 覆蓋；

在由該電極層 (3) 之物質得到的步級上形成一間隔物 (7)；

藉由非等向性蝕刻，使用該間隔物 (7) 當作蝕刻遮罩，由類步級結構的輔助層 (4) 形成一堅硬的遮罩 (8)；

藉由該電極層 (3) 之非等向性蝕刻，使用該堅硬的遮罩 (8) 當作蝕刻遮罩，形成閘極電極 (9)；

只使用兩層物質形成該輔助層 (4)，該間隔物 (7)，該閘極電介質 (2) 及該電極層 (3)。

2. 如申請專利範圍第 1 項之方法，其中該間隔物 (7) 係由澱積一具有共邊緣覆蓋且確實非等向性蝕刻之層 (6) 所形成。

3. 如申請專利範圍第 1 項或第 2 項之方法，其中該輔助層 (4) 和該閘極電介質 (2) 係由 SiO_2 (氧化矽) 所形成，而該電極層 (3) 和該間隔物則由多晶矽所形成。

(請先閱讀背面之注意事項再填寫本頁)

裝

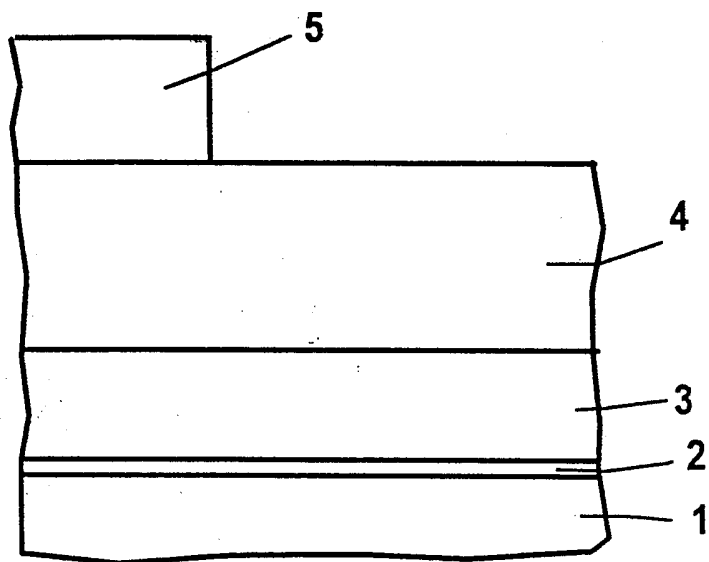
訂

線

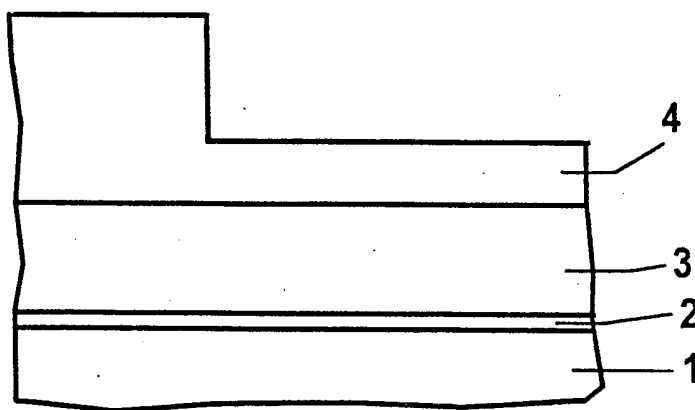
383412

1/3

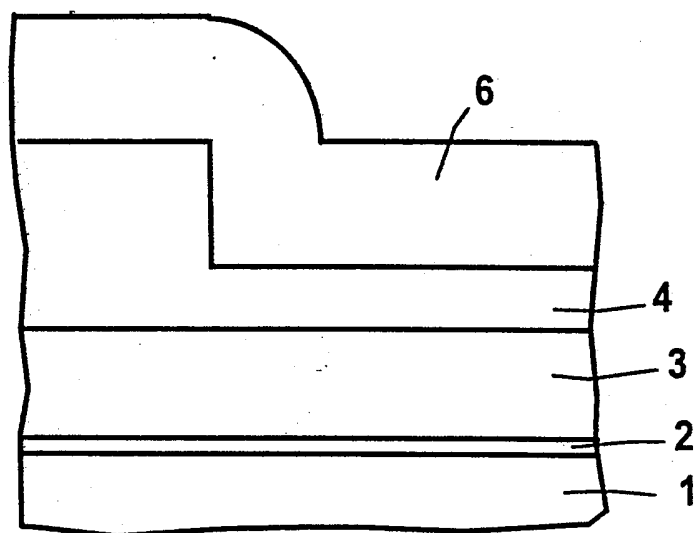
第1圖



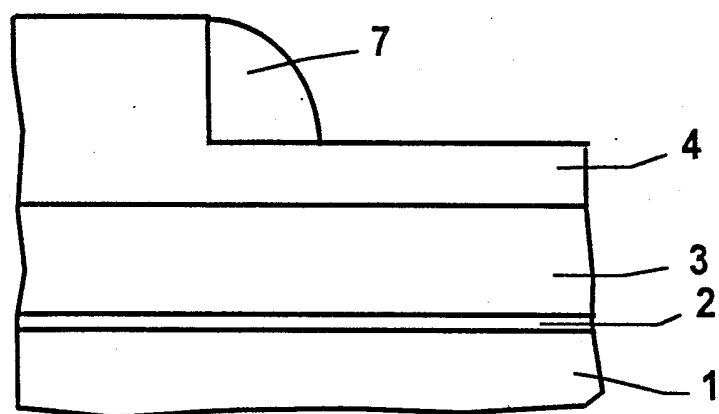
第2圖



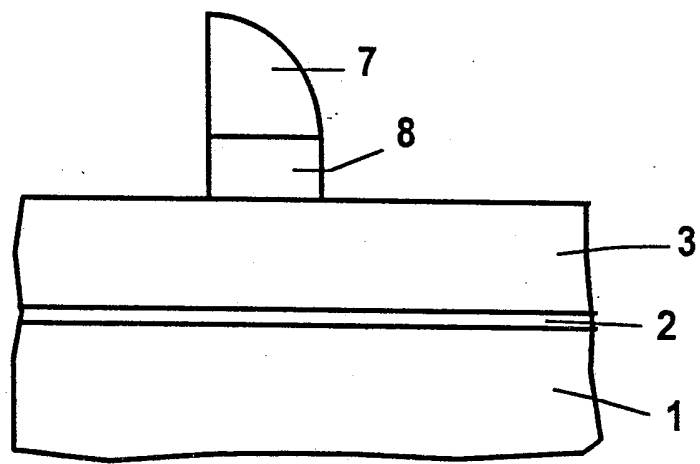
第3圖



第4圖



第5圖



第6圖

