



ÚŘAD PRO VYNÁLEZY

A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

214 472

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 20 12 79
(21) PV 9085 - 79

(51) Int. Cl.³ G 05 B 24/02
H 03 K 19/00

(40) Zveřejněno 31 10 80

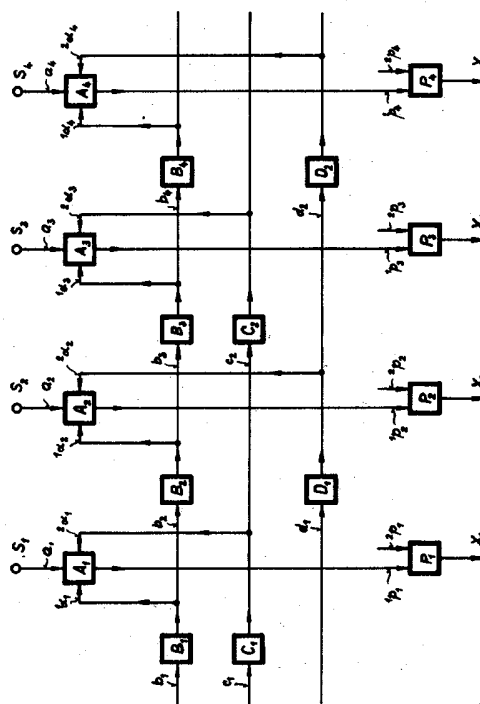
(45) Vydáno 01 07 84

(75)

Autor vynálezu BOCEK KAREL ing. CS.,
FEBER STANISLAV ing., BYSTRICE NAD OLŠÍ,
TOMANEK ERVIN, ROPICE

(54) Zapojení pro kombinované nastavování stavu číslicového automatu

Vynález řeší zapojení pro kombinované nastavení stavu číslicového automatu složené nejméně ze čtyř úseků, z nichž každý obsahuje nejméně jeden vazební člen spojený se snímačem příslušného úseku, kde výstup tohoto vazebního členu je spojen se vstupem paměťového obvodu příslušného úseku, a složené nejméně ze tří přídavných řetězců logických obvodů, jeho podstata záleží v tom, že vedlejší vstupy vazebních členů jednotlivých úseků jsou spojeny s výstupy obvodů přídavných řetězců podle předem stanoveného výběru. Zapojení podle vynálezu umožňuje různé kombinace postupného nastavování paměťových prvků určujících stav automatu, a to podle předem stanoveného výběru realizovaného spojením vedlejších vstupů vazebních členů s výstupy logických obvodů přídavných řetězců. Oblastí uplatnění zapojení podle vynálezu je řízení například členěných úseků výrobních linek s požadavkem na kombinované možnosti postupného uvádění jednotlivých úseků do pracovního stavu.



Vynález se týká zapojení pro kombinované nastavování stavu číslicového automatu, zejména v soustavách autonomního řízení členěných výrobních linek osazených snímači, určujícími jednak stav samotné výrobní linky, a jednak stav řídicího automatu této výrobní linky.

Jsou známa zapojení pro nastavování stavu číslicového automatu, zejména všeobecné vynulování tohoto automatu, označované jako uvedení do počátečního stavu a uskutečňované přivedením mazacího signálu na mazací vstupy paměťových prvků, například paměťových obvodů, čítačů, registrů apod. Zcela chybí univerzální zapojení pro nastavení všeobecně předem zvoleného stavu číslicového automatu.

Tyto nevýhody řeší pro specifické požití v členěných výrobních linkách zapojení pro kombinované nastavování stavu číslicového automatu podle vynálezu, jehož podstata spočívá v tom, že první vedlejší vstup vazebního členu prvního úseku je spojen s výstupem prvního obvodu prvního přídavného řetězce, druhý vedlejší vstup vazebního členu prvního úseku je spojen s výstupem prvního obvodu druhého přídavného řetězce, první vedlejší vstup vazebního členu druhého úseku je spojen s výstupem druhého obvodu prvního přídavného řetězce, druhý vedlejší vstup vazebního členu druhého úseku je spojen s výstupem prvního obvodu třetího přídavného řetězce, první vedlejší vstup vazebního členu třetího úseku je spojen s výstupem třetího obvodu prvního přídavného řetězce, druhý vedlejší vstup vazebního členu třetího úseku je spojen s výstupem druhého obvodu prvního přídavného řetězce, první vedlejší vstup vazebního členu čtvrtého úseku je spojen s výstupem čtvrtého obvodu prvního přídavného řetězce, druhý vedlejší vstup vazebního členu čtvrtého úseku je spojen s výstupem druhého obvodu třetího přídavného řetězce.

Předností zapojení pro kombinované nastavování stavu číslicového automatu podle vynálezu je možnost různých kombinací postupného nastavení paměťových prvků určujících stav tohoto automatu, a to podle předem stanoveného výběru realizovaného spojením vedlejších vstupů vazebních členů s výstupy logických obvodů přídavných řetězců.

Zapojení pro kombinované nastavování stavu číslicového automatu podle vynálezu je v příkladném provedení znázorněno na výkresu.

Na výkresu je znázorněn vazební člen A_1 prvního úseku, jehož vstup a_1 je spojen se snímačem S_1 prvního úseku, první vedlejší vstup $1\alpha_1$ tohoto vazebního členu je spojen s výstupem prvního obvodu B_1 prvního přídavného řetězce, druhý vedlejší vstup $2\alpha_1$ tohoto vazebního členu je spojen s výstupem prvního obvodu C_1 druhého přídavného řetězce, výstup tohoto vazebního členu je spojen s prvním vstupem $1p_1$ paměťového obvodu P_1 prvního úseku, výstup tohoto paměťového obvodu je spojen s výstupem X_1 prvního úseku.

Je znázorněn vazební člen A_2 druhého úseku, jehož vstup a_2 je spojen se snímačem S_2 druhého úseku, první vedlejší vstup $1\alpha_2$ tohoto vazebního členu je spojen s výstupem druhého obvodu B_2 prvního přídavného řetězce, druhý vedlejší vstup $2\alpha_2$ tohoto vazebního členu je spojen s výstupem prvního obvodu D_1 třetího přídavného řetězce, výstup tohoto vazebního členu je spojen s prvním vstupem $1p_2$ paměťového obvodu P_2 druhého úseku, výstup toho-

to paměťového obvodu je spojen s výstupem X_2 druhého úseku.

Dále je znázorněn vazební člen A_3 třetího úseku, jehož vstup a_3 je spojen se snímačem S_3 třetího úseku, první vedlejší vstup $^1\alpha_3$ tohoto vazebního členu je spojen s výstupem třetího obvodu B_3 prvního přídavného řetězce, druhý vedlejší vstup $^2\alpha_3$ tohoto vazebního členu je spojen s výstupem druhého obvodu C_2 druhého přídavného řetězce, výstup tohoto vazebního členu je spojen s prvním vstupem 1p_3 paměťového obvodu P_3 třetího úseku, výstup tohoto paměťového obvodu je spojen s výstupem X_3 třetího úseku.

Dále je znázorněn vazební člen A_4 čtvrtého úseku, vstup a_4 je spojen se snímačem S_4 čtvrtého úseku, první vedlejší vstup $^1\alpha_4$ tohoto vazebního členu je spojen s výstupem čtvrtého obvodu B_4 prvního přídavného řetězce, druhý vedlejší vstup $^2\alpha_4$ tohoto vazebního členu je spojen s výstupem druhého obvodu D_2 třetího přídavného řetězce, výstup tohoto vazebního členu je spojen s prvním vstupem 1p_4 paměťového obvodu P_4 čtvrtého úseku, výstup tohoto paměťového obvodu je spojen s výstupem X_4 čtvrtého úseku.

Obvody přídavných řetězců jsou spojeny v kaskádách za sebou tak, že první obvod B_1 prvního přídavného řetězce má vstup b_1 , výstup tohoto prvního obvodu je spojen se vstupem b_2 druhého obvodu B_2 prvního přídavného řetězce, výstup tohoto druhého obvodu je spojen se vstupem b_3 třetího obvodu B_3 prvního přídavného řetězce, výstup tohoto třetího obvodu B_3 je spojen se vstupem b_4 čtvrtého obvodu B_4 prvního přídavného řetězce.

První obvod C_1 druhého přídavného řetězce má vstup c_1 , výstup tohoto prvního obvodu je spojen se vstupem c_2 druhého obvodu C_2 druhého přídavného řetězce.

První obvod D_1 třetího přídavného řetězce má vstup d_1 , výstup tohoto prvního obvodu je spojen se vstupem d_2 druhého obvodu D_2 třetího přídavného řetězce.

Jako vazební člen se uvažuje vstupní převodník číslicového automatu, který převádí stav snímače na logický signál standartní úrovně, přičemž se předpokládá funkce logického součtu těchto převodníků, vztaženo na vstup a vedlejší vstupy jednotlivého převodníku.

Jako paměťový obvod se uvažuje dvojková paměť se záznamovým vstupem, s mazacím vstupem a s výstupem, kde signál přivedený na záznamový vstup způsobuje vybuzení signálu na výstupu, signál přivedený na mazací vstup způsobuje odbuzení signálu na výstupu. Předpokládá se, že smluvně představuje první vstup záznamový vstup, druhý vstup představuje mazací vstup paměťového obvodu.

Jako obvod přídavného řetězce se uvažuje klopný obvod, například D-klopný obvod. V kaskádovém zapojení vytvářejí tyto obvody vždy v jednotlivém přídavném řetězci posuvný registr.

Alternativně jako obvod přídavného řetězce se uvažuje časový obvod, buzený například zánikem signálu na vstupu. V kaskádovém zapojení vytvářejí tyto obvody vždy v jednotlivém přídavném řetězci časovou posloupnost signálů na výstupech jednotlivých členů přídavného řetězce.

Funkce zapojení pro kombinované nastavování stavu číslicového automatu podle vynálezu v příkladném provedení podle výkresu je taková, že ve výchozím postavení jsou na

vstupu vazebních členů signály logické nuly a paměťové obvody jsou vymazány. Spuštěním některého přidavného řetězce logických obvodů, například druhého přidavného řetězce, jsou na výstupech prvního obvodu C_1 a druhého obvodu C_2 tohoto řetězce postupně po sobě vybudeny signály v časovém odstupu jednoho kroku registru, časového zpoždění začátku signálu časových obvodů apod. Tyto signály přecházejí na vedlejší vstupy přiřazených vazebních členů, a to signál z výstupu prvního obvodu C_1 druhého přidavného řetězce na druhý vedlejší vstup ${}^2\alpha_1$ vazebního členu A_1 prvního úseku, signál z výstupu druhého obvodu C_2 druhého přidavného řetězce na druhý vedlejší vstup ${}^2\alpha_2$ vazebního členu A_2 třetího úseku. Tyto signály způsobují vybudění signálů na výstupech těchto vazebních členů a přecházejí na záznamové vstupy 1p_1 a 1p_2 přiřazených paměťových obvodů. Výsledkem je postupný vznik signálu na výstupu X_1 prvního úseku a signálu na výstupu X_2 třetího úseku s časovým odstupem shodným s časovým úsekem dříve uvedeného jednoho kroku registru, časového zpoždění začátku signálu časových obvodů apod.

Obdobně spuštěním například třetího řetězce jsou na výstupech prvního obvodu D_1 a druhého obvodu D_2 tohoto řetězce postupně po sobě vybudeny signály, které přecházejí na vedlejší vstupy přiřazených vazebních členů, a to signál z výstupu prvního obvodu D_1 třetího přidavného řetězce na druhý vedlejší vstup ${}^2\alpha_2$ vazebního členu A_2 druhého úseku, signál z výstupu druhého obvodu D_2 třetího přidavného řetězce na druhý vedlejší vstup ${}^2\alpha_4$ vazebního členu A_4 čtvrtého řetězce.

Výsledkem působení těchto signálů je postupný vznik signálu na výstupu X_2 druhého úseku a signálu na výstupu X_4 čtvrtého úseku.

Je zřejmé, že spuštěním prvního přidavného řetězce jsou na výstupech obvodů B_1 , B_2 , B_3 , B_4 tohoto řetězce postupně po sobě vybudeny signály, které přecházejí jednotlivě na vedlejší vstupy ${}^1\alpha_1$, ${}^1\alpha_2$, ${}^1\alpha_3$, ${}^1\alpha_4$ přiřazených vazebních členů A_1 , A_2 , A_3 , A_4 , způsobují vybudění signálů na výstupech těchto vazebních členů, které přecházejí na záznamové vstupy 1p_1 , 1p_2 , 1p_3 , 1p_4 paměťových obvodů, a výsledkem je postupný vznik signálu na výstupech X_1 , X_2 , X_3 , X_4 jednotlivých úseků.

Zapojení pro kombinované nastavování stavu číslicového automatu podle vynálezu se uplatňuje v oblasti řízení členěných úseků výrobních linek s požadavkem na kombinované možnosti postupného uvádění jednotlivých úseků do pracovního stavu. Zcela konkrétní uplatnění nachází ve výrobních úsecích sléváren při automatizovaném řízení pohybu rámm, podložek, popř. forem.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro kombinované nastavování stavu číslicového automatu, vyznačené tím, že první vedlejší vstup (${}^1\alpha_1$) vazebního členu (A_1) prvního úseku je spojen s výstupem prvního obvodu (S_1) prvního přidavného řetězce, druhý vedlejší vstup (${}^2\alpha_1$) vazebního členu (A_1) prvního úseku je spojen s výstupem prvního obvodu (C_1) druhého přidav-

ného řetězce, první vedlejší vstup ($^1\alpha_2$) vazebního členu (A_2) druhého úseku je spojen s výstupem druhého obvodu (B_2) prvního přídavného řetězce, druhý vedlejší vstup ($^2\alpha_2$) vazebního členu (A_2) druhého úseku je spojen s výstupem prvního obvodu (D_1) třetího přídavného řetězce, první vedlejší vstup ($^1\alpha_3$) vazebního členu (A_3) třetího úseku je spojen s výstupem třetího obvodu (B_3) prvního přídavného řetězce, druhý vedlejší vstup ($^2\alpha_3$) vazebního členu (A_3) třetího úseku je spojen s výstupem třetího obvodu (B_3) prvního přídavného řetězce, první vedlejší vstup ($^1\alpha_4$) vazebního členu (A_4) čtvrtého úseku je spojen s výstupem čtvrtého obvodu (B_4) prvního přídavného řetězce, druhý vedlejší vstup ($^2\alpha_4$) vazebního členu (A_4) čtvrtého úseku je spojen s výstupem druhého obvodu (D_2) třetího přídavného řetězce.

2. Zapojení podle bodu 1, vyznačené tím, že první přídavný řetězec se skládá z klopných obvodů v registrovém zapojení, druhý přídavný řetězec se skládá z klopných obvodů v registrovém zapojení, třetí přídavný řetězec se skládá z klopných obvodů v registrovém zapojení.
3. Zapojení podle bodu 1, vyznačené tím, že první přídavný řetězec se skládá z časových obvodů se zpožděním začátku signálu spojených v kaskádě za sebou, druhý přídavný řetězec se skládá z časových obvodů se zpožděním začátku signálu spojených v kaskádě za sebou, třetí přídavný řetězec se skládá z časových obvodů se zpožděním začátku signálu spojených v kaskádě za sebou.

1 výkres

