

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5987635号
(P5987635)

(45) 発行日 平成28年9月7日(2016.9.7)

(24) 登録日 平成28年8月19日(2016.8.19)

(51) Int.Cl.

F I

HO 1 L 25/07 (2006.01)

HO 1 L 25/18 (2006.01)

HO 1 L 25/04

C

請求項の数 3 (全 13 頁)

(21) 出願番号	特願2012-237996 (P2012-237996)	(73) 特許権者	000005234
(22) 出願日	平成24年10月29日 (2012.10.29)		富士電機株式会社
(65) 公開番号	特開2014-90017 (P2014-90017A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成26年5月15日 (2014.5.15)	(74) 代理人	100105854
審査請求日	平成27年8月12日 (2015.8.12)		弁理士 廣瀬 一
		(74) 代理人	100103850
			弁理士 田中 秀▲てつ▼
		(72) 発明者	堀 元人
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		(72) 発明者	池田 良成
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内

最終頁に続く

(54) 【発明の名称】 パワー半導体モジュール

(57) 【特許請求の範囲】

【請求項1】

半導体チップを実装した絶縁基板と、
一方の面に外部接続端子を配設し、他方の面に前記半導体チップに接続するポスト電極を有するプリント基板と、
前記絶縁基板と前記プリント基板とを内部に封入する樹脂封止材とを備え、
前記半導体チップと前記絶縁基板とが第1の電氣的接合材で接合されるとともに、前記プリント基板のポスト電極と前記半導体チップとが第2の電氣的接合材で接合され、
前記第1の電氣的接合材の厚さを、当該第1の電氣的接合材のヤング率で除算した値が $4.5 \sim 21.6 \times 10^{-5} \text{ mm}^3 / \text{kgf}$ になるように設定し、前記ポスト電極と前記第2の電氣的接合材との線膨張係数差による前記半導体チップに働く力を抑制することを特徴とするパワー半導体モジュール。

【請求項2】

半導体チップを実装した絶縁基板と、
前記半導体チップからの熱を放熱する放熱ベースと、
一方の面に外部接続端子を配設し、他方の面に前記半導体チップに接続するポスト電極を有するプリント基板と、
前記絶縁基板、前記放熱ベース及び前記プリント基板を収納する外囲樹脂ケースと、
外囲樹脂ケース内に充填されたゲル状絶縁封止材とを備え、
前記半導体チップと前記絶縁基板とが第1の電氣的接合材で接合されるとともに、前記

10

20

プリント基板のポスト電極と前記半導体チップとが第2の電氣的接合材で接合され、
前記第1の電氣的接合材の厚さを当該第1の電氣的接合材のヤング率で除算した値が $4.5 \sim 21.6 \times 10^{-5} \text{ mm}^3 / \text{kgf}$ になるように設定し、前記ポスト電極と前記第2の電氣的接合材との線膨張係数差による前記半導体チップに働く力を抑制することを特徴とするパワー半導体モジュール。

【請求項3】

前記第1の電氣的接合材及び前記第2の電氣的接合材は、はんだ又は金属系接合材で構成されていることを特徴とする請求項1又は2に記載のパワー半導体モジュール。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、パワー半導体素子を搭載したパワー半導体モジュールに関する。

【背景技術】

【0002】

電力変換装置、無停電電源装置、工作機械、産業用ロボット等では、IGBT (Insulated Gate Bipolar Transistor) やパワーFET (Field Effect Transistor) 等のパワー半導体素子を搭載したパワー半導体モジュールが使用されている。

このパワー半導体モジュールとして、絶縁板上に形成された金属箔上に接合された少なくとも一つの半導体素子 (半導体チップ) と、半導体素子 (半導体チップ) に対向して配置されたプリント基板と、このプリント基板の第1及び第2の主面に形成された金属箔の少なくとも一つと半導体素子 (半導体チップ) の主電極の少なくとも一つとを電氣的に接続する複数のポスト電極とを備えた半導体装置 (半導体モジュール) が提案されている (例えば、特許文献1参照)。

20

【0003】

この半導体装置は、図10に示すように、半導体チップの主電極が複数のポスト電極により電氣的に接続されるタイプの半導体モジュールである。半導体モジュール201は、絶縁基板202と、絶縁基板202に対向させたインプラントプリント基板203 (以下、単にプリント基板と称す) とがアンダーフィル材、樹脂材、等204により封止されて一体的になった構造を有する。絶縁基板202上に、複数の半導体チップ205が実装されている。

30

【0004】

さらに、この半導体モジュール201は、樹脂ケースによりパッケージングされ (図示せず)、例えば、汎用IGBTモジュールとして機能する。絶縁基板202は、絶縁板206と、絶縁板206の下面にDCB (Direct Copper Bonding) 法で形成された金属箔207と、絶縁板206の上面に同じくDCB法で形成された複数の金属箔208を備えている。この金属箔208の上には、錫 (Sn) - 銀 (Ag) 系の鉛フリーの半田層209を介して半導体チップ205が接合されている。

【0005】

また、プリント基板203は例えば、樹脂層213を中心部に配置し、その上面と下面に金属箔214がパターン化されて形成され、これら金属箔214が保護層215で覆われて多層構造とされている。このプリント基板203には、複数のスルホール210が設けられており、このスルホール210内に上面及び下面の金属箔214間を電氣的に接続する薄厚の筒状めっき層 (図示しない) が設けられ、円筒状のポスト電極211が筒状めっきを介して注入 (インプラント) されている。

40

さらに、半導体チップ205は、半田層212を介して各々のポスト電極211に接合されている。

【先行技術文献】

【特許文献】

【0006】

50

【特許文献１】特開２００９－６４８５２号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

しかしながら、特許文献１に記載された従来例にあっては、次の未解決の課題がある。

すなわち、プリント基板２０３のポスト電極２１１は、はんだ２１２によって半導体チップ２０５に接合されている。その際、はんだ２１２の量が多いと、毛細管現象によりはんだ２１２がポスト電極２１１を這い上がり、極端な場合、ポスト電極２１１がはんだ２１２でほとんど覆われてしまう。図１１に概略図を示す。一般的にポスト電極２１１は銅からなり線膨張係数が $16.5 \times 10^{-6} (1/^\circ\text{C})$ であり、はんだ２１２は種類により異なるが $22.0 \sim 24.0 \times 10^{-6} (1/^\circ\text{C})$ 程度である。その結果、半導体チップ２０５が通電により発熱したり周囲の温度が上がった際に、はんだ２１２とポスト電極２１１との線膨張係数差により、ポスト電極２１１には上下に引っ張られる方向に力が働く。図１２にその際の状態を示す。ポスト電極２１１が上下に引っ張られることにより、最終的には半導体チップ２０５に力が働き、最悪の場合、半導体チップ２０５が変形するダメージを与える。

そこで、本発明は、上記従来例の未解決の課題に着目してなされたものであり、ポスト電極がはんだ等の電氣的接合材で覆われた場合でもはんだとポスト電極との線膨張係数差による半導体チップへの影響を抑制することができるパワー半導体モジュールを提供することを目的としている。

【課題を解決するための手段】

【０００８】

上記目的を達成するために、本発明に係るパワー半導体モジュールの第１の態様は、半導体チップを実装した絶縁基板と、一方の面に外部接続端子を配設し、他方の面に前記半導体チップに接続するポスト電極を有するプリント基板と、前記絶縁基板と前記プリント基板とを内部に封入する樹脂封止材とを備え、前記半導体チップと前記絶縁基板とが第１の電氣的接合材で接合されるとともに、前記プリント基板のポスト電極と前記半導体チップとが第２の電氣的接合材で接合され、前記第１の電氣的接合材の厚さを、当該第１の電氣的接合材のヤング率で除算した値が $4.5 \sim 21.6 \times 10^{-5} \text{mm}^3 / \text{kgf}$ になるように設定し、前記ポスト電極と前記第２の電氣的接合材との線膨張係数差による前記半導体チップに働く力を抑制する。

【０００９】

また、本発明に係るパワー半導体モジュールの第２の態様は、半導体チップを実装した絶縁基板と、前記半導体チップからの熱を放熱する放熱ベースと、一方の面に外部接続端子を配設し、他方の面に前記半導体チップに接続するポスト電極を有するプリント基板と、前記絶縁基板、前記放熱ベース及び前記プリント基板を収納する外囲樹脂ケースと、外囲樹脂ケース内に充填されたゲル状絶縁封止材とを備え、前記半導体チップと前記絶縁基板とが第１の電氣的接合材で接合されるとともに、前記プリント基板のポスト電極と前記半導体チップとが第２の電氣的接合材で接合され、前記第１の電氣的接合材の厚さを、当該第１の電氣的接合材のヤング率で除算した値が $4.5 \sim 21.6 \times 10^{-5} \text{mm}^3 / \text{kgf}$ になるように設定し、前記ポスト電極と前記第２の電氣的接合材との線膨張係数差による前記半導体チップに働く力を抑制する。

ここで、第１の電氣的接合材及び第２の電氣的接合材としては、はんだ又は金属径系接合材で構成することが好ましい。

【発明の効果】

【００１０】

本発明によれば、はんだ、金属接合材等の電氣的接合材によって半導体チップにポスト電極を接合する際に、電氣的接合材の量が多く毛細管現象により電氣的接合材がポスト電極を這い上がり、ポスト電極が電氣的接合材でほとんど覆われてしまうような場合でも、半導体チップが通電により発熱したり周囲の温度が上がったりしたときに、電氣的接合材

とポスト電極との線膨張係数差によってポスト電極に働く力を軽減し、半導体チップに与える応力を抑制することができる。

【図面の簡単な説明】

【0011】

【図1】本発明の第1の実施形態を示す断面図である。

【図2】第1の実施形態のパワー半導体モジュールの等価回路を示す回路図である。

【図3】本発明の半導体チップ及びプリント基板のポスト電極の接合状態を示す拡大断面図である。

【図4】第1のはんだ厚さと半導体チップに働く力との関係を示す特性線図である。

【図5】半導体チップのはんだ付け構造を示す模式図である。

【図6】はんだ厚さはんだヤング率で除算した値と信頼性試験繰り返し回数との関係を示す特性線図である。

【図7】本発明の第2の実施形態を示す図であって、(a)は平面図、(b)は断面図である。

【図8】第2の実施形態のパワー半導体モジュールの等価回路を示す回路図である。

【図9】本発明の第3の実施形態を示す断面図である。

【図10】従来例を示す図であって、(a)は平面図、(b)は(a)のA-A線上の断面図である。

【図11】従来例の半導体チップ及びポスト電極の接合状態を示す拡大断面図である。

【図12】従来例のポスト電極とはんだとの線膨張係数差による半導体チップへの影響度を示す図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施の形態の一例について図面を参照して説明する。

図1は本発明を適用し得る1in1タイプのパワー半導体モジュールを示す断面図、図7は本発明を適用し得る2in1タイプのパワー半導体モジュールを示す図である。

先ず、本発明を適用し得る1in1タイプのパワー半導体モジュールを図1について説明する。この1in1タイプのパワー半導体モジュール10は、1つのパワー半導体モジュール内に1つのパワーデバイスを内装したものである。

【0013】

パワー半導体モジュール10は、パワー半導体素子を内蔵した半導体チップ11を絶縁基板12上に搭載して構成される半導体回路13と、この半導体回路13の上方で配線回路を構成するプリント基板14とを備えている。

半導体回路13は、半導体チップ11が絶縁ゲート型バイポーラトランジスタ(Insulated Gate Bipolar Transistor, 以下IGBTと称す)またはパワーMOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)やフリー・ホイーリング・ダイオード(Free Wheeling Diode, FWD)などのパワーデバイスにより構成されている。

【0014】

なお、図示をわかりやすくするために、図1においては、一つの絶縁基板12上に一つの半導体チップ11のみを表示している。実際は、一つの絶縁基板12のおもて面側の導体層上に、IGBTなどのスイッチングデバイスとFWDを配置して、図2の等価回路に示すように接続している。

また、半導体チップ11は、上記のような各種パワーデバイスであるが、シリコン基板上に形成したものでもよいし、SiC基板上に形成したものでもよい。

【0015】

絶縁基板12は、伝熱性の良いアルミナ等のセラミックスを主成分とする絶縁板と導体層で構成され、絶縁板12aの表裏面には導体層を構成する銅箔15a、15bが貼り付けられている。絶縁基板12のおもて面側の導体層(銅箔15a)には、導体層上に配置された複数のパワーデバイスの間を接続するための所定の回路パターンが形成されている。そして、絶縁基板12のおもて面側の銅箔15aには、銅板16を介して半導体チップ

10

20

30

40

50

11が第1の電氣的接合材としての第1のはんだ17を介して電氣的に接続されている。銅箔15a、15bの代わりに、銅板16、23をセラミックス板12aの表裏面に接合して絶縁基板12としてもよい。

【0016】

図2に示す等価回路図から分かるように、絶縁基板12の銅箔15aおよび銅板16には、スイッチングデバイス(以下、単にトランジスタという)Q1とFWD(以下、ダイオードという)D1の逆並列接続回路が形成されている。

ここで、絶縁基板12上に配置される半導体チップ(パワーデバイス)11は、図2に示すトランジスタとダイオードの逆並列回路を等価的に構成すればよいので、トランジスタとダイオードは、どちらかあるいは双方が同定格の複数個の半導体チップを搭載するようにしてもよい。

10

【0017】

図1では、絶縁基板12の銅箔15a上で、トランジスタQ1を構成する半導体チップ11と、その背後にダイオードD1を構成する半導体チップ(図示せず)とが前後方向に配置された状態を示している。すなわち、トランジスタQ1とダイオードD1は、絶縁基板12上の銅箔15aとプリント基板14とによって、逆並列に接続されている。そして、半導体チップ11は、上面に所定距離離間して配置されたプリント基板14に形成(固定)されたポスト電極18に電氣的接合部材としての第1のはんだ19を介して電氣的に接続されている。

【0018】

20

ここで、プリント基板14には、一方の面となる裏面に複数のポスト電極18が下方に延長して配設され、他方の面となる表面に外部接続端子となるゲート端子20が形成されている。

なお、図1のように半導体チップ11を絶縁基板12の銅箔15a上で前後方向に配置せずに、左右方向に並べて配置することもできる。

【0019】

ここでは、一方の半導体チップ11の下面にはトランジスタQ1のコレクタ電極が形成され、銅板16を介してパワー半導体モジュール10の外部入力用端子(コレクタ端子C)を構成する接続端子としてのピン状導電体(ピン端子)21に接続されている。また、半導体チップ11のおもて面には、トランジスタQ1のエミッタ電極及びゲート電極が形成され、それぞれポスト電極18を介してプリント基板14に接続される。このうちトランジスタQ1のエミッタ電極は、プリント基板14を介してピン状導電体(ピン端子)22と接続されている。

30

【0020】

また、絶縁基板12の裏面側の銅箔15bには、図1に示すように、放熱部材となる方形板状の銅板23が連結され、銅板23の下面がパワー半導体モジュール10の底面と面一か底面より僅かに突出している。

パワー半導体モジュール10の各構成要素は、例えば熱硬化性樹脂のエポキシ樹脂材料による樹脂封止材24によってモールド成型され、保護される。その結果、パワー半導体モジュール10の外形は、全体として平面視で矩形形状をなす直方体状のモールド成型体25として形成されている。

40

【0021】

ところで、図1に示す1in1タイプのパワー半導体モジュール10における半導体チップ11とプリント基板14に形成したポスト電極18とが第2の電氣的接合材としての第2のはんだ19によって電氣的に接合されている。

この場合、前述した従来例で説明したように、第2のはんだ19の量が多すぎる場合には、図3に示すように、第2のはんだ19が毛管現象によってポスト電極18を這い上がり、極端な場合、ポスト電極18が第2のはんだ19でほとんど覆われてしまう。

【0022】

一般的にポスト電極18は銅からなり線膨張係数が $16.5 \times 10^{-6} (1/^\circ\text{C})$ であ

50

り、第2のはんだ19は種類により異なるが $22.0 \sim 24.0 \times 10^{-6}$ (1/)程度であり、両者に線膨張力係数差を生じている。

その結果、半導体チップ11が通電により発熱したり周囲の温度が上がったりした際に、第2のはんだ19とポスト電極18との線膨張係数差により、ポスト電極18には上下に引っ張られる方向に力が働く。

【0023】

ポスト電極18に働く力は、ポスト電極18の長さ L_p (図3参照)が長く第2のはんだ19の量が多いほど、相対的に大きくなる。その結果、半導体チップ11に働く力も大きくなる。

このため、本発明者等は、種々のシミュレーションを行って半導体チップ11に与える影響度を調べた。このシミュレーションの結果、半導体チップ11の下側すなわち絶縁基板12と接合する第1のはんだ17の厚みを調整することにより、ポスト電極18と第2のはんだ19との線膨張係数差によって半導体チップ11に働く力を抑制することができることを見出した。

【0024】

すなわち、図5に示す半導体チップ11と絶縁基板12との間の第1のはんだ17の厚さ t_s を厚くすると半導体チップ11に力が働いた際に、第1のはんだ17の変形量が増え、半導体チップ11が変形し易くなる。その結果、図4に示すように、第1のはんだ17の厚さ t_s を 0.3 mm としたときの半導体チップ11に働く力を 100% としたときに、第1のはんだ17の厚さ t_s が 0.3 mm から薄くなるにしたがって半導体チップ11に働く力が増加し、 0.05 mm に達すると、半導体チップ11に働く力は厚さ L_s が 0.3 mm のときの約 45% 程度増加することが分かった。

【0025】

また、はんだ変形量とはんだ厚さ t_s 及び第1のはんだヤング率 E との関係は、下式のようになり、はんだ変形量は「はんだ厚さ t_s / はんだヤング率 E 」に応じて変化する。

$$\begin{aligned} \text{はんだ変形量 } \Delta t &= \text{はんだひずみ } \varepsilon \times \text{はんだ厚さ } t_s \\ &= \text{はんだ部応力 } \sigma / \text{はんだヤング率 } E \times \text{はんだ厚さ } t_s \\ &= \text{半田部応力 } \sigma \times (\text{はんだ厚さ } t_s / \text{はんだヤング率 } E) \end{aligned}$$

【0026】

「はんだ厚さ t_s / はんだヤング率 E 」と、半導体チップ11の発熱有無を繰り返す信頼性試験(パワーサイクル試験)結果との相関を図6に示す。

はんだ厚さ t_s が厚いほど、またははんだヤング率 E が小さなほど、「はんだ厚さ t_s / はんだヤング率 E 」の値は大きくなる。その結果、はんだ変形量が増え、半導体チップ11に働く力が低減し、図6から明らかなように、信頼性試験(パワーサイクル試験)の繰り返し回数は増えていき、およそ $4.5 \times 10^{-5} \text{ mm}^3 / \text{kgf}$ 以上で目標値以上となる。また、現実的なはんだ厚さ t_s から「はんだ厚さ t_s / はんだヤング率 E 」の上限値は $21.6 \times 10^{-5} \text{ mm}^3 / \text{kgf}$ となる。

【0027】

したがって、「はんだ厚さ t_s / はんだヤング率 E 」の値が $4.5 \times 10^{-5} \text{ mm}^3 / \text{kgf}$ 未満では信頼試験の繰り返し回数が目標値(100%)に達することがなく、信頼性を確保できないが、「はんだ厚さ t_s / はんだヤング率 E 」の値が $4.5 \times 10^{-5} \text{ mm}^3 / \text{kgf} \sim$ 上限値 $21.6 \times 10^{-5} \text{ mm}^3 / \text{kgf}$ の範囲で信頼性試験の繰り返し回数を目標値を上回りながら現実的な第1のはんだ厚さ t_s を確保することができ、ポスト電極18と第2のはんだとの線膨張係数差によって半導体チップ11へ働く力を十分に抑制することができる。

【0028】

次に、本発明の第2の実施形態について図7を伴って説明する。

この第2の実施形態では、本発明を2in1タイプのパワー半導体モジュールに適用したものである。

2in1タイプのパワー半導体モジュール30は、1つのパワー半導体モジュール内に

10

20

30

40

50

2つのパワーデバイスを内装したものである。

【0029】

この2in1タイプのパワー半導体モジュール30は、図7に示すように、前述した第1図の半導体回路13に相当する2組の半導体回路33A及び33Bが設けられている。これら半導体回路33A及び33Bのそれぞれは、半導体回路13と同様に、絶縁基板32A、32Bの表裏に銅箔35a、35bを貼着し、これら銅箔35a、35b上に銅板36A、36B及び45A、45Bが連結され、銅板36A、36B上に半導体チップ31A、31Bがはんだ37A、37Bを介して電氣的に接続されている。また、半導体チップ31A、31Bの表面側には、プリント基板34の裏面に形成した棒状のポスト電極38A、38Bが電氣的接合部材としてのはんだ39A、39Bを介して電氣的に接合されている。絶縁基板32Aは、絶縁板32Aaの表裏面に銅箔35a、35bが貼り付けられている。絶縁基板32Bは、絶縁板32Baの表裏面に銅箔35a、35bが貼り付けられている。

10

【0030】

そして、半導体チップ31A、31Bが絶縁ゲート型バイポーラトランジスタ (Insulated Gate Bipolar Transistor, IGBT) またはパワーMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) やフリー・ホイーリング・ダイオード (Free Wheeling Diode, FWD) など のパワーデバイスにより構成されている。

なお、図示をわかりやすくするために、図7においては、一つの絶縁基板32A、32B上に一つの半導体チップ31A、31Bのみを表示している。実際は、一つの絶縁基板32A、32Bのおもて面側の導体層上に、IGBTなどのスイッチングデバイスとFWDを配置して、図8の等価回路に示すように接続している。

20

【0031】

また、これらの半導体チップ31A、31Bは、上記のような各種パワーデバイスであるが、シリコン基板上に形成したものでもよいし、SiC基板上に形成したものでもよい。

絶縁基板32Aのおもて面側の導体層 (銅箔35aおよび銅板36A) には、導体層上に配置された複数のパワーデバイスの間を接続するための所定の回路パターンが形成されている。同様に、絶縁基板32Bのおもて面側の銅箔35aおよび銅板36Bにも、導体層上に配置された複数のパワーデバイスの間を接続するための所定の回路パターンが形成されている。

30

【0032】

図8に示す等価回路図から分かるように、絶縁基板32A、32Bの銅箔35aには、スイッチングデバイス (以下、単にトランジスタという) Q1とFWD (以下、ダイオードという) D1の逆並列接続回路と、トランジスタQ2とダイオードD2との逆並列回路とが、直列に接続されている。

ここで、一つの絶縁基板32A、32B上に配置される半導体チップ (パワーデバイス) は、図8に示すトランジスタとダイオードの逆並列回路を等価的に構成すればよいので、トランジスタとダイオードは、どちらかあるいは双方が同定格の複数個の半導体チップを搭載するようにしてもよい。

40

【0033】

図7(b)では、絶縁基板32Bの銅箔35a上で、トランジスタQ1を構成する半導体チップ31Bと、その背後にダイオードD1を構成する半導体チップ (図示せず) とが前後方向に配置された状態を示している。同様に、絶縁基板32Aの銅箔35a上では、トランジスタQ2を構成する半導体チップ31Aと、その背後にダイオードD2を構成する半導体チップ (図示せず) とが、前後方向に配置されている。すなわち、トランジスタQ1とダイオードD1、トランジスタQ2とダイオードD2は、絶縁基板32B、32A上の銅箔35aとプリント基板34とによって、それぞれ逆並列に接続されている。そして、一对のトランジスタQ1、Q2とダイオードD1、D2とからなる2組の逆並列回路は、さらに上面に配置されたプリント基板34とその下面に形成された棒状のポスト電極

50

38A、38Bを介して直列に接続される。

【0034】

なお、図7のように2つの半導体チップ31Aを絶縁基板32Aの銅箔35a上で前後方向に配置せずに、左右方向に並べて配置することもできる。また、半導体チップ31Bについても、同様に左右方向に並べて配置することもできる。

ここでは、一方の半導体チップ31Bの下面にはトランジスタQ1のコレクタ電極が形成され、銅板36Bを介してパワー半導体モジュール30の外部入力用端子(コレクタ端子C1)を構成する接続端子としてのピン状導電体(ピン端子)40に接続されている。他方の半導体チップ31Aの裏面に形成されたトランジスタQ2のコレクタ電極も、銅板36Aを介して外部出力用端子(コレクタ兼エミッタ端子C2/E1)を構成する接続端子としてのピン状導電体(ピン端子)41に接続されている。なお、プリント基板34とピン状導電体(ピン端子)41は電氣的には接続されていない。

10

【0035】

また、半導体チップ31B、31Aのおもて面には、トランジスタQ1、Q2のエミッタ電極及びゲート電極が形成され、それぞれポスト電極38B、38Aを介してプリント基板34に接続される。このうちトランジスタQ1のエミッタ電極は、プリント基板34を介して図示していないポスト電極により銅板36Aに接続され、外部出力用端子(コレクタ兼エミッタ端子C2/E1)に接続される。トランジスタQ2のエミッタ電極はプリント基板34を介してポスト電極により銅板36Cに接続され、外部入力用端子(エミッタ端子E2)を構成する接続端子としてのピン状導電体(ピン端子)42に接続されている。

20

【0036】

これらのピン状導電体40~42は、図7(a)に示すように平面から見てパワー半導体モジュール30の幅方向の中心線に対して対称の位置に2本ずつ形成されている。また、パワー半導体モジュール30はピン状導電体40の長手方向外側に片側2本ずつ計4本のピン状導電体(ピン端子)43a、43b及び44a、44bをさらに有している。これらのピン状導電体43a、44bはプリント基板34に接続されて、ハーフブリッジ回路のトランジスタQ1とQ2のゲート電極にゲート制御信号を供給するゲート端子G1、G2を構成している。また、残りの2本のピン状導電体44a、43bはトランジスタQ1、Q2のエミッタ信号を供給するエミッタ信号端子e1、e2を構成している。

30

【0037】

また、絶縁基板32A、32Bの裏面側の銅箔35bには、図7(b)に示すように、放熱部材となる方形板状の銅板45A、45Bが連結され、パワー半導体モジュール30の底面と面一か底面より僅かに突出している。

パワー半導体モジュール30の各構成要素は、例えば熱硬化性樹脂のエポキシ樹脂材料による樹脂封止材46によってモールド成型され、保護される。その結果、パワー半導体モジュール30の外形は、全体として平面視で矩形形状をなす直方体状のモールド成型体47として形成されている。

【0038】

この第2の実施形態でも、図7に示す2in1タイプのパワー半導体モジュール30における半導体チップ31A、31Bと絶縁基板32A、32Bとが第1の電氣的接合材としての第1のはんだ37A、37Bによって電氣的に接合され、半導体チップ31A、31Bとプリント基板34に形成したポスト電極38A、38Bとが第2の電氣的接合部材としての第2のはんだ39A、39Bによって電氣的に接合されている。

40

【0039】

この場合、前述した第1の実施形態で説明したように、第2のはんだ39A、39Bの量が大過ぎる場合には、前述した図3に示すように、第2のはんだ39A、39Bが毛管現象によって第2のはんだ39A、39Bがポスト電極38A、38Bを這い上がり、極端な場合、ポスト電極38A、38Bが第2のはんだ39A、39Bでほとんど覆われてしまう。

50

【 0 0 4 0 】

前述したように、ポスト電極 3 8 A , 3 8 B は銅からなり線膨張係数が $16.5 \times 10^{-6} (1/^\circ\text{C})$ であり、はんだ 2 1 2 は種類により異なるが $22.0 \sim 24.0 \times 10^{-6} (1/^\circ\text{C})$ 程度であり、両者に線膨張力係数差を生じている。

その結果、半導体チップ 3 1 A , 3 1 B が通電により発熱したり周囲の温度が上がったりした際に、第 2 のはんだ 3 9 A , 3 9 B とポスト電極 3 8 A , 3 8 B との線膨張係数差により、ポスト電極 3 8 A , 3 8 B には上下に引っ張られる方向に力が働く。

【 0 0 4 1 】

ポスト電極 3 8 A , 3 8 B に働く力は、ポスト電極 3 8 A , 3 8 B の長さ L_p が長く第 1 のはんだ 3 9 A , 3 9 B の量が多いほど、相対的に大きくなる。その結果、半導体チップ 3 1 A , 3 1 B に働く力も大きくなる。

この第 2 の実施形態においても、前述した第 1 の実施形態と同様に、半導体チップ 1 1 の下側すなわち絶縁基板 1 2 と接合する第 1 のはんだ 1 7 の厚みを調整することにより、ポスト電極 1 8 と第 2 のはんだ 1 9 との線膨張係数差によって半導体チップ 1 1 に働く力を抑制することができることを見出した。

【 0 0 4 2 】

すなわち、前述した図 5 に示す半導体チップ 1 1 と絶縁基板 1 2 との間の第 1 のはんだ 1 7 の厚さ t_s を厚くすると半導体チップ 1 1 に力が働いた際に、第 1 のはんだ 1 7 の変形量が増え、半導体チップ 1 1 が変形し易くなる。その結果、前述した図 4 に示すように、第 1 のはんだ 1 7 の厚さ t_s を 0.3 mm としたときの半導体チップ 1 1 に働く力を 100 % としたときに、第 1 のはんだ 1 7 の厚さ t_s が 0.3 mm から薄くなるにしたがって半導体チップ 1 1 に働く力が増加し、 0.05 mm に達すると、半導体チップ 1 1 に働く力は厚さ L_s が 0.3 mm のときの約 45 % 程度増加することが分かった。

【 0 0 4 3 】

また、はんだ変形量とはんだ厚さ t_s 及び第 1 のはんだヤング率 E との関係は、下式のようになり、はんだ変形量は「はんだ厚さ t_s / はんだヤング率 E 」に応じて変化する。

はんだ変形量 Δt はんだひずみ $\varepsilon \times$ はんだ厚さ t_s

はんだ部応力 σ / はんだヤング率 $E \times$ はんだ厚さ t_s

半田部応力 $\sigma \times$ (はんだ厚さ t_s / はんだヤング率 E)

【 0 0 4 4 】

「はんだ厚さ t_s / はんだヤング率 E 」と、半導体チップ 1 1 の発熱有無を繰り返す信頼性試験（パワーサイクル試験）結果との相関は前述した図 6 に示すようになる。

この図 6 から明らかなように、第 2 の実施形態でも、はんだ厚さ t_s が厚いほど、またははんだヤング率 E が小さなほど、「はんだ厚さ t_s / はんだヤング率 E 」の値は大きくなる。その結果、はんだ変形量が増え、半導体チップ 1 1 に働く力が低減し、信頼性試験（パワーサイクル試験）の繰り返し回数は増えていき、およそ $4.5 \times 10^{-5} \text{ mm}^3 / \text{kgf}$ 以上で目標値以上となる。また、現実的なはんだ厚さ t_s から「はんだ厚さ t_s / はんだヤング率 E 」の上限値は $21.6 \times 10^{-5} \text{ mm}^3 / \text{kgf}$ となる。

【 0 0 4 5 】

したがって、「はんだ厚さ t_s / はんだヤング率 E 」の値が $4.5 \times 10^{-5} \text{ mm}^3 / \text{kgf}$ 未満では信頼試験の繰り返し回数が目標値（100 %）に達することがなく、信頼性を確保できないが、「はんだ厚さ t_s / はんだヤング率 E 」の値が $4.5 \times 10^{-5} \text{ mm}^3 / \text{kgf} \sim$ 上限値 $21.6 \times 10^{-5} \text{ mm}^3 / \text{kgf}$ の範囲で信頼性試験の繰り返し回数を目標値を上回りながら現実的な第 1 のはんだ厚さ t_s を確保することができ、ポスト電極 1 8 と第 2 のはんだとの線膨張係数差によって半導体チップ 1 1 へ働く力を十分に抑制することができる。このため、半導体チップ 3 1 A , 3 1 B の損傷を確実に防止することができ、パワー半導体モジュール 3 0 の信頼性を向上させることができる。

【 0 0 4 6 】

なお、上記第 1 及び第 2 の実施形態では、半導体チップ 1 1 及び 3 1 A , 3 1 B を搭載した絶縁基板 1 2 及び 3 2 A , 3 2 B、プリント基板 1 4 及び 3 4 を樹脂封止材 2 4 及び

10

20

30

40

50

46でモールド成型する場合について説明した。しかしながら、本発明は、上記構成に限定されるものではなく、図9に示すように、前述した第1の実施形態において、金属性の放熱ベース51上にパワー半導体素子を内蔵した半導体チップ11を搭載した絶縁基板12を配置し、半導体チップ11と絶縁基板12とを第1のはんだ17で電氣的に接合するとともに、半導体チップ11とプリント基板14に形成したポスト電極18とを第2のはんだ19によって電氣的に接合した状態で、外囲樹脂ケース52で覆い、この外囲樹脂ケース52内にゲル状絶縁封止材53を充填するようにしたパワー半導体モジュール54にも本発明を適用することができる。前述した第2の実施形態においても上記と同様に放熱ベース51、外囲樹脂ケース52、ゲル状絶縁封止材53を使用してパワー半導体モジュールを構成することができる。

10

【0047】

また、上記第1及び第2の実施形態においては、ポスト電極18及び38A、38Bと半導体チップ11及び31A、31Bの接合をはんだ19及び39A、39Bで行っている場合について説明したが、はんだ19及び39A、39Bの代わりに金属微粒子、導電性接着剤等の他の電氣的接合部材を適用することができる。

【符号の説明】

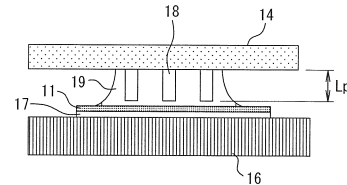
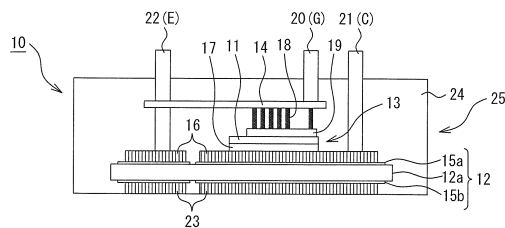
【0048】

10...パワー半導体モジュール、11...半導体チップ、12...絶縁基板、13...半導体回路、14...プリント基板、16...銅板、17...はんだ、18...ポスト電極、19...はんだ、20~22...ピン状導電体、24...樹脂封止材、25...モールド成型体、30...パワー半導体モジュール、31A、31B...半導体チップ、32A、32B...絶縁基板、33A、33B...半導体回路、34...プリント基板、36A、36B...銅板、37...はんだ、38A、38B...ポスト電極、39A、39B...はんだ、40~42、43a~44b...ピン状導電体、46...樹脂封止材、47...モールド成型体、51...放熱ベース、52...外囲樹脂ケース、53...ゲル状絶縁封止材、54...パワー半導体モジュール

20

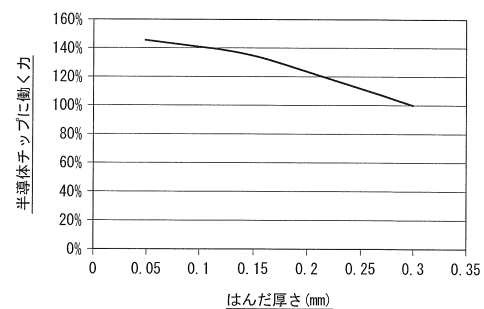
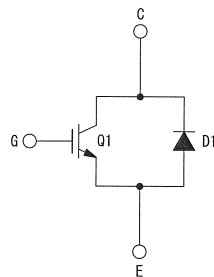
【図1】

【図3】

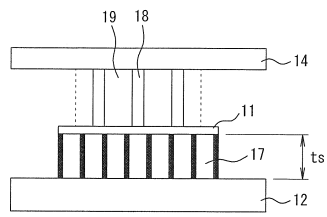


【図4】

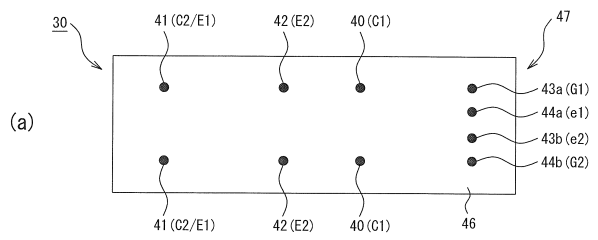
【図2】



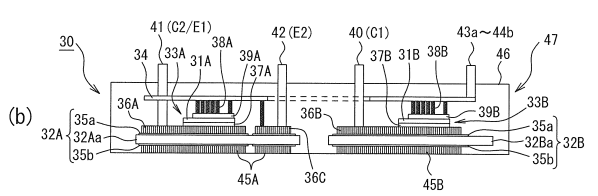
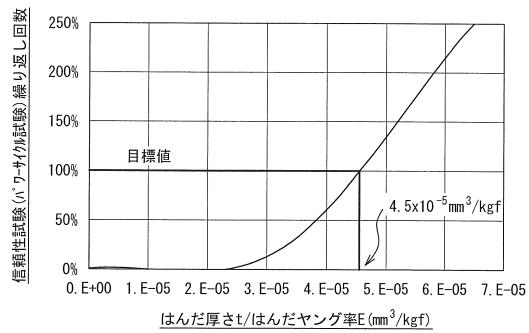
【図 5】



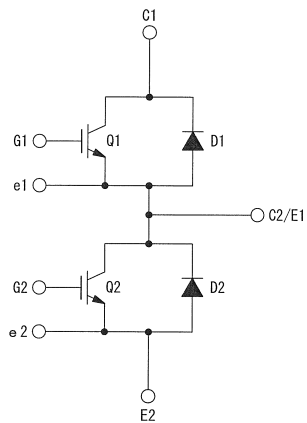
【図 7】



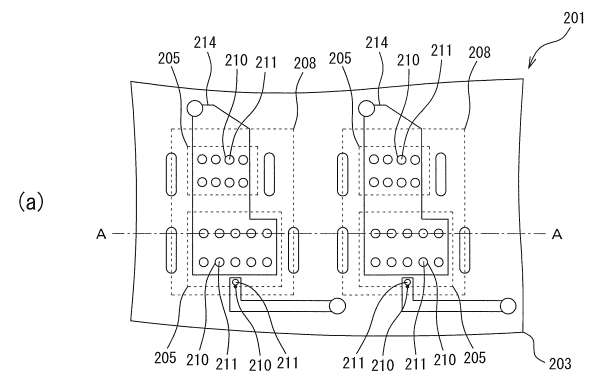
【図 6】



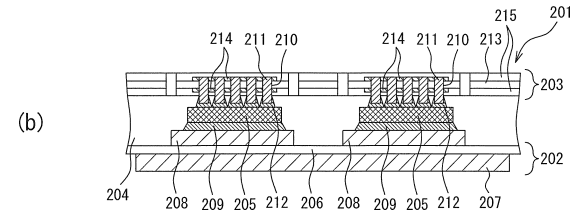
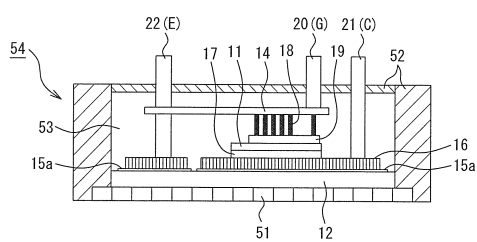
【図 8】



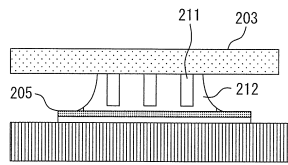
【図 10】



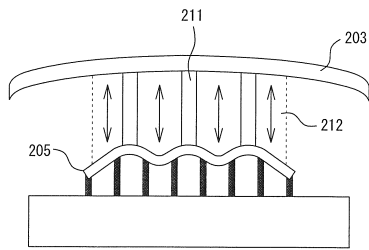
【図 9】



【図 1 1】



【図 1 2】



フロントページの続き

(72)発明者 齊藤 まい

神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

審査官 小山 和俊

(56)参考文献 特開 2 0 0 9 - 0 6 4 8 5 2 (J P , A)

特開 2 0 0 2 - 2 3 1 8 8 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 5 / 0 7

H 0 1 L 2 5 / 1 8

H 0 1 L 2 3 / 3 6