(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0125161
(43) 공개일자 2014년10월28일

(51) 국제특허분류(Int. Cl.)
G06F 12/00 (2006.01)
(21) 출원번호 10-2013-0042973
(22) 출원일자 2013년04월18일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
이원창
경기 성남시 분당구 서현로 177, 103동 1603호 (이매동, 이매촌금강아파트)
박기호
서울 성동구 행당로 82, 116동 1404호 (행당동, 행당한진타운)
(뒷면에 계속)
(74) 대리인
특허법인 무한

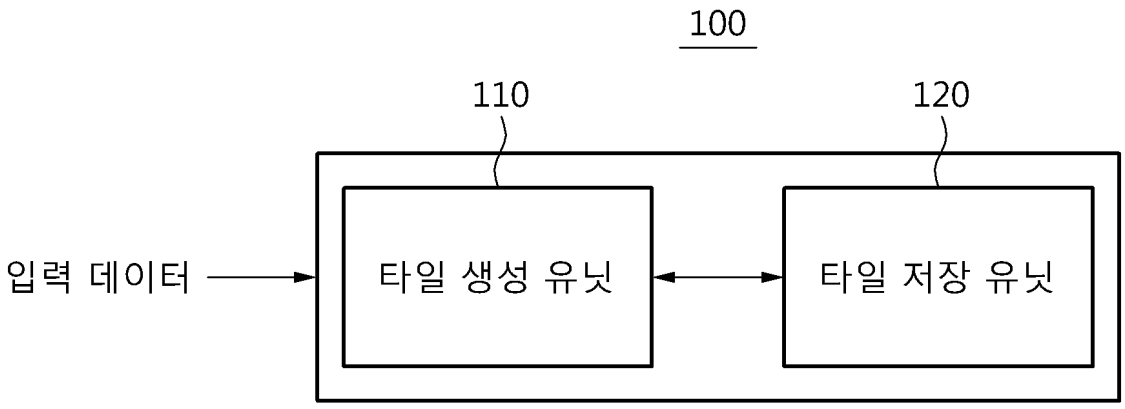
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **메모리 장치 및 그의 데이터 처리 방법**

(57) 요 약

실시예에 따른 메모리 장치는 입력 데이터를 구성하는 복수의 픽셀들을 기 설정된 픽셀 단위로 분할하여 복수의 타일들을 생성하는 타일 생성 유닛 및 복수의 타일들을 구성하는 픽셀들의 휘도 정보 및 색차 정보를 순차적으로 나열하여 복수의 타일들을 저장하는 타일 저장 유닛을 포함한다.

대 표 도 - 도1



(72) 발명자

김도형

경기 화성시 메타폴리스로 22, 303동 901호 (반송동, 시범다은마을다숲캐슬아파트)

이시화

서울 강남구 일원로 120, 109동 304호 (일원동, 샘터마을아파트)

정성욱

서울 광진구 군자로 49, 305호 (화양동)

특허청구의 범위

청구항 1

입력 데이터를 구성하는 복수의 픽셀들을 기 설정된 픽셀 단위로 분할하여 복수의 타일들을 생성하는 타일 생성 유닛; 및

상기 복수의 타일들을 구성하는 픽셀들의 휘도 정보 및 색차 정보를 순차적으로 나열하여 상기 복수의 타일들을 저장하는 타일 저장 유닛

을 포함하는 메모리 장치.

청구항 2

제1항에 있어서,

상기 타일 저장 유닛은,

상기 복수의 타일들을 수평(horizontal) 방향으로 순차 저장하는, 메모리 장치.

청구항 3

제1항에 있어서,

상기 타일 저장 유닛은,

상기 복수의 타일들을 수직(vertical) 방향으로 순차 저장하는, 메모리 장치.

청구항 4

제1항에 있어서,

상기 타일 저장 유닛은,

상기 복수의 타일들을 저장하기 위한 메모리 주소(address)를 할당하는 주소 할당 유닛

을 포함하는 메모리 장치.

청구항 5

제4항에 있어서,

상기 타일 저장 유닛은,

상기 주소 할당 유닛에 의해 할당된 메모리 주소에 상기 복수의 타일들을 저장하는, 메모리 장치.

청구항 6

제1항에 있어서,

상기 입력 데이터 중 일부 데이터에 대한 메모리 접근(access)이 발생될 경우, 상기 타일 저장 유닛으로부터 상기 일부 데이터에 대응하는 픽셀들을 포함하는 적어도 하나 이상의 타일을 리딩(reading)하는 타일 리딩 유닛; 및

상기 리딩된 적어도 하나 이상의 타일에 대한 휘도 정보 및 색차 정보를 순차적으로 전송하는 타일 전송 유닛

을 포함하는 메모리 장치.

청구항 7

입력 데이터를 구성하는 복수의 픽셀들을 기 설정된 픽셀 단위로 분할하여 복수의 메인 타일을 생성하는 제1 타일 생성 유닛;

상기 복수의 메인 타일을 기 설정된 서브 픽셀 단위로 분할하여 복수의 서브 타일을 생성하는 제2 타일 생성 유닛; 및

상기 복수의 서브 타일을 구성하는 픽셀들의 휘도 정보 및 색차 정보를 순차적으로 나열하여 상기 복수의 서브 타일들을 저장하는 타일 저장 유닛

을 포함하는 메모리 장치.

청구항 8

제7항에 있어서,

상기 타일 저장 유닛은,

하나의 메인 타일에 해당하는 복수의 서브 타일들을 수평(horizontal) 방향으로 순차 저장하는, 메모리 장치.

청구항 9

제7항에 있어서,

상기 타일 저장 유닛은,

하나의 메인 타일에 해당하는 복수의 서브 타일들을 수직(vertical) 방향으로 순차 저장하는, 메모리 장치.

청구항 10

제7항에 있어서,

상기 타일 저장 유닛은,

상기 복수의 서브 타일들을 저장하기 위한 메모리 주소(address)를 할당하는 주소 할당 유닛

을 포함하는 메모리 장치.

청구항 11

제10항에 있어서,

상기 타일 저장 유닛은,

상기 주소 할당 유닛에 의해 할당된 메모리 주소에 상기 복수의 타일들을 저장하는, 메모리 장치.

청구항 12

제7항에 있어서,

상기 입력 데이터 중 일부 데이터에 대한 메모리 접근(access)이 발생될 경우, 상기 저장 유닛으로부터 상기 일부 데이터에 대응하는 픽셀들을 포함하는 적어도 하나 이상의 서브 타일을 리딩(reading)하는 타일 리딩 유닛; 및

상기 리딩된 적어도 하나 이상의 서브 타일에 대한 휘도 정보 및 색차 정보를 순차적으로 전송하는 타일 전송 유닛

을 포함하는 메모리 장치.

청구항 13

입력 데이터를 구성하는 복수의 픽셀들을 기 설정된 픽셀 단위로 분할하여 복수의 타일들을 생성하는 단계; 및

상기 복수의 타일들을 구성하는 픽셀들의 휘도 정보 및 색차 정보를 순차적으로 나열하여 상기 복수의 타일들을 저장하는 단계;

을 포함하는 데이처 처리 방법.

청구항 14

제13항에 있어서,

상기 입력 데이터 중 일부 데이터에 대한 메모리 접근(access)이 발생될 경우, 상기 저장된 복수의 타일들 중 상기 일부 데이터에 대응하는 픽셀들을 포함하는 적어도 하나 이상의 타일을 리딩(reading)하는 단계; 및

상기 리딩된 적어도 하나 이상의 타일에 대한 휘도 정보 및 색차 정보를 순차적으로 전송하는 단계

을 포함하는 데이터 처리 방법.

청구항 15

제 13 항 또는 제 14 항 중 어느 하나의 항에 기재된 방법을 수행하기 위한 프로그램이 기록된 기록매체.

명 세 서

기 술 분 야

[0001] 아래의 실시예들은 데이터 처리를 위한 메모리 장치 및 그의 데이터 처리 방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로, DRAM(Dynamic Random Access Memory), SDRAM(Asynchronous DRAM) 등의 메모리 장치는 복수의 뱅크(bank)로 구성된다. 이 메모리 장치들은 복수의 뱅크들 각각에 메모리 주소를 할당한다.

[0003] 일반적으로, 메모리 장치는 입력된 데이터를 매크로 블록(macro block) 단위로 메모리에 저장한다. 이때, 연속하는 매크로 블록들 각각에 포함된 데이터들은 동일한 뱅크에 저장된다.

[0004] 그런데, 외부로부터의 메모리 참조(access)에 따라 뱅크에 저장된 데이터들을 리딩하는 경우, 메모리 장치는 데이터마다 리딩 준비 시간이 필요하다. 따라서, 동일한 뱅크에 저장된 복수의 데이터들을 리딩하는 경우, 메모리 장치는 데이터마다 발생하는 리딩 준비 시간으로 인해 오버헤드(overhead)가 증가한다.

[0005] 또한, 매크로 블록 중 일부 데이터에 대한 메모리 참조가 발생하는 경우에도, 메모리 장치는 해당 매크로 블록 전체를 리딩해야 하므로 오버헤드(overhead)가 증가한다.

발명의 내용

과제의 해결 수단

[0006] 실시예에 따른 메모리 장치는 입력 데이터를 구성하는 복수의 픽셀들을 기 설정된 픽셀 단위로 분할하여 복수의 타일들을 생성하는 타일 생성 유닛 및 상기 복수의 타일들을 구성하는 픽셀들의 휘도 정보 및 색차 정보를 순차적으로 나열하여 상기 복수의 타일들을 저장하는 타일 저장 유닛을 포함한다.

[0007] 실시예에 따른 메모리 장치는 입력 데이터를 구성하는 복수의 픽셀들을 기 설정된 픽셀 단위로 분할하여 복수의 메인 타일을 생성하는 제1 타일 생성 유닛, 상기 복수의 메인 타일을 기 설정된 서브 픽셀 단위로 분할하여 복수의 서브 타일을 생성하는 제2 타일 생성 유닛 및 상기 복수의 서브 타일을 구성하는 픽셀들의 휘도 정보 및 색차 정보를 순차적으로 나열하여 상기 복수의 서브 타일들을 저장하는 타일 저장 유닛을 포함한다.

[0008] 실시예에 따른 데이터 처리 방법은 입력 데이터를 구성하는 복수의 픽셀들을 기 설정된 픽셀 단위로 분할하여 복수의 타일들을 생성하는 단계 및 상기 복수의 타일들을 구성하는 픽셀들의 휘도 정보 및 색차 정보를 순차적으로 나열하여 상기 복수의 타일들을 저장하는 단계를 포함한다.

도면의 간단한 설명

[0009] 도 1은 실시예에 따른 메모리 장치의 구성을 나타내는 블록도이다.

도 2는 다른 실시예에 따른 메모리 장치의 구성을 나타내는 블록도이다.

도 3은 또 다른 실시예에 따른 메모리 장치의 구성을 나타내는 블록도이다.

도 4a 내지 도 4c는 실시예에 따른 입력 데이터를 저장하는 방법을 도시한 도면이다.

도 5a 내지 도 5c는 다른 실시예에 따른 입력 데이터를 저장하는 방법을 도시한 도면이다.

도 6은 비교예에 따른 입력 데이터를 저장하는 방법을 도시한 도면이다.

도 7a 내지 도 7c는 다른 실시예에 따른 입력 데이터를 저장하는 방법을 도시한 도면이다.

도 8은 실시예에 따른 입력 데이터를 타일링하는 방법을 도시한 도면이다.

도 9a 내지 도 9b는 다양한 실시예들에 따른 메모리 접근에 따른 데이터 리딩 및 전송 방법을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하에서, 첨부된 도면을 참조하여 본 발명에 따른 실시예들을 상세히 설명한다. 그러나, 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0011] 도 1은 실시예에 따른 메모리 장치의 구성을 나타내는 블록도이다.

[0012] 도 1에 도시된 메모리 장치(100)는 타일 생성 유닛(110) 및 타일 저장 유닛(120)을 포함한다. 메모리 장치(100)는 입력 데이터가 수신될 경우, 이 입력데이터를 타일링(tiling)하여 저장할 수 있다.

[0013] 입력 데이터는 연속하는 복수의 매크로 블록 단위로 메모리 장치(100)에 저장될 수 있다. 이 중 각 매크로 블록은 해당 매크로 블록을 구성하는 픽셀들의 휘도 정보(Y) 및 색차 정보(UV)가 구분되어 저장된 구조를 가질 수 있다.

[0014] 실시예에 따른 메모리 장치(100)는 입력 데이터를 매크로 블록 단위로 저장하는 것이 아니라, 매크로 블록을 복수의 타일들로 분할하여 타일 단위로 저장할 수 있다.

[0015] 타일 생성 유닛(110)은 입력 데이터를 구성하는 복수의 픽셀들을 기 설정된 픽셀 단위로 분할하여 복수의 타일들을 생성할 수 있다. 따라서, 각 타일은 분할된 영역에 포함된 복수의 픽셀들에 대한 픽셀 정보를 포함할 수 있다. 이 경우, 픽셀 정보는 해당 픽셀의 휘도 정보(Y) 및 색차 정보(U, V)를 포함할 수 있다.

[0016] 타일 저장 유닛(120)은 복수의 타일들을 구성하는 픽셀들의 휘도 정보(Y) 및 색차 정보(U, V)를 순차적으로 나열하여 복수의 타일을 저장할 수 있다. 구체적으로, 타일 저장 유닛(120)은 복수의 타일들을 구성하는 픽셀들의 휘도 정보(Y)를 나열하고, 휘도 정보(Y)에 이어 색차 정보(U, V)를 순차적으로 나열할 수 있다. 타일 저장 유닛(120)은 메모리 장치(100)에서 저장/처리 가능한 크기로 복수의 타일들을 저장하기 위하여 휘도 정보(Y)와 색차 정보(U, V)에 더미 데이터(dummy data)를 나열할 수 있다. 더미 데이터는 타일의 크기를 맞춰주기 위한 것일 뿐, 의미없는 가상의 데이터가 될 수 있다.

[0017] 타일 저장 유닛(120)은 하나의 타일을 구성하는 픽셀들의 휘도 정보(Y) 및 색차 정보(U, V)를 하나의 타일에 저장하기 때문에, 일부 데이터에 대한 메모리 접근(access)이 발생될 경우, 일부 데이터에 대응하는 픽셀들을 포함하는 타일만을 리딩할 수 있다.

[0018] 도 2는 다른 실시예에 따른 메모리 장치의 구성을 나타내는 블록도이다.

[0019] 도 2를 참조하면, 메모리 장치(200)는 타일 생성 유닛(210), 타일 저장 유닛(220), 타일 리딩 유닛(230), 타일 전송 유닛(240)을 포함할 수 있다.

[0020] 타일 생성 유닛(210)은 입력 데이터를 구성하는 복수의 픽셀들을 기 설정된 픽셀 단위로 분할하여 복수의 타일들을 생성할 수 있다.

[0021] 타일 저장 유닛(220)은 복수의 타일들을 구성하는 픽셀들의 휘도 정보(Y) 및 색차 정보(U, V)를 순차적으로 나열하여 복수의 타일을 저장할 수 있다.

[0022] 타일 저장 유닛(220)은 복수의 타일들을 저장하기 위한 메모리 주소(address)를 할당하는 주소 할당 유닛(221)을 포함할 수 있다. 주소 할당 유닛(221)은 복수의 타일들에 서로 다른 메모리 주소를 할당할 수 있다.

[0023] 타일 저장 유닛(220)은 주소 할당 유닛(221)에 의해 할당된 메모리 주소에 복수의 타일들을 저장할 수 있다. 주소 할당 유닛(221)은 메모리 주소에 따라 연속하는 타일들을 수평(horizontal) 방향으로 순차 저장할 수 있으며, 또는 메모리 주소에 따라 연속하는 타일들을 수직(vertical) 방향으로 순차 저장할 수 있다.

[0024] 타일 리딩 유닛(230)은 입력 데이터 중 일부 데이터에 대한 메모리 접근(access)이 발생될 경우, 타일 저장 유닛(220)으로부터 일부 데이터에 대응하는 픽셀들을 포함하는 적어도 하나 이상의 타일을 리딩(reading)할 수 있다. 예를 들어, 입력 데이터를 구성하는 매크로 블록 중에서도 일부 데이터에 대한 메모리 접근이 발생할 수 있다. 이 경우, 타일 리딩 유닛(230)은 복수의 타일들 중 일부 데이터에 대응하는 픽셀들을 포함하는 타일들만을 선택적으로 리딩할 수 있다.

[0025] 타일 전송 유닛(240)은 메모리 접근이 발생된 유닛에, 타일 리딩 유닛(230)에 의해 선택적으로 리딩된 타일들을 전송할 수 있다. 따라서, 입력 데이터를 타일링하고, 해당 타일을 구성하는 픽셀들의 휘도 정보(Y) 및 색차 정보(U, V)를 순차적으로 나열하여 타일을 저장함으로써, 일부 데이터에 메모리 접근시, 메모리 접근에 대응하는 타일만을 선택적으로 리딩하여 전송할 수 있다. 따라서, 메모리 장치(200)은 향상된 데이터 전송 효율을 가질 수 있다.

[0026] 도 3은 또 다른 실시예에 따른 메모리 장치의 구성을 나타내는 블록도이다.

[0027] 도 3를 참조하면, 메모리 장치(200)는 제1 타일 생성 유닛(310), 제2 타일 생성 유닛(320), 타일 저장 유닛(330), 타일 리딩 유닛(340) 및 타일 전송 유닛(350)을 포함할 수 있다.

[0028] 제1 타일 생성 유닛(310)은 입력 데이터를 구성하는 복수의 픽셀들을 기 설정된 픽셀 단위로 분할하여 복수의 메인 타일을 생성할 수 있다. 예를 들어, 32×12 픽셀의 입력 데이터를 16×4 픽셀 단위로 분할하여 제1 내지 제6 메인 타일을 생성할 수 있다.

[0029] 제2 타일 생성 유닛(320)은 복수의 메인 타일을 기 설정된 서브 픽셀 단위로 분할하여 복수의 서브 타일을 생성할 수 있다. 예를 들어, 16×4 픽셀의 메일 타일을 4 픽셀 단위로 분할하여 각 메일 타일이 1 타일 내지 16 타일을 생성할 수 있다.

[0030] 타일 저장 유닛(330)은 복수의 서브 타일을 구성하는 픽셀들의 휘도 정보 및 색차 정보를 순차적으로 나열하여 상기 복수의 서브 타일들을 저장할 수 있다. 구체적으로, 타일 저장 유닛(330)은 복수의 서브 타일들을 구성하

는 픽셀들의 휘도 정보(Y)를 나열하고, 휘도 정보(Y)에 이어 색차 정보(U, V)를 순차적으로 나열할 수 있다. 또한, 타일 저장 유닛(330)은 메모리 장치(300)에서 저장/처리 가능한 크기로 복수의 서브 타일들을 저장하기 위하여 색차 정보(U, V)에 이어 더미 데이터(dummy data)를 나열할 수 있다. 따라서, 하나의 서브 타일은 해당 타일을 구성하는 픽셀들의 "휘도 정보(Y)-색차 정보(U, V)-더미 데이터(dummy data)" 순서로 구성될 수 있다.

[0031] 타일 저장 유닛(330)은 주소 할당 유닛(331)에 의해 할당된 메모리 주소에 복수의 서브 타일들을 저장할 수 있다. 주소 할당 유닛(331)은 메모리 주소에 따라 연속하는 서브 타일들을 수평(horizontal) 방향으로 순차 저장할 수 있으며, 또는 메모리 주소에 따라 연속하는 서브 타일들을 수직(vertical) 방향으로 순차 저장할 수 있다.

[0032] 타일 리딩 유닛(340)은 입력 데이터 중 일부 데이터에 대한 메모리 접근(access)이 발생될 경우, 타일 저장 유닛(330)으로부터 일부 데이터에 대응하는 픽셀들을 포함하는 적어도 하나 이상의 서브 타일을 리딩(reading)할 수 있다.

[0033] 타일 전송 유닛(350)은 리딩된 적어도 하나 이상의 서브 타일에 대한 휘도 정보 및 색차 정보를 순차적으로 전송할 수 있다. 예를 들어, 상기 메모리 접근이 연속하는 1 타일 및 2 타일과 관련된 경우, 1 타일에 대한 휘도 정보 및 색차 정보를 전송하고, 연속하여 2 타일에 대한 휘도 정보 및 색차 정보를 전송할 수 있다.

[0034] 도 3에 도시된 메모리 장치(300)에 따르면, 입력 데이터를 작은 픽셀 단위로 타일링하고, 타일들을 구성하는 픽셀에 대한 휘도 정보(Y) 및 색차 정보(U, V)를 순차적으로 나열하여 타일들을 저장함으로써, 메모리 접근시 타일 단위로 데이터를 전송할 수 있다. 따라서, 메모리 장치(300)는 향상된 데이터 전송 효율을 가질 수 있다.

[0035] 도 4a 내지 도 4c는 실시예에 따른 입력 데이터를 저장하는 방법을 도시한 도면이다. 실시예에 따르면, 입력 데이터를 저장하거나, 리딩하거나, 외부에 전송하는 과정들은 데이터 처리로 간주할 수 있다.

[0036] 도 4a는 일반적인 매크로 블록을 나타내는 도면이다. 입력 데이터는 연속하는 복수의 매크로 블록 단위를 가질 수 있다.

[0037] 매크로 블록은 복수의 픽셀들에 대한 휘도 정보(Y)와 색차 정보(U, V)를 포함할 수 있으며, 휘도 정보(Y)와 색차 정보(U, V)는 구분되어 저장될 수 있다. 도 4a에 도시된 바와 같이, 매크로 블록이 그대로 저장될 경우에는, 매크로 블록 중 일부 데이터에 대한 메모리 접근이 발생된다 하더라도, 매크로 블록 전체를 리딩하여 외부로 전송해야 한다. 이는 메모리 접근에 따른 오버헤드를 증가시킬 수 있다.

[0038] 도 4b 및 도 4c는 실시예에 따라 입력 데이터를 처리하는 방법을 도시한 도면이다.

[0039] 도 4b는 도 4a에 도시된 16×16 픽셀 크기의 매크로 블록에서 4개의 픽셀 단위로 분할하여 제1 내지 제64 타일을 생성할 수 있다.

[0040] 제1 타일은 매크로 블록에서 4개의 픽셀들의 휘도 정보(U)인 “0,1,2,3”과, 해당 픽셀들의 색차 정보(U)인 “0”과, 해당 픽셀들의 색차 정보(V)인 “0”을 순차적으로 나열하고, 타일의 크기를 맞춰주기 위하여 더미 데이터를 나열하는 방식으로 저장될 수 있다. 이 경우, 휘도 정보(U)가 4 Byte, 색차 정보(V)가 1 Byte, 색차 정보(V)가 1 Byte, 더미 데이터가 2 Byte를 갖는 것으로, 제1 타일은 8×1 Byte가 될 수 있다. 이 같은 방식으로 제2 내지 제64 타일들에 대해서도 휘도 정보(U), 색차 정보(U, V) 및 더미 데이터를 순차적으로 나열하여 저장할 수 있다.

[0041] 도 4c는 도 4a에 도시된 16×16 픽셀 크기의 매크로 블록에서 4개의 픽셀 단위로 분할하여 타일링한 것으로, 이 타일링에 의해 제1 내지 제32 타일을 생성할 수 있다.

[0042] 제1 타일은 매크로 블록에서 8개의 픽셀들의 휘도 정보(U)인 “0,1,2,3,4,5,6,7”과, 해당 픽셀들의 색차 정보(U)인 “0,1”과, 해당 픽셀들의 색차 정보(V)인 “0,1”을 순차적으로 나열하고, 타일의 크기를 맞춰주기 위하여 더미 데이터를 나열하는 방식으로 생성될 수 있다. 이 경우, 휘도 정보(U)가 8 Byte, 색차 정보(V)가 2 Byte, 색차 정보(V)가 2 Byte, 더미 데이터가 4 Byte를 갖는 것으로, 제1 타일은 16×1 Byte가 될 수 있다. 이 같은 방식으로 제2 내지 제32 타일들에 대해서도 휘도 정보(U), 색차 정보(U, V) 및 더미 데이터를 순차적으로 나열하여 저장할 수 있다.

[0043] 도 5a 내지 도 5c는 다른 실시예에 따른 입력 데이터를 저장하는 방법을 도시한 도면이다.

[0044] 도 5a는 16×4 픽셀(px)의 입력 데이터(500)를 도시하고 있으며, 이 입력 데이터(500)를 8 픽셀 단위로 분할하여 1 타일 내지 8 타일을 생성할 수 있다. 실시예에 따르면, 1 타일 내지 8 타일을 저장할 경우, 각 타일에 대한 휘도 정보(Y) 및 색차 정보(U, V)를 순차적으로 나열하여 저장할 수 있다.

[0045] 도 5b 및 도 5c에서 하나의 타일은 8개의 픽셀들의 휘도 정보(U)와, 8개의 픽셀들의 색차 정보(U, V)를 순차적으로 나열하고, 타일의 크기를 맞춰주기 위하여 더미 데이터를 나열하는 방식으로 저장될 수 있다. 이 경우, 휘도 정보(U)가 8 Byte, 색차 정보(V)가 2 Byte, 색차 정보(V)가 2 Byte, 더미 데이터가 4 Byte를 갖는 것으로, 하나의 타일은 16×1 Byte가 될 수 있다. 이 같은 방식으로 2 타일 내지 8 타일들에 대해서도 휘도 정보(U), 색차 정보(U, V) 및 더미 데이터를 순차적으로 나열하여 저장할 수 있다.

[0046] 도 5b에 도시된 바와 같이, 전체 32×4 Byte 크기를 갖는 1 타일 내지 8 타일은 수평 방향으로 순차 저장될 수 있다. 또한, 도 5c에 도시된 바와 같이, 전체 32×4 Byte 크기를 갖는 1 타일 내지 8 타일은 수직 방향으로 순차 저장될 수 있다.

[0047] 도 5a에 도시된 입력 데이터가 타일링되어 도 5b 또는 도 5c에 도시된 구조로 저장될 경우, 메모리 접근에 따른 데이터 전송 효율이 향상될 수 있다. 예를 들어, 도 5a에서 1 타일을 구성하는 픽셀들에 대한 메모리 접근이 발생될 경우, 메모리 장치는 1 타일을 리딩하여 외부로 전송할 수 있다. 이 1 타일은 해당 픽셀들에 대한 휘도 정보(Y) 및 색차 정보(U, V)를 모두 포함하고 있기 때문에, 메모리 장치는 도 5b 또는 도 5c와 같은 저장 구조에서, 1 타일을 리딩하여 1 타일에 대응하는 16×1 Byte의 정보를 한번에 전송할 수 있다.

[0048] 도 6은 비교예에 따른 입력 데이터를 저장하는 방법을 도시한 도면이다.

[0049] 비교예에 따르면, 도 5a에 도시된 바와 같이, 1 타일 내지 8 타일을 저장할 경우, 1 타일 내지 8 타일의 휘도 정보(Y)를 모두 나열하고, 이 휘도 정보(Y) 다음에 1 타일 내지 8 타일의 색차 정보(U, V)를 모두 나열하여 저장할 수 있다.

[0050] 구체적으로, 도 6을 참조하면, 하나의 타일은 8개의 픽셀들의 휘도 정보(U)와 색차 정보(V)를 포함할 수 있다. 비교예에서는, 1 타일 내지 8 타일의 휘도 정보(U)를 모두 나열하고, 그 다음에 1 타일 내지 8 타일의 색차 정보(U)를 모두 나열한 후, 그 다음에 1 타일 내지 8 타일의 색차 정보(V)를 모두 나열하고, 그 다음에 타일의 크기를 맞춰주기 위하여 더미 데이터를 나열하는 방식으로 1 타일 내지 8 타일이 저장될 수 있다.

[0051] 따라서, 도 6에 도시된 바와 같이, 전체 16×16 Byte 크기를 갖는 1 타일 내지 8 타일은 휘도 정보(Y)와 색차 정보(U,V)가 분리되어 저장될 수 있다.

[0052] 도 5a에 도시된 입력 데이터가 타일링되어 도 6에 도시된 구조로 저장될 경우, 메모리 접근에 따른 데이터 전송 효율이 저하될 수 있다. 예를 들어, 도 5a에서 1 타일을 구성하는 픽셀들에 대한 메모리 접근이 발생될 경우, 메모리 장치는 16×16 Byte 전체를 참조해야 한다. 구체적으로, 1타일을 구성하는 픽셀들의 휘도 정보(Y) 및 색차 정보(U, V)가 분리되어 저장되어 있기 때문에, 16×16 Byte 전체를 참조하여 1 타일을 구성하는 픽셀들의 휘도 정보(Y) 및 색차 정보(U, V)를 리딩할 수 있다.

[0053] 따라서, 도 6에 도시된 것과 같은 저장 방식에 따르면, 1 타일을 구성하는 픽셀들의 휘도 정보(Y) 및 색차 정보(Y)를 리딩하기 위하여, 16×16 Byte 전체에 대한 비연속적인 참조가 여러 번 발생하기 때문에, 오버헤드(overhead)가 증가할 수 있다.

[0054] 도 7a 내지 도 7c는 다른 실시예에 따른 입력 데이터를 저장하는 방법을 도시한 도면이다.

[0055] 도 7a는 16×4 픽셀(px)의 입력 데이터(700)를 도시하고 있으며, 이 입력 데이터(700)를 4 픽셀 단위로 분할하여 1 타일 내지 16 타일을 생성할 수 있다. 실시예에 따르면, 1 타일 내지 16 타일을 저장할 경우, 각 타일에 대한 휘도 정보(Y) 및 색차 정보(U, V)를 순차적으로 나열하여 저장할 수 있다.

[0056] 도 7b 및 도 7c에서 하나의 타일은 4개의 픽셀들의 휘도 정보(U)와, 4개의 픽셀들의 색차 정보(U, V)를 순차적으로 나열하고, 타일의 크기를 맞춰주기 위하여 더미 데이터를 나열하는 방식으로 저장될 수 있다. 이 경우, 휘도 정보(U)가 4 Byte, 색차 정보(V)가 1 Byte, 색차 정보(V)가 1 Byte, 더미 데이터가 2 Byte를 갖는 것으로, 하나의 타일은 8×1 Byte가 될 수 있다. 이 같은 방식으로 2 타일 내지 16 타일들에 대해서도 휘도 정보(U), 색차 정보(U, V) 및 더미 데이터를 순차적으로 나열하여 저장할 수 있다.

[0057] 도 7b에 도시된 바와 같이, 전체 32×4 Byte 크기를 갖는 1 타일 내지 16 타일은 수평 방향으로 순차 저장될 수 있다. 또한, 도 7c에 도시된 바와 같이, 전체 32×4 Byte 크기를 갖는 1 타일 내지 16 타일은 수직 방향으로 순차 저장될 수 있다.

[0058] 한편, 도 7a에 도시된 입력 데이터(700)는 도 5a에 도시된 입력 데이터(500)와 동일하나, 분할된 픽셀 단위가 다르며, 그로 인해 타일의 수가 다르다.

[0059] 구체적으로, 도 7a에 도시된 입력 데이터(700)는 4 픽셀 단위로 분할되어 16개의 타일로 구성되는 반면, 도 5a에 도시된 입력 데이터(500)는 8 픽셀 단위로 분할되어 8개의 타일로 구성된다. 동일한 입력 데이터라 하더라도, 작은 픽셀 단위로 분할하여 보다 많은 수의 타일을 생성할 경우, 메모리 접근에 따른 데이터 전송 효율이 보다 향상될 수 있다.

[0060] 예를 들어, 도 5a에 도시된 입력 데이터(500)에서 A 영역에 대한 메모리 참조가 발생할 경우, 메모리 장치는 도 5a에 도시된 입력 데이터(500)에서 1 타일, 2 타일, 3 타일 및 4 타일을 리딩하여 외부로 전송할 수 있다. 예를 들어, 16×1 Byte의 크기를 갖는 4개의 타일을 전송할 수 있다.

[0061] 반면, 메모리 장치는 도 7a에 도시된 입력 데이터(700)에서 B 영역에 대한 메모리 참조가 발생할 경우, 메모리 장치는 도 7a에 도시된 입력 데이터(700)에서 2 타일, 3 타일, 6 타일, 7 타일을 리딩하여 외부로 전송할 수 있다. 예를 들어, 8×1 Byte의 크기를 갖는 4개의 타일을 전송할 수 있다.

[0062] 이 같이 입력 데이터라 하더라도, 보다 작은 픽셀 단위로 분할하여 보다 많은 수의 타일을 생성할 경우, 메모리 접근에 따른 데이터 전송량이 감소되어 데이터 전송 효율이 향상될 수 있다.

[0063] 도 8은 실시예에 따른 입력 데이터를 타일링하는 방법을 도시한 도면이다. 도 8를 참조하면, 32×12 픽셀의 입력 데이터(800)가 도시되어 있으며, 메모리 장치는 32×12 픽셀의 16×4 픽셀 단위로 분할하여 제1 내지 제6 메인 타일(810, 820, 830, 840, 850, 860)을 생성하고, 제1 내지 제6 메인 타일(810, 820, 830, 840, 850, 860)을 기 설정된 서브 픽셀 단위로 분할하여 복수의 서브 타일을 생성할 수 있다.

[0064] 예를 들어, 메모리 장치는 16×4 픽셀의 제1 메인 타일(810)을 4 픽셀 단위로 분할하여 1 타일 내지 16 타일을 생성할 수 있다. 1 타일 내지 16 타일을 저장할 경우에는, 각 타일을 구성하는 픽셀에 대한 휘도 정보(Y) 및 색차 정보(U, V)를 순차적으로 나열하여 저장할 수 있다. 구체적으로는, 도 5b 및 도 5c에 도시된 저장 방식을 이용하거나, 도 7b 및 도 7c에 도시된 저장 방식을 이용할 수 있다.

[0065] 도 9a 및 도 9b는 다양한 실시예들에 따른 메모리 접근에 따른 데이터 리딩 및 전송 방법을 도시한 도면이다.

[0066] 도 9a는 16×4 픽셀(px)의 입력 데이터(900)를 도시하고 있으며, 이 입력 데이터(900)는 4 픽셀 단위로 분할되어 1 타일 내지 16 타일로 구성되며, 1 타일 내지 16 타일은 해당 타일을 구성하는 픽셀들에 대한 휘도 정보(Y) 및 색차 정보(U, V)가 순차적으로 나열되어 저장될 수 있다.

[0067] 도 9a에 도시된 입력 데이터(900)에 대하여 메모리 접근이 발생할 경우, 메모리 장치는 메모리 접근에 대응하는 타일을 확인한 후, 1 타일 내지 16 타일 중 적어도 하나 이상의 타일을 리딩하여 외부로 전송할 수 있다.

[0068] 예를 들어, 도 9a에 도시된 입력 데이터(900)에서 c 영역에 대한 메모리 접근이 발생할 경우, 메모리 장치는 1 타일 내지 16 타일 중 1 타일, 5 타일, 9 타일, 13 타일이 c 영역에 대응하는 타일임을 확인한 후, 1 타일, 5 타일, 9 타일, 13 타일을 리딩하여 외부로 전송할 수 있다.

[0069] 1 타일, 5 타일, 9 타일, 14 타일을 외부로 전송하는 경우, 메모리 장치는 도 9b에 도시된 것과 같은 전송 방식을 이용할 수 있다.

[0070] 먼저, 메모리 장치는 1 타일을 리딩하여 외부로 전송할 수 있다. 이 경우, 1 타일은 1 타일을 구성하는 픽셀들의 4 Byte의 휘도 정보(Y)와 2 Byte의 색차 정보(U, V), 2 Byte의 더미 데이터가 순차적으로 나열된 구조를 가질 수 있다. 이 1 타일에 연속하여 5 타일, 9 타일 및 13 타일을 외부로 전송할 수 있다.

[0071] 한편, 1 타일, 5 타일, 9 타일 및 13 타일에서 c 영역에 해당하는 픽셀은 2 픽셀로, 이 2 픽셀에 대한 휘도 정보(Y)와 색차 정보(U, V)가 메모리 접근에 따른 요청 데이터가 될 수 있으며, 나머지 2 픽셀에 대한 휘도 정보(Y)와 더미 데이터가 비요청 데이터가 될 수 있다. 따라서, 1 타일, 5 타일, 9 타일 및 13 타일을 외부로 전송하는 경우, 요청 데이터는 16 Byte 크기를 가질 수 있으며, 비요청 데이터는 16 Byte 크기를 가질 수 있다.

[0072] 이 같은 데이터 전송 방식에 따르면, 요청 데이터에 대한 비요청 데이터 비율이 감소되기 때문에, 데이터 전송 효율이 향상될 수 있다.

[0073] 본 발명에 따른 방법들은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 본 발명의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0074] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0075] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

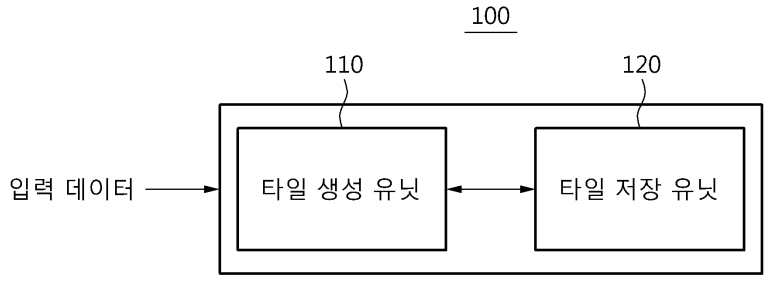
[0076] 100: 메모리 장치

110: 타일 생성 유닛

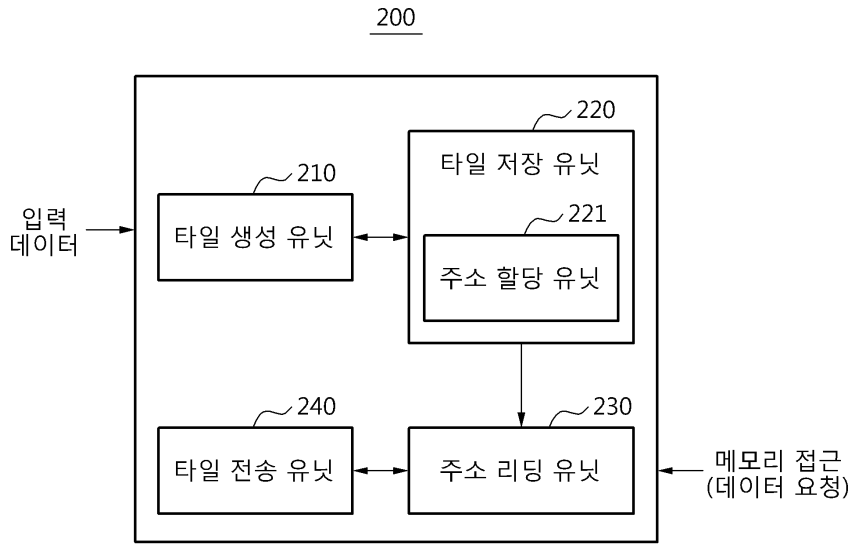
120: 타일 저장 유닛

도면

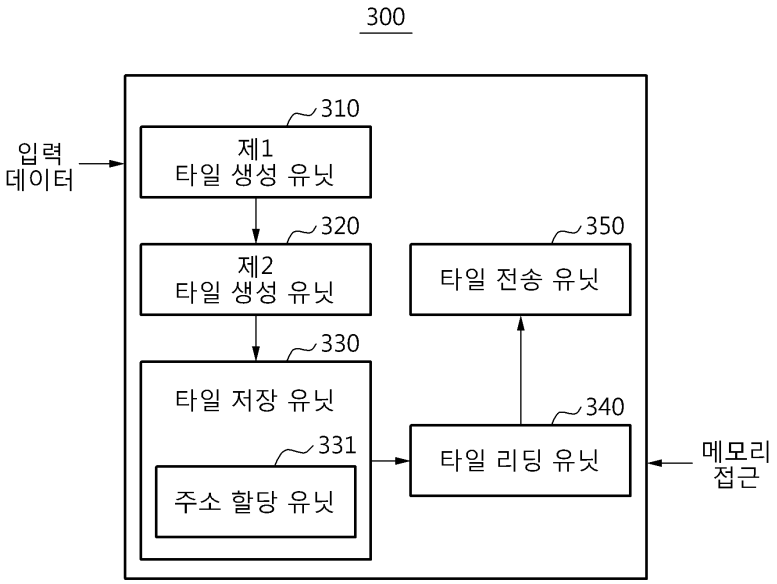
도면1



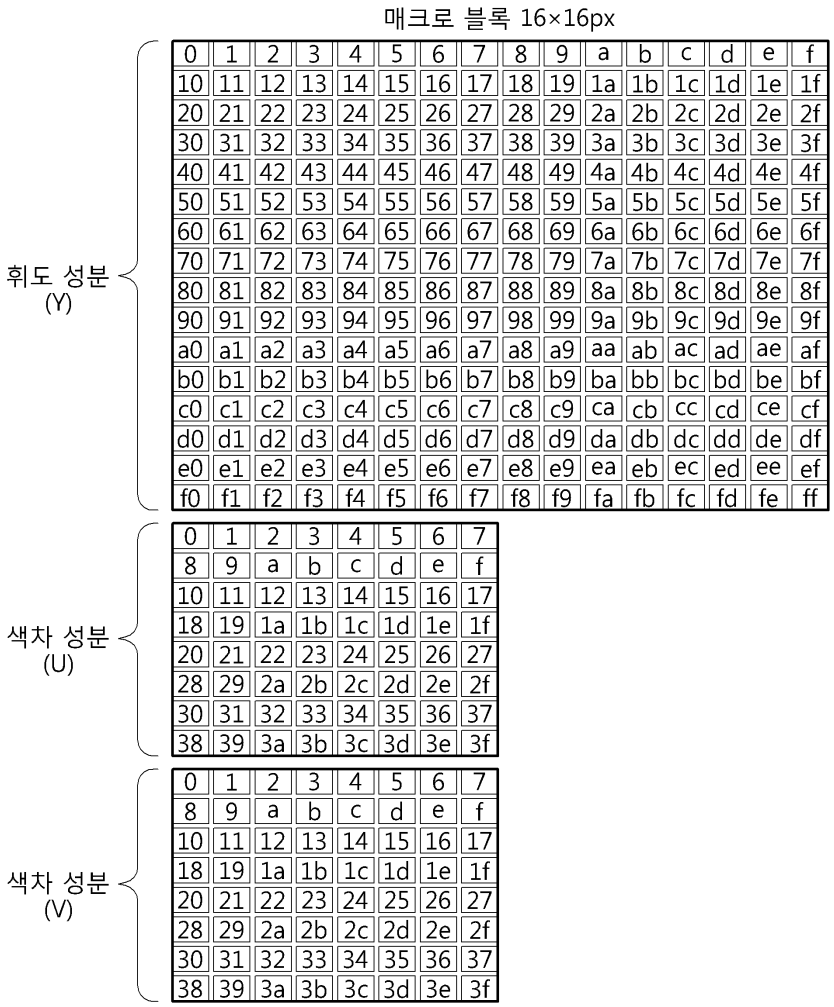
도면2


200
220
타일 저장 유닛
210
타일 생성 유닛
221
주소 할당 유닛
입력
데이터
240
타일 전송 유닛
230
주소 리딩 유닛
메모리 접근
(데이터 요청)

도면3


300
310
제1
타일 생성 유닛
입력
데이터
320
제2
타일 생성 유닛
350
타일 전송 유닛
330
타일 저장 유닛
340
331
타일 리딩 유닛
메모리
접근
주소 할당 유닛

도면4a

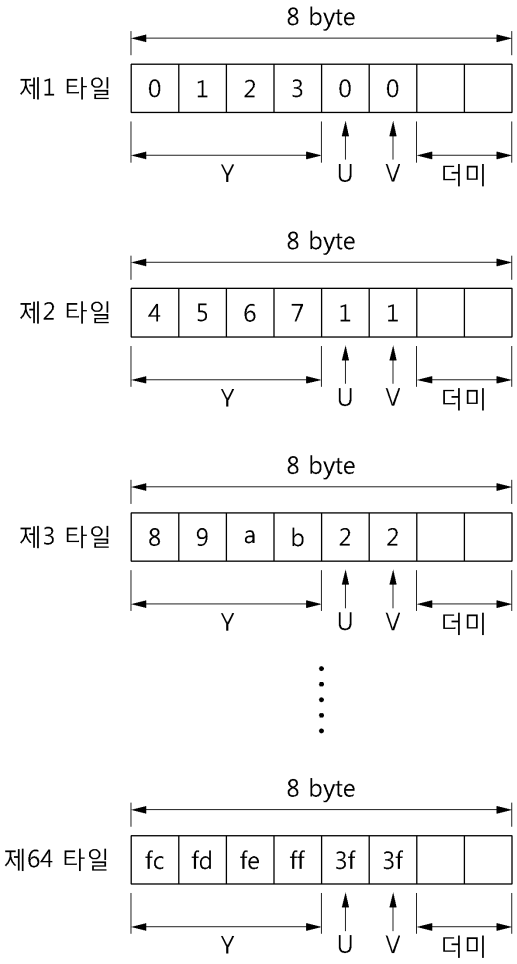


0	1	2	3	4	5	6	7	8	9	a	b	c	d	e	f
10	11	12	13	14	15	16	17	18	19	1a	1b	1c	1d	1e	1f
20	21	22	23	24	25	26	27	28	29	2a	2b	2c	2d	2e	2f
30	31	32	33	34	35	36	37	38	39	3a	3b	3c	3d	3e	3f
40	41	42	43	44	45	46	47	48	49	4a	4b	4c	4d	4e	4f
50	51	52	53	54	55	56	57	58	59	5a	5b	5c	5d	5e	5f
60	61	62	63	64	65	66	67	68	69	6a	6b	6c	6d	6e	6f
70	71	72	73	74	75	76	77	78	79	7a	7b	7c	7d	7e	7f
80	81	82	83	84	85	86	87	88	89	8a	8b	8c	8d	8e	8f
90	91	92	93	94	95	96	97	98	99	9a	9b	9c	9d	9e	9f
a0	a1	a2	a3	a4	a5	a6	a7	a8	a9	aa	ab	ac	ad	ae	af
b0	b1	b2	b3	b4	b5	b6	b7	b8	b9	ba	bb	bc	bd	be	bf
c0	c1	c2	c3	c4	c5	c6	c7	c8	c9	ca	cb	cc	cd	ce	cf
d0	d1	d2	d3	d4	d5	d6	d7	d8	d9	da	db	dc	dd	de	df
e0	e1	e2	e3	e4	e5	e6	e7	e8	e9	ea	eb	ec	ed	ee	ef
f0	f1	f2	f3	f4	f5	f6	f7	f8	f9	fa	fb	fc	fd	fe	ff

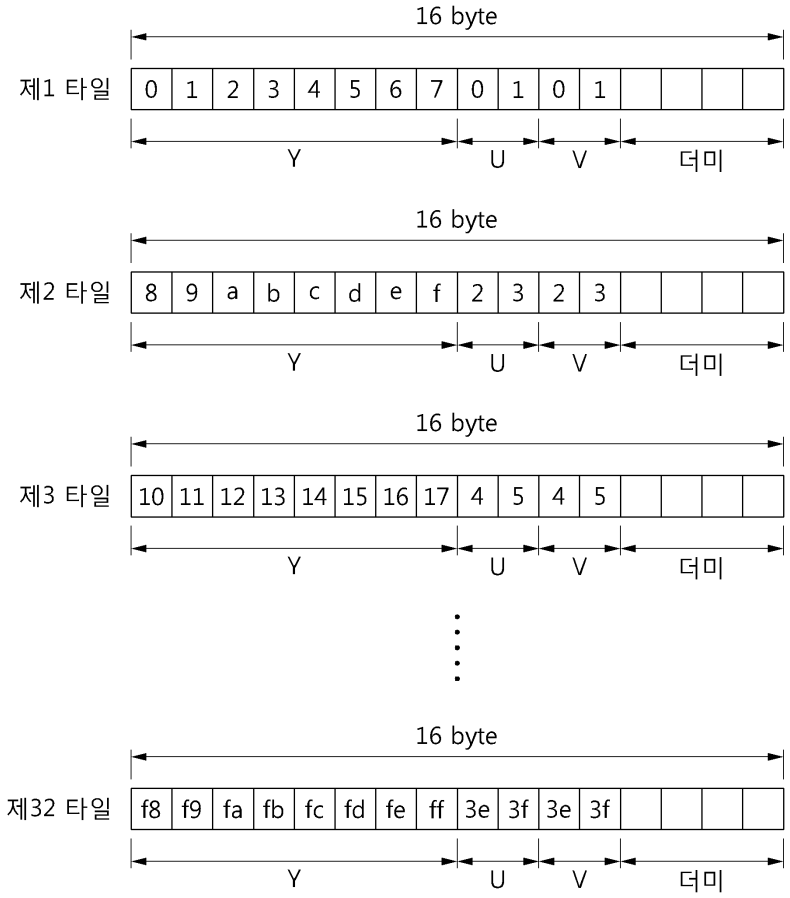
0	1	2	3	4	5	6	7
8	9	a	b	c	d	e	f
10	11	12	13	14	15	16	17
18	19	1a	1b	1c	1d	1e	1f
20	21	22	23	24	25	26	27
28	29	2a	2b	2c	2d	2e	2f
30	31	32	33	34	35	36	37
38	39	3a	3b	3c	3d	3e	3f

0	1	2	3	4	5	6	7
8	9	a	b	c	d	e	f
10	11	12	13	14	15	16	17
18	19	1a	1b	1c	1d	1e	1f
20	21	22	23	24	25	26	27
28	29	2a	2b	2c	2d	2e	2f
30	31	32	33	34	35	36	37
38	39	3a	3b	3c	3d	3e	3f

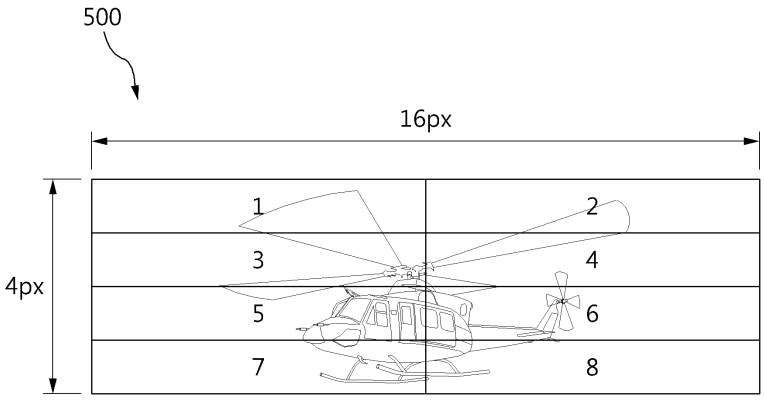
도면4b


8 byte
제1 타일
0 1 2 3 0 0
Y U V 더미
8 byte
제2 타일
4 5 6 7 1 1
Y U V 더미
8 byte
제3 타일
8 9 a b 2 2
Y U V 더미
8 byte
제64 타일
fc fd fe ff 3f 3f
Y U V 더미

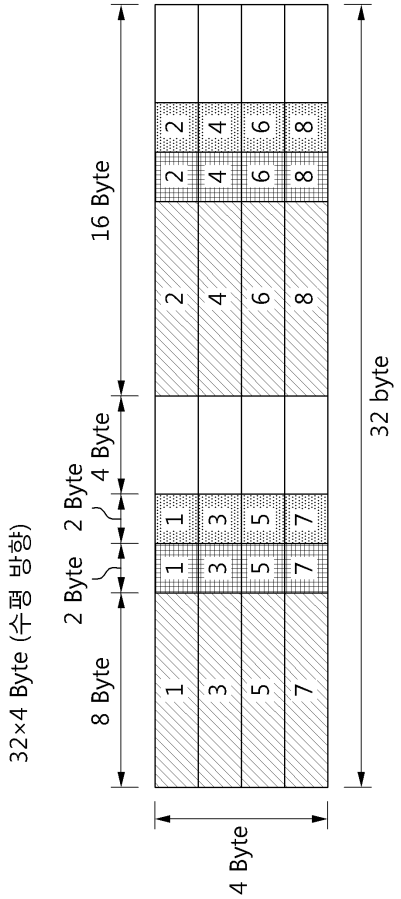
도면4c


16 byte
제1 타일
0 1 2 3 4 5 6 7 0 1 0 1
Y
U
V
더미
16 byte
제2 타일
8 9 a b c d e f 2 3 2 3
Y
U
V
더미
16 byte
제3 타일
10 11 12 13 14 15 16 17 4 5 4 5
Y
U
V
더미
16 byte
제32 타일
f8 f9 fa fb fc fd fe ff 3e 3f 3e 3f
Y
U
V
더미

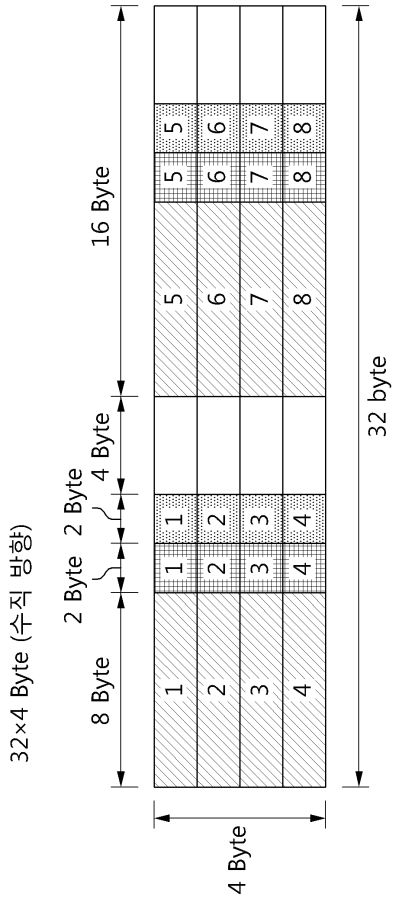
도면5a


500
16px
4px
1
2
3
4
5
6
7
8

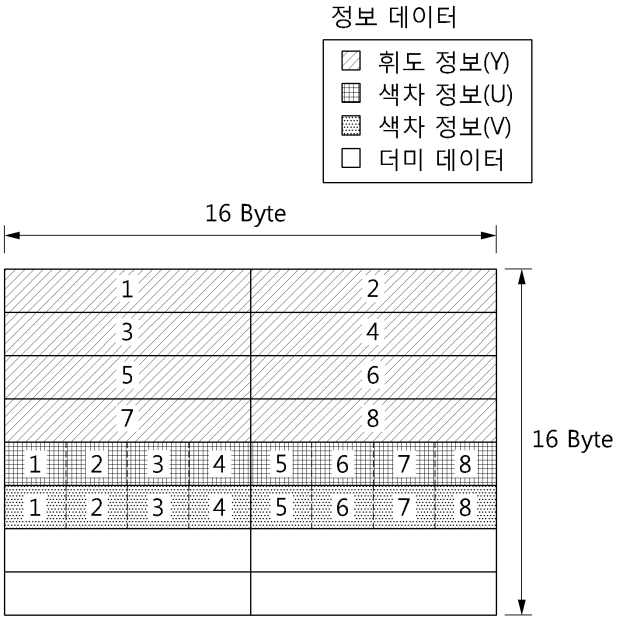
도면5b


32×4 Byte (수평 방향)
8 Byte
2 Byte
2 Byte
4 Byte
16 Byte
32 byte
4 Byte
1
2
3
4
5
6
7
8

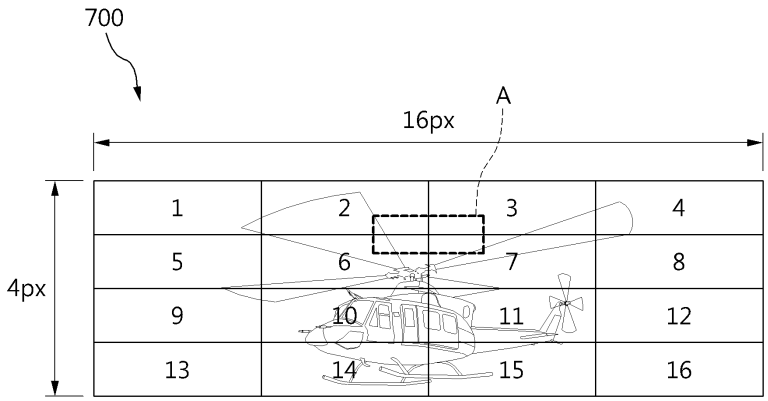
도면5c


32×4 Byte (수직 방향)
8 Byte
2 Byte
2 Byte
4 Byte
16 Byte
32 byte
4 Byte

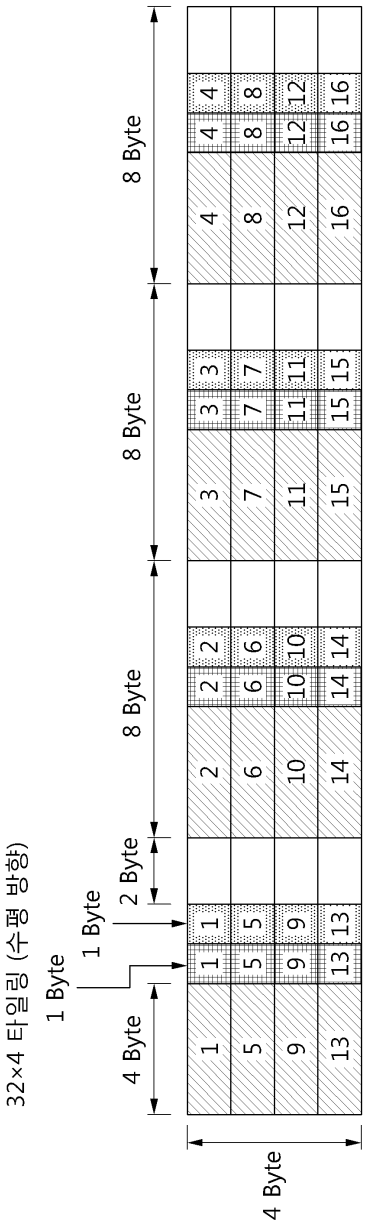
도면6


정보 데이터
휘도 정보(Y)
색차 정보(U)
색차 정보(V)
더미 데이터
16 Byte
16 Byte

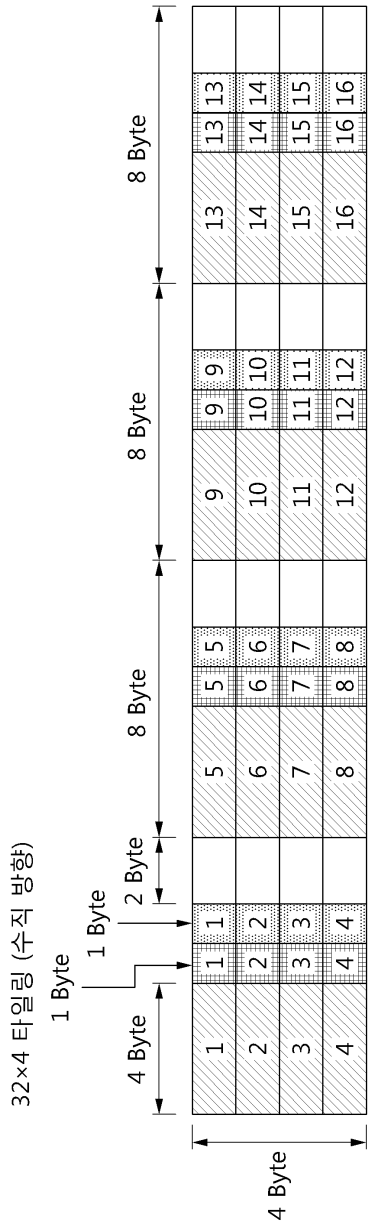
도면7a


700
A
16px
4px
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16

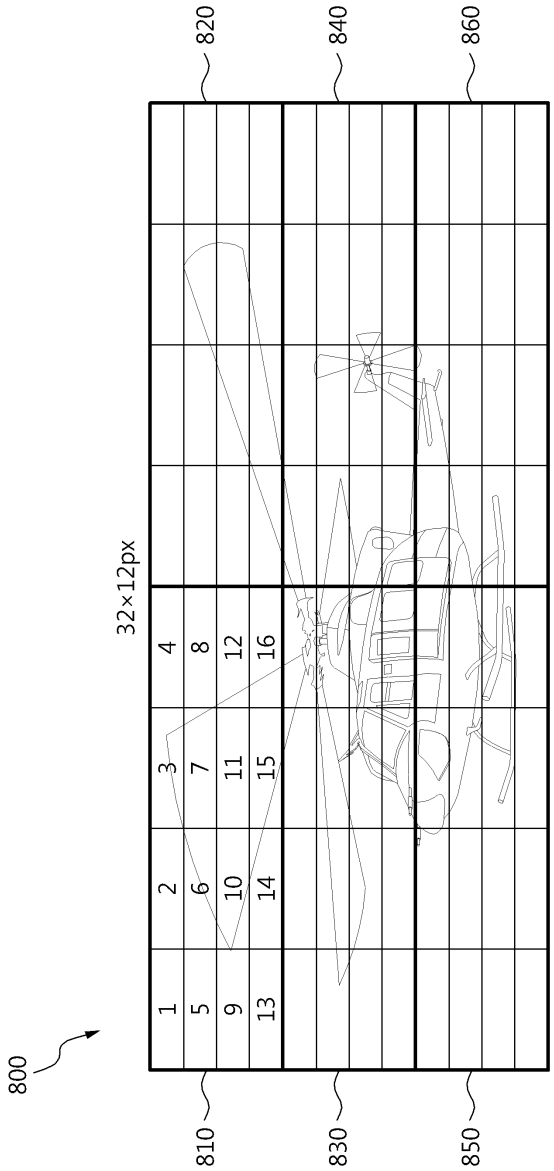
도면7b


32×4 타일링 (수평 방향)
1 Byte
1 Byte
2 Byte
4 Byte
8 Byte
8 Byte
8 Byte
4 Byte

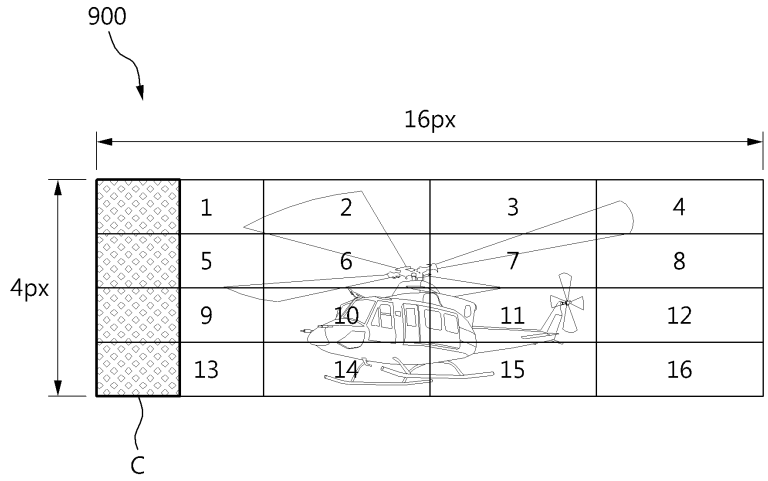
도면7c


32×4 타일링 (수직 방향)
1 Byte
1 Byte
2 Byte
8 Byte
8 Byte
8 Byte
4 Byte
4 Byte

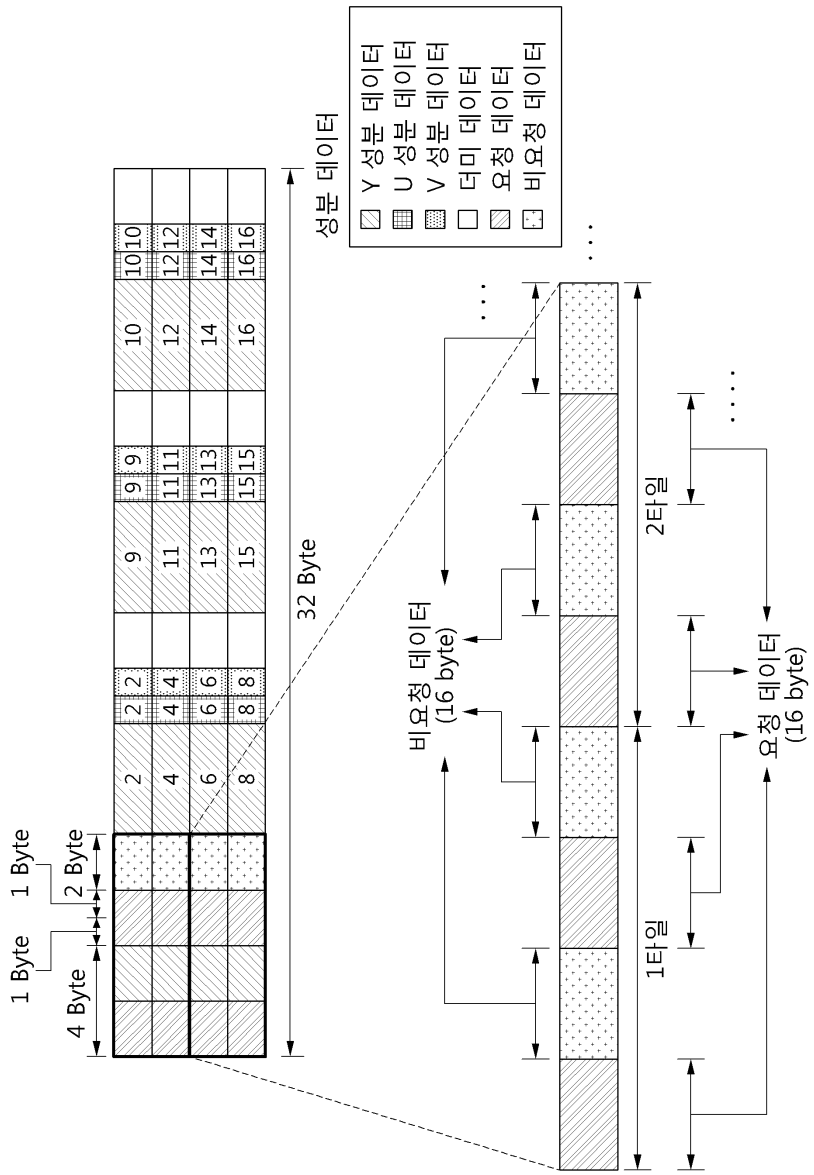
도면8


820
840
860
32×12px
1
5
9
13
2
6
10
14
3
7
11
15
4
8
12
16
800
810
830
850

도면9a


900
16px
4px
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
C

도면9b


Y 성분 데이터
U 성분 데이터
V 성분 데이터
더미 데이터
요청 데이터
비요청 데이터
성분 데이터
32 Byte
1 Byte
2 Byte
1 Byte
4 Byte
비요청 데이터
(16 byte)
요청 데이터
(16 byte)
1타일
2타일