

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-135742
(P2019-135742A)

(43) 公開日 令和1年8月15日(2019.8.15)

(51) Int.Cl.	F I	テーマコード (参考)
HO1L 21/822 (2006.01)	HO1L 27/04 V	5B225
HO1L 27/04 (2006.01)	G11C 16/30 120	5F038
G11C 16/30 (2006.01)	G11C 5/14 500	5H410
G11C 5/14 (2006.01)	HO1L 27/04 B	
GO5F 1/10 (2006.01)	GO5F 1/10 N	

審査請求 未請求 請求項の数 21 O L (全 31 頁) 最終頁に続く

(21) 出願番号 特願2018-18185 (P2018-18185)
(22) 出願日 平成30年2月5日 (2018.2.5)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
東京都江東区豊洲三丁目2番24号

(74) 代理人 100103894
弁理士 冢入 健

(72) 発明者 岡山 昌太
東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内

(72) 発明者 神田 明彦
東京都江東区豊洲三丁目2番24号 ルネサスエレクトロニクス株式会社内

Fターム(参考) 5B225 BA01 CA14 EG08
5F038 AV18 BB05 BB07 BG03 BG05
DF04 DF05 DT08 EZ20
5H410 BB04 CC02 DD02 EB37 FF03
FF23 HH01 LL05 LL11

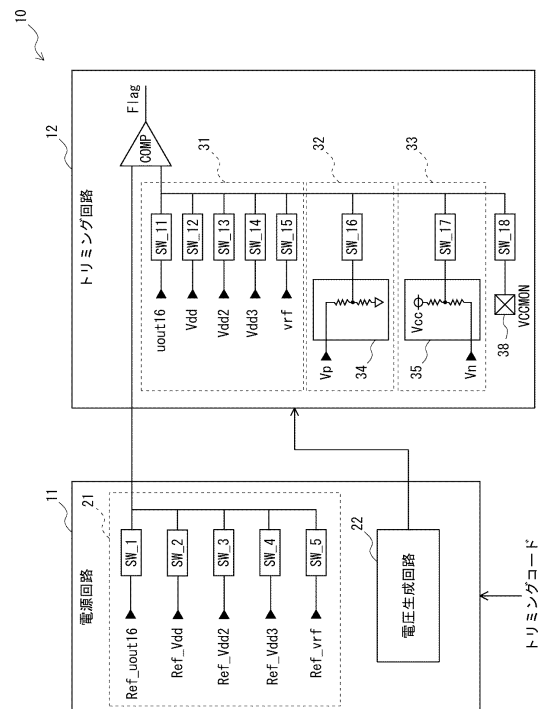
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】トリミング動作を簡素化することが可能な半導体装置を提供することである。

【解決手段】一実施の形態にかかる半導体装置は、電源回路11およびトリミング回路12を備える。電源回路11は、トリミング動作時に使用する複数の基準電圧を生成する基準電圧生成回路21と、半導体記憶装置で使用する複数の電源電圧を生成する電圧生成回路22とを備える。トリミング動作時に、外部基準電圧を用いて特定基準電圧を調整した後、調整後の特定基準電圧を用いて生成された複数の基準電圧と、当該複数の基準電圧の各々に対応する複数の電源電圧とを用いて、複数の電源電圧の調整量に対応するトリミングコードを各々決定する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

トリミング動作時に使用する複数の基準電圧を生成する基準電圧生成回路と、半導体記憶装置で使用される複数の電源電圧を生成する電圧生成回路と、を備える電源回路と、

前記トリミング動作時に前記複数の基準電圧と前記複数の電源電圧とを各々比較するトリミング回路と、を備える半導体記憶装置と、

前記半導体記憶装置における前記トリミング動作を制御する制御回路と、を備え、

前記トリミング回路は、半導体装置の外部から外部基準電圧を入力し、前記複数の基準電圧のうちの1つである特定基準電圧と前記外部基準電圧とを比較可能に構成されており、

前記基準電圧生成回路は、前記特定基準電圧を用いて前記複数の基準電圧を生成可能に構成されており、

前記制御回路は、前記トリミング動作時に、前記特定基準電圧と前記外部基準電圧とを用いて前記特定基準電圧を調整した後、前記調整後の特定基準電圧を用いて生成された複数の基準電圧と、当該複数の基準電圧の各々に対応する複数の電源電圧とを用いて、前記複数の電源電圧の調整量に対応するトリミングコードを各々決定する、

半導体装置。

【請求項 2】

前記制御回路は、前記半導体装置の出荷前に、前記特定基準電圧と前記外部基準電圧とを用いて前記特定基準電圧の調整量を決定する、請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体装置の出荷後に前記トリミング動作を実施する際、

前記基準電圧生成回路は、前記出荷前に決定された調整量を用いて調整された特定基準電圧を用いて前記複数の基準電圧を生成し、

前記制御回路は、前記調整後の特定基準電圧を用いて生成された複数の基準電圧と、当該複数の基準電圧の各々に対応する複数の電源電圧とを用いて、前記複数の電源電圧の調整量に対応するトリミングコードを各々決定する、

請求項 2 に記載の半導体装置。

【請求項 4】

前記電圧生成回路は、前記トリミングコードに応じて電源電圧を生成するように構成されており、

前記制御回路は、

前記トリミング動作時に前記トリミングコードを変化させて前記電源電圧を変化させ、

前記電源電圧が前記基準電圧と一致した際のトリミングコードを調整後のトリミングコードとして決定する、

請求項 1 に記載の半導体装置。

【請求項 5】

前記制御回路は、前記トリミング動作時に前記トリミングコードをインクリメントまたはデクリメントさせて前記電源電圧を上昇または下降させる、請求項 4 に記載の半導体装置。

【請求項 6】

前記トリミング動作時に決定された各々のトリミングコードを格納可能なレジスタを備え、

通常動作時に、前記電圧生成回路は、前記レジスタに格納されている前記各々のトリミングコードを用いて前記半導体記憶装置で使用される各々の電源電圧を生成する、

請求項 1 に記載の半導体装置。

【請求項 7】

演算回路と、

前記トリミング動作を実施するためのファームウェアを格納可能なメモリ回路と、

前記半導体装置に対して自己診断テストを実施する B I S T 回路と、

10

20

30

40

50

前記半導体記憶装置を制御するフラッシュ制御回路と、を更に備え、

前記半導体記憶装置における前記トリミング動作を制御するための制御回路は、前記演算回路および前記フラッシュ制御回路の少なくとも一方を用いて構成されている、

請求項 1 に記載の半導体装置。

【請求項 8】

前記 B I S T 回路を用いて前記半導体装置に対して自己診断テストを実施する際、前記演算回路は、前記半導体記憶装置から前記メモリ回路に前記ファームウェアを転送した後、前記ファームウェアを実行して前記半導体記憶装置に対して前記トリミング動作を実施する、請求項 7 に記載の半導体装置。

【請求項 9】

前記 B I S T 回路を用いて前記半導体装置に対して自己診断テストを実施する際、前記 B I S T 回路は、前記半導体記憶装置から前記メモリ回路に前記ファームウェアを転送した後、前記ファームウェアを実行して、前記フラッシュ制御回路を用いて前記半導体記憶装置に対して前記トリミング動作を実施する、請求項 7 に記載の半導体装置。

【請求項 10】

前記演算回路が前記トリミング動作を制御している際に前記演算回路の負荷が大きくなった場合、前記トリミング動作の制御を前記演算回路から前記フラッシュ制御回路に切り替える、請求項 7 に記載の半導体装置。

【請求項 11】

前記半導体装置は、前記電圧生成回路の故障を検出する故障検出モードを備え、前記制御回路は、前記故障検出モードにおいて、前記トリミング動作時の基準電圧よりも低い第 2 の基準電圧を前記故障検出時の基準電圧として設定し、

前記電源電圧を変化させた際に、前記電源電圧が前記第 2 の基準電圧に到達しない場合に前記電圧生成回路が故障であると判断する、

請求項 1 に記載の半導体装置。

【請求項 12】

前記電圧生成回路は、前記トリミングコードに応じて電源電圧を生成するように構成されており、

前記制御回路は、前記故障検出モードにおいて、前記トリミングコードを最大値まで変化させた際に、前記電源電圧が前記第 2 の基準電圧に到達しない場合に前記電圧生成回路が故障であると判断する、

請求項 11 に記載の半導体装置。

【請求項 13】

トリミング動作時に使用する基準電流を生成する基準電流源と、半導体記憶装置で使用される動作電流を生成する動作電流源と、を備える電源回路と、

前記トリミング動作時に前記動作電流のトリミングを行うトリミング回路と、を備える半導体記憶装置と、

前記半導体記憶装置における前記トリミング動作を制御する制御回路と、を備え、

前記トリミング回路は、半導体装置の外部から外部基準電流を入力可能に構成されており、

前記制御回路は、前記トリミング動作時に、前記半導体装置の外部から供給された前記外部基準電流を用いて前記基準電流を調整した後、前記調整後の基準電流を用いて、前記半導体記憶装置で使用される動作電流源の調整量に対応するトリミングコードを決定する、

半導体装置。

【請求項 14】

前記電源回路は、

前記基準電流源としてカレントソース型の第 1 の基準電流源とカレントシンク型の第 2 の基準電流源とを備え、

10

20

30

40

50

前記動作電流源としてカレントソース型の第1の動作電流源とカレントシンク型の第2の動作電流源とを備え、

前記制御回路は、前記トリミング動作時に、

前記第1の基準電流源と前記第2の動作電流源との電流差が所定の値よりも小さくなるように前記第2の動作電流源の電流値を調整してトリミングコードを決定し、

前記第2の基準電流源と前記第1の動作電流源との電流差が所定の値よりも小さくなるように前記第1の動作電流源の電流値を調整してトリミングコードを決定する、

請求項13に記載の半導体装置。

【請求項15】

前記トリミング回路は、一方の入力に判定電圧が供給され、他方の入力第1のノードに接続されたコンパレータを備え、

前記第1及び第2の基準電流源と前記第1及び第2の動作電流源は、前記第1のノードに接続可能に構成されており、

前記制御回路は、前記トリミング動作時に、

前記第1の基準電流源と前記第2の動作電流源とが接続された前記第1のノードの電圧が前記判定電圧よりも小さくなるように前記第2の動作電流源の電流値を調整してトリミングコードを決定し、

前記第2の基準電流源と前記第1の動作電流源とが接続された前記第1のノードの電圧が前記判定電圧よりも小さくなるように前記第1の動作電流源の電流値を調整してトリミングコードを決定する、

請求項14に記載の半導体装置。

【請求項16】

演算回路と、

前記トリミング動作を実施するためのファームウェアを格納可能なメモリ回路と、

前記半導体装置に対して自己診断テストを実施するBIST回路と、

前記半導体記憶装置を制御するフラッシュ制御回路と、を更に備え、

前記半導体記憶装置における前記トリミング動作を制御するための制御回路は、前記演算回路および前記フラッシュ制御回路の少なくとも一方を用いて構成されている、

請求項13に記載の半導体装置。

【請求項17】

前記BIST回路を用いて前記半導体装置に対して自己診断テストを実施する際、前記演算回路は、前記半導体記憶装置から前記メモリ回路に前記ファームウェアを転送した後、前記ファームウェアを実行して前記半導体記憶装置に対して前記トリミング動作を実施する、請求項16に記載の半導体装置。

【請求項18】

前記BIST回路を用いて前記半導体装置に対して自己診断テストを実施する際、前記BIST回路は、前記半導体記憶装置から前記メモリ回路に前記ファームウェアを転送した後、前記ファームウェアを実行して、前記フラッシュ制御回路を用いて前記半導体記憶装置に対して前記トリミング動作を実施する、請求項16に記載の半導体装置。

【請求項19】

前記演算回路が前記トリミング動作を制御している際に前記演算回路の負荷が大きくなった場合、前記トリミング動作の制御を前記演算回路から前記フラッシュ制御回路に切り替える、請求項16に記載の半導体装置。

【請求項20】

前記半導体装置は、前記動作電流源の故障を検出する故障検出モードを備え、

前記制御回路は、前記故障検出モードにおいて、

前記トリミング動作時の基準電流値よりも低い第2の基準電流値を前記故障検出時の基準電流値として設定し、

前記動作電流を変化させた際に、前記動作電流が前記第2の基準電流値に到達しない場合に前記動作電流源が故障であると判断する、

10

20

30

40

50

請求項 1 3 に記載の半導体装置。

【請求項 2 1】

前記動作電流源は、前記トリミングコードに応じて動作電流を生成するように構成されており、

前記制御回路は、前記故障検出モードにおいて、前記トリミングコードを最大値まで変化させた際に、前記動作電流が前記第 2 の基準電流値に到達しない場合に前記動作電流源が故障であると判断する、

請求項 2 0 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は半導体装置に関し、例えば電源電圧を調整する機能を備える半導体装置に関する。

【背景技術】

【0002】

フラッシュメモリを備えた半導体装置では、フラッシュメモリを書き換えるための電源電圧を半導体装置の内部で生成する必要がある。しかしながら、このような電源電圧は、製造される半導体装置毎にばらつく場合があるため、半導体装置を製造した後、各々の半導体装置で生成される電源電圧を微調整する必要がある。このような技術は、トリミング技術と呼ばれている。

20

【0003】

特許文献 1 には、外部から供給されたリファレンス電圧とチャージポンプ回路の出力電圧とを比較し、この比較結果をトリミングコード生成回路にフィードバックすることで、半導体装置の内部で生成される電源電圧の調整量に対応したトリミングコードを生成する技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 42838 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0005】

上述のように、特許文献 1 に開示されている技術では、外部から供給されたリファレンス電圧とチャージポンプ回路の出力電圧とを比較することで、半導体装置の内部で生成される電源電圧の調整量であるトリミングコードを生成している。しかしながら、特許文献 1 に開示されている技術を用いた場合は、複数の電源電圧に対してトリミングを実施する際に、各々の電源電圧に対応した複数のリファレンス電圧を半導体装置の外部から供給する必要がある。このため、半導体装置におけるトリミングの制御が複雑になり、トリミング処理に時間がかかるという問題がある。

【0006】

40

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

一実施の形態にかかる半導体装置は、トリミング動作時に、特定基準電圧と外部基準電圧とを用いて特定基準電圧を調整した後、調整後の特定基準電圧を用いて生成された複数の基準電圧と、当該複数の基準電圧の各々に対応する複数の電源電圧とを用いて、複数の電源電圧の調整量に対応するトリミングコードを各々決定する。

【発明の効果】

【0008】

50

前記一実施の形態によれば、トリミング動作を簡素化することが可能な半導体装置を提供することができる。

【図面の簡単な説明】

【0009】

【図1】実施の形態1にかかる半導体装置が備える半導体記憶装置の構成例を示す図である。

【図2】実施の形態1にかかる半導体装置におけるトリミング動作を説明するためのフローチャートである。

【図3】図1に示す半導体記憶装置におけるトリミング動作を説明するための図である。

【図4】図1に示す半導体記憶装置におけるトリミング動作を説明するための図である。

【図5】図1に示す半導体記憶装置におけるトリミング動作を説明するための図である。

【図6】図1に示す半導体記憶装置におけるトリミング動作を説明するための図である。

【図7】実施の形態1にかかる半導体装置が備える半導体記憶装置の構成例を示す図である。

【図8】実施の形態1にかかる半導体装置におけるトリミング動作の詳細を説明するためのフローチャートである。

【図9】実施の形態1にかかる半導体装置におけるトリミング動作の詳細を説明するためのタイミングチャートである。

【図10】実施の形態2にかかる半導体装置の構成例を示すブロック図である。

【図11】実施の形態2にかかる半導体装置におけるトリミング動作を説明するためのフローチャートである。

【図12】実施の形態2にかかる半導体装置におけるトリミング動作を説明するためのブロック図である。

【図13】実施の形態2にかかる半導体装置におけるトリミング動作を説明するためのブロック図である。

【図14】実施の形態3にかかる半導体装置における故障検出動作を説明するための図である。

【図15】実施の形態4にかかる半導体装置が備える半導体記憶装置の構成例を示す図である。

【図16】実施の形態4にかかる半導体装置におけるトリミング動作を説明するためのフローチャートである。

【図17】図15に示す半導体記憶装置におけるトリミング動作を説明するための図である。

【図18】図15に示す半導体記憶装置におけるトリミング動作を説明するための図である。

【図19】図15に示す半導体記憶装置におけるトリミング動作を説明するための図である。

【図20】図15に示す半導体記憶装置におけるトリミング動作を説明するための図である。

【図21】実施の形態5にかかる半導体装置における故障検出動作を説明するための図である。

【発明を実施するための形態】

【0010】

<実施の形態1>

以下、図面を参照して実施の形態1について説明する。

図1は、実施の形態1にかかる半導体装置が備える半導体記憶装置の構成例を示す図である。なお、図1では、半導体記憶装置の一部の構成のみを示している。図1に示すように、半導体記憶装置10は、電源回路11及びトリミング回路12を備える。半導体記憶装置10は、例えばフラッシュメモリなどの不揮発性の半導体記憶装置である。以下では、半導体記憶装置としてフラッシュメモリを用いた場合の構成例について説明するが、本

10

20

30

40

50

実施の形態において半導体記憶装置がフラッシュメモリに限定されることはない。

【0011】

電源回路11は、基準電圧生成回路21と電圧生成回路22とを備える。

基準電圧生成回路21は、トリミング動作時に使用する複数の基準電圧を生成する。具体的には、基準電圧生成回路21は、特定の基準電圧（以下、特定基準電圧とも記載する）を用いて、複数の基準電圧を生成可能に構成されている。特定基準電圧は、複数の基準電圧の中で最も高い基準電圧である。基準電圧生成回路21において、基準電圧 Ref_uout16 は他の基準電圧の中で最も電圧の高い基準電圧であるので、この場合は基準電圧 Ref_uout16 が特定基準電圧となる。

【0012】

基準電圧生成回路21は、特定基準電圧 Ref_uout16 を分圧することで他の基準電圧 Ref_Vdd 、基準電圧 Ref_Vdd2 、基準電圧 Ref_Vdd3 、及び基準電圧 Ref_vrf をそれぞれ生成する。例えば、基準電圧生成回路21は分圧抵抗を備えており、この分圧抵抗を用いて特定基準電圧 Ref_uout16 を分圧することで、各々の基準電圧 Ref_Vdd 、基準電圧 Ref_Vdd2 、基準電圧 Ref_Vdd3 、及び基準電圧 Ref_vrf をそれぞれ生成することができる。

【0013】

基準電圧生成回路21で生成された各々の基準電圧 Ref_uout16 、基準電圧 Ref_Vdd 、基準電圧 Ref_Vdd2 、基準電圧 Ref_Vdd3 、及び基準電圧 Ref_vrf は、スイッチ $SW_1 \sim SW_5$ を介して、トリミング回路12が備えるコンパレータCOMPの一方の入力に供給される。すなわち、スイッチ $SW_1 \sim SW_5$ のうちのいずれか一つを導通状態とすることで、導通状態となっているスイッチに対応する基準電圧がコンパレータCOMPの一方の入力に供給される。例えば、スイッチ SW_1 を導通状態とし、他のスイッチ $SW_2 \sim SW_5$ を非導通状態とすることで、基準電圧 Ref_uout16 がコンパレータCOMPの一方の入力に供給される。

【0014】

電圧生成回路22は、フラッシュメモリで使用される複数の電源電圧を生成する。電圧生成回路22で生成された複数の電源電圧は、トリミング動作時、トリミング回路12に供給される。具体的には、電圧生成回路22は、電源電圧 $uout16$ 、電源電圧 Vdd 、電源電圧 $Vdd2$ 、電源電圧 $Vdd3$ 、電源電圧 vrf 、電源電圧 Vp 、及び電源電圧 Vn を生成する。ここで、電源電圧 $uout16$ 、電源電圧 Vdd 、電源電圧 $Vdd2$ 、電源電圧 $Vdd3$ 、及び電源電圧 vrf は、正の低電圧電源31である。電源電圧 Vp は正の高電圧電源32であり、電圧生成回路22が備える正昇圧回路（チャージポンプ回路：不図示）を用いて生成される。電源電圧 Vn は負の電圧電源33であり、電圧生成回路22が備える負昇圧回路（チャージポンプ回路：不図示）を用いて生成される。

【0015】

通常動作時は、電圧生成回路22で生成された各々の電源電圧は、フラッシュメモリの内部電源として用いられる。ここで、フラッシュメモリでは、書き込みや消去動作の際に、通常の読み出し動作で用いられる電圧よりも高い電圧が使用される。このため、フラッシュメモリでは、複数種類の電源（正の低電圧電源、正の高電圧電源、及び負の電圧電源）が必要となる。

【0016】

トリミング回路12は、コンパレータCOMPを備える。コンパレータCOMPの一方の入力には、基準電圧生成回路21で生成された基準電圧（ Ref_uout16 等）が供給され、他方の入力には、電圧生成回路22で生成された電源電圧（ $uout16$ 等）が供給される。

【0017】

電圧生成回路22で生成された電源電圧には、正の低電圧電源31、正の高電圧電源32、及び負の電圧電源33がある。ここで、正の高電圧電源32である電源電圧 Vp は電圧の絶対値が大きいので、抵抗分圧回路34を用いて、コンパレータCOMPで比較可能

10

20

30

40

50

な電圧に変換される。同様に、負の電圧電源 33 である電源電圧 V_n は電圧の絶対値が大きいので、抵抗分圧回路 35 を用いて、コンパレータ COMP で比較可能な電圧に変換される。また、トリミング回路 12 は外部端子 38 を備える。外部端子 38 は、半導体装置の外部から外部基準電圧 V_{CCMON} が供給可能に構成されている。

【0018】

電圧生成回路 22 で生成された各々の電源電圧 u_{out16} 、電源電圧 V_{dd} 、電源電圧 V_{dd2} 、電源電圧 V_{dd3} 、電源電圧 v_{rf} 、電源電圧 V_p 、電源電圧 V_n 、及び外部基準電圧 V_{CCMON} は、スイッチ $SW_{11} \sim SW_{18}$ を介して、コンパレータ COMP の他方の入力に供給される。すなわち、スイッチ $SW_{11} \sim SW_{18}$ のうちのいずれか一つを導通状態とすることで、導通状態となっているスイッチに対応する電源電圧がコンパレータ COMP の他方の入力に供給される。例えば、スイッチ SW_{11} を導通状態とし、他のスイッチ $SW_{12} \sim SW_{18}$ を非導通状態とすることで、電源電圧 u_{out16} がコンパレータ COMP の他方の入力に供給される。

10

【0019】

トリミング動作時、コンパレータ COMP は、基準電圧生成回路 21 で生成された基準電圧 (Ref_{uout16} 等) と、電圧生成回路 22 で生成された電源電圧 (u_{out16} 等) とを比較し、これらの電圧が一致する場合には、比較結果として「Flag = 1 (一致)」を出力する。一方、コンパレータ COMP は、基準電圧生成回路 21 で生成された基準電圧 (Ref_{uout16} 等) と、電圧生成回路 22 で生成された電源電圧 (u_{out16} 等) と、が一致しない場合には、比較結果として「Flag = 0 (不一致)」を出力する。ここで、「基準電圧と電源電圧とが一致する場合」とは、基準電圧と電源電圧とが完全に一致する場合に限らず、基準電圧と電源電圧とがある程度近似する場合 (つまり、基準電圧と電源電圧の電圧差が微小である場合) も含まれる。

20

【0020】

本実施の形態では、トリミング動作時にトリミングコードをインクリメントして、電圧生成回路 22 で生成される電源電圧を段階的に上昇させている。トリミングコードが小さい段階では電源電圧が低いため、コンパレータ COMP に供給される電源電圧が基準電圧よりも低い。この場合は、コンパレータ COMP は比較結果として「Flag = 0 (不一致)」を出力する。そして、トリミングコードが段階的に大きくなると電源電圧も徐々に増加して、電源電圧が基準電圧に近づき、その後、電源電圧が基準電圧よりも大きくなるタイミングがある。コンパレータ COMP は、このタイミング、つまり電源電圧が基準電圧よりも大きくなるタイミングで、比較結果として「Flag = 1 (一致)」を出力する。

30

【0021】

例えば、フラッシュメモリ 10 におけるトリミング動作は、フラッシュ制御回路 (制御回路) 40 (図 7 参照) を用いて制御される。

【0022】

次に、トリミング動作について説明する。図 2 は、本実施の形態にかかる半導体装置におけるトリミング動作を説明するためのフローチャートである。本実施の形態では、図 2 に示すように、まず、基準電圧 (特定基準電圧) Ref_{uout16} と外部基準電圧 V_{CCMON} とを用いて基準電圧を調整 (トリミング) する (ステップ S1)。

40

【0023】

具体的には、図 3 に示すように、基準電圧生成回路 21 のスイッチ SW_1 を導通状態にして、コンパレータ COMP の一方の入力に基準電圧 Ref_{uout16} を供給する。また、トリミング回路 12 のスイッチ SW_{18} を導通状態にして、コンパレータ COMP の他方の入力に外部基準電圧 V_{CCMON} を供給する。ここで、外部基準電圧 V_{CCMON} は、基準電圧 Ref_{uout16} を調整するための電圧であり、一定の電圧である。

【0024】

また、基準電圧生成回路 21 は、基準電圧をトリミングする際、基準電圧 Ref_{u}

50

u t 1 6 を変化させている。例えば、基準電圧生成回路 2 1 には、フラッシュ制御回路 4 0 (図 7 参照) からトリミングコードが供給されており、基準電圧生成回路 2 1 は供給されたトリミングコードに応じた基準電圧 R e f _ u o u t 1 6 を生成している。例えば、フラッシュ制御回路 4 0 は、基準電圧生成回路 2 1 に供給するトリミングコードを増加させることで (インクリメントすることで) 、基準電圧生成回路 2 1 で生成される基準電圧 R e f _ u o u t 1 6 を低電圧から高電圧に変化させることができる。

【 0 0 2 5 】

コンパレータ C O M P は、基準電圧 R e f _ u o u t 1 6 と外部基準電圧 V C C M O N とを比較し、これらの電圧が一致した際に、比較結果として「 F l a g = 1 (一致) 」を出力する。すなわち、コンパレータ C O M P の比較結果が一致した際の基準電圧 R e f _ u o u t 1 6 の値が、調整後の基準電圧 R e f _ u o u t 1 6 の値となる。そして、このときの基準電圧 R e f _ u o u t 1 6 の調整量に対応した値が、基準電圧 R e f _ u o u t 1 6 を調整するためのトリミングコードと決定される。以降、このトリミングコードを用いて、基準電圧 R e f _ u o u t 1 6 が調整される。

10

【 0 0 2 6 】

また、基準電圧生成回路 2 1 は、調整後の基準電圧 R e f _ u o u t 1 6 を分圧して他の基準電圧 R e f _ V d d 、基準電圧 R e f _ V d d 2 、基準電圧 R e f _ V d d 3 、及び基準電圧 R e f _ v r f をそれぞれ生成する。

【 0 0 2 7 】

次に、正の低電圧電源 3 1 (つまり、電源電圧 u o u t 1 6 、電源電圧 V d d 、電源電圧 V d d 2 、電源電圧 V d d 3 、及び電源電圧 v r f) のトリミングを実施する (図 2 のステップ S 2) 。例えば、電源電圧 u o u t 1 6 のトリミングを実施する場合は、図 4 に示すように、基準電圧生成回路 2 1 のスイッチ S W _ 1 を導通状態にして、コンパレータ C O M P の一方の入力に基準電圧 R e f _ u o u t 1 6 を供給する。また、トリミング回路 1 2 のスイッチ S W _ 1 1 を導通状態にして、コンパレータ C O M P の他方の入力に電源電圧 u o u t 1 6 を供給する。ここで、基準電圧 R e f _ u o u t 1 6 は、電源電圧 u o u t 1 6 を調整するための電圧であり、一定の電圧である。

20

【 0 0 2 8 】

また、電圧生成回路 2 2 は、電源電圧 u o u t 1 6 を変化させている。例えば、電圧生成回路 2 2 には、フラッシュ制御回路 4 0 (図 7 参照) からトリミングコードが供給されており、電圧生成回路 2 2 は供給されたトリミングコードに応じた電源電圧 u o u t 1 6 を生成している。例えば、フラッシュ制御回路 4 0 は、電圧生成回路 2 2 に供給するトリミングコードを増加させることで (インクリメントすることで) 、電圧生成回路 2 2 で生成される電源電圧 u o u t 1 6 を低電圧から高電圧に変化させることができる。

30

【 0 0 2 9 】

コンパレータ C O M P は、基準電圧 R e f _ u o u t 1 6 と電源電圧 u o u t 1 6 とを比較し、これらの電圧が一致した際に、比較結果として「 F l a g = 1 (一致) 」を出力する。すなわち、コンパレータ C O M P の比較結果が一致した際の電源電圧 u o u t 1 6 の値が、調整後の電源電圧 u o u t 1 6 の値となる。そして、このときの電源電圧 u o u t 1 6 の調整量に対応した値が、電源電圧 u o u t 1 6 を調整するためのトリミングコードと決定される。以降、通常動作時において、電圧生成回路 2 2 はこのトリミングコードを用いて電源電圧 u o u t 1 6 を調整し、調整後の電源電圧 u o u t 1 6 をフラッシュメモリ 1 0 に供給する。

40

【 0 0 3 0 】

他の正の低電圧電源 3 1 である電源電圧 V d d 、電源電圧 V d d 2 、電源電圧 V d d 3 、及び電源電圧 v r f についても同様にトリミングを実施することができる。なお、電源電圧 V d d のトリミングの際は、電源電圧 V d d と対応する基準電圧 R e f _ V d d が使用される。同様に、電源電圧 V d d 2 のトリミングの際は基準電圧 R e f _ V d d 2 が、電源電圧 V d d 3 のトリミングの際は基準電圧 R e f _ V d d 3 が、電源電圧 v r f のトリミングの際は基準電圧 R e f _ v r f が、それぞれ使用される。

50

【0031】

次に、正の高電圧電源32（つまり、電源電圧 V_p ）のトリミングを実施する（図2のステップS3）。正の高電圧電源32である電源電圧 V_p は、電圧生成回路22が備える正昇圧回路（不図示）を用いて生成されるため、電圧の絶対値が大きい。このため、電源電圧 V_p は、抵抗分圧回路34を用いて、コンパレータCOMPで比較可能な電圧、つまり、基準電圧 Ref_uout16 と比較可能な電圧に変換される。

【0032】

電源電圧 V_p のトリミングを実施する場合は、図5に示すように、基準電圧生成回路21のスイッチ SW_1 を導通状態にして、コンパレータCOMPの一方の入力に基準電圧 Ref_uout16 を供給する。また、トリミング回路12のスイッチ SW_16 を導通状態にして、コンパレータCOMPの他方の入力に電源電圧 V_p を供給する。ここで、基準電圧 Ref_uout16 は、電源電圧 V_p を調整するための電圧であり、一定の電圧である。

10

【0033】

また、電圧生成回路22は、電源電圧 V_p を変化させている。例えば、電圧生成回路22には、フラッシュ制御回路40（図7参照）からトリミングコードが供給されており、電圧生成回路22は供給されたトリミングコードに応じた電源電圧 V_p を生成している。例えば、フラッシュ制御回路40は、電圧生成回路22に供給するトリミングコードを増加させることで（インクリメントすることで）、電圧生成回路22で生成される電源電圧 V_p を低電圧から高電圧に変化させることができる。

20

【0034】

コンパレータCOMPは、基準電圧 Ref_uout16 と電源電圧 V_p とを比較し、これらの電圧が一致した際に、比較結果として「 $Flag = 1$ （一致）」を出力する。すなわち、コンパレータCOMPの比較結果が一致した際の電源電圧 V_p の値が、調整後の電源電圧 V_p の値となる。そして、このときの電源電圧 V_p の調整量に対応した値が、電源電圧 V_p を調整するためのトリミングコードと決定される。以降、通常動作時において、電圧生成回路22はこのトリミングコードを用いて電源電圧 V_p を調整し、調整後の電源電圧 V_p をフラッシュメモリ10に供給する。

【0035】

次に、負の電圧電源33（つまり、電源電圧 V_n ）のトリミングを実施する（図2のステップS4）。負の電圧電源33である電源電圧 V_n は、電圧生成回路22が備える負昇圧回路（不図示）を用いて生成されるため、電圧の絶対値が大きい。このため、電源電圧 V_n は、抵抗分圧回路35を用いて、コンパレータCOMPで比較可能な電圧、つまり、基準電圧 Ref_uout16 と比較可能な電圧に変換される。

30

【0036】

電源電圧 V_n のトリミングを実施する場合は、図6に示すように、基準電圧生成回路21のスイッチ SW_1 を導通状態にして、コンパレータCOMPの一方の入力に基準電圧 Ref_uout16 を供給する。また、トリミング回路12のスイッチ SW_17 を導通状態にして、コンパレータCOMPの他方の入力に電源電圧 V_n を供給する。ここで、基準電圧 Ref_uout16 は、電源電圧 V_n を調整するための電圧であり、一定の電圧である。

40

【0037】

また、電圧生成回路22は、電源電圧 V_n を変化させている。例えば、電圧生成回路22には、フラッシュ制御回路40からトリミングコードが供給されており、電圧生成回路22は供給されたトリミングコードに応じた電源電圧 V_n を生成している。例えば、フラッシュ制御回路40は、電圧生成回路22に供給するトリミングコードを増加させることで（インクリメントすることで）、電圧生成回路22で生成される電源電圧 V_n を低電圧から高電圧に変化させることができる。

【0038】

コンパレータCOMPは、基準電圧 Ref_uout16 と電源電圧 V_n とを比較し、

50

これらの電圧が一致した際に、比較結果として「Flag = 1 (一致)」を出力する。すなわち、コンパレータCOMPの比較結果が一致した際の電源電圧Vnの値が、調整後の電源電圧Vnの値となる。そして、このときの電源電圧Vnの調整量に対応した値が、電源電圧Vnを調整するためのトリミングコードと決定される。以降、通常動作時において、電圧生成回路22はこのトリミングコードを用いて電源電圧Vnを調整し、調整後の電源電圧Vnをフラッシュメモリ10に供給する。

【0039】

図2では、ステップS1～S4の順にトリミングを実施する場合について説明した。しかし、トリミングを実施する順番は、基準電圧のトリミング(ステップS1)を最初に実施する以外は、任意に決定することができる。つまり、ステップS2～S4については順番を入れ替えてもよい。

10

【0040】

上述のように、本実施の形態にかかる半導体装置では、トリミング動作時に、まず、基準電圧Ref_out16と外部基準電圧VCCMONとを用いて基準電圧Ref_out16を調整している。そして、調整後の基準電圧Ref_out16を用いて、トリミング動作時に使用する複数の基準電圧を生成し、これら複数の基準電圧と、当該複数の基準電圧の各々に対応する複数の電源電圧とを用いて、複数の電源電圧の調整量に対応するトリミングコードを各々決定している。

【0041】

したがって、本実施の形態にかかる半導体装置では、複数の電源電圧に対してトリミングを実施する際、各々の電源電圧に対応した複数のリファレンス電圧を半導体装置の外部から供給する必要がないので、トリミング動作を簡素化することができる。つまり、本実施の形態にかかる半導体装置では、外部基準電圧VCCMONを用いて基準電圧Ref_out16を調整した後、基準電圧Ref_out16を用いて他の基準電圧を生成している。よって、半導体装置の外部から外部基準電圧を取得する回数を1回にすることができるので、トリミングの制御を簡素化することができ、ひいてはトリミングに要する時間を短くすることができる。

20

【0042】

本実施の形態にかかる半導体装置では、半導体装置の出荷前に、基準電圧Ref_out16と外部基準電圧VCCMONとを用いて基準電圧Ref_out16の調整量

30

【0043】

このように、半導体装置の出荷前に、基準電圧Ref_out16の調整量に対応したトリミングコードを決定することで、半導体装置の出荷後においてトリミングを実施する際に、外部基準電圧を入力する必要がなくなる。

【0044】

すなわち、半導体装置の出荷後にトリミングを実施する際、基準電圧生成回路21は、出荷前に決定された調整量に対応するトリミングコードを用いて基準電圧Ref_out16を調整し、この調整された基準電圧Ref_out16を用いて、複数の基準電圧を生成することができる。つまり、基準電圧生成回路21は、出荷前に決定された調整量を用いて調整された基準電圧Ref_out16を分圧することで、他の基準電圧Ref_Vdd、基準電圧Ref_Vdd2、基準電圧Ref_Vdd3、及び基準電圧Ref_vrfをそれぞれ生成することができる。

40

【0045】

よって、半導体装置の出荷後において、上述のように生成された複数の基準電圧と、当該複数の基準電圧の各々に対応する複数の電源電圧とを用いて、複数の電源電圧の調整量に対応するトリミングコードを各々決定することができる。

【0046】

次に、本実施の形態にかかる半導体装置の構成、及びトリミング動作について詳細に説明する。図7に示すように、本実施の形態にかかる半導体装置1は、フラッシュメモリ1

50

0 とフラッシュ制御回路 40 とを備える。フラッシュメモリ 10 は、電源回路 11、トリミング回路 12、ロジック回路 13、及びレジスタ 14 を備える。フラッシュ制御回路 40 は、フラッシュメモリ 10 に接続されている。なお、電源回路 11 およびトリミング回路 12 については、図 1 に示した電源回路 11 およびトリミング回路 12 と同様であるので重複した説明は省略する。

【0047】

レジスタ 14 には、電源回路 11 において生成される各々の電源電圧 (u o u t 1 6 等) を調整するためのトリミングコードが格納されている。通常動作時、ロジック回路 13 は、レジスタ 14 から供給されたトリミングコードをデコードし、デコード後のトリミングコードを電源回路 11 に供給する。電源回路 11 は、ロジック回路 13 から供給されたトリミングコードを用いて調整された各々の電源電圧 (u o u t 1 6 等) を生成する。これらの電源電圧 (u o u t 1 6 等) は、フラッシュメモリ 10 の内部電源として使用される。

10

【0048】

フラッシュ制御回路 40 は、フラッシュメモリ 10 を制御する。例えば、フラッシュ制御回路 40 は、通常動作時、フラッシュメモリ 10 における書き込み動作、読み出し動作、及び消去動作を制御する。また、フラッシュ制御回路 40 は、フラッシュメモリ 10 におけるトリミング動作を制御する。例えば、フラッシュ制御回路 40 は、トリミング動作時、トリミング用のトリミングコードを生成し、生成したトリミングコードをロジック回路 13 に供給する。

20

【0049】

ロジック回路 13 は、フラッシュ制御回路 40 から供給されたトリミングコードをデコードし、デコード後のトリミングコードを電源回路 11 に供給する。電源回路 11 は、ロジック回路 13 から供給されたデコード後のトリミングコードに応じた電源電圧を生成し、生成した電源電圧をトリミング回路 12 のコンパレータ C O M P に供給する。

【0050】

フラッシュ制御回路 40 は、カウンタ 41 およびタイマ 42 を備える。フラッシュ制御回路 40 から供給されるトリミングコードは、カウンタ 41 およびタイマ 42 を用いて生成される。なお、トリミングコードを生成する動作については後述する。

【0051】

次に、トリミング動作の詳細について、図 8 に示すフローチャートを用いて説明する。フラッシュ制御回路 40 に、トリミング動作を示すモード信号 (M o d e) が供給されると、フラッシュ制御回路 40 は、フラッシュメモリ 10 のトリミング動作を開始する。まず、フラッシュ制御回路 40 は、トリミングコード T C を下限値に設定し、設定したトリミングコードをロジック回路 13 に供給する (ステップ S 1 1)。

30

【0052】

ロジック回路 13 は、フラッシュ制御回路 40 から供給されたトリミングコードをデコードし、デコード後のトリミングコードを電源回路 11 に供給する。電源回路 11 は、ロジック回路 13 から供給されたデコード後のトリミングコードに応じた電源電圧を生成し、生成した電源電圧をトリミング回路 12 のコンパレータ C O M P の一方の入力に供給する。コンパレータ C O M P の他方の入力には電源回路 11 から基準電圧が供給されている。よって、コンパレータ C O M P は、基準電圧と電源電圧とを比較し (ステップ S 1 2) 、基準電圧と電源電圧との比較結果 (F l a g) をロジック回路 13 に出力する。

40

【0053】

コンパレータ C O M P は、基準電圧と電源電圧とが一致しない場合、比較結果として「 F l a g = 0 」をロジック回路 13 に出力する (ステップ S 1 3 : N o)。その後、ロジック回路 13 は、比較結果「 F l a g = 0 」をフラッシュ制御回路 40 に供給する。フラッシュ制御回路 40 は、「 F l a g = 0 」を受信すると、現在のトリミングコード T C が上限値であるか否かを判断する (ステップ S 1 4)。

【0054】

50

そして、現在のトリミングコードTCが上限値でない場合（ステップS14：No）、フラッシュ制御回路40は、トリミングコードTCをインクリメントする（ステップS15）。インクリメント後のトリミングコードは、再び、ロジック回路13に供給される。ロジック回路13は、フラッシュ制御回路40から供給されたインクリメント後のトリミングコードをデコードし、デコード後のトリミングコードを電源回路11に供給する。電源回路11は、ロジック回路13から供給されたデコード後のトリミングコードに応じた電源電圧を生成し、生成した電源電圧をトリミング回路12のコンパレータCOMPの入力に供給する。コンパレータCOMPは、再度、基準電圧と電源電圧とを比較し（ステップS12）、基準電圧と電源電圧との比較結果（Flag）をロジック回路13に出力する。

10

【0055】

コンパレータCOMPは、基準電圧と電源電圧とが一致しない場合、比較結果として「Flag = 0」をロジック回路13に出力する（ステップS13：No）。その後、ロジック回路13は、比較結果「Flag = 0」をフラッシュ制御回路40に供給する。フラッシュ制御回路40は、「Flag = 0」を受信すると、現在のトリミングコードTCが上限値であるか否かを判断する（ステップS14）。

【0056】

そして、現在のトリミングコードTCが上限値でない場合（ステップS14：No）、フラッシュ制御回路40は、トリミングコードTCをインクリメントする（ステップS15）。インクリメント後のトリミングコードTCは、再び、ロジック回路13に供給される。以降、コンパレータCOMPにおいて、基準電圧と電源電圧とが一致すると判定されるまで（つまり、「Flag = 1」となるまで）、ステップS12～15の動作を繰り返す。

20

【0057】

なお、ステップS14において、現在のトリミングコードTCが上限値であると判定された場合は（ステップS14：Yes）、エラーを通知する（ステップS16）。すなわち、トリミングコードが上限値であるにもかかわらず、コンパレータCOMPにおいて基準電圧と電源電圧とが一致すると判定されない場合は、電源回路11に異常があることが想定される。例えば、電圧生成回路22（図1参照）が備えるチャージポンプ回路に異常がある場合は、トリミングコードTCを上限値に設定しても、十分な電圧が得られない場合がある。このような場合、フラッシュ制御回路40はエラー信号を出力する。

30

【0058】

ステップS12において、コンパレータCOMPが基準電圧と電源電圧とが一致すると判定した場合、コンパレータCOMPは比較結果として「Flag = 1（一致）」をロジック回路13に出力する（ステップS13：Yes）。このとき、ロジック回路13は、比較結果「Flag = 1」をフラッシュ制御回路40に供給する。フラッシュ制御回路40は、「Flag = 1」を受信すると、このときのトリミングコードを、調整後のトリミングコードと決定する。フラッシュ制御回路40は、このとき決定されたトリミングコードを、フラッシュ制御回路40からSRAM（図10のSRAM（52）参照）に転送して、SRAMに一時的に退避する（ステップS17）。

40

【0059】

その後、全ての電源電圧（uout16等）についてトリミングを実施したか否かが判定される（ステップS18）。全ての電源電圧（uout16等）についてトリミングが実施されていない場合、つまり、トリミングを実施していない電源電圧が残っている場合は（ステップS18：No）、再度、ステップS11～S17の動作を繰り返す。一方、全ての電源電圧（uout16等）についてトリミングを実施した場合は（ステップS18：Yes）、SRAMに退避していたトリミングコードをフラッシュメモリ10のレジスタ14に書き込む（ステップS19）。

【0060】

上述のトリミング動作を実施することで、フラッシュメモリ10に対してトリミングを

50

実施することができる。

【0061】

次に、トリミング動作の詳細について、図7のブロック図、及び図9に示すタイミングチャートを用いて説明する。図9に示すタイミングチャートにおいて、モード信号“Mode”はトリミングの対象となる電源電圧を示しており、図9に示すタイミングチャートでは、2種類の電源電圧に対するトリミング(Mode 1、Mode 2)を示している。

カウンタ信号“Counter”は、各々のモード内においてトリミングコードをインクリメントしたことを示している。また、タイマ開始信号“Timer start”はタイマフラグ信号“Timer Flag”をアサートするための信号であり、タイマ終了信号“Timer end”はタイマ“Timer”停止時にアサートされる信号である。また、タイマフラグ信号“Timer Flag”はトリミングの有効期間を示す信号、フラグリセット信号“Flag Reset”は、フラグ信号“Flag”、モード信号“Mode”、及びトリミングコード“TC”をリセットするための信号である。エラー信号“Err”は、トリミング動作が正常に終了しなかった場合の通知信号である。タイマ“Timer”の“ATC”はタイマ動作中を示し、“STP”はタイマ“Timer”停止を示している。

【0062】

まず、Mode 1のトリミング動作について説明する。なお、Mode 1のトリミング動作はトリミングが成功した場合を示している。

図9に示すように、タイミングt1においてフラッシュ制御回路40にモード信号“Mode 1”が供給されると、カウンタ41が動作を開始し、カウンタ信号“Counter”が“C0000”となる。カウンタ41が動作を開始すると、タイマ42によってタイマ開始信号“Timer start”がアサートされる。これにより、タイマ42“Timer”が動作を開始する。また、タイマフラグ信号“Timer Flag”がハイレベルになる。タイマフラグ信号“Timer Flag”がハイレベルになると、フラッシュ制御回路40はトリミングコードTC(“0x00”)をフラッシュメモリ10に出力する。

【0063】

フラッシュメモリ10の電源回路11は、トリミングコード(“0x00”)に応じた電源電圧を生成し、生成した電源電圧をトリミング回路12のコンパレータCOMPの一方の入力に供給する。コンパレータCOMPの他方の入力には電源回路11から基準電圧が供給されている。よって、コンパレータCOMPは、基準電圧と電源電圧とを比較し、基準電圧と電源電圧との比較結果、つまりフラグ信号“Flag”を出力する。すなわち、タイマフラグ信号“Timer Flag”がハイレベルである期間、コンパレータCOMPからフラグ信号“Flag=1”が返ってくることを期待する。

【0064】

その後、タイミングt2において、タイマ42によってタイマ終了信号“Timer end”がアサートされると、タイマフラグ信号“Timer Flag”がハイレベルからロウレベルに遷移する。タイマフラグ信号“Timer Flag”がロウレベルに遷移するタイミングで、カウンタ信号“Counter”とフラグ信号“Flag”とがチェックされる。そして、カウンタ信号“Counter”が上限ではなく、またフラグ信号“Flag”がロウレベルである場合、タイミングt3において、カウンタ信号“Counter”をカウントアップする。この場合は、カウンタ信号“Counter”が“C0001”にカウントアップされる。

【0065】

これにより、再び、タイマ42によってタイマ開始信号“Timer start”がアサートされ、タイマ42“Timer”が動作を開始する。また、タイマフラグ信号“Timer Flag”がハイレベルになる。タイマフラグ信号“Timer Flag”がハイレベルになると、フラッシュ制御回路40はトリミングコードをインクリメントし

10

20

30

40

50

、インクリメント後のトリミングコード（“0x01”）をフラッシュメモリ10に出力する。

【0066】

フラッシュメモリ10の電源回路11は、トリミングコード（“0x01”）に応じた電源電圧を生成し、生成した電源電圧をトリミング回路12のコンパレータCOMPの一方の入力に供給する。コンパレータCOMPの他方の入力には電源回路11から基準電圧が供給されている。よって、コンパレータCOMPは、基準電圧と電源電圧とを比較し、基準電圧と電源電圧との比較結果、つまりフラグ信号“Flag”を出力する。

【0067】

その後、タイミングt4において、タイマ42によってタイマ終了信号“Timer end”がアサートされると、タイマフラグ信号“Timer Flag”がハイレベルからロウレベルに遷移する。タイマフラグ信号“Timer Flag”がロウレベルに遷移するタイミングで、カウンタ信号“Counter”とフラグ信号“Flag”とがチェックされる。そして、カウンタ信号“Counter”が上限ではなく、またフラグ信号“Flag”がロウレベルである場合、カウンタ信号“Counter”をカウントアップする。以降、同様の動作を繰り返す。

10

【0068】

そして、タイミングt5において、カウンタ信号“Counter”が“C0003”になると、再び、タイマ42によってタイマ開始信号“Timer start”がアサートされ、タイマ42“Timer”が動作を開始する。また、タイマフラグ信号“Timer Flag”がハイレベルになる。タイマフラグ信号“Timer Flag”がハイレベルになると、フラッシュ制御回路40はトリミングコードをインクリメントし、インクリメント後のトリミングコード（“0x03”）をフラッシュメモリ10に出力する。

20

【0069】

フラッシュメモリ10の電源回路11は、デクリメント後のトリミングコード（“0x03”）に応じた電源電圧を生成し、生成した電源電圧をトリミング回路12のコンパレータCOMPの一方の入力に供給する。コンパレータCOMPの他方の入力には電源回路11から基準電圧が供給されている。よって、コンパレータCOMPは、基準電圧と電源電圧とを比較し、基準電圧と電源電圧との比較結果、つまりフラグ信号“Flag”を出力する。今回は、基準電圧と電源電圧とが一致したので、タイミングt6において、フラグ信号“Flag”がハイレベルになる。

30

【0070】

フラグ信号“Flag”がハイレベルになると、タイマ42が動作を停止し、タイマ終了信号“Timer end”がアサートされる。これにより、タイマフラグ信号“Timer Flag”がハイレベルからロウレベルに遷移する（タイミングt7）。タイマフラグ信号“Timer Flag”がロウレベルに遷移するタイミングで、カウンタ信号“Counter”とフラグ信号“Flag”とがチェックされる。今回は、カウンタ信号“Counter”が上限ではなく、フラグ信号“Flag”がハイレベルであるので、フラグリセット信号“Flag Reset”が発行される。これにより、フラグ信号“Flag”、モード信号“Mode”、及びトリミングコード“TC”がリセットされる。また、フラッシュ制御回路40は、このときのトリミングコード（“0x03”）を調整用のトリミングコードと決定し、SRAMに一時的に退避させる。

40

【0071】

次に、Mode 2のトリミング動作について説明する。なお、Mode 2のトリミング動作はトリミングが失敗した場合を示している。

図9に示すように、タイミングt8においてフラッシュ制御回路40にモード信号“Mode 2”が供給されると、カウンタ41が動作を開始し、カウンタ信号“Counter”が“C0100”となる。カウンタ41が動作を開始すると、タイマ42によってタイマ開始信号“Timer start”がアサートされる。これにより、タイマ42

50

“ T i m e r ” が動作を開始する。また、タイマフラグ信号 “ T i m e r F l a g ” がハイレベルになる。タイマフラグ信号 “ T i m e r F l a g ” がハイレベルになると、フラッシュ制御回路 4 0 はトリミングコード T C (“ 0 x 0 0 ”) をフラッシュメモリ 1 0 に出力する。以降の動作は、 M o d e 1 の場合と同様であるので、重複した説明は省略する。

【 0 0 7 2 】

モード信号が “ M o d e 2 ” の場合は、タイミング t 9 において、タイマフラグ信号 “ T i m e r F l a g ” がハイレベルからロウレベルに遷移するタイミングで、カウンタ信号 “ C o u n t e r ” とフラグ信号 “ F l a g ” とがチェックされる。この場合は、カウンタ信号 “ C o u n t e r ” が上限値に達しており、またフラグ信号 “ F l a g ” がロウレベルであるので、エラー信号 “ E r r ” がハイレベルになる。これにより、トリミング動作が正常に終了しなかったことが通知される。

10

【 0 0 7 3 】

すなわち、カウンタ信号 “ C o u n t e r ” が上限値に達している場合は、トリミングコードも上限値に達している。トリミングコードが上限値であるにもかかわらず、コンパレータ C O M P において基準電圧と電源電圧とが一致すると判定されない場合は、電源回路 1 1 に異常があることが想定される。このような場合、フラッシュ制御回路 4 0 はエラー信号を出力する。

【 0 0 7 4 】

図 7 に示す構成例では、フラッシュ制御回路 4 0 は、カウンタ 4 1 およびタイマ 4 2 を用いてトリミングコードを自動的に作成している。よって、半導体装置の出荷後においても、各々の電源電圧のトリミングを自動で行うことができる。

20

【 0 0 7 5 】

なお、上述のトリミング動作では、トリミングコードの下限値から上限値までインクリメントしていく場合について説明したが、本実施の形態に半導体装置では、これに限定されることはない。例えば、トリミングコードの上限値から下限値まで変化させてもよい。つまり、トリミングコードをデクリメントさせてもよい。また、電源電圧の調整量にある程度の予測ができるのであれば、その調整量に対応するトリミングコードの近傍からトリミングを始めてもよい。例えば、前回のトリミング時に決定されたトリミングコードがある場合は、前回決定されたトリミングコードの近傍から、トリミングを開始するようにしてよい。

30

【 0 0 7 6 】

< 実施の形態 2 >

次に、実施の形態 2 について説明する。実施の形態 2 では、実施の形態 1 で説明した半導体装置の実装例について説明する。なお、本実施の形態にかかる半導体装置は、具体的な実装例以外は実施の形態 1 で説明した半導体装置と同様であるので、重複した説明は適宜省略する。

【 0 0 7 7 】

図 1 0 は、本実施の形態にかかる半導体装置の構成例を示すブロック図である。図 1 0 に示すように、本実施の形態にかかる半導体装置 2 は、演算回路 5 1 (C P U : Central Processing Unit)、メモリ回路 5 2 (S R A M : Static Random Access Memory)、R O M インタフェース 5 3、B I S T (Built-In Self-Test) 回路 5 4、I F 制御回路 5 5、レジスタ 5 6、フラッシュメモリ 1 0、及びフラッシュ制御回路 4 0 を備える。フラッシュメモリ 1 0 及びフラッシュ制御回路 4 0 については、実施の形態 1 で説明した構成及び動作と同様であるので重複した説明は省略する。

40

【 0 0 7 8 】

C P U (5 1) は、半導体装置 2 における各種の演算処理を実施する。S R A M (5 2) は、所定のプログラムを格納可能に構成されており、本実施の形態では、トリミング動作を実施するためのファームウェアを格納することができる。また、S R A M (5 2) は、トリミング動作時に決定されたトリミングコードを一時的に格納可能に構成されている

50

。ROMインタフェース53は、SRAM(52)とBIST回路54との間に設けられたインタフェースである。BIST回路54は、半導体装置2における自己診断テストを実施するための回路である。レジスタ56は、フラッシュメモリ10から転送されたデータを一時的に格納する。IF制御回路55は、レジスタ56に格納されているデータを用いてインタフェース制御を実施する回路である。

【0079】

図10に示す半導体装置2において、フラッシュメモリ10、フラッシュ制御回路40、ROMインタフェース53、及びBIST回路54を含むシステムは、第1のサブシステム61を構成している。また、第1のサブシステム61、IF制御回路55、及びレジスタ56を含むシステムは、第2のサブシステム62を構成している。ここで、第2のサブシステム62は、第1のサブシステム61にアプリケーション機能用モジュールを追加したシステムである。例えば、アプリケーション機能用モジュールには、ユーザインタフェースモジュール、セキュリティモジュール、セーフティモジュール、リセット転送用モジュール等がある。

10

【0080】

本実施の形態にかかる半導体装置2では、半導体装置2の出荷前に基準電圧Ref_ou t 16(図1参照)のトリミングを実施している。すなわち、半導体装置2の出荷前に、外部基準電圧VCCMONを用いて基準電圧Ref_ou t 16のトリミングコードを決定している。基準電圧Ref_ou t 16を調整するためのトリミングコードは、フラッシュメモリ10のメモリアリア16に格納されており、トリミングを実施する際にフラッシュ制御回路40がメモリアリア16から読み出してレジスタ14に格納する。

20

【0081】

そして、半導体装置2の出荷後にトリミングを実施する際、出荷前に決定されたトリミングコードを用いて基準電圧Ref_ou t 16を調整し、この調整された基準電圧Ref_ou t 16を用いて、複数の基準電圧を生成している。よって、本実施の形態にかかる半導体装置2では、半導体装置2の出荷後において、複数の基準電圧を用いて、複数の電源電圧のトリミングを実施することができる。

【0082】

また、本実施の形態にかかる半導体装置2では、BIST回路54を用いて半導体装置2の自己診断テストを実施する際に、複数の電源電圧のトリミングを実施することができる。トリミングを実施する際のトリミングコードは、実施の形態1で説明したように、自動的に生成することができるので、BIST回路54を用いて半導体装置2の自己診断テストを実施する際に、複数の電源電圧のトリミングを自動で行うことができる。

30

【0083】

図11は、本実施の形態にかかる半導体装置におけるトリミング動作を説明するためのフローチャートである。本実施の形態にかかる半導体装置2においてトリミング動作を実施する際は、まず、フラッシュメモリ10からSRAM(52)にトリミング動作を実施するためのファームウェアを転送する(ステップS21)。その後、SRAM(52)に格納されているファームウェアを実行する(ステップS22)。このような動作により、トリミング動作が実施される(ステップS23)。なお、ステップS23のトリミング動作については、実施の形態1で説明したトリミング動作(図8参照)と同様であるので重複した説明は省略する。

40

【0084】

本実施の形態にかかる半導体装置2では半導体装置2の出荷後にトリミングを実施しているが、この際、CPU(51)主導でトリミングを実施してもよく、またフラッシュ制御回路40主導でトリミングを実施してもよい。換言すると、本実施の形態にかかる半導体装置2では、CPU(51)およびフラッシュ制御回路40の少なくとも一方を用いて、トリミング動作を制御することができる。

【0085】

図12は、本実施の形態にかかる半導体装置におけるトリミング動作を説明するための

50

ブロック図であり、CPU(51)主導でトリミングを実施する場合の流れを示す図である。CPU(51)主導でトリミングを実施する場合、CPU(51)は、BI5T回路54を用いて半導体装置2の自己診断テストを実施する際に、フラッシュメモリ10からSRAM(52)にトリミング動作のためのファームウェアを転送して格納する。その後、CPU(51)は、SRAM(52)に格納されているファームウェアを実行してフラッシュメモリ10に対してトリミングを実施する。

【0086】

CPU(51)主導でトリミング動作を実施する場合は、トリミング動作時にCPU(51)を占有するため他のテストを実施することができない。

【0087】

10

図13は、本実施の形態にかかる半導体装置におけるトリミング動作を説明するためのブロック図であり、フラッシュ制御回路40主導でトリミングを実施する場合の流れを示す図である。フラッシュ制御回路40主導でトリミングを実施する場合、BI5T回路54は、半導体装置2に対する自己診断テストを、BI5T回路54を用いて実施する際に、フラッシュメモリ10からSRAM(52)にトリミング動作のためのファームウェアを転送して格納する。その後、BI5T回路54は、ファームウェアを実行して、フラッシュ制御回路40を用いてフラッシュメモリ10に対してトリミングを実施する。

【0088】

フラッシュ制御回路40主導でトリミングを実施する場合は、トリミング動作時にCPU(51)が占有されないので、CPU(51)を使用するテストと並行してトリミング動作を実施することができる。すなわち、フラッシュ制御回路40主導でトリミングを実施する場合は、第1のサブシステム61の内部でトリミング動作を実施することができる。

20

【0089】

また、本実施の形態にかかる半導体装置2では、CPU(51)がトリミング動作を制御している際にCPU(51)の負荷が大きくなった場合、トリミング動作の制御をCPU(51)からフラッシュ制御回路40に切り替えるようにしてもよい。すなわち、最初はCPU(51)でトリミング動作を制御し、CPU(51)の処理の負荷が所定の基準値を超えた場合に、トリミング動作の制御をCPU(51)からフラッシュ制御回路40に切り替えるようにしてもよい。このように、トリミング動作の制御を切り替え可能に構成することで、システムの柔軟性を向上させることができる。

30

【0090】

<実施の形態3>

次に、実施の形態3について説明する。実施の形態3では、実施の形態1、2で説明した半導体装置において電源回路の故障を検出する場合について説明する。なお、本実施の形態にかかる半導体装置は、電源回路の故障を検出する点以外は実施の形態1、2で説明した半導体装置と同様であるので、重複した説明は適宜省略する。

【0091】

本実施の形態にかかる半導体装置は、電源回路11が備える電圧生成回路22(図1参照)の故障を検出する故障検出モードを備える。電圧生成回路22は、フラッシュメモリで使用される複数の電源電圧を生成する。電圧生成回路22は昇圧回路(チャージポンプ回路)を備えており、この昇圧回路を用いて電源電圧が昇圧される。

40

【0092】

図14に示すように、トリミング動作時は、トリミングコードが増加するにつれて、電圧生成回路22から出力される電圧値が増加する(図14の正常時のCP電圧参照)。トリミング動作時は、トリミング用の基準電圧Vref_1を設定する。そして、トリミングコードを増加させて、電圧生成回路22から出力される電圧値が基準電圧Vref_1と一致した際のトリミングコードが、調整用のトリミングコードであると決定する。

【0093】

一方、電圧生成回路22が故障している場合は、トリミングコードが増加しても電圧生

50

成回路 2 2 から出力される電圧値の増加量が少ない（図 1 4 の故障時の C P 電圧参照）。本実施の形態にかかる半導体装置は、このような電圧生成回路 2 2 の故障を検出する故障検出モードを備える。

【 0 0 9 4 】

本実施の形態にかかる半導体装置は、故障検出モードにおいて、トリミング動作時の基準電圧 V_{ref_1} よりも低い基準電圧 V_{ref_2} を故障検出時の基準電圧として設定する。そして、電源電圧を変化させた際に、電源電圧が基準電圧 V_{ref_2} に到達しない場合に電圧生成回路 2 2 が故障であると判断する。

【 0 0 9 5 】

すなわち、電圧生成回路 2 2 は、トリミングコードに応じて電源電圧を生成するように構成されているが、故障検出モードにおいてトリミングコードを最大値まで変化させた場合であっても電源電圧が基準電圧 V_{ref_2} に到達しない場合は、電圧生成回路 2 2 が故障であると判断することができる。

10

【 0 0 9 6 】

このように、本実施の形態にかかる半導体装置では、電圧生成回路 2 2 の故障を検出するための基準電圧 V_{ref_2} を設定し、その後トリミングコードを変化させることで電圧生成回路 2 2 の故障を検出することができる。電圧生成回路 2 2 の故障を検出する故障検出モードの動作は、典型的には、実施の形態 1 で説明したトリミング動作の前に実施することが好ましい。故障検出モードの動作は、例えば、図 1 0 に示した C P U (5 1) で実施してもよく、またフラッシュ制御回路 4 0 で実施してもよい。

20

【 0 0 9 7 】

フラッシュ制御回路で故障検出モードを実施した場合は、故障検出モードの動作時に C P U (5 1) が占有されないので、C P U (5 1) を使用するテストと並行して故障検出モードの動作を実施することができる。すなわち、フラッシュ制御回路 4 0 で故障検出モードの動作を実施する場合は、第 1 のサブシステム 6 1 の内部で故障検出モードの動作を実施することができる。

【 0 0 9 8 】

< 実施の形態 4 >

次に、実施の形態 4 について説明する。実施の形態 1 ~ 3 では、電源電圧のトリミング動作について説明したが、実施の形態 4 では電流源のトリミング動作について説明する。なお、実施の形態 4 における電流源のトリミング動作の基本的な考え方は、実施の形態 1 ~ 3 で説明した電源電圧のトリミング動作と同様である。

30

【 0 0 9 9 】

図 1 5 は、本実施の形態にかかる半導体装置が備える半導体記憶装置の構成例を示す図である。なお、図 1 5 では、半導体記憶装置の一部の構成のみを示している。図 1 5 に示すように、半導体記憶装置 7 0 は、電源回路 7 1 及びトリミング回路 7 2 を備える。半導体記憶装置 7 0 は、例えばフラッシュメモリなどの不揮発性の半導体記憶装置である。以下では、半導体記憶装置としてフラッシュメモリを用いた場合の構成例について説明するが、本実施の形態における半導体記憶装置は、フラッシュメモリに限定されることはない。

40

【 0 1 0 0 】

電源回路 7 1 は、基準電圧生成回路 8 1、基準電流源 8 2、及び動作電流源 8 3 を備える。基準電圧生成回路 8 1 は、トリミング動作時に使用する基準電圧（判定電圧）を生成する。具体的には、基準電圧生成回路 8 1 は、基準電圧 R_{ef_out16} と、当該基準電圧 R_{ef_out16} よりも低い基準電圧 R_{ef_out75} と、を生成する。本実施の形態では、基準電圧 R_{ef_out75} をトリミング動作時の判定電圧として使用する。

【 0 1 0 1 】

基準電圧生成回路 8 1 で生成された基準電圧 R_{ef_out16} および基準電圧 R_{ef_out75} は、スイッチ $S_{W_21} \sim S_{W_22}$ を介して、トリミング回路 7 2 が備え

50

るコンパレータCOMPの一方の入力に供給される。

【0102】

基準電流源82は、トリミング動作時に使用する基準電流Iref_1、Iref_2を生成する。基準電流源82は、基準電流Iref_1を生成するカレントソース型の基準電流源と、基準電流Iref_2を生成するカレントシンク型の基準電流源と、を備える。基準電流源82で生成された基準電流Iref_1、Iref_2は、例えばミラー回路を用いてトリミング回路72に供給される。

【0103】

動作電流源83は、半導体記憶装置で使用される動作電流Ird、Ivfyを生成する。動作電流源83は、動作電流Irdを生成するカレントシンク型の動作電流源と、動作電流Ivfyを生成するカレントソース型の動作電流源と、を備える。通常動作時は、動作電流源83で生成された動作電流Ird、Ivfyは、フラッシュメモリの内部動作電流として用いられる。例えば、動作電流Irdはフラッシュメモリの読出し時に用いられる電流である。また、動作電流Ivfyはフラッシュメモリのベリファイ時に用いられる電流である。また、トリミング動作時において、動作電流源83で生成された動作電流Ird、Ivfyは、例えばミラー回路を用いてトリミング回路72に供給される。

10

【0104】

トリミング回路72は、トリミング動作時に動作電流Ird、Ivfyのトリミングを行う。トリミング回路72は、コンパレータCOMPを備える。コンパレータCOMPの一方の入力には、基準電圧生成回路81で生成された基準電圧(判定電圧)が供給され、他方の入力にはノードN1に接続されている。

20

【0105】

基準電流源Iref_1は、スイッチSW_23を介してノードN1に接続可能に構成されている。基準電流源Iref_2は、スイッチSW_24を介してノードN1に接続可能に構成されている。動作電流源Irdは、スイッチSW_25を介してノードN1に接続可能に構成されている。動作電流源Ivfyは、スイッチSW_26を介してノードN1に接続可能に構成されている。

【0106】

また、トリミング回路72は外部端子98を備える。外部端子98には、半導体装置の外部に設けられた外部基準電流源I_OUTから外部基準電流I_OUTが供給される。外部基準電流源I_OUTは、スイッチSW_27を介してノードN1に接続可能に構成されている。

30

【0107】

次に、フラッシュメモリ70におけるトリミング動作について説明する。例えば、フラッシュメモリ10におけるトリミング動作は、フラッシュ制御回路(制御回路)を用いて制御される。図16のフローチャートに示すように、本実施の形態では、まず、基準電流Iref_1のトリミングを実施する(ステップS31)。

【0108】

具体的には、図17に示すように、基準電圧生成回路81のスイッチSW_22を導通状態にして、コンパレータCOMPの一方の入力に基準電圧(判定電圧)Ref_out75を供給する。また、トリミング回路72のスイッチSW_23を導通状態にして、基準電流源Iref_1をノードN1に接続する。また、トリミング回路72のスイッチSW_27を導通状態にして、外部基準電流源I_OUTをノードN1に接続する。

40

【0109】

ここで、外部基準電流源I_OUTから供給される外部基準電流I_OUTは、基準電流源Iref_1の電流量を調整するための電流であり、一定の電流である。基準電流源Iref_1はカレントソース型の電流源であるので、外部基準電流源I_OUTにはカレントシンク型の電流源を用いる。この場合は、図17に示すように、基準電流源Iref_1および外部基準電流源I_OUTをノードN1に接続すると、基準電流源Iref_1から外部基準電流源I_OUTに電流が流れる。

50

【0110】

トリミング動作時、基準電流源 I_{ref_1} はノード N_1 に供給する電流量を変化させている。例えば、基準電流源 82 には、フラッシュ制御回路からトリミングコードが供給されており、基準電流源 82 は供給されたトリミングコードに応じて、基準電流源 I_{ref_1} からノード N_1 に供給される電流量を調整している。そして、基準電流源 I_{ref_1} と外部基準電流源 I_{OUT} との電流差が所定の値よりも小さくなるように基準電流源 I_{ref_1} の電流値を調整し、この調整量に対応するトリミングコードを決定している。

【0111】

例えば、ステップ S_{31} では、基準電流源 I_{ref_1} の電流量を最大値から徐々に減らしている。基準電流源 I_{ref_1} からノード N_1 に供給される基準電流 I_{ref_1} の電流量が外部基準電流 I_{OUT} の電流量よりも多い場合は、ノード N_1 の電圧が高くなる。この場合は、ノード N_1 の電圧が判定電圧 Ref_out_{75} よりも高くなるので、コンパレータ $COMP$ は、「 $Flag = 0$ 」を出力する。そして、基準電流源 I_{ref_1} からノード N_1 に供給される基準電流 I_{ref_1} の電流量を徐々に減らしていくと、基準電流源 I_{ref_1} の電流量が外部基準電流源 I_{OUT} の電流量に徐々に近づき、その後、基準電流源 I_{ref_1} の電流量と外部基準電流源 I_{OUT} の電流量との電流差が所定の値よりも小さくなる。このとき、ノード N_1 の電圧は、判定電圧 Ref_out_{75} よりも小さくなるので、コンパレータ $COMP$ は、「 $Flag = 1$ 」を出力する。そして、このときの基準電流源 I_{ref_1} の調整量に対応した値が、基準電流源 I_{ref_1} を調整するためのトリミングコードと決定される。以降、このトリミングコードを用いて、基準電流源 I_{ref_1} が調整される。本実施の形態で用いられる判定電圧 Ref_out_{75} は、所定の電圧値（例えば、 $0.75V$ ）である。

【0112】

次に、図 16 のフローチャートに示すように、基準電流 I_{ref_2} のトリミングを実施する（ステップ S_{32} ）。

【0113】

具体的には、図 18 に示すように、基準電圧生成回路 81 のスイッチ SW_{22} を導通状態にして、コンパレータ $COMP$ の一方の入力に基準電圧（判定電圧） Ref_out_{75} を供給する。また、トリミング回路 72 のスイッチ SW_{24} を導通状態にして、基準電流源 I_{ref_2} をノード N_1 に接続する。また、トリミング回路 72 のスイッチ SW_{27} を導通状態にして、外部基準電流源 I_{OUT} をノード N_1 に接続する。

【0114】

ここで、外部基準電流源 I_{OUT} から供給される外部基準電流 I_{OUT} は、基準電流源 I_{ref_2} の電流量を調整するための電流であり、一定の電流である。基準電流源 I_{ref_2} はカレントシンク型の電流源であるので、外部基準電流源 I_{OUT} にはカレントソース型の電流源を用いる。この場合は、図 18 に示すように、基準電流源 I_{ref_2} および外部基準電流源 I_{OUT} をノード N_1 に接続すると、外部基準電流源 I_{OUT} から基準電流源 I_{ref_2} に電流が流れる。

【0115】

トリミング動作時、基準電流源 I_{ref_2} はノード N_1 から引き抜く電流量を変化させている。例えば、基準電流源 82 には、フラッシュ制御回路からトリミングコードが供給されており、基準電流源 82 は供給されたトリミングコードに応じて、基準電流源 I_{ref_2} に流れる電流量を調整している。そして、基準電流源 I_{ref_2} と外部基準電流源 I_{OUT} との電流差が所定の値よりも小さくなるように基準電流源 I_{ref_2} の電流値を調整し、この調整量に対応するトリミングコードを決定している。

【0116】

例えば、ステップ S_{32} では、基準電流源 I_{ref_2} の電流量を最小値から徐々に増やしている。基準電流源 I_{ref_2} に流れる電流量が外部基準電流源 I_{OUT} の電流量よりも少ない場合は、ノード N_1 の電圧が高くなる。この場合は、ノード N_1 の電圧が判

10

20

30

40

50

定電圧 Ref_out75 よりも高くなるので、コンパレータ $COMP$ は、「 $Flag = 0$ 」を出力する。そして、基準電流源 $Iref_2$ に流れる電流量を徐々に増やしていくと、基準電流源 $Iref_2$ の電流量が外部基準電流源 I_OUT の電流量に徐々に近づき、その後、基準電流源 $Iref_2$ の電流量と外部基準電流源 I_OUT の電流量との電流差が所定の値よりも小さくなる。このとき、ノード $N1$ の電圧は、判定電圧 Ref_out75 よりも小さくなるので、コンパレータ $COMP$ は、「 $Flag = 1$ 」を出力する。そして、このときの基準電流源 $Iref_2$ の調整量に対応した値が、基準電流源 $Iref_2$ を調整するためのトリミングコードと決定される。以降、このトリミングコードを用いて、基準電流源 $Iref_2$ が調整される。

【0117】

次に、図16のフローチャートに示すように、動作電流 Ird のトリミングを実施する（ステップ $S33$ ）。

【0118】

具体的には、図19に示すように、基準電圧生成回路81のスイッチ SW_22 を導通状態にして、コンパレータ $COMP$ の一方の入力に基準電圧（判定電圧） Ref_out75 を供給する。また、トリミング回路72のスイッチ SW_23 を導通状態にして、基準電流源 $Iref_1$ をノード $N1$ に接続する。また、トリミング回路72のスイッチ SW_25 を導通状態にして、動作電流源 Ird をノード $N1$ に接続する。

【0119】

ここで、基準電流源 $Iref_1$ から供給される基準電流 $Iref_1$ は、動作電流源 Ird の電流量を調整するための電流であり、一定の電流である。図19に示すように、基準電流源 $Iref_1$ はカレントソース型の電流源であり、動作電流源 Ird はカレントシンク型の電流源であるので、基準電流源 $Iref_1$ および動作電流源 Ird をノード $N1$ に接続すると、基準電流源 $Iref_1$ から動作電流源 Ird に電流が流れる。

【0120】

トリミング動作時、動作電流源 Ird はノード $N1$ から引き抜く電流量を変化させている。例えば、動作電流源83には、フラッシュ制御回路からトリミングコードが供給されており、動作電流源83は供給されたトリミングコードに応じて、動作電流源 Ird に流れる電流量を調整している。そして、基準電流源 $Iref_1$ と動作電流源 Ird との電流差が所定の値よりも小さくなるように動作電流源 Ird の電流値を調整し、この調整量

【0121】

例えば、ステップ $S33$ では、動作電流源 Ird の電流量を最小値から徐々に増やしている。動作電流源 Ird に流れる電流量が基準電流源 $Iref_1$ の電流量よりも少ない場合は、ノード $N1$ の電圧が高くなる。この場合は、ノード $N1$ の電圧が判定電圧 Ref_out75 よりも高くなるので、コンパレータ $COMP$ は、「 $Flag = 0$ 」を出力する。そして、動作電流源 Ird に流れる電流量を徐々に増やしていくと、動作電流源 Ird の電流量が基準電流源 $Iref_1$ の電流量に徐々に近づき、その後、基準電流源 $Iref_1$ の電流量と動作電流源 Ird の電流量との電流差が所定の値よりも小さくなる。このとき、ノード $N1$ の電圧は、判定電圧 Ref_out75 よりも小さくなるので、コンパレータ $COMP$ は、「 $Flag = 1$ 」を出力する。そして、このときの動作電流源 Ird の調整量に対応した値が、動作電流源 Ird を調整するためのトリミングコードと決定される。以降、動作電流源83は、通常動作時、このトリミングコードを用いて動作電流 Ird を生成する。

【0122】

次に、図16のフローチャートに示すように、動作電流 $Ivfy$ のトリミングを実施する（ステップ $S34$ ）。

【0123】

具体的には、図20に示すように、基準電圧生成回路81のスイッチ SW_22 を導通状態にして、コンパレータ $COMP$ の一方の入力に基準電圧（判定電圧） Ref_out

10

20

30

40

50

75を供給する。また、トリミング回路72のスイッチSW_24を導通状態にして、基準電流源Iref_2をノードN1に接続する。また、トリミング回路72のスイッチSW_26を導通状態にして、動作電流IvfyをノードN1に接続する。

【0124】

ここで、基準電流源Iref_2に流れる基準電流Iref_2は、動作電流Ivfyの電流量を調整するための電流であり、一定の電流である。図20に示すように、基準電流源Iref_2はカレントシンク型の電流源であり、動作電流源Ivfyはカレントソース型の電流源であるので、基準電流源Iref_2および動作電流源IvfyをノードN1に接続すると、動作電流源Ivfyから基準電流源Iref_2に電流が流れる。

【0125】

トリミング動作時、動作電流源IvfyはノードN1に供給する電流量を変化させている。例えば、動作電流源83には、フラッシュ制御回路からトリミングコードが供給されており、動作電流源83は供給されたトリミングコードに応じて、動作電流源IvfyからノードN1に供給される電流量を調整している。そして、基準電流源Iref_2と動作電流源Ivfyとの電流差が所定の値よりも小さくなるように動作電流源Ivfyの電流値を調整し、この調整量に対応するトリミングコードを決定している。

【0126】

例えば、ステップS34では、動作電流源Ivfyの電流量を最大値から徐々に減らしている。動作電流源Ivfyに流れる電流量が基準電流源Iref_2の電流量よりも多い場合は、ノードN1の電圧が高くなる。この場合は、ノードN1の電圧が判定電圧Ref_out75よりも高くなるので、コンパレータCOMPは、「Flag=0」を出力する。そして、動作電流源Ivfyに流れる電流量を徐々に減らしていくと、動作電流源Ivfyの電流量が基準電流源Iref_2の電流量に徐々に近づき、その後、基準電流源Iref_2の電流量と動作電流源Ivfyの電流量との電流差が所定の値よりも小さくなる。このとき、ノードN1の電圧は、判定電圧Ref_out75よりも小さくなるので、コンパレータCOMPは、「Flag=1」を出力する。そして、このときの動作電流源Ivfyの調整量に対応した値が、動作電流源Ivfyを調整するためのトリミングコードと決定される。以降、動作電流源83は、通常動作時、このトリミングコードを用いて動作電流Ivfyを生成する。

【0127】

上述のように、本実施の形態にかかる半導体装置では、トリミング動作時に、半導体装置の外部から供給された外部基準電流I_OUTを用いて基準電流Iref_1、Iref_2を調整している。その後、調整後の基準電流Iref_1、Iref_2を用いて、動作電流源Ird、Ivfyの調整量に対応するトリミングコードを決定している。本実施の形態にかかる半導体装置では、半導体装置の出荷前に、外部基準電流I_OUTを用いて基準電流Iref_1、Iref_2を調整してもよい。つまり、半導体装置の出荷前に基準電流Iref_1、Iref_2のトリミングコードを決定してもよい。

【0128】

このように、半導体装置の出荷前に、基準電流Iref_1、Iref_2の調整量に対応したトリミングコードを決定することで、半導体装置の出荷後においてトリミングを実施する際に、外部基準電流I_OUTを入力する必要がなくなる。

【0129】

すなわち、半導体装置の出荷後にトリミングを実施する際、基準電流源82は、出荷前に決定された調整量に対応した値であるトリミングコードを用いて基準電流Iref_1、Iref_2を調整し、この調整された基準電流Iref_1、Iref_2を用いて、動作電流源Ird、Ivfyのトリミングを実施することができる。

【0130】

また、トリミングを実施する際のトリミングコードは、実施の形態1で説明したように、自動的に生成することができるので、BIST回路54(図10参照)を用いて半導体装置の自己診断テストを実施する際に、複数の動作電流源Ird、Ivfyのトリミング

10

20

30

40

50

を自動で行うことができる。

【0131】

本実施の形態で説明した基準電流 I_{ref_1} 、 I_{ref_2} 、及び動作電流 I_{rd} 、 I_{vfy} のトリミングは、典型的には、実施の形態 1 で説明した基準電圧 (Ref_out16 等)、及び電源電圧 (u_{out16} 等) のトリミングの後に実施することが好ましい。

【0132】

また、本実施の形態にかかる半導体装置は、実施の形態 2 で説明した半導体装置 (図 10 参照) と同様に構成してもよい。また、本実施の形態で説明した基準電流 I_{ref_1} 、 I_{ref_2} 、及び動作電流 I_{rd} 、 I_{vfy} のトリミングは、実施の形態 2 で説明した場合と同様に、CPU (51) 主導で実施してもよく、またフラッシュ制御回路 40 主導で実施してもよい。

10

【0133】

また、本実施の形態にかかる半導体装置においても、CPU (51) がトリミング動作を制御している際に CPU (51) の負荷が大きくなった場合、トリミング動作の制御を CPU (51) からフラッシュ制御回路 40 に切り替えるようにしてもよい。すなわち、最初は CPU (51) でトリミング動作を制御し、CPU (51) の処理の負荷が所定の基準値を超えた場合に、トリミング動作の制御を CPU (51) からフラッシュ制御回路 40 に切り替えるようにしてもよい。このように、トリミング動作の制御を切り替え可能に構成することで、システムの柔軟性を向上させることができる。

20

【0134】

また、本実施の形態にかかる半導体装置は、実施の形態 3 で説明した半導体装置と同様に故障検出モードを備えていてもよい。

【0135】

図 21 に示すように、トリミング動作時は、トリミングコードが増加するにつれて、動作電流源 83 から出力される電流値が増加する (図 21 の「正常時の I_{rd} 電流、 I_{vfy} 電流」参照)。トリミング動作時は、トリミング用の基準電流値を設定する。そして、トリミングコードを増加させて、動作電流源 83 から出力される電流値が基準電流値と一致した際のトリミングコードを、調整用のトリミングコードと決定する (動作電流 I_{vfy} の場合)。

30

【0136】

一方、動作電流源 83 が故障している場合は、トリミングコードが増加しても動作電流源 83 から出力される電流値の増加量が少ない (図 21 の「故障時の I_{rd} 電流、 I_{vfy} 電流」参照)。本実施の形態にかかる半導体装置は、このような動作電流源 83 の故障を検出する故障検出モードを備えていてもよい。

【0137】

故障検出モードを実施する場合は、トリミング動作時の基準電流値よりも低い基準電流値を故障検出時の基準電流値として設定する。そして、動作電流を変化させた際に、動作電流が故障検出時の基準電流値に到達しない場合に動作電流源 83 が故障であると判断する。

40

【0138】

すなわち、動作電流源 83 は、トリミングコードに応じて動作電流を生成するように構成されているが、故障検出モードにおいてトリミングコードを最大値まで変化させた場合であっても動作電流が故障検出時の基準電圧値に到達しない場合は、動作電流源 83 が故障であると判断することができる。

【0139】

動作電流源 83 の故障を検出する故障検出モードの動作は、典型的には、動作電流のトリミングの前に実施することが好ましい。故障検出モードの動作は、例えば、図 10 に示したように、CPU (51) で実施してもよく、またフラッシュ制御回路 40 で実施してもよい。

50

【0140】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

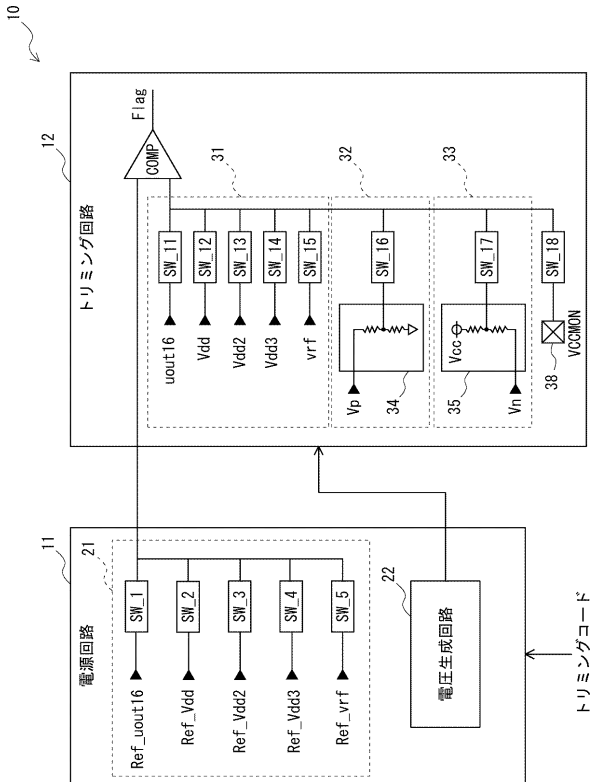
【0141】

- 1、2 半導体装置
- 10 半導体記憶装置
- 11 電源回路
- 12 トリミング回路
- 13 ロジック回路
- 14 レジスタ
- 21 基準電圧生成回路
- 22 電圧生成回路
- 31 正の低電圧電源
- 32 正の高電圧電源
- 33 負の電圧電源
- 34、35 抵抗分圧回路
- 40 フラッシュ制御回路
- 41 カウンタ
- 42 タイマ

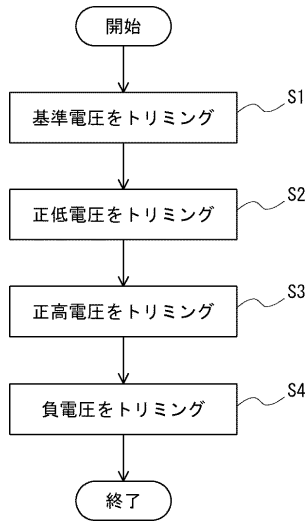
10

20

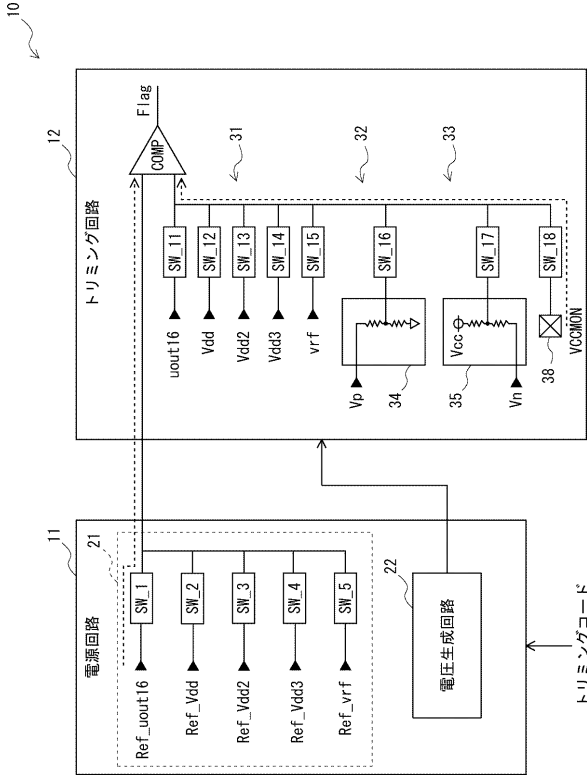
【図1】



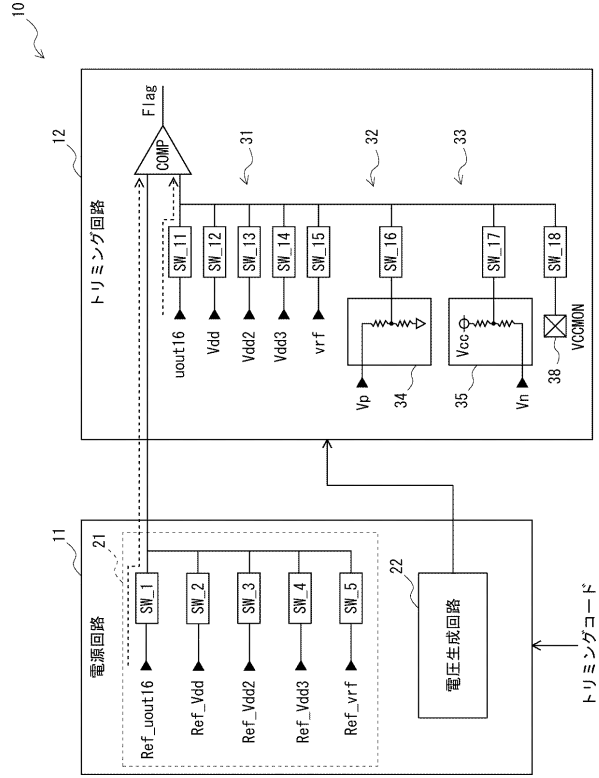
【図2】



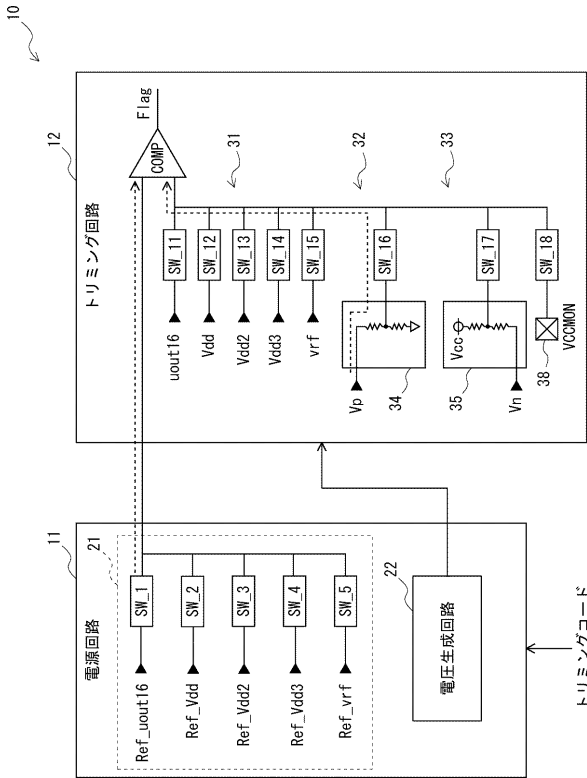
【図3】



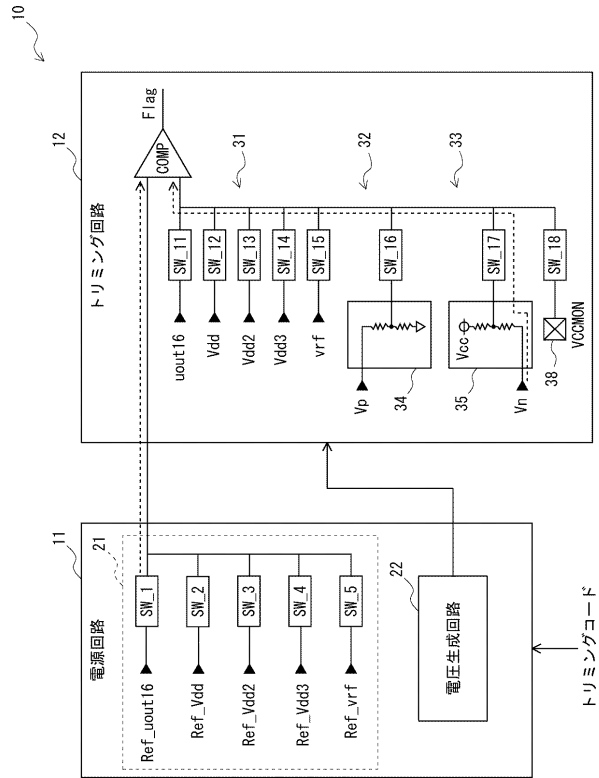
【図4】



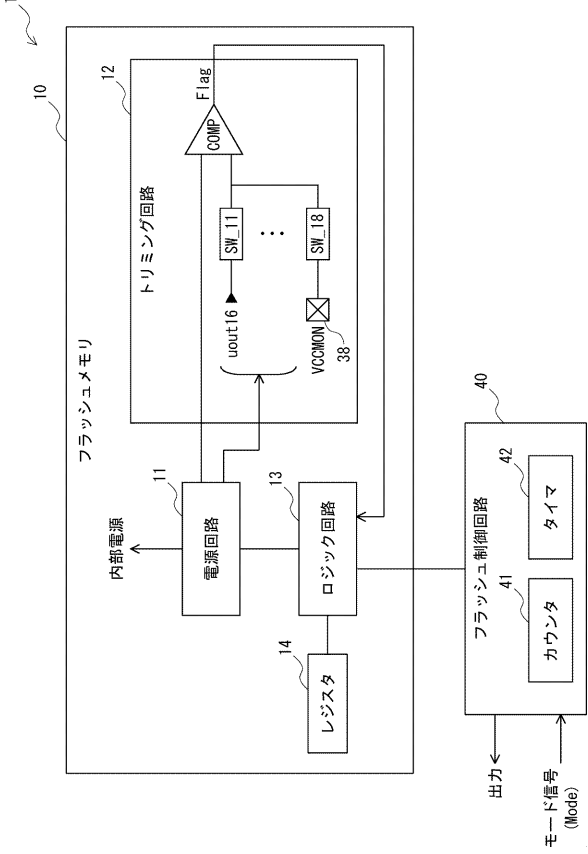
【図5】



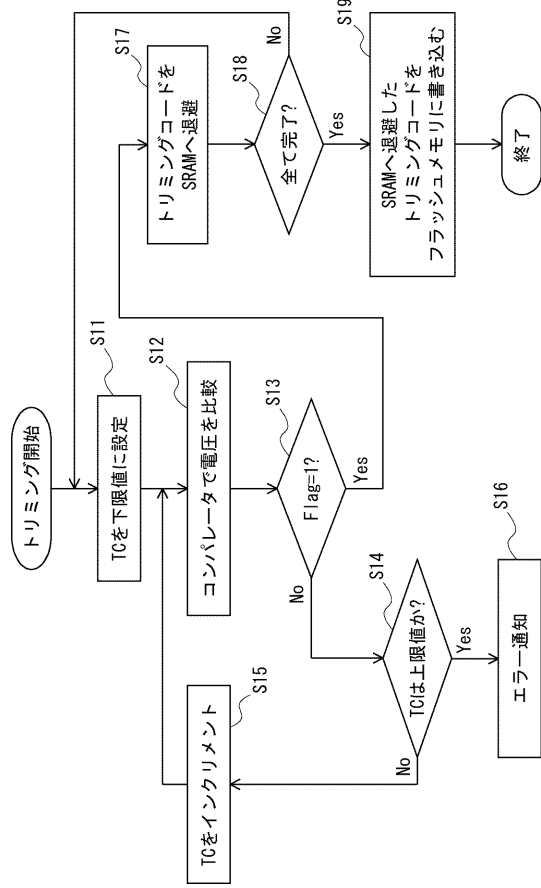
【図6】



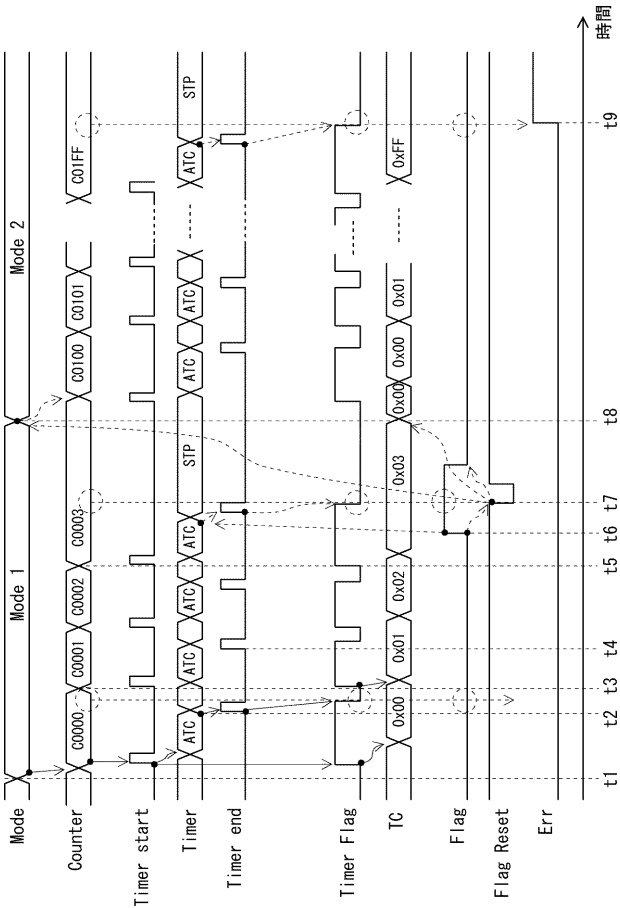
【図7】



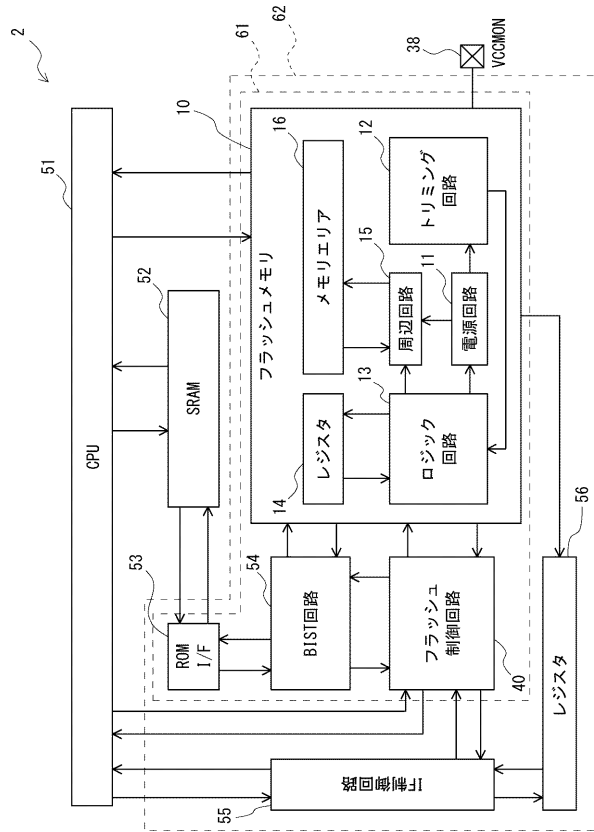
【図8】



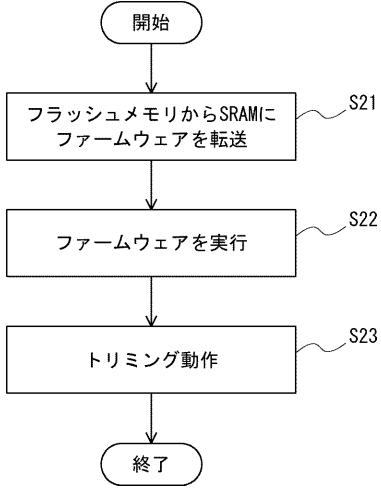
【図9】



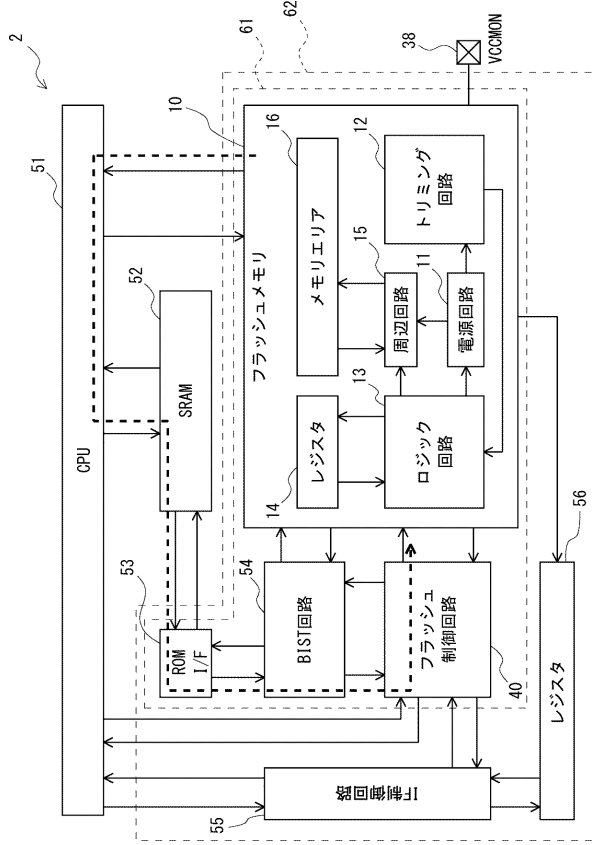
【図10】



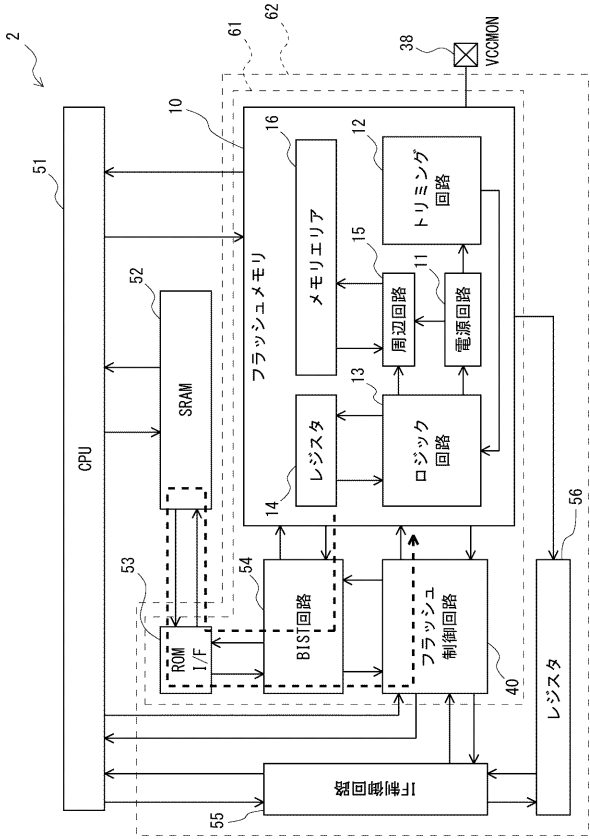
【図11】



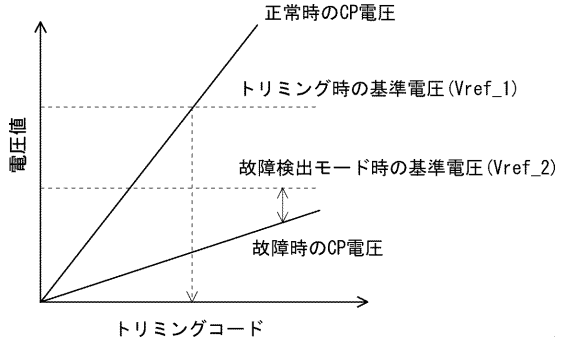
【図12】



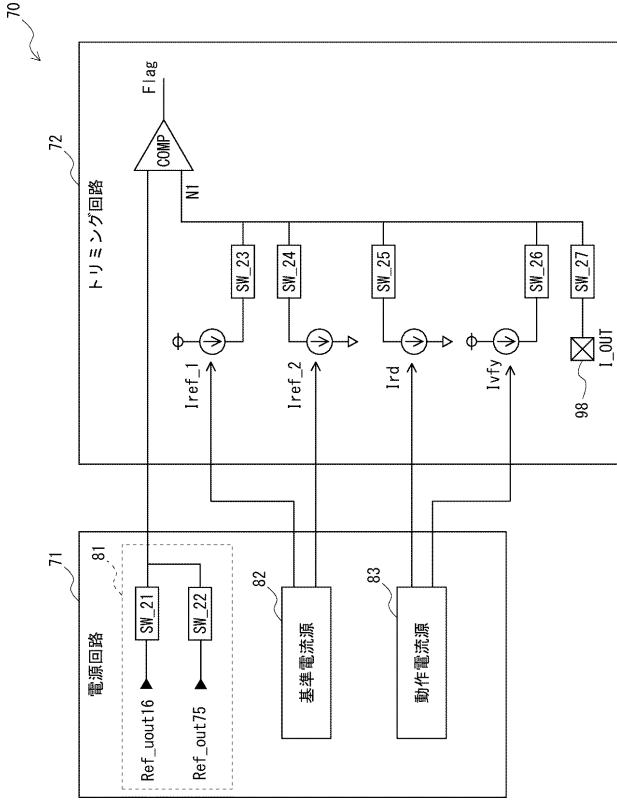
【図13】



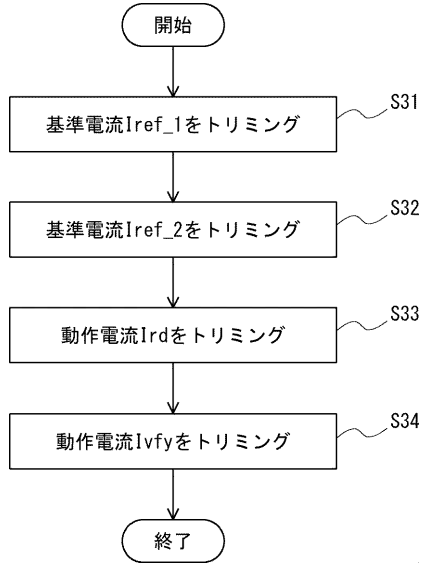
【図14】



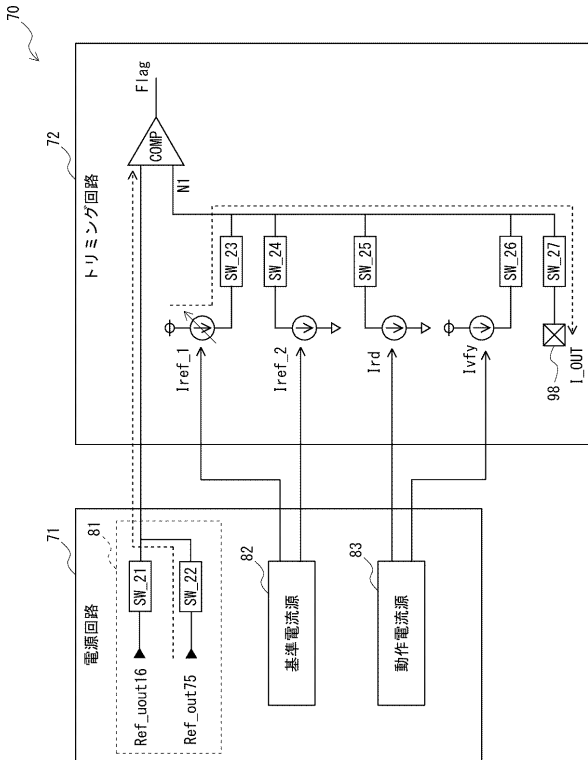
【図15】



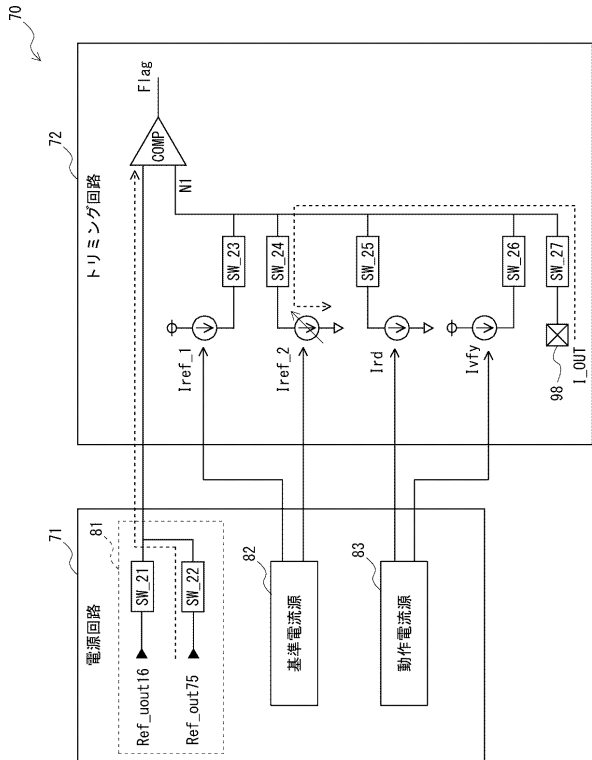
【図16】



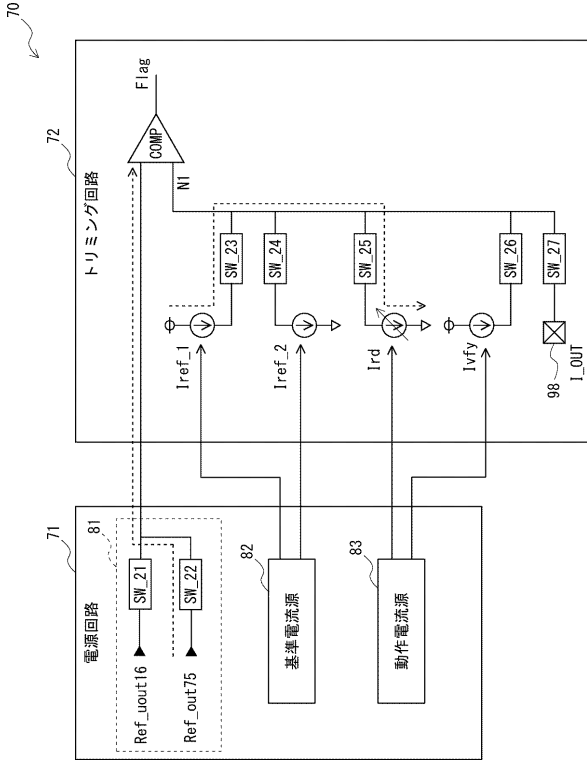
【図17】



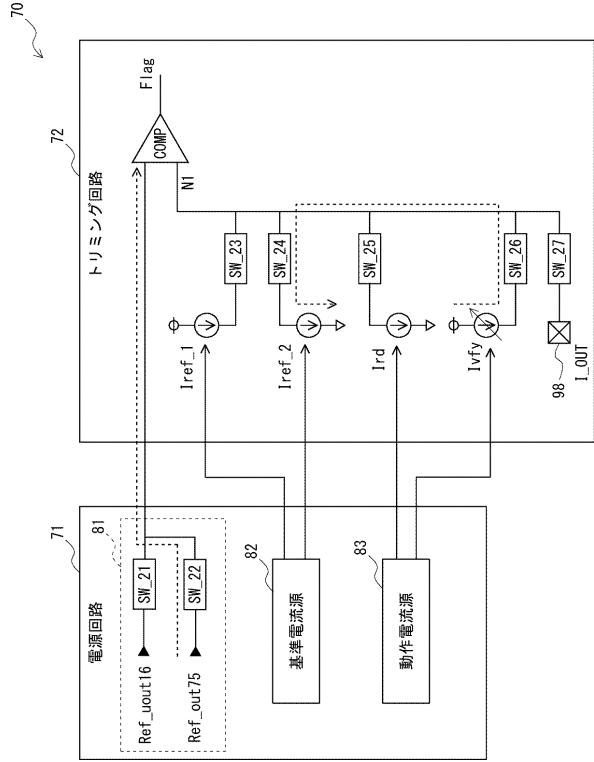
【図18】



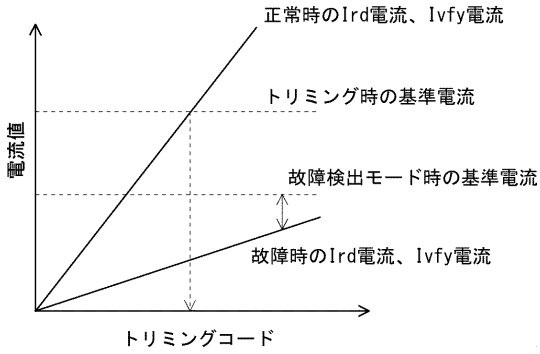
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 5 F 1/10 3 0 4 J