I882425

(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I882425 B

(45)公告日： 中華民國 114 (2025) 年 05 月 01 日

(21)申請案號：112133360 (22)申請日： 中華民國 102 (2013) 年 09 月 12 日

(51)Int. Cl.： *H10D30/60 (2025.01)* *H01L21/28 (2025.01)*

(30)優先權：2012/09/13 日本 2012-202125

2013/03/15 日本 2013-053988

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP) ；三宅博之 MIYAKE, HIROYUKI (JP) ；宍戸英明 SHISHIDO, HIDEAKI (JP) ；小山潤 KOYAMA, JUN (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200801745A US 20090141203A1

審查人員：陳志遠

申請專利範圍項數：2 項 圖式數：37 共 169 頁

(54)名稱

半導體裝置及顯示裝置

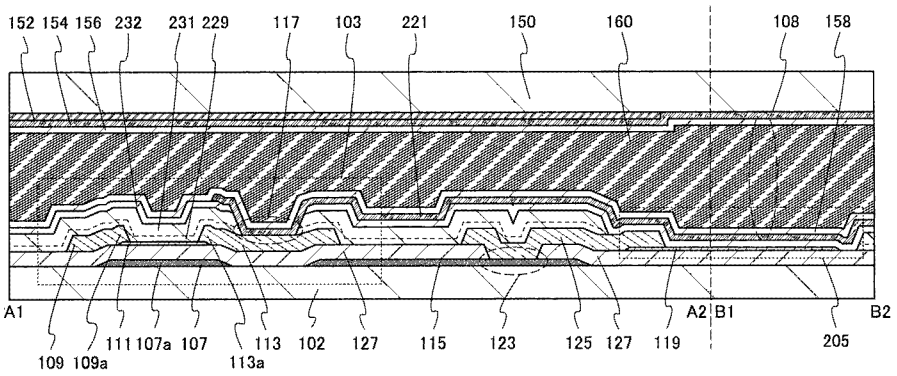
(57)摘要

本發明的一個方式的目的之一是提供孔徑比高且包括能夠增大電荷容量的電容元件的半導體裝置。另外，本發明的一個方式的目的之一是提供能夠降低耗電量的半導體裝置。本發明的半導體裝置包括：包括具有透光性的半導體膜的電晶體；在一對電極之間設置有介電膜的電容元件；設置於具有透光性的半導體膜上的絕緣膜；以及設置於絕緣膜上的第一具有透光性的導電膜。電容元件包括：用作一個電極的第一具有透光性的導電膜；用作電介質的絕緣膜；以及隔著該絕緣膜與第一具有透光性的導電膜對置的用作另一個電極的第二具有透光性的導電膜。此外，第二具有透光性的導電膜是與電晶體的具有透光性的半導體膜形成在同一表面上的含有摻雜劑的金屬氧化物膜。

A semiconductor device including a capacitor whose charge capacity is increased while improving the aperture ratio is provided. Further, a semiconductor device which consumes less power is provided. A transistor which includes a light-transmitting semiconductor film, a capacitor in which a dielectric film is provided between a pair of electrodes, an insulating film which is provided over the light-transmitting semiconductor film, and a first light-transmitting conductive film which is provided over the insulating film are included. The capacitor includes the first light-transmitting conductive film which serves as one electrode, the insulating film which functions as a dielectric, and a second light-transmitting conductive film which faces the first light-transmitting conductive film with the insulating film positioned therebetween and functions as the other electrode. The second light-transmitting conductive film is formed over the same surface as the light-transmitting semiconductor film of the transistor and is a metal oxide film containing a dopant.

指定代表圖：

圖 3



符號簡單說明：

102:基板

103:電晶體

107:掃描線

107a:閘極電極

108:液晶元件

109:信號線

109a:源極電極

111:半導體膜

113:導電膜

113a:汲極電極

115:電容線

117:開口

119:導電膜

123:開口

125:導電膜

127:閘極絕緣膜

150:基板

152:遮光膜

154:對電極

156:絕緣膜

158:絕緣膜

160:液晶層

205:電容元件

221:圖元電極

229:絕緣膜

231:絕緣膜

232:絕緣膜

I882425

【發明摘要】

【中文發明名稱】

半導體裝置及顯示裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

【中文】

本發明的一個方式的目的之一是提供孔徑比高且包括能夠增大電荷容量的電容元件的半導體裝置。另外，本發明的一個方式的目的之一是提供能夠降低耗電量的半導體裝置。本發明的半導體裝置包括：包括具有透光性的半導體膜的電晶體；在一對電極之間設置有介電膜的電容元件；設置於具有透光性的半導體膜上的絕緣膜；以及設置於絕緣膜上的第一具有透光性的導電膜。電容元件包括：用作一個電極的第一具有透光性的導電膜；用作電介質的絕緣膜；以及隔著該絕緣膜與第一具有透光性的導電膜對置的用作另一個電極的第二具有透光性的導電膜。此外，第二具有透光性的導電膜是與電晶體的具有透光性的半導體膜形成在同一表面上的含有摻雜劑的金屬氧化物膜。

【英文】

A semiconductor device including a capacitor whose charge capacity is increased while improving the aperture ratio is provided. Further, a semiconductor device which consumes less power is provided. A transistor which includes a light-transmitting semiconductor film, a capacitor in which a dielectric film is provided between a pair of electrodes, an insulating film which is provided over the light-transmitting semiconductor film, and a first light-transmitting conductive film which is provided over the insulating film are included. The capacitor includes the first light-transmitting conductive film which serves as one electrode, the insulating film which functions as a dielectric, and a second light-transmitting conductive film which faces the first light-transmitting conductive film with the insulating film positioned therebetween and functions as the other electrode. The second light-transmitting conductive film is formed over the same surface as the light-transmitting semiconductor film of the transistor and is a metal oxide film containing a dopant.

【代表圖】

【本案指定代表圖】：圖 3

【本代表圖之符號簡單說明】：

102：基板

103：電晶體

107：掃描線

107a：閘極電極

108：液晶元件

109：信號線

109a：源極電極

111：半導體膜

113：導電膜

113a：汲極電極

115：電容線

117：開口

119：導電膜

123：開口

125：導電膜

127：閘極絕緣膜

150：基板

152：遮光膜

154：對電極

156：絕緣膜

158：絕緣膜

160：液晶層

205：電容元件

221：圖元電極

229：絕緣膜

231：絕緣膜

232：絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

半導體裝置及顯示裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE AND DISPLAY DEVICE

【技術領域】

[0001] 本說明書等所公開的發明係關於一種半導體裝置。

【先前技術】

[0002] 近年來，液晶顯示器（LCD）等的平板顯示器得到廣泛普及。在平板顯示器等的顯示裝置中，行方向及列方向配置的圖元內設置有：作為切換元件的電晶體；與該電晶體電連接的液晶元件；以及與該液晶元件並聯連接的電容元件。

[0003] 作為構成該電晶體的半導體膜的半導體材料，通常使用非晶矽或多晶矽等的矽半導體。

[0004] 另外，呈現半導體特性的金屬氧化物（以下也稱為氧化物半導體）也是能夠用作電晶體的半導體膜的半導體材料。例如，已公開有一種使用氧化鋅或 In-Ga-Zn 類氧化物半導體製造電晶體的技術（參照專利文獻 1 及專利文獻 2）。

[0005] 另外，已經公開有一種具有如下電容元件的顯示裝置，在該電容元件中：為了提高孔徑比，與電晶體的氧化物半導體膜設置在同一表面上的氧化物半導體膜與連接於電晶體的圖元電極以一定距離分開設置（參照專利文獻 3）。

[0006] [專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

[專利文獻 3]美國專利第 8102476 號說明書

[0007] 一般地，在電容元件中，一對電極之間設置有介電膜，一對電極中的至少一個電極是由構成電晶體的閘極電極、源極電極或汲極電極等具有遮光性的導電膜形成的。

[0008] 另外，電容元件的電容值越大，在施加電場的情況下的能夠將液晶元件的液晶分子的配向保持為固定的期間越長。在顯示靜態影像的顯示裝置中，能夠延長該期間意味著可以減少重寫影像資料的次數，從而可以降低耗電量。

[0009] 但是，當電容元件的一個電極由半導體膜形成時，根據施加到該半導體膜的電位，充電至電容元件中的電容值變成比規定的值低的值，將液晶元件的液晶分子的配向保持為一定的期間變短，影像資料的重寫次數增加，而使耗電量增大。

[0010] 為了增大電容元件的電荷容量，可以增大電

容元件的佔有面積，具體地可以增大一對電極彼此重疊的面積。但是，在上述顯示裝置中，當爲了增大一對電極彼此重疊的面積而增大具有遮光性的導電膜的面積時，圖元的孔徑比降低，影像顯示品質下降。

【發明內容】

[0011] 於是，鑒於上述目的，本發明的一個方式的目的之一是提供孔徑比高且包括能夠增大電荷容量的電容元件的半導體裝置。另外，本發明的一個方式的目的之一是提供能夠降低耗電量的半導體裝置。

[0012] 本發明的一個方式包括：包括具有透光性的半導體膜的電晶體；在一對電極之間設置有介電膜的電容元件；設置於具有透光性的半導體膜上的絕緣膜；以及設置於絕緣膜上的第一具有透光性的導電膜。電容元件包括：用作一個電極的第一具有透光性的導電膜；用作電介質的絕緣膜；以及隔著該絕緣膜與第一具有透光性的導電膜對置的用作另一個電極的第二具有透光性的導電膜。此外，第二具有透光性的導電膜是與電晶體的具有透光性的半導體膜形成在同一表面上的含有摻雜劑的金屬氧化物膜。

[0013] 包括於電晶體中的具有透光性的半導體膜可以使用氧化物半導體形成。這是由於氧化物半導體的能隙較大爲 3.0eV 以上且對可見光的穿透率較大的緣故。另外，在本說明書中，作爲氧化物半導體，對如包括於電晶

體中的具有透光性的半導體膜那樣的呈現半導體特性的金屬氧化物進行說明。另外，由於包括於電容元件中的第二具有透光性的導電膜呈現導電特性，因此將該膜作爲金屬氧化物進行說明。

[0014] 作爲用作電容元件的另一個電極的第二具有透光性的導電膜，可以採用由形成包括於電晶體中的半導體膜的製程形成的半導體膜，並且藉由對該半導體膜添加摻雜劑增大其導電率可以將其形成爲具有導電特性的金屬氧化物膜。例如，可以將選自氫、硼、氮、氟、鋁、磷、砷、銦、錫、銻及稀有氣體元素中的一種以上的摻雜劑利用離子植入法或離子摻雜法等添加到半導體膜中，或者也可以藉由將該半導體膜暴露於含有上述元素的電漿中來對其添加上述摻雜劑。此時，作爲電容元件的另一個電極的第二具有透光性的導電膜的導電率爲 10S/cm 以上且 1000S/cm 以下，較佳爲 100S/cm 以上且 1000S/cm 以下。

[0015] 在電容元件中，由於介電膜使用設置在包括在電晶體中的半導體膜上的絕緣膜，所以可以採用與該絕緣膜相同的疊層結構。例如，當作爲設置在包括在電晶體中的半導體膜上的絕緣膜使用氧化絕緣膜及氮化絕緣膜的疊層結構時，作爲電容元件的介電膜可以使用氧化絕緣膜及氮化絕緣膜的疊層結構。

[0016] 另外，在電容元件中，當作爲設置於包括於電晶體中的半導體膜之上的絕緣膜採用氧化絕緣膜及氮化絕緣膜時，可以在形成該氧化絕緣膜之後藉由僅去除形成

有電容元件的區域的該氧化絕緣膜，而使電容元件的介電膜爲氮化絕緣膜的單層。換言之，該氮化絕緣膜接觸於用作電容元件的另一個電極的第二具有透光性的導電膜。第二具有透光性的導電膜使用與包括於電晶體中的具有透光性的半導體膜同時形成的半導體膜形成，並且藉由使該半導體膜接觸氮化絕緣膜，該氮化絕緣膜與該半導體膜的介面形成缺陷能階（介面能階）。或者/並且，當利用電漿 CVD 法或濺射法形成氮化絕緣膜時，該半導體膜暴露於電漿中而生成氧缺陷。此外，包含於該氮化絕緣膜中的氮或/及氫移動到該半導體膜中。當氮化絕緣膜中的氫進入缺陷能階或氧缺陷中時，生成作爲載子的電子。其結果，該半導體膜的導電率增大而變爲 n 型成爲具有導電性的膜。即，可以形成具有導電特性的金屬氧化物膜。另外，由於可以將介電膜的厚度形成得較薄，因此可以增大電容元件的電荷容量。

[0017] 如上所述，在電容元件中，藉由採用氮化絕緣膜接觸於上述半導體膜的結構，可以省略將增大導電率的摻雜劑添加到上述半導體膜的製程諸如離子植入法或離子摻雜法，提高半導體裝置的良率，從而可以降低製造成本。

[0018] 此外，當包括在電晶體中的半導體膜是氧化物半導體膜且氧化絕緣膜及氮化絕緣膜的疊層是設置在該半導體膜上的絕緣膜時，該氧化絕緣膜較佳爲不容易透過氮，即阻擋氮。

[0019] 藉由採用上述結構，可以抑制氮及氫中的一者或兩者擴散到包括在電晶體中的半導體膜的氧化物半導體膜，可以抑制電晶體的電特性變動。

[0020] 當第一具有透光性的導電膜連接於電晶體時，第一具有透光性的導電膜用作圖元電極。

[0021] 當第一具有透光性的導電膜用作圖元電極時，電容線在平行於掃描線的方向上延伸且與掃描線設置於同一表面上。電容元件的另一個電極（第二具有透光性的導電膜）藉由當形成電晶體的源極電極或汲極電極時同時形成的導電膜電連接於電容線。

[0022] 此外，電容線不侷限於在平行於掃描線的方向上延伸且與掃描線設置於同一表面上，也可以在平行於包括電晶體的源極電極或汲極電極的信號線方向上延伸且與信號線設置於同一表面上，並電連接於電容元件的另一個電極（第二具有透光性的導電膜）。

[0023] 此外，電容線也可以使用包括在電容元件中的第二具有透光性的導電膜形成。

[0024] 此外，電容線也可以分別連接於包括在鄰接的多個圖元中的電容元件。此時，也可以在鄰接的圖元之間設置有電容線。

[0025] 另外，第二具有透光性的導電膜也可以與電晶體連接。此時，第二具有透光性的導電膜用作圖元電極，第一具有透光性的導電膜用作共用電極及電容佈線。

[0026] 藉由採用上述結構，由於電容元件具有透光

性，所以可以在圖元內的形成有電晶體的區域以外的區域大面積地形成電容元件。因此，可以獲得提高了孔徑比且增大了電荷容量的半導體裝置。由此，可以獲得顯示品質優良的半導體裝置。

[0027] 具有透光性的電容元件可以利用電晶體的製程製造。電容元件的一個電極可以利用形成用作圖元電極或共用電極的具有透光性的導電膜的製程來形成。電容元件的另一個電極可以利用形成包括於電晶體中的半導體膜的製程來形成。由此，包括於電晶體中的半導體膜及電容元件的另一個電極由相同金屬元素構成。

[0028] 另外，本發明的一個方式的半導體裝置的製造方法也屬於本發明的一個方式。

[0029] 根據本發明的一個方式，可以提供一種孔徑比高且具有增大了電荷容量的電容元件的半導體裝置。另外，本發明可以提供耗電量低的半導體裝置。

【圖式簡單說明】

[0030]

在圖式中：

圖 1A 是說明本發明的一個方式的半導體裝置的圖，圖 1B 是說明圖元的電路圖；

圖 2 是說明本發明的一個方式的半導體裝置的俯視圖；

圖 3 是說明本發明的一個方式的半導體裝置的剖面

圖；

圖 4 是說明本發明的一個方式的半導體裝置的俯視圖；

圖 5 是說明本發明的一個方式的半導體裝置的剖面圖；

圖 6A 和圖 6B 是說明本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 7A 和圖 7B 是說明本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 8A 和圖 8B 是說明本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 9 是說明本發明的一個方式的半導體裝置的剖面圖；

圖 10 是說明本發明的一個方式的半導體裝置的剖面圖；

圖 11 是說明本發明的一個方式的半導體裝置的俯視圖；

圖 12 是說明本發明的一個方式的半導體裝置的俯視圖；

圖 13 是說明本發明的一個方式的半導體裝置的俯視圖；

圖 14 是說明本發明的一個方式的半導體裝置的俯視圖；

圖 15 是說明本發明的一個方式的半導體裝置的剖面

圖；

圖 16A 和圖 16B 是說明本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 17A 和圖 17B 是說明本發明的一個方式的半導體裝置的製造方法的剖面圖；

圖 18A 和圖 18B 是說明本發明的一個方式的半導體裝置的俯視圖；

圖 19 是說明本發明的一個方式的半導體裝置的剖面圖；

圖 20 是說明本發明的一個方式的半導體裝置的剖面圖；

圖 21A 和圖 21C 是說明本發明的一個方式的半導體裝置的俯視圖；

圖 22A 和圖 22B 是說明本發明的一個方式的半導體裝置的剖面圖；

圖 23A 至圖 23C 是說明本發明的一個方式的半導體裝置的剖面圖及俯視圖；

圖 24A 至圖 24C 是說明使用本發明的一個方式的半導體裝置的電子裝置的圖；

圖 25A 至圖 25C 是說明使用本發明的一個方式的半導體裝置的電子裝置的圖；

圖 26A 至圖 26D 是說明樣本結構的圖；

圖 27 是說明薄層電阻的圖；

圖 28A 和圖 28B 是說明 SIMS 的測量結果的圖；

圖 29A 至圖 29C 是說明 ESR 的測量結果的圖；

圖 30 是說明 ESR 的測量結果的圖；

圖 31 是說明薄層電阻的圖；

圖 32 是說明薄層電阻的圖；

圖 33A 至圖 33D 是說明 $InGaZnO_4$ 結晶的塊體模型的圖；

圖 34A 和圖 34B 是說明 VoH 的形成能量及熱力學遷移能階（Thermodynamic transition level）的圖；

圖 35A 是說明樣本的製程的圖，圖 35B 是說明樣本的薄層電阻的圖；

圖 36A 至圖 36D 是說明樣本的製程及其結構的圖；

圖 37A 至圖 37C 是說明樣本的穿透率的圖。

本發明的選擇圖是圖 15。

【實施方式】

[0031] 下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明的方式和詳細內容可以被變換爲各種各樣的形式。此外，本發明不應該被解釋爲僅限定在以下所示的實施方式所記載的內容中。

[0032] 在以下說明的本發明的結構中，在不同圖式之間共同使用同一符號表示同一部分或具有同樣功能的部分而省略其重複說明。另外，當表示具有相同功能的部分

時有時使用相同的陰影線，而不特別附加元件符號。

[0033] 在本說明書所說明的各圖式中，各結構的大小、膜的厚度或區域有時爲了明確起見而被誇大。因此，本發明並不一定限定於圖式中的比例。

[0034] 在本說明書等中，爲了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。此外，本說明書等中，這些序數詞不表示用來特定發明的事項的固有名稱。

[0035] 另外，本發明中的“源極”及“汲極”的功能在電路工作中當電流方向變化時，有時互相調換。因此，在本說明書中，“源極”及“汲極”可以互相調換。

[0036] 另外，電壓是指兩個點之間的電位差，電位是指某一點的靜電場中的單位電荷具有的靜電能（電位能量）。但是，一般來說，將某一點的電位與標準的電位（例如接地電位）之間的電位差簡單地稱爲電位或電壓，通常，電位和電壓是同義詞。因此，在本說明書中，除了特別指定的情況以外，既可將“電位”稱爲“電壓”，又可將“電壓”稱爲“電位”。

[0037] 在本說明書中，當在進行光微影處理之後進行蝕刻處理時，光微影處理中形成的遮罩被去除。

[0038]

實施方式 1

在本實施方式中，參照圖式對本發明的一個方式的半導體裝置進行說明。此外，在本實施方式中，以液晶顯示

裝置爲例子說明本發明的一個方式的半導體裝置。

[0039]

<半導體裝置的結構>

圖 1A 示出半導體裝置的一個例子。圖 1A 所示的半導體裝置包括：圖元部 100；掃描線驅動電路 104；信號線驅動電路 106；分別以平行或大致平行的方式配置的其電位元由掃描線驅動電路 104 控制的 m 個掃描線 107；分別以平行或大致平行的方式配置的其電位元由信號線驅動電路 106 控制的 n 個信號線 109。並且，圖元部 100 包括以矩陣狀配置的多個圖元 201。另外，還包括沿著掃描線 107 分別以平行或大致平行的方式配置的電容線 115。另外，電容線 115 還可以沿著信號線 109 以分別平行或大致平行的方式配置。

[0040] 各掃描線 107 電連接到在圖元部 100 中配置爲 m 行 n 列的圖元 201 中的配置在任一行的 n 個圖元 201。另外，各信號線 109 電連接到配置爲 m 行 n 列的圖元 201 中的配置在任一列的 m 個圖元 201。m、n 都是 1 以上的整數。另外，各電容線 115 電連接到配置爲 m 行 n 列的圖元 201 中的配置在任一行的 n 個圖元 201。另外，當電容線 115 沿著信號線 109 以分別平行或大致平行的方式配置時，電連接到配置爲 m 行 n 列的圖元 201 中的配置在任一列的 m 個圖元 201。

[0041] 圖 1B 示出圖 1A 所示的半導體裝置所具有的圖元 201 的電路圖的一個例子。圖 1B 所示的圖元 201 包

括：與掃描線 107 及信號線 109 電連接的電晶體 103；電容元件 205，該電容元件 205 的一個電極與電晶體 103 的汲極電極電連接，另一個電極與供應固定電位的電容線 115 電連接；液晶元件 108，該液晶元件 108 的圖元電極與電晶體 103 的汲極電極及電容元件 205 的一個電極電連接，以與圖元電極對置的方式設置的電極（對電極）與供應反電位的佈線電連接。

[0042] 液晶元件 108 是如下元件：利用以形成有電晶體 103 及圖元電極的基板及形成有對電極的基板夾持的液晶的光學調變作用，來控制使光透過或不透過的元件。注意，液晶的光學調變作用由施加到液晶的電場（包括縱向電場或斜向電場）控制。此外，當在形成有圖元電極的基板中形成對電極（也稱爲共用電極）時，施加到液晶的電場成爲橫向電場。

[0043] 接著，說明液晶顯示裝置的圖元 201 的具體例子。圖 2 示出圖元 201 的俯視圖。注意，在圖 2 中，省略對電極及液晶元件。

[0044] 在圖 2 中，掃描線 107 在大致垂直於信號線 109 的方向（圖中左右方向）上延伸地設置。信號線 109 在大致垂直於掃描線 107 的方向（圖中上下方向）上延伸地設置。電容線 115 在平行於掃描線 107 的方向上延伸地設置。另外，掃描線 107 及電容線 115 與掃描線驅動電路 104（參照圖 1A）電連接，信號線 109 與信號線驅動電路 106（參照圖 1A）電連接。

[0045] 電晶體 103 設置於掃描線 107 及信號線 109 彼此交叉的區域中。電晶體 103 至少包括具有通道形成區的半導體膜 111、閘極電極、閘極絕緣膜（圖 2 中未圖示）、源極電極及汲極電極。此外，掃描線 107 中的與半導體膜 111 重疊的區域用作電晶體 103 的閘極電極。信號線 109 中的與半導體膜 111 重疊的區域用作電晶體 103 的源極電極。導電膜 113 中的與半導體膜 111 重疊的區域用作電晶體 103 的汲極電極。由此，閘極電極、源極電極及汲極電極有時分別表示爲掃描線 107、信號線 109 及導電膜 113。此外，在圖 2 中，從上方看時掃描線 107 的端部位於半導體膜的端部的外側。由此，掃描線 107 用作遮擋來自背光等的光源的光的遮光膜。其結果是，光不照射到包括在電晶體中的半導體膜 111，由此可以抑制電晶體的電特性的變動。

[0046] 此外，由於藉由使用適當的條件對氧化物半導體進行處理來可以使電晶體的關態電流（off-state current）降至極低，在本發明的一個方式中作爲半導體膜 111 使用氧化物半導體。因此，可以減少半導體裝置的耗電量。

[0047] 此外，導電膜 113 藉由開口 117 與由具有透光性的導電膜形成的圖元電極 221 電連接。此外，在圖 2 中，省略圖元電極 221 的陰影進行圖示。

[0048] 電容元件 205 設置在由圖元 201 內的由電容線 115 及信號線 109 圍繞的區域中。電容元件 205 藉由設

置於開口 123 中的導電膜 125 與電容線 115 電連接。電容元件 205 包括：具有透光性的導電膜 119；具有透光性的圖元電極 221；作爲介電膜的形成於電晶體 103 上的具有透光性的絕緣膜（圖 2 中未圖示）。即，電容元件 205 具有透光性。

[0049] 像這樣，由於電容元件 205 具有透光性，所以可以在圖元 201 內大面積地形成電容元件 205。由此，可以獲得如下半導體裝置：在使孔徑比典型地提高至 55%以上，較佳爲 60%以上的同時增大了電荷容量。例如，在解析度高的半導體裝置諸如液晶顯示裝置中，圖元的面積小，電容元件的面積也小。由此，在解析度高的半導體裝置中，儲存在電容元件中的電荷容量變小。但是，由於本實施方式所示的電容元件 205 具有透光性，所以藉由在圖元中設置該電容元件，可以在各圖元中獲得充分的電荷容量，並提高孔徑比。典型的是，適當地用於圖元密度爲 200ppi 以上較佳爲 300ppi 以上的高解析度的半導體裝置。另外，本發明的一個方式在高解析度的顯示裝置中也可以提高孔徑比，因此可以有效地利用背光等光源的光，由此可以降低顯示裝置的耗電量。

[0050] 在此，對使用氧化物半導體的電晶體特性進行說明。使用氧化物半導體的電晶體是 n 通道型電晶體。另外，氧化物半導體中的氧缺陷有時生成載子，而有可能導致電晶體的電特性及可靠性降低。例如，有可能使電晶體的臨界電壓移到負方向而導致閘極電壓爲 0V 時流過汲

極電流。將這種當閘極電壓爲 0V 時流過汲極電流的情況稱爲常開啓型電晶體，並將具有該特性的電晶體稱爲空乏型電晶體。另一方面，將閘極電壓爲 0V 時沒有流過汲極電流的電晶體稱爲常閉型電晶體，並將具有該特性的電晶體稱爲增強型電晶體。

[0051] 因此，當作爲半導體膜 111 使用氧化物半導體時，較佳爲盡可能地減少作爲半導體膜 111 的氧化物半導體膜中的缺陷，該缺陷典型的是氧缺陷。例如，較佳爲將利用對膜表面施加平行方向的磁場的電子自旋共振法得到的 g 值=1.93 的自旋密度（相當於氧化物半導體膜所含的缺陷密度）降低到測量器的檢測下限以下。藉由盡可能地減少以氧缺陷爲代表的氧化物半導體膜中的缺陷，可以抑制電晶體 103 的常開啓特性，由此可以提高半導體裝置的電特性及可靠性。此外，可以降低半導體裝置的耗電量。

[0052] 除了氧缺陷之外，包含在氧化物半導體中的氫（包括水等氫化合物）也使電晶體的臨界電壓向負方向移動。氧化物半導體中的氫與接合於金屬原子的氧發生反應生成水，與此同時發生氧脫離的晶格（或氧脫離的部分）形成缺陷（也稱爲氧缺陷）。另外，氫的一部分與氧發生反應生成爲載子的電子。因此，具有含有氫的氧化物半導體的電晶體容易具有常開啓特性。

[0053] 因此，當作爲半導體膜 111 使用氧化物半導體時，較佳爲儘量降低作爲半導體膜 111 的氧化物半導體

膜中的氫。明確而言，在半導體膜 111 中，使利用二次離子質譜分析法(SIMS：Secondary Ion Mass Spectrometry)得到的氫濃度低於 5×10^{18}atoms/cm^3，較佳爲 1×10^{18}atoms/cm^3 以下，更佳爲 5×10^{17}atoms/cm^3 以下，進一步較佳爲 1×10^{16}atoms/cm^3 以下。

[0054] 另外，在半導體膜 111 中，使利用二次離子質譜分析法得到的鹼金屬或鹼土金屬的濃度爲 1×10^{18} atoms/cm^3 以下，較佳爲 2×10^{16}atoms/cm^3 以下。有時當鹼金屬及鹼土金屬與氧化物半導體接合時生成載子而使電晶體 103 的關態電流增大。

[0055] 另外，當作爲半導體膜 111 的氧化物半導體膜中含有氮時生成作爲載子的電子，載子密度增加而容易 n 型化。其結果，使用具有含有氮的氧化物半導體的電晶體容易變爲常開啓特性。因此，在該氧化物半導體膜中，較佳爲盡可能地減少氮，例如，較佳爲使氮濃度爲 5×10^{18}atoms/cm^3 以下。

[0056] 像這樣，藉由將儘量地減少了雜質（氫、氮、鹼金屬或鹼土金屬等）而被高度純化的氧化物半導體膜用於半導體膜 111，電晶體成爲增強型電晶體，可以抑制電晶體 103 變爲常開啓特性，由此可以使電晶體 103 的關態電流降至極低。由此，可以製造具有良好電特性的半導體裝置。此外，可以製造可靠性得到提高的半導體裝置。

[0057] 注意，可以利用各種試驗證明使用被高度純

化的氧化物半導體膜的電晶體的關態電流低的事實。例如，即便是通道寬度爲 $1\times10^{6}\mu m$ 通道長度 L 爲 10μm 的元件，當源極電極與汲極電極間的電壓（汲極電壓）爲 1V 至 10V 的範圍內，關態電流可以爲半導體參數分析儀的測量極限以下，即 $1\times10^{-13}A$ 以下。在此情況下，可知：相當於關態電流除以電晶體的通道寬度的數值的關態電流爲 100zA/μm 以下。另外，利用如下電路測量關態電流，該電路中電容元件與電晶體連接並且該電晶體控制流入或從電容元件流出的電荷。在該測量時，將被高度純化的氧化物半導體膜用於上述電晶體的通道形成區，且根據電容元件的單位時間的電荷量推移測量該電晶體的關態電流。其結果是，可知：當電晶體的源極電極與汲極電極之間的電壓爲 3V 時，可以獲得幾十 yA/μm 的更低的關態電流。由此，使用被高度純化的氧化物半導體膜的電晶體的關態電流顯著低。

[0058] 接著，圖 3 示出圖 2 的點劃線 A1-A2 間及點劃線 B1-B2 間的剖面圖。

[0059] 液晶顯示裝置的圖元 201 的剖面結構是如下結構。液晶顯示裝置包括形成在基板 102 上的元件部、形成在基板 150 上的元件部以及夾在該兩個元件部之間的液晶層。

[0060] 首先，說明設置在基板 102 上的元件部的結構。在基板 102 上設置有包括電晶體 103 的閘極電極 107a 的掃描線 107、與掃描線 107 設置於同一表面上的電

容線 115。在掃描線 107 及電容線 115 上設置有閘極絕緣膜 127。在閘極絕緣膜 127 的與掃描線 107 重疊的區域上設置有半導體膜 111，在閘極絕緣膜 127 上設置有具有透光性的導電膜 119。在半導體膜 111 及閘極絕緣膜 127 上設置有包括電晶體 103 的源極電極 109a 的信號線 109、包括電晶體 103 的汲極電極 113a 的導電膜 113。在閘極絕緣膜 127 中設置有到達電容線 115 的開口 123，在開口 123 中及其上、閘極絕緣膜 127 及具有透光性的導電膜 119 上設置有導電膜 125。在閘極絕緣膜 127、信號線 109、半導體膜 111、導電膜 113、導電膜 125 上設置有用作電晶體 103 的保護絕緣膜的絕緣膜 229、絕緣膜 231 及絕緣膜 232。另外，至少在成爲電容元件 205 的區域設置有接觸於具有透光性的導電膜 119 的絕緣膜 232。在絕緣膜 229、絕緣膜 231 及絕緣膜 232 中設置有到達導電膜 113 的開口 117，在開口 117 及絕緣膜 232 上設置有圖元電極 221。此外，在圖元電極 221 及絕緣膜 232 上設置有用作配向膜的絕緣膜 158。此外，也可以在基板 102 與掃描線 107、電容線 115 及閘極絕緣膜 127 之間設置有基底絕緣膜。

[0061] 在本實施方式所示的電容元件 205 中，一對電極中的一個電極爲圖元電極 221，一對電極中的另一個電極爲具有透光性的導電膜 119，該導電膜 119 是藉由使用與半導體膜 111 在同一製程中形成的半導體膜得到的具有導電特性的金屬氧化物膜，藉由將設置於一對電極間的

介電膜用作絕緣膜 232，可以減薄介電膜的厚度。由此，可以增大電容元件 205 的電荷容量。

[0062] 另外，較佳的是絕緣膜 232 爲氮化絕緣膜。

[0063] 此外，在圖 2 中，將不設置絕緣膜 229（未圖示）及絕緣膜 231（未圖示）的區域（雙點虛線的內側）的端部設置在具有透光性的導電膜 119 的外側，但是如圖 4 所示，也可以將不設置絕緣膜 279（未圖示）及絕緣膜 281（未圖示）的區域（雙點虛線的內側）的端部設置在具有透光性的導電膜 119 上。

[0064] 圖 5 示出沿著圖 4 的點劃線 A1-A2 間及點劃線 B1-B2 間的剖面圖。

[0065] 在圖 5 中，在閘極絕緣膜 127 上、信號線 109 上、半導體膜 111 上、導電膜 113 上、導電膜 125 上、具有透光性的導電膜 119 上設置有用作電晶體 103 的保護絕緣膜的絕緣膜 279、絕緣膜 281 及絕緣膜 282。另外，絕緣膜 279 及絕緣膜 281 的端部位於具有透光性的導電膜 119 上。另外，具有透光性的導電膜 119 上設置有絕緣膜 282。另外，電容元件 255 由具有透光性的導電膜 119、絕緣膜 282 及圖元電極 271 構成。另外，絕緣膜 279、絕緣膜 281 及絕緣膜 282 可以分別使用與絕緣膜 229、絕緣膜 231 及絕緣膜 232 相同的材料形成。此外，圖元電極 271 可以使用與圖元電極 221 相同的材料形成。如圖 5 所示，絕緣膜 279 及絕緣膜 281 的端部位於具有透光性的導電膜 119 上，由此可以防止進行絕緣膜 279 及絕緣膜 281

的蝕刻時閘極絕緣膜 127 被過度蝕刻。

[0066] 下面對上述結構的構成要素進行詳細記載。

[0067] 儘管對基板 102 的材質等沒有太大的限制，但是該基板至少需要具有能夠承受半導體裝置的製程中進行的熱處理程度的耐熱性。例如，可以使用玻璃基板、陶瓷基板、塑膠基板等。作爲玻璃基板，可以使用硼矽酸鋇玻璃、硼矽酸鋁玻璃或鋁矽酸玻璃等的無鹼玻璃基板。另外，還可以使用不鏽鋼合金等不具有透光性的基板。此時，較佳的是在基板表面上設置絕緣膜。另外，作爲基板 102 還可以使用石英基板、藍寶石基板、單晶半導體基板、多晶半導體基板、化合物半導體基板、SOI（Silicon On Insulator：絕緣體上矽）基板等。

[0068] 由於掃描線 107 及電容線 115 流過大電流，因此較佳的是使用金屬膜形成，典型地，可以採用使用鉬（Mo）、鈦（Ti）、鎢（W）、鉭（Ta）、鋁（Al）、銅（Cu）、鉻（Cr）、釹（Nd）、鈧（Sc）等金屬材料或以上述元素爲主要成分的合金材料的單層結構或疊層結構。

[0069] 作爲掃描線 107 及電容線 115 的一個例子，如，可以舉出：使用包含矽的鋁的單層結構；在鋁上層疊鈦的兩層結構；在氮化鈦上層疊鈦的兩層結構；在氮化鈦上層疊鎢的兩層結構；在氮化鉭上層疊鎢的兩層結構；在銅-鎂-鋁合金上層疊銅的兩層結構；以及依次層疊氮化鈦、銅和鎢的三層結構等。

[0070] 另外，作爲掃描線 107 及電容線 115 的材料，可以使用能夠用於圖元電極 221 的具有透光性的導電性材料。

[0071] 另外，作爲掃描線 107 及電容線 115 的材料，可以使用包含氮的金屬氧化物，明確地說，包含氮的 In-Ga-Zn 類氧化物、包含氮的 In-Sn 類氧化物、包含氮的 In-Ga 類氧化物、包含氮的 In-Zn 類氧化物、包含氮的 Sn 類氧化物、包含氮的 In 類氧化物以及金屬氮化膜（InN、SnN 等）。上述材料具有 5eV（電子伏特）以上的功函數。當作爲電晶體 103 的半導體膜 111 使用氧化物半導體時，藉由作爲掃描線 107（電晶體 103 的閘極電極）使用含有氮的金屬氧化物，可以使電晶體 103 的臨界電壓向正方向變動，可以實現具有所謂常閉特性的電晶體。例如，當使用包含氮的 In-Ga-Zn 類氧化物時，可以使用氮濃度至少比半導體膜 111 的氧化物半導體膜高的 In-Ga-Zn 類氧化物，具體地，氮濃度爲 7 原子%以上的 In-Ga-Zn 類氧化物。

[0072] 作爲掃描線 107 及電容線 115，較佳的是使用爲低電阻材料的鋁或銅。藉由使用鋁或銅，可以降低信號遲延，而提高顯示品質。另外，由於鋁的耐熱性低，因此容易產生因小丘、晶鬚或遷移引起的不良。爲了防止鋁遷移，較佳的是在鋁上層疊鉬、鈦、鎢等熔點比鋁高的金屬材料。另外，當使用銅時，爲了防止因遷移引起的不良或者銅元素的擴散，較佳的是在銅上層疊鉬、鈦、鎢等熔點

比銅高的金屬材料。

[0073] 作爲閘極絕緣膜 127，例如可以採用使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉿、氧化鎵或 Ga-Zn 類金屬氧化物等的絕緣材料的單層結構或疊層結構。另外，爲了提高與作爲半導體膜 111 的氧化物半導體膜的介面特性，較佳的是閘極絕緣膜 127 中的至少接觸於半導體膜 111 的區域由氧化絕緣膜形成。

[0074] 另外，藉由在閘極絕緣膜 127 中設置對氧、氫、水等具有阻擋性的絕緣膜，可以防止作爲半導體膜 111 的氧化物半導體膜中的氧擴散到外部並可以防止氫、水等從外部侵入到該氧化物半導體膜。作爲對氧、氫、水等具有阻擋性的絕緣膜，可以舉出氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化釔、氧氮化釔、氧化鉿、氧氮化鉿、氮化矽等。

[0075] 此外，藉由作爲閘極絕緣膜 127 使用矽酸鉿（$HfSiO_x$）、含有氮的矽酸鉿（$HfSi_xO_yNz$）、含有氮的鋁酸鉿（$HfAl_xO_yN_z$）、氧化鉿、氧化釔等 high-k 材料，可以降低電晶體 103 的閘極洩漏電流。

[0076] 此外，閘極絕緣膜 127 較佳的是採用如下疊層結構：較佳的是作爲第一氮化矽膜設置缺陷量少的氮化矽膜；在第一氮化矽膜上作爲第二氮化矽膜設置氫脫離量及氨脫離量少的氮化矽膜；在第二氮化矽膜上設置作爲上述閘極絕緣膜 127 的例子舉出的氧化絕緣膜中的任一個。

[0077] 作爲第二氮化矽膜，較佳的是使用在熱脫附

譜分析法中的氫分子的脫離量低於 5×10^{21} 分子/cm^3，較佳爲 3×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下，氨分子的脫離量低於 1×10^{22} 分子/cm^3，較佳爲 5×10^{21} 分子/cm^3 以下，更佳爲 1×10^{21} 分子/cm^3 以下的氮化絕緣膜。藉由將上述第一氮化矽膜及第二氮化矽膜用作閘極絕緣膜 127 的一部分，作爲閘極絕緣膜 127 可以形成缺陷量少且氫及氨的脫離量少的閘極絕緣膜。由此，可以降低閘極絕緣膜 127 中的氫及氮向半導體膜 111 中的移動量。

[0078] 在使用氧化物半導體的電晶體中，當氧化物半導體膜與閘極絕緣膜之間的介面或閘極絕緣膜中存在陷阱能階（也稱爲介面能階）時，會導致電晶體的臨界電壓變動（典型的是臨界電壓負向漂移）以及亞臨界值擺幅（S 值）增大，該亞臨界值擺幅值示出當電晶體成爲導通狀態時爲了使汲極電流變化一位數而所需的閘極電壓。其結果，存在各電晶體電特性具有偏差的問題。爲此，藉由作爲閘極絕緣膜使用缺陷量少的氮化矽膜，且藉由在與半導體膜 111 接觸的區域中設置氧化絕緣膜，可以在降低臨界電壓的負向漂移的同時抑制 S 值的增大。

[0079] 閘極絕緣膜 127 的厚度爲 5nm 以上且 400nm 以下，較佳爲 10nm 以上且 300nm 以下，更佳爲 50nm 以上且 250nm 以下。

[0080] 半導體膜 111 是氧化物半導體膜，該氧化物半導體膜的結構可以是非晶結構、單晶結構或多晶結構。另外，半導體膜 111 的厚度爲 1nm 以上且 100nm 以下，

較佳爲 1nm 以上且 50nm 以下，更佳爲 1nm 以上且 30nm 以下，進一步較佳爲 3nm 以上且 20nm 以下。

[0081] 可以用於半導體膜 111 的氧化物半導體的能隙爲 2eV 以上，較佳爲 2.5eV 以上，更佳爲 3eV 以上。像這樣，藉由使用能隙寬的氧化物半導體，可以降低電晶體 103 的關態電流。

[0082] 較佳的是用於半導體膜 111 的氧化物半導體至少含有銦（In）或鋅（Zn）。或者，較佳爲包含 In 和 Zn 兩者。另外，爲了減少使用該氧化物半導體的電晶體的電特性偏差，較佳爲除了上述元素以外還含有一種或多種穩定劑（stabilizer）。

[0083] 作爲穩定劑，可以舉出鎵（Ga）、錫（Sn）、鉿（Hf）、鋁（Al）或鋯（Zr）等。另外，作爲其他穩定劑，可以舉出鑭系元素的鑭（La）、鈰（Ce）、鐠（Pr）、釹（Nd）、釤（Sm）、銪（Eu）、釓（Gd）、鋱（Tb）、鏑（Dy）、鈥（Ho）、鉺（Er）、銩（Tm）、鐿（Yb）、鑥（Lu）等。

[0084] 作爲可以用於半導體膜 111 的氧化物半導體，例如，可以使用：氧化銦；氧化錫；氧化鋅；含有兩種金屬的氧化物，如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；含有三種金屬的氧化物，如 In-Ga-Zn 類氧化物（也記作 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn

類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-Zr-Zn 類氧化物、In-Ti-Zn 類氧化物、In-Sc-Zn 類氧化物、In-Y-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；含有四種金屬的氧化物，如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

[0085] 在此，“In-Ga-Zn 類氧化物”是指以 In、Ga 以及 Zn 爲主要成分的氧化物，對 In、Ga 以及 Zn 的比率沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

[0086] 另外，作爲氧化物半導體，可以使用以 $InMO_3(ZnO)_m$（m>0）表示的材料。另外，M 表示選自 Ga、Fe、Mn 及 Co 中的一種或多種金屬元素或者用作上述穩定劑的元素。

[0087] 例如，可以使用 In：Ga：Zn=1：1：1（=1/3：1/3：1/3）、In：Ga：Zn=2：2：1（=2/5：2/5：1/5）或 In：Ga：Zn=3：1：2（=1/2：1/6：1/3）的原子數比的 In-Ga-Zn 類金屬氧化物。或者，可以使用 In：Sn：Zn=1：1：1（=1/3：1/3：1/3）、In：Sn：Zn=2：

1：3（=1/3：1/6：1/2）或 In：Sn：Zn=2：1：5（=1/4：1/8：5/8）的原子數比的 In-Sn-Zn 類金屬氧化物。另外，包含在金屬氧化物中的金屬元素的原子數比作爲誤差包括上述原子數比的±20%的變動。

[0088] 但是，不侷限於此，可以根據所需要的半導體特性及電特性（場效移動率、臨界電壓等）使用具有適當的原子數比的材料。另外，較佳爲採用適當的載子密度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間距離、密度等，以得到所需要的半導體特性。例如，當使用 In-Sn-Zn 類氧化物時可以較容易地獲得較高的場效移動率。但是，當使用 In-Ga-Zn 類氧化物時也可以藉由降低塊體內缺陷密度來提高場效移動率。

[0089] 具有透光性的導電膜 119 以與半導體膜 111 相同的材料爲主要成分並且由藉由含有氮或/及氫導電性得到提高而具有導電特性的金屬氧化物形成。

[0090] 半導體膜 111 及具有透光性的導電膜 119 都由形成在閘極絕緣膜上的由相同金屬元素構成的金屬氧化物膜形成，但是其雜質濃度不同。具體地，與半導體膜 111 相比，具有透光性的導電膜 119 的雜質濃度更高。例如，半導體膜 111 中的氫濃度低於 5×10^{19}atoms/cm^3，較佳爲低於 5×10^{18}atoms/cm^3，更佳爲 1×10^{18}atoms/cm^3 以下，進一步較佳爲 5×10^{17}atoms/cm^3 以下，更進一步較佳爲 1×10^{16}atoms/cm^3 以下；具有透光性的導電膜 119 中的氫濃度爲 8×10^{19}atoms/cm^3 以上，較佳爲 1×10^{20}atoms/cm^3

以上，更佳爲 5×10^{20}atoms/cm^3 以上。另外，具有透光性的導電膜 119 中的氫濃度是半導體膜 111 的 2 倍以上，較佳爲 10 倍以上。

[0091] 另外，具有透光性的導電膜 119 比半導體膜 111 的電阻率低。具有透光性的導電膜 119 的電阻率較佳爲半導體膜 111 的電阻率的 1×10^{-8} 倍以上且 1×10^{-1} 倍以下，典型地爲 $1\times10^{-3}\Omega$cm 以上且小於 $1\times10^{4}\Omega$cm，更佳爲 $1\times10^{-3}\Omega$cm 以上且小於 $1\times10^{-1}\Omega$cm。

[0092] 作爲將包括電晶體 103 的源極電極 109a 的信號線 109、包括電晶體 103 的汲極電極的導電膜 113 以及電容元件 205 中的具有透光性的導電膜 119 與電容線 115 電連接的導電膜 125，可以採用能夠用於掃描線 107 及電容線 115 的材料的單層結構或疊層結構。

[0093] 用作電晶體 103 的保護絕緣膜及電容元件 205 的介電膜的絕緣膜 229、絕緣膜 231、絕緣膜 232 是使用能夠用於閘極絕緣膜 127 的材料的絕緣膜。尤其較佳的是絕緣膜 229 及絕緣膜 231 爲氧化絕緣膜，絕緣膜 232 爲氮化絕緣膜。另外，藉由作爲絕緣膜 232 採用氮化絕緣膜，可以抑制外部的氫或水等雜質侵入電晶體 103（尤其是半導體膜 111）。另外，也可以不設置絕緣膜 229。

[0094] 另外，較佳的是絕緣膜 229 及絕緣膜 231 中的一者或兩者爲包含比滿足化學計量組成的氧多的氧的氧化絕緣膜。由此，可以防止氧從該氧化物半導體膜脫離並可以使氧化絕緣膜中含有的過剩的氧移動到氧化物半導體

膜中來減少氧缺陷。例如，藉由使用利用熱脫附譜分析（以下稱爲 TDS 分析）測量的氧分子的釋放量爲 1.0×10^{18} 分子/cm^3 以上的氧化絕緣膜，可以減少該氧化物半導體膜中的氧缺陷。注意，絕緣膜 229 和絕緣膜 231 中的一者或兩者也可以爲如下氧化物絕緣膜，該氧化物絕緣膜的一部分爲與化學計量組成相比含有過剩的氧的區域（氧過剩區域），藉由至少使與半導體膜 111 重疊的區域中存在氧過剩區域，可以防止氧從該氧化物半導體膜脫離並可以使氧過剩區域中的氧移動至氧化物半導體膜中來減少氧缺陷。

[0095] 當絕緣膜 231 爲包含比滿足化學計量組成的氧多的氧的氧化絕緣膜時，較佳的是絕緣膜 229 爲使氧透過的氧化絕緣膜。另外，在絕緣膜 229 中，從外部進入絕緣膜 229 的氧不都穿過絕緣膜 229 也有留在絕緣膜 229 中的氧。此外，還有一開始包含於絕緣膜 229 中的氧移動到絕緣膜 229 的外部的情況。因此，較佳的是絕緣膜 229 爲氧的擴散係數大的氧化絕緣膜。

[0096] 另外，由於絕緣膜 229 接觸於作爲半導體膜 111 的氧化物半導體膜，所以較佳的是其爲能使氧透過且與半導體膜 111 之間的介面能階密度低的氧化絕緣膜。例如，較佳的是絕緣膜 229 爲缺陷密度比絕緣膜 231 膜中的缺陷密度低的氧化絕緣膜。具體地，利用電子自旋共振法測量的 g 值=2.001（E´-center）的自旋密度爲 3.0×10^{17} spins/cm^3 以下，較佳爲 5.0×10^{16}spins/cm^3 以下。注意，利用電子自旋共振法測量的 g 值=2.001 的自旋密度對應絕

緣膜 229 中的懸空鍵的量。

[0097] 可以將絕緣膜 229 的厚度設定爲 5nm 以上且 150nm 以下，較佳爲 5nm 以上且 50nm 以下，更佳爲 10nm 以上且 30nm 以下。可以將絕緣膜 231 的厚度設定爲 30nm 以上且 500nm 以下，較佳爲 150nm 以上且 400nm 以下。

[0098] 當作爲絕緣膜 232 採用氮化絕緣膜時，較佳的是絕緣膜 229 和絕緣膜 231 中的一者或兩者爲對氮具有阻擋性的絕緣膜。例如，藉由採用緻密的氧化絕緣膜可以對氮具有阻擋性，具體地，較佳的是採用在 25℃下使用 0.5wt%的氫氟酸時蝕刻速度爲 10nm/分以下的氧化絕緣膜。

[0099] 另外，當作爲絕緣膜 229 和絕緣膜 231 中的一者或兩者採用氧氮化矽或氮氧化矽等含有氮的氧化絕緣膜時，較佳的是使利用 SIMS 得到的氮濃度爲 SIMS 的檢出下限以上且低於 3×10^{20}atoms/cm^3，更佳爲 1×10^{18}atoms/cm^3 以上且 1×10^{20}atoms/cm^3 以下。如此，可以減少向電晶體 103 中的半導體膜 111 的氮的移動量。另外，如此還可以減少含有氮的氧化絕緣膜自身的缺陷量。

[0100] 作爲絕緣膜 232 也可以設置氫含量少的氮化絕緣膜。作爲該氮化絕緣膜，例如可以使用利用 TDS 分析測量的氫分子的釋放量低於 5.0×10^{21}/cm^3，較佳爲低於 3.0×10^{21}/cm^3，更佳爲低於 1.0×10^{21}/cm^3 的氮化絕緣膜。

[0101] 將絕緣膜 232 的厚度設定爲能夠抑制來自外

部的氫或水等雜質侵入的厚度。例如，可以將其設定爲 50nm 以上且 200nm 以下，較佳爲 50nm 以上且 150nm 以下，更佳爲 50nm 以上且 100nm 以下。

[0102] 此外，也可以在絕緣膜 231 與絕緣膜 232 之間或在絕緣膜 232 上設置藉由使用有機矽烷氣體的 CVD 法形成的氧化矽膜。該氧化矽膜由於具有優良的步階覆蓋性，所以可以用作電晶體 103 的保護絕緣膜。該氧化矽膜設置爲 300nm 以上且 600nm 以下。作爲有機矽烷氣體，可以使用正矽酸乙酯（TEOS：化學式爲 $Si(OC_2H_5)_4$）、四甲基矽烷（TMS：化學式爲 $Si(CH_3)_4$）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（$SiH(OC_2H_5)_3$）、三（二甲氨基）矽烷（$SiH(N(CH_3)_2)_3$）等含有矽的化合物。

[0103] 藉由在絕緣膜 231 與絕緣膜 232 之間或者在絕緣膜 232 上設置上述氧化矽膜，可以提高設置有電晶體及電容元件的元件部表面的平坦性。另外，藉由在絕緣膜 231 與絕緣膜 232 之間設置上述氧化矽膜並作爲絕緣膜 232 使用上述氮化絕緣膜，可以進一步抑制外部的氫或水等雜質侵入半導體膜 111 及具有透光性的導電膜 119。

[0104] 另外，當在絕緣膜 232 上設置氧化矽膜時，絕緣膜 232 及氧化矽膜用作電容元件 205 的介電膜。絕緣膜 232 由氮化絕緣膜形成，氮化絕緣膜與氧化矽等氧化絕緣膜相比具有相對介電常數高且內部應力大的傾向。因

此，在作爲電容元件 205 的介電膜僅使用絕緣膜 232 而不使用氧化矽膜的情況下，當絕緣膜 232 的膜厚度較薄時，電容元件 205 的電容值變得過大而難以以低耗電量提高對影像信號的圖元進行寫入的速度。相反地，當絕緣膜 232 的膜厚較厚時，內部應力變得過大而導致電晶體的臨界電壓發生變動等電特性劣化。另外，當絕緣膜 232 的內部應力過大時，絕緣膜 232 容易從基板 102 剝離而使良率下降。但是，藉由將相對介電常數比絕緣膜 232 低的氧化矽膜及絕緣膜 232 用作圖元的電容元件的介電膜，可以在不增大絕緣膜 232 的膜厚度的情況下將介電膜的介電常數調整爲所希望的值。

[0105] 圖元電極 221 使用具有透光性的導電膜形成。具有透光性的導電膜使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等具有透光性的導電材料形成。

[0106] 接著，說明設置在基板 150 上的元件部的結構。元件部包括接觸於基板 150 的遮光膜 152 及以對置於圖元電極 221 的方式設置的接觸於遮光膜 152 的電極（對電極 154）。此外，設置有接觸於對電極 154 的用作配向膜的絕緣膜 156。

[0107] 遮光膜 152 抑制背光等光源或來自外部的光照射到電晶體 103。遮光膜 152 可以使用金屬或含有顏料的有機樹脂等的材料形成。此外，遮光膜 152 除了圖元

201 的電晶體 103 上以外還可以設置在掃描線驅動電路 104、信號線驅動電路 106（參照圖 1A）等圖元部 100 以外的區域。

[0108] 此外，可以在鄰接的遮光膜 152 之間設置具有透過預定的波長的光的功能的彩色膜。再者，也可以在遮光膜 152 及彩色膜與對電極 154 之間設置覆蓋膜。

[0109] 對電極 154 適當地使用圖元電極 221 所示的具有透光性的導電材料來設置。

[0110] 液晶元件 108 包括圖元電極 221、對電極 154 及液晶層 160。另外，在設置於基板 102 的元件部的用作配向膜的絕緣膜 158 與設置於基板 150 的元件部的用作配向膜的絕緣膜 156 之間夾有液晶層 160。此外，圖元電極 221 和對電極 154 隔著液晶層 160 重疊。

[0111] 用作配向膜的絕緣膜 156 及絕緣膜 158 可以使用聚醯胺等通用的材料設置。

[0112] 另外，藉由作爲設置於半導體膜 111 上的絕緣膜 229 採用能夠使氧透過並能夠降低與半導體膜 111 之間的介面能階的氧化絕緣膜，來使絕緣膜 231 爲具有氧過剩區域的氧化絕緣膜或者含有多於滿足化學計量組成的氧的氧化絕緣膜，可以更易於向作爲半導體膜 111 的氧化物半導體膜供應氧，由此可以在防止氧從該氧化物半導體膜脫離的同時使包含於絕緣膜 231 中的氧移動至氧化物半導體膜中，從而可以減少氧化物半導體膜中的氧缺陷。其結果，電晶體 103 變爲增強型電晶體，而可以抑制其變爲常

導通型電晶體，由此可以在提高半導體裝置的電特性及可靠性的同時降低半導體裝置的耗電量。

[0113] 另外，藉由作爲設置於絕緣膜 231 上的絕緣膜 232 使用氮化絕緣膜，可以抑制來自外部的氫或水等雜質侵入半導體膜 111 及具有透光性的導電膜 119。再者，藉由作爲絕緣膜 232 使用氫含量少的氮化絕緣膜，可以抑制電晶體的電特性變動。

[0114] 此外，可以在圖元 201 內大面積地形成電容元件 205。因此，可以獲得孔徑比得到提高且電荷容量增大了的半導體裝置。其結果是，可以獲得顯示品質優良的半導體裝置。

[0115] 另外，由於電容元件 205 的一對電極都具有導電性，因此即使縮小電容元件 205 的平面面積也可以得到充分的電荷容量。此外，由於氧化物半導體膜的光穿透率爲 80%至 90%，藉由縮小具有透光性的導電膜 119 的面積來在圖元 201 中形成不設置有具有透光性的導電膜 119 的區域，可以提高從背光等光源照射的光的穿透率。即，可以減弱背光等光源的亮度，由此可以減少半導體裝置的耗電量。

[0116]

<半導體裝置的製造方法>

接著，參照圖 6A 至圖 8B 對上述半導體裝置所示的設置在基板 102 上的元件部的製造方法進行說明。

[0117] 首先，在基板 102 上形成掃描線 107 及電容

線 115，以覆蓋掃描線 107 及電容線 115 的方式形成之後被加工爲閘極絕緣膜 127 的絕緣膜 126，在絕緣膜 126 的與掃描線 107 重疊的區域上形成半導體膜 111，以與之後形成圖元電極 221 的區域重疊的方式形成半導體膜 118（參照圖 6A）。

[0118] 可以使用上述材料形成導電膜，並在該導電膜上形成遮罩，利用該遮罩進行加工來形成掃描線 107 及電容線 115。該導電膜可以利用蒸鍍法、CVD 法、濺射法、旋塗法等各種成膜方法。注意，對於該導電膜的厚度沒有特別的限定，可以考慮形成所需時間以及所希望的電阻率等決定其厚度。該遮罩例如可以使用利用第一光微影製程形成的光阻遮罩。另外，該導電膜的加工可以採用乾蝕刻及濕蝕刻中的一者或兩者。

[0119] 絕緣膜 126 可以使用能夠用於閘極絕緣膜 127 的材料並利用 CVD 法或濺射法等各種成膜方法形成。

[0120] 此外，當作爲閘極絕緣膜 127 使用氧化鎵時，可以利用 MOCVD（Metal Organic Chemical Vapor Deposition：有機金屬氣相沉積）法形成絕緣膜 126。

[0121] 可以適當地使用上述氧化物半導體形成氧化物半導體膜，並在該氧化物半導體膜上形成遮罩，利用該遮罩進行加工來形成半導體膜 111 及半導體膜 118。由此，半導體膜 111 及半導體膜 118 由同一金屬元素構成。氧化物半導體膜可以使用濺射法、塗敷法、脈衝雷射蒸鍍法、雷射燒蝕法等形成。藉由使用印刷法，可以將元件分

離的半導體膜 111 及半導體膜 118 直接形成於絕緣膜 126 上。當利用濺射法形成該氧化物半導體膜時，作爲生成電漿的電源裝置可以適當地使用 RF 電源裝置、AC 電源裝置或 DC 電源裝置等。作爲濺射氣體，可以適當地使用稀有氣體（典型地爲氬）、氧、稀有氣體及氧的混合氣體。此外，當採用稀有氣體和氧的混合氣體時，較佳的是增高氧氣體對稀有氣體的比例。另外，根據所形成的氧化物半導體膜的組成而適當地選擇靶材，即可。另外，該遮罩例如可以使用利用第二光微影製程形成的光阻遮罩。此外，該氧化物半導體膜的加工可以利用乾蝕刻和濕蝕刻中的一者或兩者。以能夠蝕刻爲所希望的形狀的方式，根據材料適當地設定蝕刻條件（蝕刻氣體、蝕刻劑、蝕刻時間、溫度等）。

[0122] 較佳的是在形成半導體膜 111 及半導體膜 118 之後進行加熱處理，來使作爲半導體膜 111 及半導體膜 118 的氧化物半導體膜脫氫化或脫水化。作爲該加熱處理的溫度，典型地爲 150℃以上且低於基板的應變點，較佳爲 200℃以上且 450℃以下，更佳爲 300℃以上且 450℃以下。另外，也可以對被加工爲半導體膜 111 及半導體膜 118 之前的氧化物半導體膜進行該加熱處理。

[0123] 在該加熱處理中，加熱處理裝置不限於電爐，還可以使用藉由諸如來自被加熱的氣體等的媒介的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用 GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝

置、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA 裝置是利用從燈如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光（電磁波）的輻射加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。

[0124] 該加熱處理可以在氮、氧、超乾燥空氣（水含量爲 20ppm 以下，較佳爲 1ppm 以下，更佳爲 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行。另外，較佳的是上述氮、氧、超乾燥空氣或稀有氣體中不含有氫、水等。也可以在惰性氣體氛圍中進行加熱之後在氧氛圍中進行加熱。另外，將處理時間設定爲 3 分鐘至 24 小時。

[0125] 另外，當在基板 102 與掃描線 107、電容線 115 及閘極絕緣膜 127 之間設置基底絕緣膜時，作爲該基底絕緣膜可以使用氧化矽、氧氮化矽、氮化矽、氮氧化矽、氧化鎵、氧化鉿、氧化釔、氧化鋁、氧氮化鋁等形成。另外，作爲基底絕緣膜，藉由使用氮化矽、氧化鎵、氧化鉿、氧化釔、氧化鋁等形成，可以抑制從基板 102 的雜質擴散，典型的如鹼金屬、水、氫等擴散至半導體膜 111 中。基底絕緣膜可以利用濺射法或 CVD 法形成。

[0126] 接著，在絕緣膜 126 中形成到達電容線 115 的開口 123 而形成閘極絕緣膜 127 之後，形成包括電晶體 103 的源極電極的信號線 109、包括電晶體 103 的汲極電

極的導電膜 113 及使半導體膜 118 與電容線 115 電連接的導電膜 125（參照圖 6B）。

[0127] 利用第三光微影製程以絕緣膜 126 的與電容線 115 重疊的區域的一部分露出的方式形成遮罩，利用該遮罩進行加工可以形成開口 123。另外，該遮罩的形成及該加工可以與掃描線 107 及電容線 115 同樣地進行。

[0128] 可以使用能夠用於信號線 109、導電膜 113 及導電膜 125 的材料形成導電膜，並在該導電膜上利用第四光微影製程形成遮罩，利用該遮罩進行加工來形成信號線 109、導電膜 113 及導電膜 125。該遮罩及該加工可以與掃描線 107 及電容線 115 同樣地進行。

[0129] 接著，在半導體膜 111、半導體膜 118、信號線 109、導電膜 113、導電膜 125 及閘極絕緣膜 127 上形成絕緣膜 128，在絕緣膜 128 上形成絕緣膜 130（參照圖 7A）。另外，較佳爲連續地形成絕緣膜 128 及絕緣膜 130。如此可以防止雜質混入絕緣膜 128 及絕緣膜 130 之間的介面。

[0130] 絕緣膜 128 可以使用能夠用於絕緣膜 229 的材料並利用 CVD 法或濺射法等各種成膜方法形成。絕緣膜 130 可以使用能夠用於絕緣膜 231 的材料形成。

[0131] 當作爲絕緣膜 229 採用與半導體膜 111 之間的介面能階密度低的氧化絕緣膜時，可以利用如下條件形成絕緣膜 128。注意，這裡對作爲該氧化絕緣膜形成氧化矽膜或氧氮化矽膜的情況進行說明。該形成條件爲：將設

置於電漿 CVD 設備的被真空排氣的處理室內的基板的溫度保持於 180℃以上且 400℃以下，較佳爲 200℃以上且 370℃以下，向處理室中引入爲原料氣體的含有矽的沉積氣體及氧化性氣體，並將處理室內的壓力設定爲 20Pa 以上且 250Pa 以下，較佳爲 40Pa 以上且 200Pa 以下，對設置於處理室內的電極供應高頻電力。

[0132] 作爲含有矽的沉積氣體的代表例可以舉出矽烷、乙矽烷、丙矽烷、氟化矽烷等。作爲氧化性氣體，可以舉出氧、臭氧、一氧化二氮、二氧化氮等。

[0133] 另外，藉由使氧化性氣體量爲包含矽的沉積氣體的 100 倍以上，可以在減少絕緣膜 128（絕緣膜 229）中的氫含量的同時減少絕緣膜 128（絕緣膜 229）中的懸空鍵。從絕緣膜 130（絕緣膜 231）移動的氧有時被絕緣膜 128（絕緣膜 229）中的懸空鍵俘獲，由此當絕緣膜 128（絕緣膜 229）中的懸空鍵減少時，絕緣膜 130（絕緣膜 231）中的氧可以有效地移動到半導體膜 111 中，從而可以減少作爲半導體膜 111 的氧化物半導體膜中的氧缺陷。由此，可以減少該氧化物半導體膜中混入的氫的含量並可以減少氧化物半導體膜中的氧缺陷。

[0134] 當作爲絕緣膜 231 採用上述包括氧過剩區域的氧化絕緣膜或包含比滿足化學計量組成的氧多的氧的氧化絕緣膜時，可以利用如下形成條件形成絕緣膜 130。注意，這裡對作爲該氧化絕緣膜形成氧化矽膜或氧氮化矽膜的情況進行說明。該形成條件爲：將設置於電漿 CVD 設

備的被真空排氣的處理室內的基板的溫度保持於 180℃以上且 260℃以下，較佳爲 180℃以上且 230℃以下，向處理室中引入原料氣體並使處理室內的壓力爲 100Pa 以上且 250Pa 以下，較佳爲 100Pa 以上且 200Pa 以下，對設置於處理室內的電極供應 0.17W/cm^2 以上且 0.5W/cm^2 以下，較佳爲 0.25W/cm^2 以上且 0.35W/cm^2 以下的高頻電力。

[0135] 作爲絕緣膜 130 的原料氣體，可以採用能夠用於絕緣膜 128 的原料氣體。

[0136] 藉由作爲絕緣膜 130 的形成條件在上述壓力的處理室中供應上述功率密度的高頻電力，在電漿中原料氣體的分解效率得到提高，氧自由基增加，原料氣體的氧化進展，因此絕緣膜 130 中的氧含量比化學計量組成多。另一方面，在上述基板溫度下形成的膜的矽與氧的接合力弱。因此，利用後面的製程的加熱處理使膜中的部分氧脫離。由此，可以形成包含比滿足化學計量組成的氧多的氧且藉由加熱氧的一部分發生脫離的氧化絕緣膜。此外，在半導體膜 111 上設置有絕緣膜 128。因此，在絕緣膜 130 的形成製程中絕緣膜 128 成爲半導體膜 111 的保護膜。由此，即使使用功率密度高的高頻電力形成絕緣膜 130，也可以抑制對半導體膜 111 的損傷。

[0137] 另外，藉由將絕緣膜 130 的厚度形成得較厚可以使藉由加熱脫離的氧的量增多，因此較佳爲將絕緣膜 130 形成爲厚於絕緣膜 128。藉由設置絕緣膜 128，即使將絕緣膜 130 形成得較厚也可以實現良好的覆蓋性。

[0138] 較佳的是，在至少形成絕緣膜 130 之後進行加熱處理，使包含在絕緣膜 128 或絕緣膜 130 中的過剩氧移動到半導體膜 111，由此降低作爲半導體膜 111 的氧化物半導體膜中的氧缺陷。此外，該加熱處理可以參照進行半導體膜 111 及具有透光性的導電膜 119 的脫氫化或脫水化的加熱處理的詳細內容而適當地進行。

[0139] 接著，至少在與具有透光性的導電膜 119 重疊的絕緣膜 130 的區域上形成遮罩，利用該遮罩進行加工來形成具有開口部的絕緣膜 228 及絕緣膜 230。另外，由於該遮罩在露出有具有透光性的導電膜 119 的區域具有開口，因此可以使用由第五光微影製程形成的光阻遮罩，並且該加工可以採用乾蝕刻和濕蝕刻中的一者或兩者。另外，當利用乾蝕刻形成開口部時，氧化物半導體膜被暴露於電漿中，氧化物半導體膜受損而氧化物半導體膜中生成缺陷，典型地爲氧缺陷。其結果，形成電阻低的具有透光性的導電膜 119。接著，在絕緣膜 228、絕緣膜 230、導電膜 125 及具有透光性的導電膜 119 上形成絕緣膜 233（參照圖 7B）。

[0140] 絕緣膜 233 可以使用能夠用於絕緣膜 232 的材料形成。絕緣膜 233 可以利用濺射法或 CVD 法等形成。

[0141] 當作爲絕緣膜 233 形成氫含量少的氮化絕緣膜時，可以使用如下條件形成絕緣膜 233。注意，這裡對作爲該氮化絕緣膜形成氮化矽膜的情況進行說明。該形成

條件爲：將設置於電漿 CVD 設備的被真空排氣的處理室內的基板的溫度保持於 180℃以上且 400℃以下，較佳爲 200℃以上且 370℃以下，向處理室中引入原料氣體並使處理室內的壓力爲 100Pa 以上且 250Pa 以下，較佳爲 100Pa 以上且 200Pa 以下，對設置於處理室內的電極供應高頻電力。

[0142] 作爲絕緣膜 233 的原料氣體，較佳的是使用包含矽的沉積氣體、氮及氨。作爲包含矽的沉積氣體的典型例子，可以舉出矽烷、乙矽烷、丙矽烷、氟化矽烷等。另外，較佳爲使氮的流量爲氨的流量的 5 倍以上且 50 倍以下，更佳爲 10 倍以上且 50 倍以下。另外，藉由作爲原料氣體使用氨，可以促進含有矽的沉積氣體及氮的分解。這是因爲如下緣故：氨因電漿能或熱能而離解，離解時產生的能量有助於含有矽的沉積氣體分子的接合及氮分子的接合的分解。由此，可以形成氫含量少且能抑制來自外部的氫或水等雜質侵入的氮化矽膜。

[0143] 當作爲使用氮化絕緣膜形成的絕緣膜 233 利用電漿 CVD 法或濺射法進行成膜時，半導體膜 118 被暴露於電漿中，半導體膜 118 中生成氧缺陷。另外，藉由使半導體膜 118 與使用氮化絕緣膜形成的絕緣膜 233 接觸，氮或/及氫從絕緣膜 233 中移動至半導體膜 118 中。當絕緣膜 233 中的氫進入氧缺陷時，生成作爲載子的電子。其結果，半導體膜 118 的導電性變高而成爲由具有導電特性的金屬氧化物膜構成的具有透光性的導電膜 119。

[0144] 此外，也可以在形成絕緣膜 233 之後，在絕緣膜 233 與具有透光性的導電膜 119 接觸的狀態下進行加熱處理。其結果，可以進一步提高具有透光性的導電膜 119 的導電性。

[0145] 注意，根據從絕緣膜 233 的氮或/及氫的移動距離，有時半導體膜 118 中的與導電膜 125 重疊的區域的一部分以氧化物半導體的狀態殘留。

[0146] 此外，也可以在絕緣膜 130 與絕緣膜 233 之間設置藉由使用有機矽烷氣體的 CVD 法形成的氧化矽膜。

[0147] 此外，當在絕緣膜 130 與絕緣膜 233 之間設置藉由有機矽烷氣體的 CVD 法形成的氧化矽膜時，作爲絕緣膜 130 形成含有比滿足化學計量組成的氧多的氧且藉由加熱該氧的一部分脫離的氧化絕緣膜，在形成絕緣膜 130 之後進行 350℃的加熱處理，由此使包含在絕緣膜 130 中的過剩氧移動到半導體膜 111。接著，使用上述有機矽烷氣體，利用將基板溫度保持爲 350℃的 CVD 法形成氧化矽膜，然後作爲絕緣膜 233 在將基板溫度設定爲 350℃的狀態下形成氫含量少的氮化絕緣膜。

[0148] 接著，在絕緣膜 228、絕緣膜 230 及絕緣膜 233 的重疊於導電膜 113 的區域藉由第六光微影製程形成遮罩之後，對絕緣膜 228、絕緣膜 230 及絕緣膜 233 進行蝕刻形成具有到達導電膜 113 的開口 117 的絕緣膜 229、絕緣膜 231 及絕緣膜 232（參照圖 8A）。開口 117 可以與

開口 123 同樣地形成。

[0149] 最後，藉由形成圖元電極 221，可以製造設置在基板 102 上的元件部（參照圖 8B）。圖元電極 221 可以以如下方法形成：使用上述材料形成藉由開口 117 接觸於導電膜 113 的導電膜，接著，在該導電膜上藉由第七光微影製程形成遮罩之後，使用該遮罩進行加工來形成圖元電極 221。此外，該遮罩的形成及該加工可以與掃描線 107 及電容線 115 同樣地進行。

[0150]

<變形例 1>

在本發明的一個方式的半導體裝置中，可以適當地改變電容元件的結構。參照圖 9 對本結構的具體例子進行說明。注意，這裡僅對與圖 2 及圖 3 說明的電容元件 205 不同的電容元件 245 進行說明。

[0151] 作爲閘極絕緣膜 227 採用爲氮化絕緣膜的絕緣膜 225 與爲氧化絕緣膜的絕緣膜 226 的疊層結構，至少在設置有具有透光性的導電膜 119 的區域中僅設置絕緣膜 225。藉由採用該結構，爲絕緣膜 225 的氮化絕緣膜接觸於具有透光性的導電膜 119 的下表面，由此絕緣膜 225 上的與半導體膜 111 同時形成的半導體膜可以成爲由具有導電特性的金屬氧化物膜形成的具有透光性的導電膜 119（參照圖 9）。此時，電容元件 245 的介電膜爲絕緣膜 229、絕緣膜 231 及絕緣膜 232。另外，絕緣膜 225 及絕緣膜 226 可以適當地使用能夠用於閘極絕緣膜 127 的絕緣

膜，絕緣膜 225 也可以採用與絕緣膜 232 相同的絕緣膜。藉由採用圖 9 所示的結構，可以防止伴隨絕緣膜 129 及絕緣膜 131 的蝕刻的具有透光性的導電膜 119 的膜厚度的減少，與圖 3 所示的半導體裝置相比可以提高良率。

[0152] 此外，在圖 9 所示的結構中，也可以採用具有透光性的導電膜 119 的上表面與絕緣膜 132 接觸的結構。換言之，在圖 9 所示的絕緣膜 129 及絕緣膜 131 中，也可以去除接觸於具有透光性的導電膜 119 的區域。此時，電容元件 245 的介電膜是絕緣膜 132。藉由採用具有透光性的導電膜 119 的上表面及下表面接觸於氮化絕緣膜的結構，與只有一個面接觸於氮化絕緣膜的情況相比，可以高效地充分地增大具有透光性的導電膜 119 的導電性。

[0153]

<變形例 2>

在本發明的一個方式的半導體裝置中，可以適當地改變構成電容元件的一個電極的具有透光性的導電膜與電容線的連接。例如，爲了進一步提高孔徑比，也可以採用電容線直接接觸於具有透光性的導電膜的結構而不隔著導電膜。參照圖 10 對本結構的具體例子進行說明。注意，這裡僅對與圖 2 及圖 3 說明的電容元件 205 不同的電容元件 145 進行說明。圖 10 是半導體裝置的剖面圖。

[0154] 在圖元中，用作電容元件 145 的另一個電極的具有透光性的導電膜 119 在開口 143 中直接接觸於電容線 115。與圖 3 所示的電容元件 205 不同，具有透光性的

導電膜 119 不隔著導電膜 125 直接接觸於電容線 115，因此無需形成成爲遮光膜的導電膜 125，由此可以進一步提高圖元 141 的孔徑比。

[0155]

<變形例 3>

另外，在本發明的一個方式的半導體裝置中，可以適當地改變包括於電容元件中的具有透光性的導電膜及電容線的結構。參照圖 11 對本結構的具體例子進行說明。注意，這裡僅對與圖 2 及圖 3 中說明的具有透光性的導電膜 119 及電容線 115 不同的具有透光性的導電膜 178 及電容線 176 進行說明。

[0156] 圖 11 是圖元 172 的俯視圖，電容線 176 在與信號線 109 平行的方向上延伸地設置。另外，信號線 109 及電容線 176 與信號線驅動電路 106（參照圖 1A）電連接。如圖 11 所示的圖元 172 那樣，採用與平行於信號線 109 的邊相比平行於掃描線 107 的邊更長的形狀，並且也可以使電容線 176 在與信號線 109 平行的方向上延伸地設置。

[0157] 電容元件 174 連接於以平行於信號線 109 的方向延伸的方式設置的電容線 176。電容元件 174 包括：具有透光性的導電膜 178；具有透光性的圖元電極 221；作爲介電膜的形成於電晶體 103 上的具有透光性的絕緣膜（圖 11 中未圖示）。即，電容元件 174 具有透光性。

[0158] 電容線 176 可以與信號線 109 及導電膜 113

同時形成。藉由接觸於具有透光性的導電膜 178 地設置電容線 176，可以增大具有透光性的導電膜 178 與電容線 176 的接觸面積。

[0159] 在圖 3 中，由於電容線 115 與掃描線 107 同時形成，爲了連接電容線 115 與具有透光性的導電膜 119，需要進行光微影製程來在閘極絕緣膜 127 中設置開口部。但是，如圖 11 所示，由於同時形成信號線 109 及電容線 176，所以可以使具有透光性的導電膜 119 與電容線 176 直接連接。其結果，可以削減光微影製程。即，可以藉由六次光微影製程製造電晶體、與電晶體連接的圖元電極以及電容元件。

[0160]

<變形例 4>

在本發明的一個方式的半導體裝置中，可以將構成電容元件的電極及電容線用作具有透光性的導電膜。參照圖 12 對具體例子進行說明。注意，這裡，僅對與圖 2 說明的具有透光性的導電膜 119 及電容線 115 不同的具有透光性的導電膜 198 進行說明。圖 12 是圖元 196 的俯視圖，在圖元 196 中設置有兼用作電容元件 197 的電極及電容線的具有透光性的導電膜 198。具有透光性的導電膜 198 中具有在與信號線 109 平行的方向上延伸的區域，該區域用作電容線。在具有透光性的導電膜 198 中，與圖元電極 221 重疊的區域用作電容元件 197 的電極。另外，具有透光性的導電膜 198 可以與圖 2 所示的具有透光性的導電膜

119 在同一製程中形成。

[0161] 另外，當作爲具有透光性的導電膜 198 在 1 行中的所有的圖元 196 中沒有間隔地連續地形成時，具有透光性的導電膜 198 與掃描線 107 重疊，由於掃描線 107 的電位變化的影響具有透光性的導電膜 198 有可能不能充分地發揮作爲電容線及電容元件 197 的電極的功能。因此，如圖 12 所示，較佳爲在各圖元 196 中相離地設置具有透光性的導電膜 198，並使用可以利用形成信號線 109 及導電膜 113 的製程形成的導電膜 199 使具有透光性的導電膜 198 彼此電連接。此時，藉由具有透光性的導電膜 198 中的不連接於導電膜 199 的區域重疊於圖元電極 221，可以降低該區域中的具有透光性的導電膜 198 的電阻，所以具有透光性的導電膜 198 用作電容線及電容元件 197 中的一個電極。

[0162] 此外，雖然未圖示，但是當具有透光性的導電膜 198 中的重疊於掃描線 107 的區域不受到掃描線 107 的電位變化時，作爲具有透光性的導電膜 198 可以在各圖元 196 中以重疊於掃描線 107 的方式設置一個具有透光性的導電膜。即，可以在 1 行中的所有圖元 196 中沒有間隔地連續地設置具有透光性的導電膜 198。

[0163] 在圖 12 中，雖然用作具有透光性的導電膜 198 的電容線的區域在與信號線 109 平行的方向上延伸，但是用作電容線的區域可以在與掃描線 107 平行的方向上延伸。注意，當採用用作具有透光性的導電膜 198 的電容

線的區域在與掃描線 107 平行的方向上延伸的結構時，在電晶體 103 及電容元件 197 中，需要在半導體膜 111 與具有透光性的導電膜 198 之間以及信號線 109 與導電膜 113 之間設置絕緣膜而使其電分離。

[0164] 如上所述，如圖元 196，藉由作爲設置在圖元中的電容元件的一個電極及電容線設置氧化物半導體膜，可以提高圖元的孔徑比。

[0165]

<變形例 5>

另外，在本發明的一個方式的半導體裝置中，可以適當地改變電容線的結構。參照圖 13 對本結構進行說明。注意，這裡，與圖 2 中說明的電容線 115 相比，其不同之處在於彼此鄰接的兩個圖元之間的電容線的位置。

[0166] 圖 13 示出在信號線 409 的延伸方向上在相鄰的圖元之間設置有電容線的結構。此外，可以在掃描線 437 的延伸方向上在相鄰的圖元之間設置有電容線。

[0167] 圖 13 是鄰接於信號線 409 的延伸方向的圖元 401_1 及圖元 401_2 的俯視圖。

[0168] 掃描線 407_1 及掃描線 407_2 互相平行並且在大致垂直於信號線 409 的方向上延伸。掃描線 407_1 與掃描線 407_2 之間以與掃描線 407_1 及掃描線 407_2 平行的方式設置有電容線 415。另外，電容線 415 與設置於圖元 401_1 中的電容元件 405_1 以及設置於圖元 401_2 中的電容元件 405_2 連接。圖元 401_1 及圖元 401_2 的上表面

形狀以及構成要素的配置位置與電容線 415 對稱。

[0169] 圖元 401_1 中設置有與電晶體 403_1 及該電晶體 403_1 連接的圖元電極 421_1 及電容元件 405_1。

[0170] 電晶體 403_1 設置於掃描線 407_1 及信號線 409 交叉的區域中。電晶體 403_1 至少包括具有通道形成區的半導體膜 411_1、閘極電極、閘極絕緣膜（圖 13 中未圖示）、源極電極及汲極電極。另外，掃描線 407_1 的與半導體膜 411_1 重疊的區域用作電晶體 403_1 的閘極電極。信號線 409 的與半導體膜 411_1 重疊的區域用作電晶體 403_1 的源極電極。導電膜 413_1 的與半導體膜 411_1 重疊的區域用作電晶體 403_1 的汲極電極。導電膜 413_1 及圖元電極 421_1 在開口 417_1 中連接。

[0171] 電容元件 405_1 藉由設置在開口 423 中的導電膜 425 與電容線 415 電連接。電容元件 405_1 包括：具有透光性的導電膜 419_1；具有透光性的圖元電極 421_1；作爲介電膜的形成於電晶體 403_1 上的具有透光性的絕緣膜（圖 13 中未圖示）。即，電容元件 405_1 具有透光性。

[0172] 圖元 401_2 中設置有與電晶體 403_2、該電晶體 403_2 電連接的圖元電極 421_2 及電容元件 405_2。

[0173] 電晶體 403_2 設置於掃描線 407_2 及信號線 409 交叉的區域中。電晶體 403_2 至少包括：具有通道形成區的半導體膜 411_2、閘極電極、閘極絕緣膜（圖 13 中未圖示）、源極電極及汲極電極。另外，掃描線 407_2

的與半導體膜 411_2 重疊的區域用作電晶體 403_2 的閘極電極。信號線 409 的與半導體膜 411_2 重疊的區域用作電晶體 403_2 的源極電極。導電膜 413_2 的與半導體膜 411_2 重疊的區域用作電晶體 403_2 的汲極電極。導電膜 413_2 及圖元電極 421_2 在開口 417_2 中連接。

[0174] 電容元件 405_2 與電容元件 405_1 同樣，藉由設置於開口 423 中的導電膜 425 與電容線 415 電連接。電容元件 405_2 包括：具有透光性的導電膜 419_2；具有透光性的圖元電極 421_2；作爲介電膜的形成於電晶體 403_2 上的具有透光性的絕緣膜（圖 13 中未圖示）。即，電容元件 405_2 具有透光性。

[0175] 另外，電晶體 403_1 及電晶體 403_2 以及電容元件 405_1 及電容元件 405_2 的剖面結構分別與圖 3 所示的電晶體 103 及電容元件 205 相同，因此在此對其進行省略。

[0176] 在上面形狀看，鄰接的兩個圖元之間設置有電容線，藉由使包含於各圖元中的電容元件及該電容線連接，可以減少電容線的個數。由此，與在各圖元中設置電容線的結構相比，可以進一步提高圖元的孔徑比。

[0177]

<變形例 6>

在本發明的一個方式的半導體裝置中，設置在圖元內的電晶體的形狀不侷限於圖 2、圖 4、圖 11、圖 12 及圖 13 所示的電晶體的形狀，適當地改變形狀。例如，在電

晶體中，包括在信號線 109 中的源極電極形成爲 U 字型（C 字型、方格型或馬蹄型），也可以爲圍繞包括汲極電極的導電膜的形狀。藉由採用這種形狀，即使電晶體的面積小，也可以確保充分寬的通道寬度，可以增加電晶體的開啓時流過的汲極電流（也稱爲通態電流）量。

[0178]

<變形例 7>

此外，在上述所示的電晶體中，氧化物半導體膜位於閘極絕緣膜與包括源極電極的信號線 109 及包括汲極電極的導電膜 113 之間的電晶體，但是也可以使用半導體膜位於包括源極電極的信號線及包括汲極電極的導電膜與絕緣膜 229 之間的電晶體。

[0179]

<變形例 8>

另外，雖然作爲上述電晶體示出通道蝕刻型的電晶體，但是也可以使用通道保護型的電晶體。藉由設置通道保護膜，可以不使半導體膜 111 的表面暴露於信號線及導電膜的形成製程中使用的蝕刻劑或蝕刻氣體中，由此可以減少半導體膜 111 與通道保護膜之間的雜質。其結果，可以減少電晶體的源極電極及汲極電極之間流過的洩漏電流。

[0180]

<變形例 9>

另外，雖然作爲上述電晶體示出具有一個閘極電極的

電晶體，但是也可以使用具有隔著半導體膜 111 互相對置的兩個閘極電極的電晶體。

[0181] 電晶體是在本實施方式中說明的電晶體 103 的絕緣膜 232 上具有導電膜的電晶體。導電膜至少與半導體膜 111 的通道形成區重疊。較佳爲將導電膜設置在與半導體膜 111 的通道形成區重疊的位置上，由此使導電膜的電位成爲輸入到信號線 109 的視頻信號的最低電位。其結果，可以控制與導電膜對置的半導體膜 111 的表面中的源極電極及汲極電極之間流過的電流，由此可以降低電晶體的電特性偏差。另外，藉由設置導電膜，可以減輕周圍電場變化對半導體膜 111 的影響，由此可以提高電晶體的可靠性。

[0182] 設置在絕緣膜 232 上的導電膜可以適當地使用與掃描線 107、信號線 109、圖元電極 121 等相同的材料及製造方法而形成。

[0183] 如上所述，藉由作爲電容元件的電極採用如下導電膜，可以製造孔徑比得到提高（典型地爲 50%以上，較佳爲 55%以上，更佳爲 60%以上）且具有電荷容量增大了的電容元件的半導體裝置。上述導電膜是：藉由以接觸與包括於電晶體中的半導體膜在同一形成製程中形成的半導體膜的方式設置氮化絕緣膜得到的具有導電特性的金屬氧化物，即，具有透光性的導電膜。其結果，可以得到顯示品質優良的半導體裝置。

[0184] 另外，由於包括在電晶體中的爲半導體膜的

氧化物半導體膜的氧缺陷得到減少並且氫等雜質被減少，因此本發明的一個方式的半導體裝置成爲具有良好的電特性的半導體裝置，並爲耗電量得到了降低的半導體裝置。

[0185] 另外，本實施方式所述的結構等可以適當地與其他實施方式所述的結構等組合使用。

[0186]

<變形例 10>

另外，在上述電晶體的製造方法中，作爲具有透光性的導電膜 119 的形成方法，在圖 6B 的製程之後，以覆蓋半導體膜 111 並使半導體膜 118 露出的方式形成遮罩。接著，藉由將半導體膜 118 暴露於稀有氣體、氫及稀有氣體的混合氣體、稀有氣體及氨的混合氣體、氨氣、氮氣等氛圍中生成的電漿中，即使不進行圖 7B 所示的在半導體膜 118 上形成氮化絕緣膜的製程，也可以形成具有透光性的導電膜 119。

[0187] 此外，在上述電晶體的製造方法中，作爲具有透光性的導電膜 119 的形成方法，在圖 7A 的製程之後，以覆蓋半導體膜 111 並使半導體膜 118 露出的方式形成遮罩。接著，藉由將半導體膜 118 暴露於稀有氣體、氫及稀有氣體的混合氣體、稀有氣體及氨的混合氣體、氨氣、氮氣等的氛圍中生成的電漿中，隔著絕緣膜 130 氫、氮等擴散至半導體膜 118，即使不進行圖 7B 所示的在半導體膜 118 上形成氮化絕緣膜的製程，也可以形成具有透光性的導電膜 119。

[0188] 當半導體膜 118 暴露於電漿時，作爲半導體膜形成的氧化物半導體膜受到損傷，而使該氧化物半導體膜中生成缺陷，典型地生成氧缺陷。其結果，形成電阻率被降低的具有透光性的導電膜 119。

[0189]

實施方式 2

在本實施方式中，參照圖式對本發明的一個方式的半導體裝置進行說明，該半導體裝置具有與上述實施方式不同的結構。在本實施方式中，以液晶顯示裝置爲例子而說明本發明的一個方式的半導體裝置。此外，在本實施方式所說明的半導體裝置中，包括在電容元件中的具有透光性的導電膜與上述實施方式不同。此外，在本實施方式所說明的半導體裝置中，與上述實施方式所說明的半導體裝置同樣的結構可以參照上述實施方式。

[0190]

<半導體裝置的結構>

以下說明設置在本實施方式所說明的液晶顯示裝置的圖元部中的圖元 301 的具體結構例子。圖 14 示出圖元 301 的俯視圖。圖 25 所示的圖元 301 包括電容元件 305，電容元件 305 設置在由圖元 301 內的電容線 115 及信號線 109 圍繞的區域。電容元件 305 藉由設置在開口 123 中的導電膜 125 電連接於電容線 115。電容元件 305 包括具有透光性的導電膜 319、具有透光性的圖元電極 221 以及作爲介電膜的形成在電晶體 103 上的具有透光性的絕緣膜

（圖 14 中未圖示）。即，電容元件 305 具有透光性。

[0191] 作爲電容元件的電極使用具有透光性的導電膜 319。換言之，可以在圖元 301 內大面積地形成電容元件 305。由此，可以獲得如下半導體裝置：在使孔徑比典型地提高至 55%以上，較佳爲 60%以上的同時增大了電荷容量。

[0192] 接著，圖 15 示出圖 14 的點劃線 A1-A2 間及點劃線 B1-B2 間的剖面圖。

[0193] 以下示出圖元 301 的剖面結構。在基板 102 上設置有包括電晶體 103 的閘極電極的掃描線 107。在掃描線 107 上設置有閘極絕緣膜 127。在閘極絕緣膜 127 的與掃描線 107 重疊的區域上設置有半導體膜 111，在閘極絕緣膜 127 上設置有具有透光性的導電膜 319。在半導體膜 111 及閘極絕緣膜 127 上設置有包括電晶體 103 的源極電極的信號線 109 及包括電晶體 103 的汲極電極的導電膜 113。此外，在閘極絕緣膜 127 上設置有連接具有透光性的導電膜 319 及電容線 115 的導電膜 125。在閘極絕緣膜 127、信號線 109、半導體膜 111、導電膜 113、導電膜 125 以及具有透光性的導電膜 319 上設置有用作電晶體 103 的保護絕緣膜的絕緣膜 129、絕緣膜 131 及絕緣膜 132。在絕緣膜 129、絕緣膜 131 及絕緣膜 132 中設置有到達導電膜 113 的開口 117，在開口 117 中及絕緣膜 132 上設置有圖元電極 221。此外，在基板 102 與掃描線 107 及閘極絕緣膜 127 之間也可以設置有基底絕緣膜。

[0194] 在本結構中的電容元件 305 中，一對電極中的一個電極爲圖元電極 121，一對電極中的另一個電極爲具有透光性的導電膜 319，設置在一對電極之間的介電膜是絕緣膜 129、絕緣膜 131 及絕緣膜 132。

[0195] 具有透光性的導電膜 319 是藉由對與半導體膜 111 同時形成的半導體膜添加元素（摻雜劑）而具有作爲導體的特性的金屬氧化物膜。即，具有透光性的導電膜 319 包含構成半導體膜 111 的氧化物半導體的金屬元素以及摻雜劑。作爲摻雜劑，可以使用選自氫、硼、氮、氟、鋁、磷、砷、銦、錫、銻和稀有氣體元素中的一種或多種。具有透光性的導電膜 319 中的摻雜濃度較佳爲 1×10^{19}atoms/cm^3 以上且 1×10^{22}atoms/cm^3 以下。由此，具有透光性的導電膜 319 的導電率可以爲 10S/cm 以上且 1000S/cm 以下，較佳爲 100S/cm 以上且 1000S/cm 以下，可以使具有透光性的導電膜 319 充分用作電容元件 305 的電極。

[0196]

<半導體裝置的製造方法>

下面，參照圖 16A 至圖 17B 說明本實施方式中的半導體裝置的製造方法。

[0197] 首先，在基板 102 上形成掃描線 107 及電容線 115，在基板 102、掃描線 107 及電容線上形成加工爲閘極絕緣膜 127 的絕緣膜 126，在該絕緣膜 126 上形成半導體膜 111 及半導體膜 118（參照圖 16A）。此外，到此

爲止的製程可以參照實施方式 1 來進行。

[0198] 接著，在對半導體膜 118 添加摻雜劑形成具有透光性的導電膜 319 之後，在絕緣膜 126 中形成到達電容線 115 的開口 123 來形成閘極絕緣膜 127，然後形成包括電晶體 103 的源極電極的信號線 109、包括電晶體 103 的汲極電極的導電膜 113、使具有透光性的導電膜 319 與電容線 115 電連接的導電膜 125（參照圖 16B）。

[0199] 作爲對半導體膜 118 添加摻雜劑的方法有如下方法：在半導體膜 118 以外的區域設置遮罩，使用該遮罩，藉由離子植入法或離子摻雜法等添加選自氫、硼、氮、氟、鋁、磷、砷、銦、錫、銻和稀有氣體元素中的一種以上的摻雜劑。此外，也可以將半導體膜 118 暴露於包含該摻雜劑的電漿來添加該摻雜劑，代替離子植入法或離子摻雜法。此外，也可以在添加摻雜劑之後進行加熱處理。該加熱處理可以參照進行半導體膜 111 及具有透光性的導電膜 319 的脫氫化或脫水化的加熱處理的詳細內容適當地進行。

[0200] 此外，添加摻雜劑的製程也可以在形成信號線 109、導電膜 113 及導電膜 125 之後進行。在此情況下，不對具有透光性的導電膜 319 的與信號線 109、導電膜 113 及導電膜 125 接觸的區域添加摻雜劑。

[0201] 接著，在閘極絕緣膜 127、信號線 109、半導體膜 111、導電膜 113、導電膜 125 及具有透光性的導電膜 319 上形成絕緣膜 128，在絕緣膜 128 上形成絕緣膜

130，在絕緣膜 130 上形成絕緣膜 133（參照圖 17A）。此外，該製程可以參照實施方式 1 來進行。

[0202] 接著，在絕緣膜 128、絕緣膜 130 及絕緣膜 133 中形成到達導電膜 113 的開口 117，形成絕緣膜 129、絕緣膜 131 及絕緣膜 132（參照圖 17A），形成藉由開口 117 接觸於導電膜 113 的圖元電極 221（參照圖 15）。此外，該製程也可以參照實施方式 1 來進行。

[0203] 藉由上述製程，可以製造本實施方式的半導體裝置。

[0204] 如上所述，藉由將對使用與電晶體中的半導體膜相同的製程形成的半導體添加摻雜劑得到的具有導體特性的金屬氧化物（即，具有透光性的導電膜）用作電容元件的電極，可以製造孔徑比得到提高且具有電荷容量增大了的電容元件的半導體裝置。由此，可以得到顯示品質優良的半導體裝置。

[0205] 另外，由於電容元件 305 的一對電極都具有導電性，因此即使縮小電容元件 305 的平面面積也可以得到充分的電荷容量。此外，由於氧化物半導體膜的光穿透率爲 80%至 90%，藉由縮小具有透光性的導電膜 319 的面積來在圖元 301 中形成不設置有具有透光性的導電膜 319 的區域，可以提高從背光等光源照射的光的穿透率。即，可以減弱背光等光源的亮度，由此可以減少半導體裝置的耗電量。

[0206] 另外，包括在電晶體中的半導體膜的氧化物

半導體膜的氧缺陷得到減少並且氫等雜質被減少。其結果，可以抑制電晶體變爲常導通，可以在提高半導體裝置的電特性及可靠性的同時降低半導體裝置的耗電量。

[0207] 注意，本實施方式所示的結構等可以與其他實施方式所示的結構及其變形例適當地組合而使用。

[0208]

實施方式 3

在本實施方式中，參照圖 6A 和圖 6B 對與實施方式 1 及實施方式 2 不同的具有透光性的導電膜的形成方法進行說明。

[0209] 在本實施方式中，藉由對半導體膜照射可見光、紫外線、X 線等的電磁波，可以提高半導體膜的導電性而使其成爲具有導電性的金屬氧化物。參照圖 6A 和圖 6B 對具有透光性的導電膜的製造方法進行說明。

[0210] 如圖 6A 所示，與實施方式 1 同樣地，在基板 102 上形成包括閘極電極的掃描線 107 及電容線 115。接著，在基板 102、包括閘極電極的掃描線 107 及電容線 115 上形成絕緣膜 126。接著，在絕緣膜 126 上形成半導體膜 111 及半導體膜 118。

[0211] 接著，從基板 102 一側對半導體膜 118 照射可見光、紫外線、X 線等的電磁波。在該製程中，由於包括閘極電極的掃描線 107 遮住照射的光，因此半導體膜 111 沒有被照射上述電磁波，所以其導電性沒有提高。

[0212] 當對半導體膜 118 照射電磁波時，半導體膜

118 中生成缺陷。該缺陷成爲載子路徑，半導體膜 118 的導電性提高而變爲具有導電特性的金屬氧化物。可以將該金屬氧化物用作作爲電容元件的電極的具有透光性的導電膜。

[0213] 注意，與實施方式 1 不同，在本實施方式中不需要對絕緣膜 128 及絕緣膜 130 的一部分進行蝕刻的製程。另外，與實施方式 2 不同，不需要進行爲了對半導體膜 118 添加摻雜劑而形成遮罩的製程。由此，可以削減光遮罩個數，從而可以簡化製程並降低成本。

[0214]

實施方式 4

在本實施方式中，以利用橫向電場使液晶分子進行配向的 FFS（Fringe Field Switching：端部電場轉換）模式的液晶顯示裝置爲例對本發明的一個方式的半導體裝置進行說明。注意，在本實施方式中說明的半導體裝置中，與上述實施方式中說明的半導體裝置相同的結構可以參照上述實施方式。

[0215]

<半導體裝置的結構>

圖 18A 和圖 18B 示出本實施方式中說明的圖元 501 的俯視圖。圖 18A 是省略了共用電極 521 的圖元 501 的俯視圖，圖 18B 是在圖 18A 的結構中設置了共用電極 521 的圖元 501 的俯視圖。

[0216] 圖 18A 和圖 18B 所示的圖元 501 包括：電晶

體 103；與該電晶體 103 連接的電容元件 505。電容元件 505 包括：具有透光性的導電膜 519；由具有透光性的導電膜形成的共用電極 521；形成於電晶體 103 上的具有透光性的絕緣膜（圖 18A 和圖 18B 中未圖示）。即，電容元件 505 具有透光性。另外，具有透光性的導電膜 519 與電晶體 103 的導電膜 113 連接而用作圖元電極。另外，共用電極 521 具有開口部（狹縫）。即，藉由對共用電極與圖元電極之間施加電場，可以將具有透光性的導電膜 519、具有透光性的絕緣膜及共用電極 521 彼此重疊的區域用作電容元件並將液晶分子的配向控制爲與基板平行的方向。因此，FFS 模式的液晶顯示裝置的視角優越影像品質更高。

[0217] 接下來，圖 19 示出沿著圖 18B 的點劃線 A1-A2 間的基板 102 的剖面圖。

[0218] 本實施方式中的圖元 501 的剖面結構如下：在基板 102 上設置有包括電晶體 103 的閘極電極的掃描線 107；在掃描線 107 上設置有閘極絕緣膜 127；在閘極絕緣膜 127 的與掃描線 107 重疊的區域上設置有半導體膜 111；在閘極絕緣膜 127 上設置有具有透光性的導電膜 519；在半導體膜 111 上以及閘極絕緣膜 127 上設置有包括電晶體 103 的源極電極的信號線 109 以及包括電晶體 103 的汲極電極的導電膜 113；包括汲極電極的導電膜 113 與具有透光性的導電膜 519 連接；具有透光性的導電膜 519 用作圖元電極；在閘極絕緣膜 127 上、信號線 109

上、半導體膜 111 上、導電膜 113 上設置有用作保護絕緣膜的絕緣膜 229、絕緣膜 231 及絕緣膜 232；具有透光性的導電膜 519 上設置有絕緣膜 232，絕緣膜 232 上設置有共用電極 521；共用電極 521 在圖元部中連續地設置而不在各圖元中分離。注意，在基板 102 與掃描線 107 及閘極絕緣膜 127 之間也可以設置有基底絕緣膜。

[0219] 具有透光性的導電膜 519 可以與實施方式 1 至實施方式 3 中說明的具有透光性的導電膜 319 同樣地形成。共用電極 521 可以使用與實施方式 1 中說明的圖元電極 221 相同的材料形成。

[0220] 藉由如本實施方式中的電容元件 505 那樣使具有透光性的導電膜 519 與電晶體的導電膜 113 連接，即使不設置開口部也可以使導電膜 113 與具有透光性的導電膜 519 直接連接，由此可以提高電晶體 103 及電容元件 505 的平坦性。另外，藉由不設置電容線而將具有透光性的共用電極 521 用作電容線，可以進一步提高圖元 501 的孔徑比。

[0221]

實施方式 5

在本實施方式中，說明在上述實施方式所說明的包括在半導體裝置中的電晶體及電容元件中，可以應用於作爲半導體膜的氧化物半導體膜的一個方式。

[0222] 上述氧化物半導體膜較佳的是由如下半導體構成：非晶氧化物半導體、單晶氧化物半導體、多晶氧化

物半導體以及包括結晶部的氧化物半導體（C Axis Aligned Crystalline Oxide Semiconductor：CAAC-OS）。

[0223] CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一，大部分的結晶部爲能夠容納在一邊短於 100nm 的立方體的尺寸。因此，有時包括在 CAAC-OS 膜中的結晶部爲能夠容納在一邊短於 10nm、短於 5nm 或短於 3nm 的立方體的尺寸。CAAC-OS 膜的缺陷態密度低於微晶氧化物半導體膜。下面，詳細說明 CAAC-OS 膜。

[0224] 在 CAAC-OS 膜的穿透式電子顯微鏡（TEM：Transmission Electron Microscope）影像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界（grain boundary）。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子遷移率的降低。

[0225] 由利用 TEM 所得到的大致平行於樣本面的方向上的 CAAC-OS 膜的影像（剖面 TEM 影像）可知，在結晶部中金屬原子排列爲層狀。各金屬原子層具有反映被形成 CAAC-OS 膜的面（也稱爲被形成面）或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

[0226] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像（平面 TEM 影像）可知，在結晶部中金屬原子排列爲三角形狀或六角形狀。但是，在不同的結晶部之間，金屬原子的排列沒有規律性。

[0227] 由剖面 TEM 影像以及平面 TEM 影像可知，

CAAC-OS 膜的結晶部具有配向性。

[0228] 使用 X 射線繞射（XRD：X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，在利用 out-of-plane 法來分析具有 $InGaZnO_4$ 的結晶的 CAAC-OS 膜時，在繞射角度（2θ）爲 31°附近時常出現峰值。由於該峰值源自 $InGaZnO_4$ 結晶的(009)面，由此可知 CAAC-OS 膜的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0229] 另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ爲 56°附近時常出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的(110)面。在此，在將 2θ固定爲 56°附近並在以樣本面的法線向量爲軸（φ軸）旋轉樣本的條件下進行分析（φ掃描）。在該樣本是 $InGaZnO_4$ 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於（110）面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ固定爲 56°附近的狀態下進行φ掃描也不能觀察到明確的峰值。

[0230] 由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列爲層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

[0231] 注意，結晶部在形成 CAAC-OS 膜或進行加熱

處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0232] 此外，CAAC-OS 膜中的晶化度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由 CAAC-OS 膜的頂面附近的結晶成長而形成時，有時頂面附近的晶化度高於被形成面附近的晶化度。另外，當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的晶化度改變，所以有時 CAAC-OS 膜中的晶化度根據區域而不同。

[0233] 注意，在藉由 out-of-plane 法分析包含 $InGaZnO_4$ 結晶的 CAAC-OS 膜的情況下，除了 2θ爲 31°附近的峰值之外，有時還觀察到 2θ爲 36°附近的峰值。2θ爲 36°附近的峰值示出不具有 c 軸配向性的結晶包含在 CAAC-OS 膜的一部分中。較佳的是，在 CAAC-OS 膜中出現 2θ爲 31°附近的峰值而不出現 2θ爲 36°附近的峰值。

[0234] 作爲形成 CAAC-OS 膜的方法可以舉出如下三個方法。

[0235] 第一個方法是：藉由在 100℃以上且 450℃以下的成膜溫度下形成氧化物半導體膜，形成包括在氧化物半導體膜中的結晶部的 c 軸在平行於被形成面的法線向量或表面的法線向量的方向上一致的結晶部。

[0236] 第二個方法是：藉由在以薄厚度形成氧化物

半導體膜之後進行 200℃以上且 700℃以下的加熱處理，形成包括在氧化物半導體膜中的結晶部的 c 軸在平行於被形成面的法線向量或表面的法線向量的方向上一致的結晶部。

[0237] 第三個方法是：藉由在以薄厚度形成第一層氧化物半導體膜之後進行 200℃以上且 700℃以下的加熱處理，並形成第二層氧化物半導體膜，來形成包括在氧化物半導體膜中的結晶部的 c 軸在平行於被形成面的法線向量或表面的法線向量的方向上一致的結晶部。

[0238] 當將 CAAC-OS 應用於氧化物半導體膜的電晶體時，起因於可見光或紫外光的照射的電特性的變動小。因此，將 CAAC-OS 應用於氧化物半導體膜的電晶體具有高可靠性。

[0239] 此外，CAAC-OS 較佳爲使用多晶的氧化物半導體濺射靶材且利用濺射法形成。當離子碰撞到該濺射靶材時，有時包含在濺射靶材中的結晶區域沿著 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子有時剝離。此時，藉由使該平板狀或顆粒狀的濺射粒子在保持結晶狀態的情況下到達被形成面，可以形成 CAAC-OS。

[0240] 另外，爲了形成 CAAC-OS，較佳爲採用如下條件。

[0241] 藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，可以降低存在於成膜

室內的雜質（氫、水、二氧化碳及氮等）的濃度即可。另外，可以降低成膜氣體中的雜質濃度即可。明確而言，使用露點爲-80℃以下，較佳爲-100℃以下的成膜氣體。

[0242] 另外，藉由增高成膜時的被形成面加熱溫度（例如，基板加熱溫度），在濺射粒子到達被形成面之後發生濺射粒子的遷移。明確而言，在將被形成面加熱溫度設定爲 100℃以上且 740℃以下，較佳爲 150℃以上且 500℃以下的狀態下進行成膜。藉由增高成膜時的被形成面的溫度，當平板狀或顆粒狀的濺射粒子到達被形成面時，在該被形成面上發生遷移，濺射粒子的平坦的面附著到被形成面。

[0243] 另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定爲 30vol.%以上，較佳爲 100 vol.%。

[0244] 以下，作爲濺射靶材的一個例子示出 In-Ga-Zn-O 化合物靶材。

[0245] 藉由將 InO_X 粉末、GaO_Y 粉末及 ZnO_Z 粉末以規定的莫耳數混合，並進行加壓處理，然後在 1000℃以上且 1500℃以下的溫度下進行加熱處理，由此得到多晶的 In-Ga-Zn-O 化合物靶材。此外，也可以在冷卻（放冷）或加熱的同時進行該加壓處理。另外，X、Y 及 Z 爲任意正數。在此，InO_X 粉末、GaO_Y 粉末及 ZnO_Z 粉末的規定的莫耳數比例如爲 2：2：1、8：4：3、3：1：1、

1：1：1、4：2：3 或 3：1：2。另外，粉末的種類及混合粉末時的莫耳數比可以根據所製造的濺射靶材適當地改變即可。

[0246] 另外，氧化物半導體膜也可以採用層疊有多個氧化物半導體膜的結構。例如，也可以作爲氧化物半導體膜採用第一氧化物半導體膜和第二氧化物半導體膜的疊層，並且第一氧化物半導體膜和第二氧化物半導體膜分別使用不同的原子數比的金屬氧化物。例如，可以作爲第一氧化物半導體膜使用包含兩種金屬的氧化物、包含三種金屬的氧化物或者包含四種金屬的氧化物，作爲第二氧化物半導體膜使用與第一氧化物半導體膜不同的兩種金屬的氧化物、包含三種金屬的氧化物或者包含四種金屬的氧化物。

[0247] 作爲氧化物半導體膜採用兩層結構，也可以使第一氧化物半導體膜與第二氧化物半導體膜的構成元素相同，並使兩者的原子數比不同。例如，也可以將第一氧化物半導體膜的原子數比設定爲 In：Ga：Zn=3：1：2，將第二氧化物半導體膜的原子數比設定爲 In：Ga：Zn=1：1：1。此外，也可以將第一氧化物半導體膜的原子數比設定爲 In：Ga：Zn=2：1：3，將第二氧化物半導體膜的原子數比設定爲 In：Ga：Zn=1：3：2。另外，各氧化物半導體膜的原子數比作爲誤差包括上述原子數比的±20%的變動。

[0248] 此時，較佳爲將第一氧化物半導體膜與第二

氧化物半導體膜中的離閘極電極近的一側（通道一側）的氧化物半導體膜的 In 與 Ga 的原子數比設定爲 In≥ Ga。另外，較佳爲將離閘極電極遠的一側（背通道一側）的氧化物半導體膜的 In 與 Ga 的原子數比設定爲 In <Ga。藉由採用這些疊層結構，可以製造場效移動率高的電晶體。另一方面，藉由將離閘極電極近的一側（通道一側）的氧化物半導體膜的 In 與 Ga 的原子數比設定爲 In<Ga，將背通道一側的氧化物半導體膜的 In 與 Ga 的原子數比設定爲 In ≥ Ga，可以減少電晶體的隨時間的變化或因可靠性測試導致的臨界電壓的變動量。

[0249] 原子數比爲 In：Ga：Zn=1：3：2 的第一氧化物半導體膜可以藉由使用原子數比爲 In：Ga：Zn=1：3：2 的氧化物靶材的濺射法來形成。可以將基板溫度設定爲室溫，作爲濺射氣體使用氬或氬及氧的混合氣體來形成。原子數比爲 In：Ga：Zn=3：1：2 的第二氧化物半導體膜可以藉由 In：Ga：Zn=3：1：2 的氧化物靶材與第一氧化物半導體膜同樣地形成。

[0250] 此外，作爲氧化物半導體膜採用三層結構，也可以使第一氧化物半導體膜至第三氧化物半導體膜的構成元素相同，並使它們的原子數比不同。參照圖 20 說明作爲氧化物半導體膜採用三層結構。

[0251] 圖 20 所示的電晶體從閘極絕緣膜 127 一側依次層疊有第一氧化物半導體膜 199a、第二氧化物半導體膜 199b 及第三氧化物半導體膜 199c。作爲構成第一氧化

物半導體膜 199a 及第三氧化物半導體膜 199c 的材料使用可以以 $InM1_xZn_yO_z$（$x \geq 1$，$y>1$，$z>0$，M1=Ga、Hf 等）表示的材料。注意，當使構成第一氧化物半導體膜 199a 及第三氧化物半導體膜 199c 的材料中包含 Ga 時，所包含的 Ga 的比例多，明確而言，當可以以 $InM1_xZn_yO_z$ 表示的材料超過 x=10 時，在成膜時有可能發生粉末，所以不適合的。

[0252] 此外，構成第二氧化物半導體膜 199b 的材料使用可以以 $InM2_xZn_yO_z$（$x \geq 1$，$y \geq x$，$z>0$，M2=Ga、Sn 等）表示的材料。

[0253] 以構成如下結構的方式適當地選擇第一氧化物半導體膜 199a、第二氧化物半導體膜 199b 及第三氧化物半導體膜 199c 的材料，該結構是與第一氧化物半導體膜 199a 的傳導帶及第三氧化物半導體膜 199c 的傳導帶相比第二氧化物半導體膜 199b 的傳導帶離真空能階更深的阱結構。

[0254] 此外，在氧化物半導體膜中第 14 族元素之一的矽或碳成爲施體的供應源。由此，當矽或碳包含在氧化物半導體膜中時，氧化物半導體膜有可能成爲 n 型化。由此，包含在各氧化物半導體膜中的矽的濃度及碳的濃度爲 $3\times10^{18}/cm^3$ 以下，較佳爲 $3\times10^{17}/cm^3$ 以下。尤其是，爲了不在第二氧化物半導體膜 199b 中混入多量的第 14 族元素，較佳爲用第一氧化物半導體膜 199a 及第三氧化物半導體膜 199c 夾住成爲載子路經的第二氧化物半導體膜

199b 或圍繞第二氧化物半導體膜 199b。即，第一氧化物半導體膜 199a 及第三氧化物半導體膜 199c 也可以稱爲障壁膜，該障壁膜防止在第二氧化物半導體膜 199b 中混入矽、碳等第 14 族元素。

[0255] 例如，也可以將第一氧化物半導體膜 199a 的原子數比設定爲 In：Ga：Zn=1：3：2，將第二氧化物半導體膜 199b 的原子數比設定爲 In：Ga：Zn=3：1：2，將第三氧化物半導體膜 199c 的原子數比設定爲 In：Ga：Zn=1：1：1。此外，第三氧化物半導體膜 199c 可以藉由使用原子數比爲 In：Ga：Zn=1：1：1 的氧化物靶材的濺射法來形成。

[0256] 或者，也可以採用層疊如下膜的三層結構：作爲第一氧化物半導體膜 199a 使用將原子數比設定爲 In：Ga：Zn=1：3：2 的氧化物半導體膜；作爲第二氧化物半導體膜 199b 使用將原子數比設定爲 In：Ga：Zn=1：1：1 或 In：Ga：Zn=1：3：2 的氧化物半導體膜；以及作爲第三氧化物半導體膜 199c 使用將原子數比設定爲 In：Ga：Zn=1：3：2 的氧化物半導體膜。

[0257] 由於第一氧化物半導體膜 199a 至第三氧化物半導體膜 199c 的構成元素相同，所以第二氧化物半導體膜 199b 與第一氧化物半導體膜 199a 之間的介面的缺陷能階（陷阱能階）密度很低。詳細地說，該缺陷能階（陷阱能階）比閘極絕緣膜 127 與第一氧化物半導體膜 199a 之間的介面的缺陷能階密度低。由此，如上所述藉由層疊氧

化物半導體膜，可以減少電晶體的隨時間的變化或因可靠性測試導致的臨界電壓的變動量。

[0258] 此外，藉由以構成如下結構的方式適當地選擇第一氧化物半導體膜 199a、第二氧化物半導體膜 199b 及第三氧化物半導體膜 199c 的材料，該阱結構是與第一氧化物半導體膜 199a 的傳導帶及第三氧化物半導體膜 199c 的傳導帶相比第二氧化物半導體膜 199b 的傳導帶離真空能階更深的阱結構，可以提高電晶體的場效移動率，並可以減少電晶體的隨時間的變化或因可靠性測試導致的臨界電壓的變動量。

[0259] 另外，也可以作爲第一氧化物半導體膜 199a 至第三氧化物半導體膜 199c 應用結晶性不同的氧化物半導體。就是說，也可以採用適當地組合單晶氧化物半導體、多晶氧化物半導體、非晶氧化物半導體及 CAAC-OS 的結構。此外，當第一氧化物半導體膜 199a 至第三氧化物半導體膜 199c 中的任一個使用非晶氧化物半導體時，可以緩和氧化物半導體膜的內部應力或外部應力，而降低電晶體的特性偏差。此外，可以減少電晶體的隨時間的變化或因可靠性測試導致的臨界電壓的變動量。

[0260] 此外，至少成爲通道形成區的第二氧化物半導體膜 199b 較佳爲 CAAC-OS。另外，背通道一側的氧化物半導體膜，本實施方式中的第三氧化物半導體膜 199c 較佳爲非晶或 CAAC-OS。藉由採用上述那樣的結構，可以減少電晶體的隨時間的變化或因可靠性測試導致的臨界

電壓的變動量。

[0261] 本實施方式所示的結構等可以與其他實施方式所示的結構適當地組合而使用。

[0262]

實施方式 6

藉由使用上述實施方式所例示的電晶體及電容元件可以製造具有顯示功能的半導體裝置（也稱爲顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或全部與圖元部一起形成在同一個基板上，可以形成系統整合型面板（system-on-panel）。在本實施方式中，參照圖 21A 至圖 23C 說明使用上述實施方式所示的電晶體的顯示裝置的例子。此外，圖 22A、圖 22B 是示出沿圖 21B 中的 M-N 點劃線的剖面結構的剖面圖。此外，在圖 22A 及圖 22B 中關於圖元部的結構只記載其一部分。

[0263] 在圖 21A 中，以圍繞設置在第一基板 901 上的圖元部 902 的方式設置有密封材料 905，並且使用第二基板 906 進行密封。在圖 21A 中，在第一基板 901 上的與由密封材料 905 圍繞的區域不同的區域中安裝有使用單晶半導體或多晶半導體形成在另行準備的基板上的信號線驅動電路 903 及掃描線驅動電路 904。此外，供應到信號線驅動電路 903、掃描線驅動電路 904 或者圖元部 902 的各種信號及電位藉由 FPC（Flexible printed circuit：撓性印刷電路）918a、FPC918b 供應。

[0264] 在圖 21B 和圖 21C 中，以圍繞設置在第一基

板 901 上的圖元部 902 和掃描線驅動電路 904 的方式設置有密封材料 905。此外，在圖元部 902 和掃描線驅動電路 904 上設置有第二基板 906。因此，圖元部 902 及掃描線驅動電路 904 與顯示元件一起由第一基板 901、密封材料 905 以及第二基板 906 密封。在圖 21B 和圖 21C 中，在第一基板 901 上的與由密封材料 905 圍繞的區域不同的區域中安裝有使用單晶半導體或多晶半導體形成在另行準備的基板上的信號線驅動電路 903。在圖 21B 和圖 21C 中，供應到信號線驅動電路 903、掃描線驅動電路 904 或者圖元部 902 的各種信號及電位由 FPC918 供應。

[0265] 此外，圖 21B 和圖 21C 示出另行形成信號線驅動電路 903 並且將其安裝到第一基板 901 的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以僅另行形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

[0266] 另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG（Chip On Glass：晶粒玻璃接合）方法、打線接合方法或者 TAB（Tape Automated Bonding：捲帶式自動接合）方法等。圖 21A 是藉由 COG 方法安裝信號線驅動電路 903、掃描線驅動電路 904 的例子，圖 21B 是藉由 COG 方法安裝信號線驅動電路 903 的例子，而圖 21C 是藉由 TAB 方法安裝信號線驅動電路 903 的例子。

[0267] 此外，顯示裝置包括顯示元件爲密封狀態的

面板和在該面板中安裝有 IC 諸如控制器等的模組。

[0268] 注意，本說明書中的顯示裝置是指影像顯示裝置或顯示裝置。此外，也可以用作光源（包括照明設備）代替顯示裝置。另外，顯示裝置還包括：安裝有諸如 FPC 或 TCP 的連接器的模組；在 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方法將 IC（積體電路）直接安裝到顯示元件的模組。

[0269] 此外，設置在第一基板上的圖元部及掃描線驅動電路具有多個電晶體，可以應用上述實施方式所示的電晶體。

[0270] 作爲設置在顯示裝置中的顯示元件，可以使用液晶元件（也稱爲液晶顯示元件）、發光元件（也稱爲發光顯示元件）。發光元件將由電流或電壓控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（Electro Luminescence：電致發光）元件、有機 EL 元件等。此外，也可以應用電子墨水等由於電作用而改變對比度的顯示媒介。圖 22A 和圖 22B 示出作爲顯示元件使用液晶元件的液晶顯示裝置的例子。

[0271] 圖 22A 所示的液晶顯示裝置是垂直電場方式的液晶顯示裝置。液晶顯示裝置包括連接端子電極 915 及端子電極 916，連接端子電極 915 及端子電極 916 藉由各向異性導電劑 919 電連接到 FPC918 所具有的端子。

[0272] 連接端子電極 915 由與第一電極 930 相同的導電膜形成，並且，端子電極 916 由與電晶體 910、電晶

體 911 的源極電極及汲極電極相同的導電膜形成。

[0273] 此外，設置在第一基板 901 上的圖元部 902 和掃描線驅動電路 904 包括多個電晶體，例示包括在圖元部 902 中的電晶體 910、包括在掃描線驅動電路 904 中的電晶體 911。在電晶體 910 及電晶體 911 上設置有相當於實施方式 1 所示的絕緣膜 229 及絕緣膜 231 的絕緣膜 924 以及相當於絕緣膜 232 的絕緣膜 934。此外，絕緣膜 923 用作基底膜。

[0274] 在本實施方式中，作爲電晶體 910 可以應用上述實施方式 1 所示的電晶體。另外，使用具有透光性的導電膜 927、絕緣膜 924 及第一電極 930 構成電容元件 926。此外，具有透光性的導電膜 927 藉由電極 928 電連接於電容佈線 929。電極 928 使用與電晶體 910、電晶體 911 的源極電極及汲極電極相同的材料及相同的製程形成。電容佈線 929 使用與電晶體 910、電晶體 911 的閘極電極相同的材料及相同的製程形成。注意，這裡作爲電容元件 926 示出實施方式 1 所示的電容元件，但是，也可以適當地使用其他實施方式所示的電容元件。

[0275] 設置在圖元部 902 中的電晶體 910 與顯示元件電連接，而構成顯示面板。顯示元件只要能夠進行顯示就沒有特別的限制，而可以使用各種各樣的顯示元件。

[0276] 作爲顯示元件的液晶元件 913 包括第一電極 930、第二電極 931 以及液晶層 908。另外，以夾持液晶層 908 的方式設置有用作配向膜的絕緣膜 932、絕緣膜

933。此外，第二電極 931 設置在第二基板 906 一側，並且，第一電極 930 和第二電極 931 隔著液晶層 908 重疊。

[0277] 關於對顯示元件施加電壓的第一電極及第二電極（也稱爲圖元電極、共用電極、對電極等），可以根據取出光的方向、設置電極的地方以及電極的圖案結構選擇透光性或反射性。

[0278] 第一電極 930 及第二電極 931 可以適當地使用與實施方式 1 所示的圖元電極 221 及對電極 154 相同的材料。

[0279] 此外，間隔物 935 是藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是爲控制第一電極 930 與第二電極 931 之間的間隔（單元間隙）而設置的。此外，也可以使用球狀間隔物。

[0280] 當作爲顯示元件使用液晶元件時，可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。這些液晶材料根據條件呈現出膽固醇相、近晶相、立方相、手向列相、各向同性相等。

[0281] 另外，也可以使用不使用配向膜的呈現藍相的液晶。藍相是液晶相中之一種，當使膽固醇相液晶的溫度升高時，在即將由膽固醇相轉變成各向同性相之前呈現。由於藍相只出現在較窄的溫度範圍內，所以爲了改善溫度範圍而將混合手性試劑的液晶組成物用於液晶層。此外，配向膜由有機樹脂構成，由於有機樹脂包含氫或水

等，所以有可能降低本發明的一個方式的半導體裝置的電晶體的電特性。於是，藉由作爲液晶層 160 使用藍相，可以製造本發明的一個方式的半導體裝置而不使用有機樹脂，可以獲得可靠性高的半導體裝置。

[0282] 第一基板 901 和第二基板 906 由密封材料 925 固定。作爲密封材料 925，可以使用熱固性樹脂或光硬化性樹脂等有機樹脂。另外，密封材料 925 接觸於絕緣膜 924。此外，密封材料 925 相當於圖 21A 至圖 21C 所示的密封材料 905。

[0283] 此外，在液晶顯示裝置中，適當地設置黑矩陣（遮光膜）、偏振構件、相位差構件、抗反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作爲光源，也可以使用背光、側光燈等。

[0284] 此外，由於電晶體容易被靜電等損壞，所以較佳的是設置用來保護驅動電路的保護電路。保護電路較佳的是使用非線性元件構成。

[0285] 接著，參照圖 22B 說明橫向電場方式的液晶顯示裝置。圖 22B 示出作爲橫向電場方式的一個例子的 FFS 模式的液晶顯示裝置。以下說明與實施方式 4 所示的橫向電場方式的液晶顯示裝置不同的結構。

[0286] 在圖 22B 所示的液晶顯示裝置中，連接端子電極 915 使用與第一電極 940 相同的材料及製程形成，端子電極 916 使用與電晶體 910、911 的源極電極及汲極電

極相同的材料及製程形成。

[0287] 此外，液晶元件 943 包括形成在絕緣膜 924 上的第一電極 940、第二電極 941 以及液晶層 908。另外，液晶元件 943 可以採用與實施方式 1 所示的電容元件 205 相同的結構。第一電極 940 可以適當地使用圖 22A 所示的第一電極 930 所示的材料。此外，第一電極 940 的平面形狀爲梳齒狀、階梯狀、梯子狀等。第二電極 941 用作共用電極，可以與實施方式 1 至實施方式 3 所示的具有透光性的導電膜同樣地形成。在第一電極 940 與第二電極 941 之間設置有絕緣膜 924。

[0288] 第二電極 941 藉由電極 945 與公共佈線 946 連接。另外，電極 945 由與電晶體 910、電晶體 911 的源極電極及汲極電極相同的導電膜形成。公共佈線 946 使用與電晶體 910、電晶體 911 的閘極電極相同的材料及相同的製程形成。此外，這裡，作爲液晶元件 943 使用實施方式 1 所示的電容元件說明，但是也可以適當地使用其他實施方式所示的電容元件。

[0289] 圖 23A 至圖 23C 示出在圖 22A 所示的液晶顯示裝置中與將設置在基板 906 上的第二電極 931 電連接的公共連接部（焊盤部）形成在基板 901 上的例子。

[0290] 公共連接部配置於與用來黏結基板 901 和基板 906 的密封材料重疊的位置，並且藉由密封材料所包含的導電粒子與第二電極 931 電連接。或者，在不與密封材料重疊的位置（注意，圖元部以外的位置）設置公共連接

部，並且，以與公共連接部重疊的方式將包含導電粒子的膏劑與密封材料另行設置，而與第二電極 931 電連接。

[0291] 圖 23A 是公共連接部的剖面圖，並相當於圖 23B 所示的俯視圖的 I-J。

[0292] 共用電位線 975 設置在閘極絕緣膜 922 上並利用與圖 23A 和圖 23C 所示的電晶體 910 的源極電極 971 或汲極電極 973 相同的材料及製程製造。

[0293] 此外，共用電位線 975 由絕緣膜 924 及絕緣膜 934 覆蓋，絕緣膜 924 及絕緣膜 934 在重疊於共用電位線 975 的位置上具有多個開口。該開口在與使電晶體 910 的源極電極 971 或汲極電極 973 與第一電極 930 連接的接觸孔相同的製程中製造。

[0294] 此外，共用電位線 975 及共用電極 977 在開口中連接。共用電極 977 設置在絕緣膜 934 上，並使用與連接端子電極 915、圖元部的第一電極 930 相同的材料及製程製造。

[0295] 如此，與圖元部 902 的切換元件的製程共同地製造公共連接部。

[0296] 共用電極 977 是與包括在密封材料中的導電粒子接觸的電極，並與基板 906 的第二電極 931 電連接。

[0297] 此外，如圖 23C 所示，共用電位線 985 也可以使用與電晶體 910 的閘極電極相同的材料及製程製造。

[0298] 在圖 23C 所示的公共連接部中，共用電位線 985 設置在閘極絕緣膜 922、絕緣膜 924 及絕緣膜 934 的

下層，閘極絕緣膜 922、絕緣膜 924 及絕緣膜 934 在重疊於共用電位線 985 的位置上具有多個開口。該開口在與使電晶體 910 的源極電極 971 或汲極電極 973 與第一電極 930 連接的接觸孔相同的製程中對絕緣膜 924 進行蝕刻之後，還對閘極絕緣膜 922 選擇性地進行蝕刻形成。

[0299] 此外，共用電位線 985 及共用電極 987 在開口中連接。共用電極 987 設置在絕緣膜 924 上，並使用與連接端子電極 915、圖元部的第一電極 930 相同的材料及製程製造。

[0300] 如上所述，藉由應用上述實施方式所示的電晶體及電容元件，可以提供孔徑比得到提高且具有電荷容量增大了的電容元件的半導體裝置。其結果是，可以獲得顯示品質優良的半導體裝置。

[0301] 另外，由於包括在電晶體中的半導體膜的氧化物半導體膜的氧缺陷得到減少並且氫等雜質被減少，因此本發明的一個方式的半導體裝置爲具有良好的電特性且耗電量低的半導體裝置。

[0302] 本實施方式所示的結構等可以適當地與其他實施方式所示的結構等組合而使用。

[0303]

實施方式 7

本發明的一個方式的半導體裝置可以應用於各種電子裝置（也包括遊戲機）。作爲電子裝置，可以舉出電視機（也稱爲電視或電視接收機）、用於電腦等的顯示器、影

像拍攝裝置諸如數位相機或數位攝影機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、遊戲機（彈珠機（pachinko machine）或投幣機（slot machine）等）、外殼遊戲機。圖 24A 至圖 24C 示出上述電子裝置的一個例子。

[0304] 圖 24A 示出具有顯示部的桌子 9000。在桌子 9000 中，外殼 9001 組裝有顯示部 9003，利用顯示部 9003 可以顯示影像。另外，示出利用四個桌腿 9002 支撐外殼 9001 的結構。另外，外殼 9001 具有用於供應電力的電源供應線 9005。

[0305] 可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9003。由此可以提高顯示部 9003 的顯示品質。

[0306] 顯示部 9003 具有觸屏輸入功能，藉由用手指等按觸顯示於桌子 9000 的顯示部 9003 中的顯示按鈕 9004 來可以進行屏面操作或資訊輸入，並且桌子 9000 也可以用作如下控制裝置，即藉由使其具有能夠與其他家電產品進行通信的功能或能夠控制其他家電產品的功能，而藉由屏面操作控制其他家電產品。例如，藉由使用具有影像感測器功能的半導體裝置，可以使顯示部 9003 具有觸屏輸入功能。

[0307] 另外，利用設置於外殼 9001 的鉸鏈也可以將顯示部 9003 的屏面以垂直於地板的方式立起來，從而也可以將桌子用作電視機。雖然當在小房間裏設置大屏面的

電視機時自由使用的空間變小，但是若在桌子內安裝有顯示部則可以有效地利用房間的空間。

[0308] 圖 24B 示出電視機 9100。在電視機 9100 中，外殼 9101 組裝有顯示部 9103，並且利用顯示部 9103 可以顯示影像。此外，在此示出利用支架 9105 支撐外殼 9101 的結構。

[0309] 藉由利用外殼 9101 所具備的操作開關、另外提供的遙控器 9110，可以進行電視機 9100 的操作。藉由利用遙控器 9110 所具備的操作鍵 9109，可以進行頻道及音量的操作，並可以對在顯示部 9103 上顯示的影像進行操作。此外，也可以採用在遙控器 9110 中設置顯示從該遙控器 9110 輸出的資訊的顯示部 9107 的結構。

[0310] 圖 24B 所示的電視機 9100 具備接收機及數據機等。電視機 9100 可以利用接收機接收一般的電視廣播。再者，電視機 9100 藉由數據機連接到有線或無線方式的通信網路，也可以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間等）的資訊通信。

[0311] 可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9103、9107。由此可以提高電視機的顯示品質。

[0312] 圖 24C 示出電腦 9200，該電腦包括主體 9201、外殼 9202、顯示部 9203、鍵盤 9204、外部連接埠 9205、指向裝置 9206 等。

[0313] 可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9203。由此可以提高電腦 9200 的顯示品質。

[0314] 圖 25A 和圖 25B 是能夠折疊的平板終端。圖 25A 是打開的狀態，並且平板終端包括外殼 9630、顯示部 9631a、顯示部 9631b、顯示模式切換開關 9034、電源開關 9035、省電模式切換開關 9036、卡子 9033 以及操作開關 9038。

[0315] 可以將上述實施方式中任一個所示的半導體裝置用於顯示部 9631a、9631b。由此可以提高平板終端的顯示品質。

[0316] 在顯示部 9631a 中，可以將其一部分用作觸摸屏的區域 9632a，並且可以藉由按觸所顯示的操作鍵 9638 來輸入資料。此外，作爲一個例子在此示出：顯示部 9631a 的一半只具有顯示的功能，並且另一半具有觸摸屏的功能，但是不侷限於該結構。也可以採用顯示部 9631a 的全部區域具有觸摸屏的功能的結構。例如，可以使顯示部 9631a 的整個面顯示鍵盤按鈕來將其用作觸摸屏，並且將顯示部 9631b 用作顯示幕面。

[0317] 此外，顯示部 9631b 也與顯示部 9631a 同樣，可以將其一部分用作觸摸屏的區域 9632b。此外，藉由使用手指或觸控筆等按觸觸摸屏的顯示鍵盤顯示切換按鈕 9639 的位置，可以在顯示部 9631b 顯示鍵盤按鈕。

[0318] 此外，也可以對觸摸屏的區域 9632a 和觸摸

屏的區域 9632b 同時進行按觸輸入。

[0319] 另外，顯示模式切換開關 9034 能夠進行豎屏顯示和橫屏顯示等顯示的方向的切換以及黑白顯示或彩色顯示等的切換等。根據內置於平板終端中的光感測器所檢測的使用時的外光的光量，省電模式切換開關 9036 可以將顯示的亮度設定爲最適合的亮度。平板終端除了光感測器以外還可以內置陀螺儀和加速度感測器等檢測傾斜度的感測器等的其他檢測裝置。

[0320] 此外，圖 25A 示出顯示部 9631b 的顯示面積與顯示部 9631a 的顯示面積相同的例子，但是不侷限於此，一方的尺寸和另一方的尺寸可以不同，並且它們的顯示品質也可以不同。例如顯示部 9631a 和顯示部 9631b 中的一方可以進行比另一方更高精細的顯示。

[0321] 圖 25B 是合上的狀態，並且平板終端包括外殼 9630、太陽能電池 9633、充放電控制電路 9634。此外，在圖 25B 中，作爲充放電控制電路 9634 的一個例子示出具有電池 9635 和 DCDC 轉換器 9636 的結構。

[0322] 此外，平板終端可以折疊，因此不使用時可以合上外殼 9630。因此，可以保護顯示部 9631a 和顯示部 9631b，而可以提供一種具有良好的耐久性且從長期使用的觀點來看具有良好的可靠性的平板終端。

[0323] 此外，圖 25A 和圖 25B 所示的平板終端還可以具有如下功能：顯示各種各樣的資訊（靜態影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示

部上；對顯示在顯示部上的資訊進行操作或編輯的觸摸輸入；藉由各種各樣的軟體（程式）控制處理等。

[0324] 藉由利用安裝在平板終端的表面上的太陽能電池 9633，可以將電力供應到觸摸屏、顯示部或影像信號處理部等。注意，太陽能電池 9633 可以設置在外殼 9630 的一面或兩面，因此可以進行高效的電池 9635 的充電。另外，當作爲電池 9635 使用鋰離子電池時，有可以實現小型化等的優點。

[0325] 另外，參照圖 25C 所示的方塊圖對圖 25B 所示的充放電控制電路 9634 的結構和工作進行說明。圖 25C 示出太陽能電池 9633、電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 以及顯示部 9631，電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 對應於圖 25B 所示的充放電控制電路 9634。

[0326] 首先，說明在利用外光使太陽能電池 9633 發電時的工作的例子。使用 DCDC 轉換器 9636 對太陽能電池所產生的電力進行升壓或降壓以使它成爲用來對電池 9635 進行充電的電壓。並且，當利用來自太陽能電池 9633 的電力使顯示部 9631 工作時使開關 SW1 導通，並且，利用轉換器 9637 將其升壓或降壓到顯示部 9631 所需要的電壓。另外，當不進行顯示部 9631 中的顯示時，可以採用使 SW1 截止且使 SW2 導通來對電池 9635 進行充電的結構。

[0327] 注意，作爲發電單元的一個例子示出太陽能電池 9633，但是不侷限於此，也可以使用壓電元件（piezoelectric element）或熱電轉換元件（珀耳帖元件（Peltier element））等其他發電單元進行電池 9635 的充電。例如，也可以使用以無線（不接觸）的方式能夠收發電力來進行充電的無線電力傳輸模組或組合其他充電方法進行充電。

[0328] 本實施方式所示的結構等可以與其他實施方式所示的結構適當地組合而實施。

實施例 1

[0329] 在本實施例中，參照圖 26A 至圖 27 對氧化物半導體膜及多層膜的電阻進行說明。

[0330] 首先，參照圖 26A 至圖 26D 對樣本的結構進行說明。

[0331] 圖 26A 是樣本 1 至樣本 4 的俯視圖，圖 26B、圖 26C 及圖 26D 示出點劃線 A1-A2 的剖面圖。此外，由於樣本 1 至樣本 4 的俯視圖相同但剖面的疊層結構不同，所以剖面圖不同。圖 26B 示出樣本 1 的剖面圖，圖 26C 示出樣本 2 的剖面圖，圖 26D 示出樣本 3 及樣本 4 的剖面圖。

[0332] 在樣本 1 中，在玻璃基板 1901 上形成絕緣膜 1903，在絕緣膜 1903 上形成絕緣膜 1904，在絕緣膜 1904 上形成氧化物半導體膜 1905。此外，由用作電極的導電

膜 1907、1909 覆蓋氧化物半導體膜 1905 的兩端，由絕緣膜 1910、1911 覆蓋氧化物半導體膜 1905 及導電膜 1907、1909。另外，在絕緣膜 1910、1911 中設置有開口部 1913、1915，在該開口部露出導電膜 1907、1909。

[0333] 在樣本 2 中，在玻璃基板 1901 上形成絕緣膜 1903，在絕緣膜 1903 上形成絕緣膜 1904，在絕緣膜 1904 上形成氧化物半導體膜 1905。此外，由用作電極的導電膜 1907、1909 覆蓋氧化物半導體膜 1905 的兩端，由絕緣膜 1911 覆蓋氧化物半導體膜 1905 及導電膜 1907、1909。另外，在絕緣膜 1911 中設置有開口部 1917、1919，在該開口部露出導電膜 1907、1909。

[0334] 在樣本 3 及樣本 4 中，在玻璃基板 1901 上形成絕緣膜 1903，在絕緣膜 1903 上形成絕緣膜 1904，在絕緣膜 1904 上形成多層膜 1906。此外，由用作電極的導電膜 1907、1909 覆蓋多層膜 1906 的兩端，由絕緣膜 1911 覆蓋多層膜 1906 及導電膜 1907、1909。另外，在絕緣膜 1911 中設置有開口部 1917、1919，在該開口部露出導電膜 1907、1909。

[0335] 像這樣，樣本 1 至樣本 4 的不同之處是接觸於氧化物半導體膜 1905 或多層膜 1906 上的絕緣膜的結構。在樣本 1 中，氧化物半導體膜 1905 與絕緣膜 1910 接觸，在樣本 2 中，氧化物半導體膜 1905 與絕緣膜 1911 接觸，在樣本 3 及樣本 4 中，多層膜 1906 與絕緣膜 1911 接觸。

[0336] 接著，說明各樣本的製造方法。

[0337] 首先，說明樣本 1 的製造方法。

[0338] 作爲絕緣膜 1903，藉由電漿 CVD 法在玻璃基板 1901 上形成厚度爲 400nm 的氮化矽膜。

[0339] 接著，作爲絕緣膜 1904，藉由電漿 CVD 法在絕緣膜 1903 上形成厚度爲 50nm 的氧氮化矽膜。

[0340] 接著，作爲氧化物半導體膜 1905，藉由濺射法使用金屬氧化物靶材（In：Ga：Zn=1：1：1）在絕緣膜 1904 上形成厚度爲 35nm 的 In-Ga-Zn 氧化物膜（下面，也稱爲 IGZO 膜）。然後，使用藉由光微影製程形成的遮罩進行蝕刻處理來形成氧化物半導體膜 1905。

[0341] 接著，藉由濺射法在絕緣膜 1903 及氧化物半導體膜 1905 上依次層疊厚度爲 50nm 的鎢膜、厚度爲 400nm 的鋁膜及厚度爲 100nm 的鈦膜，然後使用藉由光微影製程形成的遮罩進行蝕刻處理，來形成導電膜 1907 及導電膜 1909。

[0342] 接著，作爲絕緣膜 1910，藉由電漿 CVD 法在絕緣膜 1904、氧化物半導體膜 1905、導電膜 1907 及導電膜 1909 上形成厚度爲 450nm 的氧氮化矽膜，然後在氮及氧的混合氛圍下以 350℃ 進行 1 小時的加熱處理。

[0343] 接著，作爲絕緣膜 1911，藉由電漿 CVD 法在絕緣膜 1910 上形成厚度爲 50nm 的氮化矽膜。

[0344] 接著，在絕緣膜 1911 上設置藉由光微影製程形成的遮罩，然後進行蝕刻處理，來形成絕緣膜 1910、

絕緣膜 1911 中的開口部 1913、1915。

[0345] 藉由上述製程製造樣本 1。

[0346] 接著，說明樣本 2 的製造方法。

[0347] 作爲絕緣膜 1910，藉由電漿 CVD 法在樣本 1 的絕緣膜 1903、氧化物半導體膜 1905、導電膜 1907 及導電膜 1909 上形成厚度爲 450nm 的氧氮化矽膜，然後在氮及氧的混合氛圍下以 350℃進行 1 小時的加熱處理。然後去除絕緣膜 1910。

[0348] 接著，作爲絕緣膜 1911，藉由電漿 CVD 法在絕緣膜 1904、氧化物半導體膜 1905、導電膜 1907 及導電膜 1909 上形成厚度爲 50nm 的氮化矽膜。

[0349] 接著，在絕緣膜 1911 上設置藉由光微影製程形成的遮罩，然後進行蝕刻處理，來在絕緣膜 1911 中形成開口部 1917、1919。

[0350] 藉由上述製程製造樣本 2。

[0351] 接著，說明樣本 3 的製造方法。

[0352] 樣本 3 使用多層膜 1906 代替樣本 2 的氧化物半導體膜 1905。作爲多層膜 1906，在絕緣膜 1904 上使用金屬氧化物靶材（In：Ga：Zn=1：3：2）藉由濺射法形成厚度爲 10nm 的 IGZO 膜，接著使用金屬氧化物靶材（In：Ga：Zn=1：1：1）藉由濺射法形成厚度爲 10nm 的 IGZO 膜，使用金屬氧化物靶材（In：Ga：Zn=1：3：2）藉由濺射法形成厚度爲 10nm 的 IGZO 膜。然後，使用藉由光微影製程形成的遮罩進行蝕刻處理，來形成多層膜

1906。

[0353] 藉由上述製程製造樣本 3。

[0354] 接著，說明樣本 4 的製造方法。

[0355] 樣本 4 使用多層膜 1906 代替樣本 2 的氧化物半導體膜 1905。此外，對樣本 4 與樣本 3 進行比較時構成多層膜 1906 的 IGZO 膜的厚度彼此不同。作爲多層膜 1906，在絕緣膜 1904 上使用金屬氧化物靶材（In：Ga：Zn=1：3：2）藉由濺射法形成厚度爲 20nm 的 IGZO 膜，接著使用金屬氧化物靶材（In：Ga：Zn=1：1：1）藉由濺射法形成厚度爲 15nm 的 IGZO 膜，使用金屬氧化物靶材（In：Ga：Zn=1：3：2）藉由濺射法形成厚度爲 10nm 的 IGZO 膜。然後，使用藉由光微影製程形成的遮罩進行蝕刻處理，來形成分離的多層膜 1906。

[0356] 藉由上述製程製造樣本 4。

[0357] 接著，對設置在樣本 1 至樣本 4 中的氧化物半導體膜 1905 及多層膜 1906 的薄層電阻進行測量。在樣本 1 中，將探針接觸於開口部 1913 及開口部 1915，對氧化物半導體膜 1905 的薄層電阻進行測量。此外，在樣本 2 至樣本 4 中，將探針接觸於開口部 1917 及開口部 1919，對氧化物半導體膜 1905 或多層膜 1906 的薄層電阻進行測量。此外，在樣本 1 至樣本 4 的氧化物半導體膜 1905 及多層膜 1906 中，導電膜 1907 與導電膜 1909 對置的寬度爲 1mm，距離爲 10μm。此外，在樣本 1 至樣本 4 中，導電膜 1907 爲接地電位，對導電膜 1909 施加 1V。

[0358] 圖 27 示出樣本 1 至樣本 4 的薄層電阻。

[0359] 樣本 1 的薄層電阻大約爲 $1\times10^{11}\Omega/sq$。樣本 2 的薄層電阻爲 2620Ω/sq。樣本 3 的薄層電阻爲 4410Ω/sq。另外，樣本 4 的薄層電阻爲 2930Ω/sq。

[0360] 像這樣，接觸於氧化物半導體膜 1905 及多層膜 1906 的絕緣膜的不同，氧化物半導體膜 1905 及多層膜 1906 的薄層電阻不同。

[0361] 另外，當將上述樣本 1 至樣本 4 的薄層電阻換算爲電阻率時，樣本 1 爲 $3.9\times10^{5}\Omega cm$，樣本 2 爲 $9.3\times10^{-3}\Omega cm$，樣本 3 爲 $1.3\times10^{-2}\Omega cm$，樣本 4 爲 $1.3\times10^{-2}\Omega cm$。

[0362] 在樣本 1 中，在氧化物半導體膜 1905 上且與其接觸地形成有用於絕緣膜 1910 的氧氮化矽膜，與用於絕緣膜 1911 的氮化矽膜離開地形成。另一方面，在樣本 2 至樣本 4 中，在氧化物半導體膜 1905 及多層膜 1906 上且與其接觸地形成有用於絕緣膜 1911 的氮化矽膜。像這樣，藉由氧化物半導體膜 1905 及多層膜 1906 與用於絕緣膜 1911 的氮化矽膜接觸地設置，在氧化物半導體膜 1905 及多層膜 1906 中形成缺陷，典型地形成氧缺陷，並包含在該氮化矽膜中的氫移動或擴散到氧化物半導體膜 1905 及多層膜 1906。其結果是提高氧化物半導體膜 1905 及多層膜 1906 的導電性。

[0363] 例如，當作爲電晶體的通道形成區使用氧化物半導體膜時，如樣本 1 所示較佳的是與氧化物半導體膜

接觸地設置氧氮化矽膜。此外，作爲用於電容元件的電極的具有透光性的導電膜，如樣本 2 至樣本 4 所示，較佳的是與氧化物半導體膜或多層膜接觸地設置氮化矽膜。藉由使用這種結構，即使在同一製程中形成用於電晶體的通道形成區的氧化物半導體膜或多層膜以及用於電容元件的電極的氧化物半導體膜或多層膜，也可以改變氧化物半導體膜及多層膜的電阻率。

[0364] 接著，在樣本 2 及樣本 3 中，對保存在高溫度且高濕度的環境下的樣本的薄層電阻值以及改變測量溫度時的樣本的薄層電阻值進行測量。以下說明這裡所使用的各樣本的條件。此外，這裡，在一部分的條件中，使用樣本 2 及樣本 3 彼此不同的條件。由此，將樣本 2 與樣本 3 的結構相同但製造條件不同的樣本分別稱爲樣本 2a 及樣本 3a。

[0365] 首先，說明樣本 2a 的製造方法。

[0366] 在玻璃基板 1901 上形成絕緣膜 1903 及絕緣膜 1904。

[0367] 作爲氧化物半導體膜 1905，藉由濺射法使用金屬氧化物靶材（In：Ga：Zn=1：1：1）在絕緣膜 1904 上形成厚度爲 35nm 的 IGZO 膜。然後，在使用藉由光微影製程形成的遮罩進行蝕刻處理之後，以 350℃或 450℃進行加熱處理，來形成氧化物半導體膜 1905。

[0368] 藉由濺射法在絕緣膜 1903 及氧化物半導體膜 1905 上依次層疊厚度爲 50nm 的鈦膜及厚度爲 400nm 的銅

膜，然後使用藉由光微影製程形成的遮罩進行蝕刻處理，來形成導電膜 1907 及導電膜 1909。

[0369] 接著，作爲絕緣膜 1910，藉由電漿 CVD 法在絕緣膜 1904、氧化物半導體膜 1905、導電膜 1907 及導電膜 1909 上形成厚度爲 450nm 的氧氮化矽膜，然後在氮及氧的混合氛圍下以 350℃進行 1 小時的加熱處理。

[0370] 接著，作爲絕緣膜 1911，藉由電漿 CVD 法在絕緣膜 1904、氧化物半導體膜 1905、導電膜 1907 及導電膜 1909 上形成厚度爲 50nm 的氮化矽膜。此外，將氮化矽膜的成膜溫度設定爲 220℃或 350℃。

[0371] 接著，在絕緣膜 1911 上設置藉由光微影製程形成的遮罩，然後進行蝕刻處理，來在絕緣膜 1910 及絕緣膜 1911 中形成開口部 1913、1915。

[0372] 藉由上述製程製造樣本 2a。

[0373] 接著，說明樣本 3a 的製造方法。

[0374] 在樣本 3a 中使用多層膜 1906 代替樣本 2a 的氧化物半導體膜 1905。作爲多層膜 1906，在絕緣膜 1904 上使用金屬氧化物靶材（In：Ga：Zn=1：1：1）藉由濺射法形成厚度爲 10nm 的 IGZO 膜，接著使用金屬氧化物靶材（In：Ga：Zn=1：3：2）藉由濺射法形成厚度爲 10nm 的 IGZO 膜。然後，在使用藉由光微影製程形成的遮罩進行蝕刻處理之後，以 350℃或 450℃進行加熱處理，來形成多層膜 1906。

[0375] 藉由上述製程製造樣本 3a。

[0376] 接著，對設置在樣本 2a 及樣本 3a 中的氧化物半導體膜 1905 及多層膜 1906 的薄層電阻進行測量。在樣本 2a 及樣本 3a 中，將探針接觸於開口部 1917 及開口部 1919，測量氧化物半導體膜 1905 及多層膜 1906 的薄層電阻。此外，在樣本 2a 及樣本 3a 的氧化物半導體膜 1905 及多層膜 1906 中，在俯視形狀中導電膜 1907 與導電膜 1909 對置的寬度爲 1.5mm，距離 D 爲 10μm。此外，在樣本 2a 及樣本 3a 中，導電膜 1907 爲接地電位，對導電膜 1909 施加 1V。此外，在溫度爲 60℃且濕度爲 95%的氛圍下，在保存樣本 2a 及樣本 3a60 個小時及 130 個小時之後，測量各樣本的薄層電阻值。

[0377] 圖 31 示出樣本 2a 及樣本 3a 的薄層電阻值。此外，在圖 31 中，實線示出在各樣本中作爲絕緣膜 1911 形成的氮化矽膜的成膜溫度爲 220℃，虛線示出成膜溫度爲 350℃。另外，黑標記示出在各樣本中在形成氧化物半導體膜 1905 或多層膜 1906 之後以 350℃進行加熱處理，白標記示出在形成氧化物半導體膜 1905 或多層膜 1906 之後以 450℃進行加熱處理。圓形標記示出各樣本具有氧化物半導體膜 1905，即樣本 2a。三角標記示出各樣本具有多層膜 1906，即樣本 3a。此外，在圖 31 中不示出在形成多層膜 1906 之後以 350℃進行加熱的樣本 3a 的測量結果，即黑三角標記。

[0378] 由圖 31 可知樣本 2a 及樣本 3a 的薄層電阻值低，作爲電容元件的電極滿足較佳的薄層電阻值，即 0.2

Ω/s.q.以下。此外，可知樣本 2a 及樣本 3a 的薄層電阻值的時間變動量少。如上所述，由於在高溫度且高濕度的環境下接觸於氮化矽膜的氧化物半導體膜或多層膜的薄層電阻值的變動量少，所以可以用於用作電容元件的電極的具有透光性的導電膜。

[0379] 接著，圖 32 示出在樣本 2a 及樣本 3a 中將基板溫度設定爲 25℃、60℃及 150℃，測量各個薄層電阻值的結果。此外，這裡，作爲樣本 2a 及樣本 3a 使用如下方法形成的樣本，作爲絕緣膜 1911 形成的氮化矽膜的成膜溫度爲 220℃，在形成氧化物半導體膜 1905 或多層膜 1906 之後，以 350℃進行加熱處理。黑圓形標記示出樣本 2a 的測量結果，黑三角標記示出樣本 3a 的測量結果。

[0380] 由圖 32 可知，即使使測量溫度升高氧化物半導體膜 1905 及多層膜 1906 的薄層電阻值也不變動。即，接觸於氮化矽膜的氧化物半導體膜或多層膜也可以稱爲簡並半導體。由於接觸於氮化矽膜的氧化物半導體膜或多層膜即使溫度變化也薄層電阻值的變動少，所以可以用於用作電容元件的電極的具有透光性的導電膜。

[0381] 本實施例所示的結構可以與其他實施方式或實施例所示的結構適當地組合而實施。

實施例 2

在本實施例中，參照圖 35A 和圖 35B 及圖 36A 至圖 36D 對氧化物半導體膜的電阻進行說明。在本實施例中，

分別對形成電晶體及電容元件的製程中的氧化物半導體膜的電阻進行了測量。

[0382] 參照圖 35A 至圖 36D 對具有電晶體及電容元件的樣本的製造方法及其結構進行說明。注意，圖 36A 至圖 36D 示出包括於各樣本中的電容元件的剖面結構。

[0383] 在玻璃基板 1901 上，在形成電晶體的區域上形成閘極電極。這裡，作爲閘極電極形成厚度爲 100nm 的鎢膜。

[0384] 接著，作爲絕緣膜 1903，利用電漿 CVD 法在玻璃基板 1901 及閘極電極上形成厚度爲 400nm 的氮化矽膜。

[0385] 接著，作爲絕緣膜 1904，利用電漿 CVD 法在絕緣膜 1903 上形成厚度爲 50nm 的氧氮化矽膜。

[0386] 接著，在絕緣膜 1904 上利用濺射法使用金屬氧化物靶材（In：Ga：Zn=1：1：1）形成厚度爲 35nm 的 IGZO 膜。然後，使用利用光微影製程形成的遮罩進行蝕刻處理來形成氧化物半導體膜 1905（圖 35A 所示的步驟 S1）。

[0387] 接著，藉由濺射法在絕緣膜 1903 及氧化物半導體膜 1905 上利用濺射法依次層疊厚度爲 50nm 的鎢膜、厚度爲 400nm 的鋁膜及厚度爲 100nm 的鈦膜，然後使用藉由光微影製程形成的遮罩進行蝕刻處理，來形成導電膜 1907 及導電膜 1909（圖 35A 的步驟 S3）。

[0388] 藉由上述製程製造樣本 5。圖 36A 示出包括

於樣本 5 中的電容元件的剖面圖。注意，在樣本 5 中，將設置於形成電晶體的區域上的氧化物半導體膜記作 C5，將設置於形成電容元件的區域上的氧化物半導體膜記作 E5。

[0389] 在形成氧化物半導體膜 1905 之後，在氮氛圍下以 450℃進行 1 個小時的熱處理，接著在氮及氧的混合氣體氛圍（氮=80%，氧=20%）下以 450℃進行 1 個小時的熱處理（圖 35A 的步驟 S2）。然後，形成導電膜 1907 及導電膜 1909（圖 35A 的步驟 S3）。

[0390] 藉由上述製程製造樣本 6。圖 36A 示出包括於樣本 6 中的電容元件的剖面圖。注意，在樣本 6 中，將設置於形成電晶體的區域上的氧化物半導體膜記作 C6，將設置於形成電容元件的區域上的氧化物半導體膜記作 E6。

[0391] 此外，在進行與樣本 6 同樣的製程之後，作爲之後成爲絕緣膜 1910 的絕緣膜，利用電漿 CVD 法在絕緣膜 1904、氧化物半導體膜 1905、導電膜 1907 及導電膜 1909 上形成厚度爲 450nm 的氧氮化矽膜（圖 35A 的步驟 S4）。

[0392] 接著，在絕緣膜上設置利用光微影製程形成的遮罩，然後進行蝕刻處理形成具有開口部 1913、1915 的絕緣膜 1910（圖 35A 的步驟 S8）。

[0393] 藉由上述製程製造樣本 7。圖 36B 示出包括於樣本 7 中的電容元件的剖面圖。注意，在樣本 7 中，將

設置於形成電晶體的區域上的氧化物半導體膜記作 C7，將設置於形成電容元件的區域上的氧化物半導體膜記作 E7。

[0394] 此外，在進行與樣本 6 同樣的製程之後，作爲之後成爲絕緣膜 1910 的絕緣膜，利用電漿 CVD 法在絕緣膜 1904、氧化物半導體膜 1905、導電膜 1907 及導電膜 1909 上形成厚度爲 450nm 的氧氮化矽膜（圖 35A 的步驟 S4）。

[0395] 接著，在 350℃的氮及氧的混合氛圍下進行 1 小時的加熱處理（圖 35A 的步驟 S5）。

[0396] 接著，在絕緣膜 1910 上形成之後成爲絕緣膜 1911 的絕緣膜。作爲該絕緣膜，利用電漿 CVD 法形成厚度爲 50nm 的氮化矽膜（圖 35A 的步驟 S7）。

[0397] 接著，在絕緣膜上設置利用光微影製程形成的遮罩，然後進行蝕刻處理形成具有開口部 1913、1915 的絕緣膜 1910 及絕緣膜 1911（圖 35A 的步驟 S8）。

[0398] 藉由上述製程製造樣本 8。圖 36C 示出包括於樣本 8 中的電容元件的剖面圖。注意，在樣本 8 中，將設置於形成電晶體的區域上的氧化物半導體膜記作 C8，將設置於形成電容元件的區域上的氧化物半導體膜記作 E8。

[0399] 另外，在樣本 8 中，在進行完圖 35A 的步驟 S5 所示的加熱處理之後，對電容元件上的絕緣膜 1910 進行蝕刻（圖 35A 的步驟 S6）。在該製程中，形成於電容

元件中的氧化物半導體膜被暴露於電漿中，氧化物半導體膜中生成缺陷，典型地爲氧缺陷。

[0400] 接著，形成之後成爲絕緣膜 1911 的絕緣膜（圖 35A 的步驟 S7）。

[0401] 接著，在絕緣膜上設置利用光微影製程形成的遮罩之後，進行蝕刻處理在形成電晶體的區域上形成具有開口部 1913、1915 的絕緣膜 1910 及絕緣膜 1911，在形成電容元件的區域上形成具有開口部 1917、1919 的絕緣膜 1911（圖 35A 的步驟 S8）。

[0402] 藉由上述製程製造樣本 9。圖 36D 示出包括於樣本 9 中的電容元件的剖面圖。注意，在樣本 9 中，將設置於形成電晶體的區域上的氧化物半導體膜記作 C9，將設置於形成電容元件的區域上的氧化物半導體膜記作 E9。

[0403] 另外，利用濺射法在玻璃基板上形成厚度爲 100nm 的氧化銦-氧化錫化合物（ITO-SiO_2）的導電膜。另外，用於該導電膜的靶材的成分比爲 In_2O_3：SnO_2：SiO_2=85：10：5[wt%]。之後，在氮氛圍下進行 250℃、1 小時的加熱處理。

[0404] 接著，與樣本 5 至樣本 9 同樣地，在氧化銦-氧化錫化合物（ITO-SiO_2）的導電膜上形成導電膜 1907 及導電膜 1909。

[0405] 藉由上述製程製造樣本 10。

[0406] 另外，在樣本 5 至樣本 10 中，在俯視圖中，

導電膜 1907 及導電膜 1909 的對置寬度 W 爲 1mm，距離 D 爲 10μm。

[0407] 接著，分別測量設置於形成樣本 5 至樣本 9 的電晶體的區域中的氧化物半導體膜 C5 至 C9 的薄層電阻，設置於形成樣本 5 至樣本 9 的電容元件的區域中的氧化物半導體膜 E5 至 E9 的薄層電阻以及包括於樣本 10 中的氧化銦-氧化錫化合物（ITO-SiO_2）的導電膜的薄層電阻。

[0408] 圖 35B 示出測量結果。由圖 35B 可知：與包括於樣本 5 及樣本 6 中的氧化物半導體 C5、E5、C6、E6 相比，包括於樣本 7 中的氧化物半導體膜 C7 及氧化物半導體膜 E7 的薄膜電阻降低。由此可知，氧化物半導體膜在對形成於其上的膜進行蝕刻時暴露於電漿中而受損，由此導致氧化物半導體膜的薄層電阻下降。

[0409] 另外，可知：與包括於樣本 5 至樣本 7 中的氧化物半導體 C5、E5、C6、E6、C7、E7 相比，包括於樣本 8 中的氧化物半導體膜 C8 及氧化物半導體膜 E8 的薄層電阻增加。這是由於形成於氧化物半導體膜 C8 及氧化物半導體膜 E8 上的絕緣膜由氧化矽膜形成且包含因加熱而釋放出的氧的緣故。由此可知：藉由圖 35A 的步驟 S4 所示的在氧化物半導體膜上形成氧化絕緣膜的製程以及步驟 S5 所示的加熱處理製程，氧化物半導體膜的電阻增高。藉由將該氧化物半導體膜用於電晶體的通道區，可以製造常關閉型（normally-off）電晶體。

[0410] 另外，與氧化物半導體膜 C9 相比，包括於樣本 9 中的氧化物半導體膜 E9 的薄層電阻降低。此外，包括於樣本 9 中的氧化物半導體膜 E9 具有與包括於樣本 7 中的氧化物半導體膜 C7 及氧化物半導體膜 E7 相等的薄層電阻。

[0411] 另外，包括於樣本 7 中的氧化物半導體膜 C7 及氧化物半導體膜 E7 以及包括於樣本 9 中的氧化物半導體膜 E9 的薄層電阻，比包括於樣本 10 中的氧化銦-氧化錫化合物（ITO-SiO_2）的導電膜的薄層電阻高一位數，因此可以與氧化銦-氧化錫化合物（ITO-SiO_2）的導電膜同樣地用作電極。

[0412] 即，如樣本 9 所示，在形成電晶體的區域中，藉由在氧化物半導體膜上設置由氧化絕緣膜形成的絕緣膜並進行加熱處理，氧化物半導體膜的電阻上升而可以用作通道區。另外，在形成電容元件的區域中，藉由使氧化物半導體膜的表面暴露於電漿中，並在氧化物半導體膜上設置由氮化絕緣膜形成的絕緣膜，氧化物半導體膜的電阻降低而可以用作電極。

實施例 3

[0413] 在本實施例中，參照圖 28A 及圖 28B 說明氧化物半導體膜及形成在氧化物半導體膜上的絕緣膜的雜質分析。

[0414] 在本實施例中，作爲用於雜質分析的樣本，

製造兩種樣本（以下稱爲樣本 11 及樣本 12）。

[0415] 首先，以下示出樣本 11 的製造方法。

[0416] 在樣本 11 中，在玻璃基板上形成 IGZO 膜，然後形成氮化矽膜。然後，在氮氛圍下以 450℃進行 1 個小時的熱處理，接著在氮及氧的混合氣體氛圍（氮=80%，氧=20%）下以 450℃進行 1 個小時的熱處理。

[0417] 此外，作爲 IGZO 膜的成膜條件採用如下條件來形成厚度爲 100nm 的 IGZO 膜：藉由濺射法使用金屬氧化物靶材（In：Ga：Zn=1：1：1）；Ar/O_2=100/100sccm（O_2=50%）；壓力=0.6Pa；成膜功率=5000W；基板溫度=170℃。

[0418] 此外，作爲氮化矽膜的成膜條件藉由電漿 CVD 法採用如下條件來形成厚度爲 100nm 的氮化矽膜：$SiH_4/N_2/NH_3$=50/5000/100sccm；壓力=100Pa；成膜功率=1000W；基板溫度=220℃。

[0419] 下面，以下示出樣本 12 的製造方法。

[0420] 在玻璃基板上形成 IGZO 膜，然後層疊形成氧氮化矽膜及氮化矽膜。然後，在氮氛圍下以 450℃進行 1 個小時的熱處理，接著在氮及氧的混合氣體氛圍（氮=80%，氧=20%）下以 450℃進行 1 個小時的熱處理。

[0421] 此外，作爲 IGZO 膜的成膜條件及氮化矽膜的成膜條件使用與樣本 11 相同的條件。此外，作爲氧氮化矽膜的成膜條件藉由電漿 CVD 法採用如下條件來形成厚度爲 50nm 的氧氮化矽膜：SiH_4/N_2O=30/4000sccm；壓力

=40Pa；成膜功率=150W；基板溫度=220℃，然後藉由電漿 CVD 法採用如下條件來形成厚度爲 400nm 的氧氮化矽膜：SiH_4/N_2O=160/4000sccm；壓力=200Pa；成膜功率=1500W；基板溫度=220℃。

[0422] 圖 28A 及圖 28B 示出樣本 11 及樣本 12 的雜質分析結果。

[0423] 另外，作爲雜質分析，使用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry），由圖 28A 及圖 28A 所示的箭頭的方向進行分析。即，從玻璃基板一側進行測量。

[0424] 此外，圖 28A 是藉由樣本 11 的測量獲得的氫（H）的濃度分佈。圖 28B 是藉由樣本 12 的測量獲得的氫（H）的濃度分佈

[0425] 由圖 28A 可知 IGZO 膜中的氫（H）濃度爲 1.0×10^{20}atoms/cm^3。此外，可知氮化矽膜中的氫（H）濃度爲 1.0×10^{23}atoms/cm^3。另外，由圖 28B 可知 IGZO 膜中的氫（H）濃度爲 5.0×10^{19}atoms/cm^3。此外，可知氧氮化矽膜中的氫（H）濃度爲 3.0×10^{21}atoms/cm^3。

[0426] 另外，已知：在 SIMS 分析中，由於其測量原理而難以獲得樣本表面附近或與材質不同的膜之間的疊層介面附近的準確資料。因此，當使用 SIMS 來分析膜中的厚度方向上的氫（H）的分佈時，採用在目標的膜所存在的範圍中沒有值的極端變動且可以獲得大致恆定的強度的區域中的平均值。

[0427] 像這樣，藉由改變接觸於 IGZO 膜的絕緣膜的結構，可確認到 IGZO 膜中的氫（H）濃度的差異。

[0428] 例如，當作爲電晶體的通道形成區使用上述 IGZO 膜時，如樣本 12 所示較佳的是與 IGZO 膜接觸地設置氧氮化矽膜。此外，作爲用於電容元件的電極的具有透光性的導電膜，如樣本 11 所示，較佳的是與 IGZO 膜接觸地設置氮化矽膜。藉由使用這種結構，即使在同一製程中形成用於電晶體的通道形成區的 IGZO 膜以及用於電容元件的電極的 IGZO 膜，也可以改變 IGZO 膜中的氫濃度。

實施例 4

[0429] 在本實施例中，參照圖 29A 至圖 29C 及圖 30 說明氧化物半導體膜及多層膜的缺陷量。

[0430] 首先，說明樣本的結構。

[0431] 樣本 13 包括形成在石英基板上的厚度爲 35nm 的氧化物半導體膜及形成在氧化物半導體膜上的厚度爲 100nm 的氮化絕緣膜。

[0432] 樣本 14 及樣本 15 包括形成在石英基板上的厚度爲 30nm 的多層膜及形成在多層膜上的厚度爲 100nm 的氮化絕緣膜。此外，樣本 14 的多層膜依次層疊有厚度爲 10nm 的第一 IGZO 膜、厚度爲 10nm 的第二 IGZO 膜及厚度爲 10nm 的第三 IGZO 膜。此外，樣本 15 依次層疊有厚度爲 20nm 的第一 IGZO 膜、厚度爲 15nm 的第二 IGZO

膜及厚度爲 10nm 的第三 IGZO 膜。樣本 14 及樣本 15 與樣本 13 的不同之處在於包括多層膜代替氧化物半導體膜。

[0433] 樣本 16 包括形成在石英基板上的厚度爲 100nm 的氧化物半導體膜、形成在氧化物半導體膜上的厚度爲 250nm 的氧化絕緣膜及形成在氧化絕緣膜上的厚度爲 100nm 的氮化絕緣膜。樣本 16 與樣本 13 至樣本 15 的不同之處在於氧化物半導體膜不接觸於氮化絕緣膜而接觸於氧化絕緣膜。

[0434] 下面，說明各樣本的製造方法。

[0435] 首先，說明樣本 13 的製造方法。

[0436] 作爲氧化物半導體膜，在石英基板上形成厚度爲 35nm 的 IGZO 膜。作爲 IGZO 膜的成膜條件藉由濺射法採用如下條件：金屬氧化物靶材（In：Ga：Zn=1：1：1）；Ar/O_2=100sccm/100sccm（O_2=50%）；壓力=0.6 Pa；成膜功率=5000W；基板溫度=170℃。

[0437] 接著，作爲第一加熱處理在氮氛圍下以 450℃進行 1 個小時的加熱處理，然後在氮及氧的混合氣體氛圍（氮=80%，氧=20%）以 450℃進行 1 個小時的加熱處理。

[0438] 接著，在氧化物半導體膜上作爲氮化絕緣膜形成厚度爲 100nm 的氮化矽膜。作爲氮化矽膜的成膜條件，藉由電漿 CVD 法採用如下條件：$SiH_4/N_2/NH_3$=50/5000/100sccm；壓力=100Pa；成膜功率=1000W；基板溫

度=350℃。

[0439] 接著，作爲第二加熱處理在氮氛圍下以 250℃進行 1 個小時的加熱處理。

[0440] 藉由上述製程製造樣本 13。

[0441] 下面，說明樣本 14 的製造方法。

[0442] 在樣本 14 中形成多層膜代替樣本 13 的氧化物半導體膜。作爲多層膜，藉由濺射法在石英基板上採用如下條件來形成厚度爲 10nm 的第一 IGZO 膜：使用金屬氧化物靶材（In：Ga：Zn=1：3：2）；Ar/O_2=180/20sccm（O_2=10%）；壓力=0.6Pa；成膜功率=5000W；基板溫度=25℃。接著，藉由濺射法採用如下條件來形成厚度爲 10nm 的第二 IGZO 膜：使用金屬氧化物靶材（In：Ga：Zn=1：1：1）；Ar/O_2=100/100sccm（O_2=50%）；壓力=0.6Pa；成膜功率=5000W；基板溫度=170℃。接著，藉由濺射法採用如下條件來形成厚度爲 10nm 的第三 IGZO 膜：使用金屬氧化物靶材（In：Ga：Zn=1：3：2）；Ar/O_2=180/20sccm（O_2=10%）；壓力=0.6Pa；成膜功率=5000W；基板溫度=25℃。

[0443] 其他製程與樣本 13 相同。藉由上述製程形成樣本 14。

[0444] 下面，說明樣本 15 的製造方法。

[0445] 在樣本 15 中形成多層膜代替樣本 13 的氧化物半導體膜。作爲多層膜，在石英基板上使用與樣本 14 所示的第一 IGZO 膜相同的條件形成厚度爲 20nm 的第一

IGZO 膜。接著，藉由濺射法使用與樣本 14 所示的第二 IGZO 膜相同的條件形成厚度爲 15nm 的第二 IGZO 膜。接著，使用樣本 14 所示的第三 IGZO 膜相同的條件形成厚度爲 10nm 的第二 IGZO 膜。

[0446] 其他製程與樣本 13 相同。藉由上述製程形成樣本 15。

[0447] 下面，說明樣本 16 的製造方法。

[0448] 樣本 16 使用與樣本 13 相同的條件在石英基板上形成厚度爲 100nm 的氧化物半導體膜。

[0449] 接著，使用與樣本 13 相同的條件進行第一加熱處理。

[0450] 接著，在氧化物半導體膜上作爲氧化絕緣膜形成厚度爲 50nm 的第一氧氮化矽膜及厚度爲 200nm 的第二氧氮化矽膜。這裡，藉由電漿 CVD 法採用如下條件來形成厚度爲 50nm 的第一氧氮化矽膜：SiH_4/N_2O=30/4000sccm；壓力=40Pa；成膜功率=150W；基板溫度=220℃，然後藉由電漿 CVD 法採用如下條件來形成厚度爲 200nm 的第二氧氮化矽膜：SiH_4/N_2O=160/4000sccm；壓力=200Pa；成膜功率=1500W；基板溫度=220℃。另外，第二氧氮化矽膜是包含比滿足化學計量組成的氧多的氧的膜。

[0451] 接著，使用與樣本 13 相同的條件在氧化絕緣膜上形成厚度爲 100nm 的氮化矽膜。

[0452] 接著，使用與樣本 13 相同的條件進行第二加

熱處理。

[0453] 藉由上述製程形成樣本 16。

[0454] 下面，對樣本 13 至樣本 16 進行 ESR 測量。藉由 ESR 測量，可以在規定的溫度下，從產生微波的吸收的磁場的值（H_0）用算式 $g=h\nu/\beta H_0$ 來算出參數 g 值。注意，ν是微波的頻率。h 是普朗克常數，β是玻爾磁子（Bohr magneton），都是常數。

[0455] 在此，以下述條件進行 ESR 測量。將測量溫度設定爲室溫（25℃），將 8.92GHz 的高頻功率（微波功率）設定爲 20mW，並且將磁場的方向設定爲與所製造的樣本的膜表面平行的方向。

[0456] 圖 29A 至圖 29C 示出藉由對樣本 13 至樣本 15 所包括的氧化物半導體膜及多層膜進行 ESR 測量而得到的一次微分曲線。圖 29A 示出樣本 13 的測量結果，圖 29B 示出樣本 14 的測量結果，圖 29C 示出樣本 15 的測量結果。

[0457] 圖 30 示出藉由對樣本 16 所包括的氧化物半導體膜進行 ESR 測量而得到的一次微分曲線。

[0458] 在圖 29A 至圖 29C 中，當樣本 13 的 g 值爲 1.93 時檢測出起因於氧化物半導體膜中的缺陷的具有對稱性的信號。當樣本 14 及樣本 15 的 g 值爲 1.95 時檢測出起因於多層膜中的缺陷的具有對稱性的信號。樣本 13 的 g 值爲 1.93 時的自旋密度爲 2.5×10^{19}spins/cm^3，樣本 14 的 g 值爲 1.93 及 1.95 時的自旋密度的總和爲 1.6×10^{19}

spins/cm^3，樣本 15 的 g 值爲 1.93 及 1.95 時的自旋密度的總和爲 2.3×10^{19}spins/cm^3。即，可知氧化物半導體膜及多層膜包括缺陷。此外，作爲氧化物半導體膜及多層膜的缺陷的一個例子有氧缺陷。

[0459] 在圖 30 中，樣本 16 與樣本 13 至樣本 15 相比，即便氧化物半導體膜的厚度厚，也沒有檢測出起因於缺陷的具有對稱性的信號，換言之，爲檢測下限以下（在此，檢測下限爲 3.7×10^{16}spins/cm^3）。由此，不能檢測出氧化物半導體膜所包括的缺陷量。

[0460] 當氧化物半導體膜或多層膜接觸於氮化絕緣膜這裡藉由電漿 CVD 法形成的氮化矽膜時，在氧化物半導體膜或多層膜中形成缺陷，典型地形成氧缺陷。另一方面，當在氧化物半導體膜中設置氧化絕緣膜這裡氧氮化矽膜時，包含在氧氮化矽膜中的過剩氧，即包含比滿足化學計量組成的氧多的氧擴散到氧化物半導體膜，由此不增加氧化物半導體膜中的缺陷。

[0461] 如上所述，如樣本 13 至樣本 15 所示，接觸於氮化絕緣膜的氧化物半導體膜或多層膜的缺陷多，典型的是氧缺陷多，而導電性高，所以可以用作電容元件的電極。另一方面，如樣本 16 所示，接觸於氧化絕緣膜的氧化物半導體膜或多層膜的氧缺陷量少，而導電性低，所以可以用作電晶體的通道形成區。

[0462] 這裡，以下說明接觸於氮化物絕緣膜的氧化物半導體膜及多層膜的電阻率降低的原因。

[0463]

<H 的存在形態間的能量及穩定性>

首先，說明存在有氧化物半導體膜中的 H 的形態的能量及穩定性的計算結果。這裡，作爲氧化物半導體膜使用 $InGaZnO_4$。

[0464] 在用於計算的結構中，以 $InGaZnO_4$ 的六方晶的單位晶格在 a 軸及 b 軸方向上放大至兩倍的 84 原子塊體模型爲基礎。

[0465] 作爲塊體模型，準備將與三個 In 原子及一個 Zn 原子接合的一個 O 原子置換爲 H 原子的模型（參照圖 33A）。此外，圖 33B 示出在圖 33A 中從 c 軸看 InO 層中的 ab 面時的圖。將去除與三個 In 原子及一個 Zn 原子接合的一個 O 原子的區域稱爲氧缺陷 Vo，在圖 33A 及圖 33B 中用虛線示出氧缺陷 Vo。此外，將位於氧缺陷 Vo 中的 H 原子表示爲 VoH。

[0466] 此外，在塊體模型中，去除與三個 In 原子及一個 Zn 原子接合的一個 O 原子，形成氧缺陷（Vo）。準備在該 Vo 附近對於 ab 面與一個 Ga 原子及兩個 Zn 原子接合的 O 原子接合於 H 原子的模型（參照圖 33C）。此外，圖 33D 示出在圖 33C 中從 c 軸看 InO 層中的 ab 面的圖。在圖 33C 及圖 33D 中，以虛線示出氧缺陷 Vo。另外，將包括氧缺陷 Vo 且包括在氧缺陷 Vo 附近對於 ab 面與一個 Ga 原子及兩個 Zn 原子接合的 O 原子接合於 H 原子的模型表示爲 Vo+H。

[0467] 對上述兩個模型在固定晶格常數的情況下進行最優化計算來算出總能量。注意，可說總能量值越小，其結構越穩定。

[0468] 在計算中使用第一原理計算軟體 VASP（The Vienna Ab initio simulation package）。表 1 示出計算條件。

[0469]

[表 1]

軟體	VASP
贋勢	PAW
泛函	GGA/PBE
截止能量	500 eV
K 點	4×4×1

作爲電子狀態贋勢使用利用 Projector Augmented Wave(PAW)法生成的位勢，作爲泛函使用 GGA/PBE (Generalized-Gradient-Approximation/Perdew-Burke-Ernzerhof）。

[0470] 此外，表 2 示出藉由計算算出的兩個模型的總能量。

[0471]

[表 2]

模型	全能量
VoH	–456.084 eV
Vo+H	–455.304 eV

[0472] 從表 2 可知 VoH 的總能量比 Vo+H 的總能量小 0.78eV。因此，可說 VoH 與 Vo+H 相比穩定。由此，當 H 原子接近於氧缺陷(Vo)時，與接合於 O 原子相比，H 原子容易被引入到氧缺陷(Vo)中。

[0473]

<VoH 的熱力學狀態>

下面，說明 H 原子被引入到氧缺陷(Vo)中的 VoH 的形成能量及帶電狀態的計算結果。VoH 根據帶電狀態形成能量不同，並依賴於費米能量。因此，VoH 依賴於費米能階而穩定的帶電狀態不同。這裡，VoH 釋放一個電子的狀態表示爲$(VoH)^+$，俘獲一個電子的狀態表示爲$(VoH)^-$，電子不移動的狀態表示爲$(VoH)^0$。下面計算$(VoH)^+$、$(VoH)^-$、$(VoH)^0$的形成能量。

[0474] 在計算中使用第一原理計算軟體 VASP。表 3 示出計算條件。

[0475]

[表 3]

軟體	VASP
贋勢	PAW
泛函	HSE06
截止能量	800 eV
k 點取樣數	2×2×1(opt.)
	4×4×1(single)
自旋分極	○
遮蔽參數	0.2
交換項混合比	0.25
原子數	84

作爲電子狀態贋勢使用利用 Projector Augmented Wave(PAW)法生成的位勢，作爲泛函使用 Heyd-Scuseria-Ernzerhof(HSE)DFT 混合泛函(HSE06)。

[0476] 另外，在氧缺陷的形成能量的算出中假設氧缺陷濃度的稀薄極限，校正電子及電洞過剩地擴展到傳導帶、價電子帶而算出能量。另外，以完全的結晶的價電子帶上端爲能量原點，來源於缺陷結構的價電子帶的偏差用平均靜電位勢校正。

[0477] 圖 34A 示出$(VoH)^+$、$(VoH)^-$、$(VoH)^0$的形成能量。橫軸示出費米能階，縱軸示出形成能量。實線示出$(VoH)^+$的形成能量，點劃線示出$(VoH)^0$的形成能量，虛線示出$(VoH)^-$的形成能量。此外，VoH 的電荷從（$VoH)^+$經過$(VoH)^0$變爲$(VoH)^-$的遷移能階表示爲ε(+/−)。

[0478] 圖 34B 示出 VoH 的熱力學遷移能階。從計算結果可知 $InGaZnO_4$ 的能隙爲 2.739eV。此外，當價電子帶的能量爲 0eV 時，遷移能階（ε(+/−)）爲 2.62eV，存在有傳導帶的正下方。由此可知，藉由 H 原子被引入到氧缺陷(Vo)中，$InGaZnO_4$成爲 n 型。

[0479] 當氧化物半導體膜暴露於電漿時，氧化物半導體膜受到損傷，而在氧化物半導體膜中生成缺陷，典型地生成氧缺陷。此外，當氧化物半導體膜接觸於氮化絕緣膜時，包含在氮化絕緣膜中的氫移動到氧化物半導體膜。其結果是，在包括在氧化物半導體膜中的氧缺陷進入氫，

由此在氧化物半導體膜中形成 VoH，氧化物半導體膜成爲 n 型，從而電阻率降低。如上所述，可以將接觸於氮化絕緣膜的氧化物半導體膜用作電容元件的電極。

實施例 5

在本實施例中，參照圖 37A 至圖 37C 對接觸於氮化絕緣膜的氧化物半導體膜的穿透率進行說明。

[0480] 對樣本的結構進行說明。

[0481] 作爲樣本 17，在玻璃基板上形成厚度爲 35nm 的氧化物半導體膜，在氧化物半導體膜上形成厚度爲 100nm 的氮化矽膜。

[0482] 作爲樣本 18，在玻璃基板上形成厚度爲 35nm 的氧化物半導體膜，在氧化物半導體膜上形成厚度爲 100nm 的氮化矽膜，在氮化矽膜上形成厚度爲 100nm 的氧化銦-氧化錫化合物（ITO-SiO_2）膜。

[0483] 另外，在樣本 17 及樣本 18 中，作爲氧化物半導體膜，利用濺射法以金屬元素的原子數比爲 In：Ga：Zn=1：1：1 的 In-Ga-Zn 氧化物（記作 IGZO(111)）爲靶材形成 In-Ga-Zn 氧化物膜。

[0484] 在樣本 17 及樣本 18 中，利用電漿 CVD 法使用矽烷、氨及氮形成氮化矽膜。

[0485] 在樣本 18 中，利用濺射法形成氧化銦-氧化錫化合物（ITO-SiO_2）膜。

[0486] 作爲樣本 19，在玻璃基板上形成厚度爲

100nm 的氧化銦-氧化錫化合物（ITO-SiO_2）膜。該氧化銦-氧化錫化合物（ITO-SiO_2）膜利用濺射法形成。

[0487] 接著，測量樣本 17 至樣本 19 的可見光穿透率。圖 37A 至圖 37C 示出測量的穿透率。圖 37A 示出樣本 17 的測量結果，圖 37B 示出樣本 18 的測量結果，圖 37C 示出樣本 19 的測量結果。

[0488] 由圖 37A 可知：在樣本 17 中，波長爲 340nm 以上且 800nm 以下的穿透率爲 60%以上，波長爲 380nm 以上且 800nm 以下的穿透率爲 70%以上，波長爲 430nm 以上且 800nm 以下的穿透率爲 80%以上。

[0489] 由圖 37B 可知：在樣本 18 中，波長爲 380nm 以上且 800nm 以下的穿透率爲 60%以上，波長爲 430nm 以上且 800nm 以下的穿透率爲 70%以上。

[0490] 如圖 37A 所示，與氮化矽膜接觸的氧化物半導體膜具有與圖 37C 所示的 ITO-SiO_2 膜相等或更大的透過率。另外，如圖 37B 所示，即使採用層疊氧化物半導體膜、氮化矽膜及 ITO-SiO_2 膜的結構，也可以具有與圖 37C 所示的 ITO-SiO_2 膜相等的透過率。由此可知，層疊氧化物半導體膜、氮化矽膜及 ITO-SiO_2 膜的電容元件具有透光性。另外，即便代替氮化矽膜形成具有透光性的氮化絕緣膜，代替 ITO-SiO_2 膜形成具有透光性的導電膜，也可以製造具有透光性的電容元件。

【符號說明】

[0491]

100：圖元部

102：基板

103：電晶體

104：掃描線驅動電路

106：信號線驅動電路

107：掃描線

107a：閘極電極

108：液晶元件

109：信號線

109a：源極電極

111：半導體膜

113：導電膜

113a：汲極電極

115：電容線

117：開口

118：半導體膜

119：導電膜

121：圖元電極

123：開口

125：導電膜

126：絕緣膜

127：閘極絕緣膜

128：絕緣膜

129：絕緣膜

130：絕緣膜

131：絕緣膜

132：絕緣膜

133：絕緣膜

141：圖元

143：開口

145：電容元件

150：基板

152：遮光膜

153：遮光膜

154：對電極

156：絕緣膜

158：絕緣膜

160：液晶層

172：圖元

174：電容元件

176：電容線

178：導電膜

196：圖元

197：電容元件

198：導電膜

199：導電膜

199a：氧化物半導體膜

199b：氧化物半導體膜

199c：氧化物半導體膜

201：圖元

205：電容元件

221：圖元電極

225：絕緣膜

226：絕緣膜

227：閘極絕緣膜

228：絕緣膜

229：絕緣膜

230：絕緣膜

231：絕緣膜

232：絕緣膜

233：絕緣膜

245：電容元件

255：電容元件

271：圖元電極

279：絕緣膜

281：絕緣膜

282：絕緣膜

301：圖元

305：電容元件

319：導電膜

401_1：圖元

401_2：圖元

403_1：電晶體

403_2：電晶體

405_1：電容元件

405_2：電容元件

407_1：掃描線

407_2：掃描線

409：信號線

411_1：半導體膜

411_2：半導體膜

413_1：導電膜

413_2：導電膜

415：電容線

417_1：開口

417_2：開口

419_1：導電膜

419_2：導電膜

421_1：圖元電極

421_2：圖元電極

423：開口

425：導電膜

437：掃描線

501：圖元

505：電容元件

519：導電膜

521：共通電極

901：基板

902：圖元部

903：信號線驅動電路

904：掃描線驅動電路

905：密封材料

906：基板

908：液晶層

910：電晶體

911：電晶體

913：液晶元件

915：連接端子電極

916：端子電極

918：FPC

918b：FPC

919：異方性導電劑

922：閘極絕緣膜

923：絕緣膜

924：絕緣膜

925：密封材料

926：電容元件

927：導電膜

928：電極

929：電容佈線

930：電極

931：電極

932：絕緣膜

933：絕緣膜

934：絕緣膜

935：間隔物

940：電極

941：電極

943：液晶元件

945：電極

946：公共佈線

971：源極電極

973：汲極電極

975：共通電位線

977：共通電極

985：共通電位線

987：共通電極

1901：玻璃基板

1903：絕緣膜

1904：絕緣膜

1905：氧化物半導體膜

1906：多層膜

1907：導電膜

1909：導電膜

1910：絕緣膜

1911：絕緣膜

1913：開口部

1915：開口部

1917：開口部

1919：開口部

1922：絕緣膜

9000：桌子

9001：外殼

9002：桌腿

9003：顯示部

9004：顯示按鈕

9005：電源供應線

9033：卡子

9034：開關

9035：電源開關

9036：開關

9038：操作開關

9100：電視機

9101：外殼

9103：顯示部

9105：支架

9107：顯示部

9109：操作鍵

9110：遙控操作機

9200：電腦

9201：主體

9202：外殼

9203：顯示部

9204：鍵盤

9205：外部連接埠

9206：指向裝置

9630：外殼

9631：顯示部

9631a：顯示部

9631b：顯示部

9632a：區域

9632b：區域

9633：太陽能電池

9634：充放電控制電路

9635：電池

9636：DCDC 轉換器

9637：轉換器

9638：操作鍵

9639：按鈕

【發明申請專利範圍】

【請求項 1】一種顯示裝置，係具有：

第一導電膜；

第二導電膜，其與前述第一導電膜配置在同一層上；

第一絕緣膜，其配置在前述第一導電膜上、以及前述第二導電膜上；

第一金屬氧化物膜，其經由前述第一絕緣膜配置在前述第一導電膜上；

第二金屬氧化物膜，其與前述第一金屬氧化物膜配置在同一層上；

第三導電膜，其具有與前述第二金屬氧化物膜的上表面接觸的區域；

第二絕緣膜，其配置在前述第一金屬氧化物膜上、前述第二金屬氧化物膜上、以及前述第三導電膜上；及

圖元電極，其配置在前述第二絕緣膜上；

前述第一導電膜具有作為電晶體之閘極的功能；

前述第一金屬氧化物膜具有前述電晶體的通道形成區域；

前述圖元電極電連接於前述電晶體的源極或汲極；

前述圖元電極中經由前述第二絕緣膜與前述第二金屬氧化物膜重疊的區域，係具有作為電容元件的一者電極的功能；

前述第二金屬氧化物膜中經由前述第二絕緣膜與前述圖元電極重疊的區域，係具有作為前述電容元件的另一者

電極的功能；

前述第二導電膜，係經由前述第三導電膜電連接於前述第二金屬氧化物膜；

前述第二導電膜，係具有作為向前述第二金屬氧化物膜供給電位的配線的功能；

前述第二金屬氧化物膜中經由前述第二絕緣膜與前述圖元電極重疊的區域，不具有與前述第二導電膜重疊；

前述第三導電膜，係具有與前述圖元電極重疊的區域。

【請求項 2】一種顯示裝置，係具有：

第一導電膜；

第二導電膜，其與前述第一導電膜配置在同一層上；

第一絕緣膜，其配置在前述第一導電膜上、以及前述第二導電膜上；

第一金屬氧化物膜，其經由前述第一絕緣膜配置在前述第一導電膜上；

第二金屬氧化物膜，其與前述第一金屬氧化物膜配置在同一層上；

第三導電膜，其具有與前述第二金屬氧化物膜的上表面接觸的區域；

第二絕緣膜，其配置在前述第一金屬氧化物膜上、前述第二金屬氧化物膜上、以及前述第三導電膜上；及

圖元電極，其配置在前述第二絕緣膜上；

前述第一金屬氧化物膜和前述第二金屬氧化物膜，係

含有 In、Ga、和 Zn；

前述第一導電膜具有作為電晶體之閘極的功能；

前述第一金屬氧化物膜具有前述電晶體的通道形成區域；

前述圖元電極電連接於前述電晶體的源極或汲極；

前述圖元電極中經由前述第二絕緣膜與前述第二金屬氧化物膜重疊的區域，係具有作為電容元件的一者電極的功能；

前述第二金屬氧化物膜中經由前述第二絕緣膜與前述圖元電極重疊的區域，係具有作為前述電容元件的另一者電極的功能；

前述第二導電膜，係經由前述第三導電膜電連接於前述第二金屬氧化物膜；

前述第二導電膜，係具有作為向前述第二金屬氧化物膜供給電位的配線的功能；

前述第二金屬氧化物膜中經由前述第二絕緣膜與前述圖元電極重疊的區域，不具有與前述第二導電膜重疊；

前述第三導電膜，係具有與前述圖元電極重疊的區域。

【發明圖式】

圖 1A

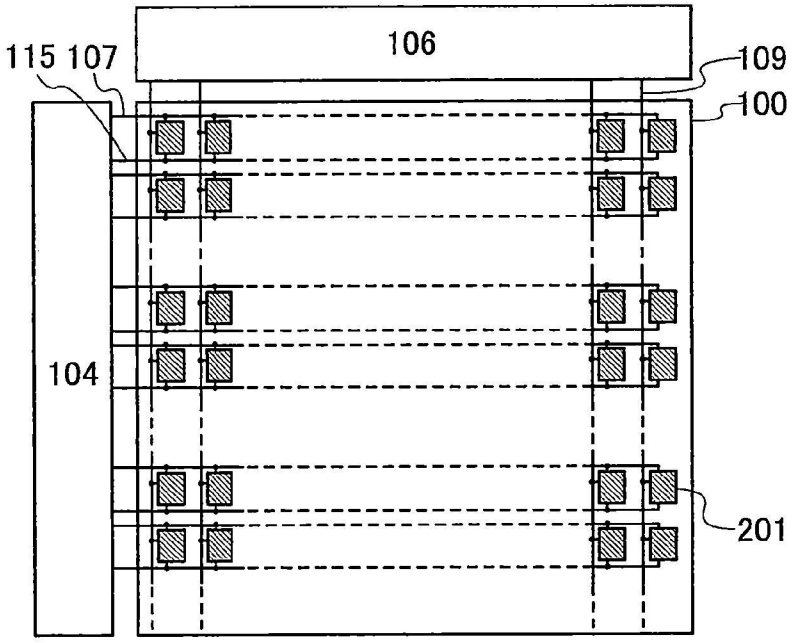


圖 1B

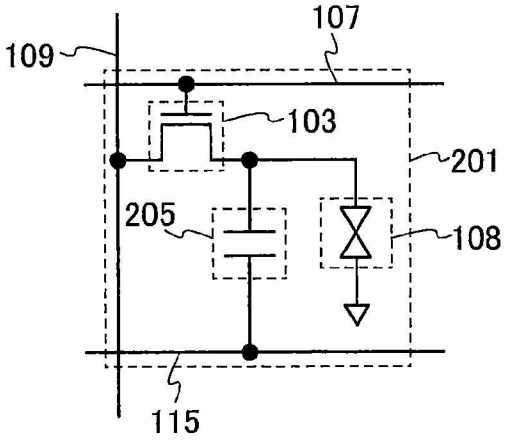


圖 2

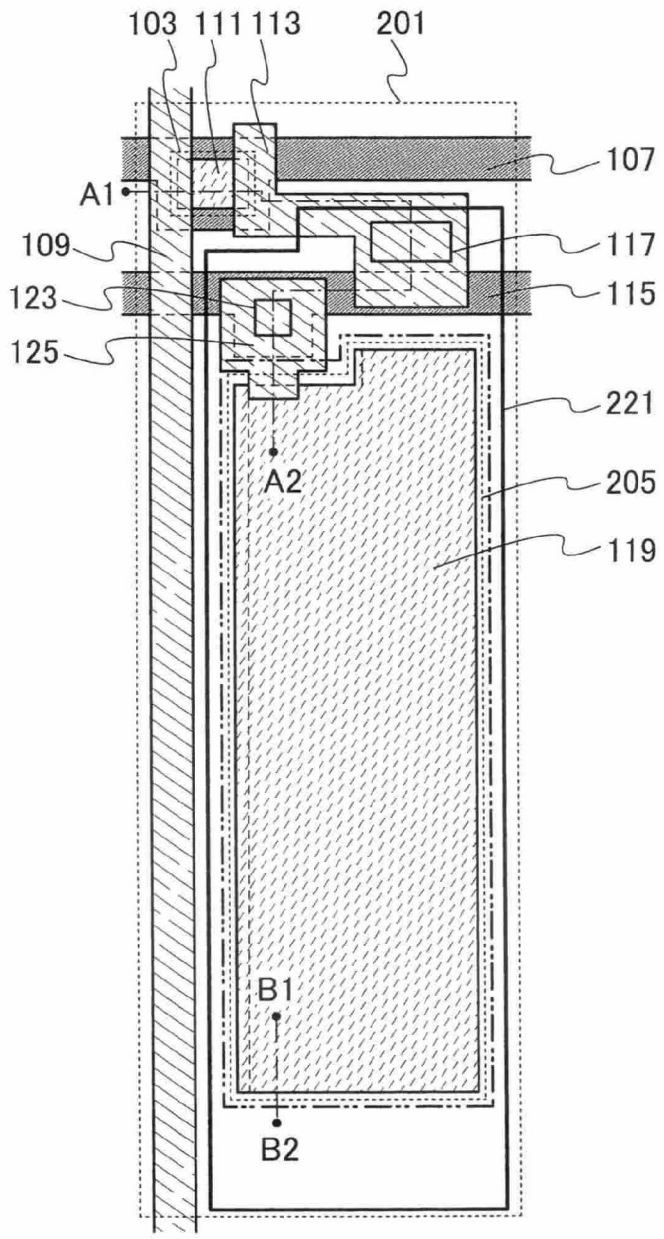


圖3

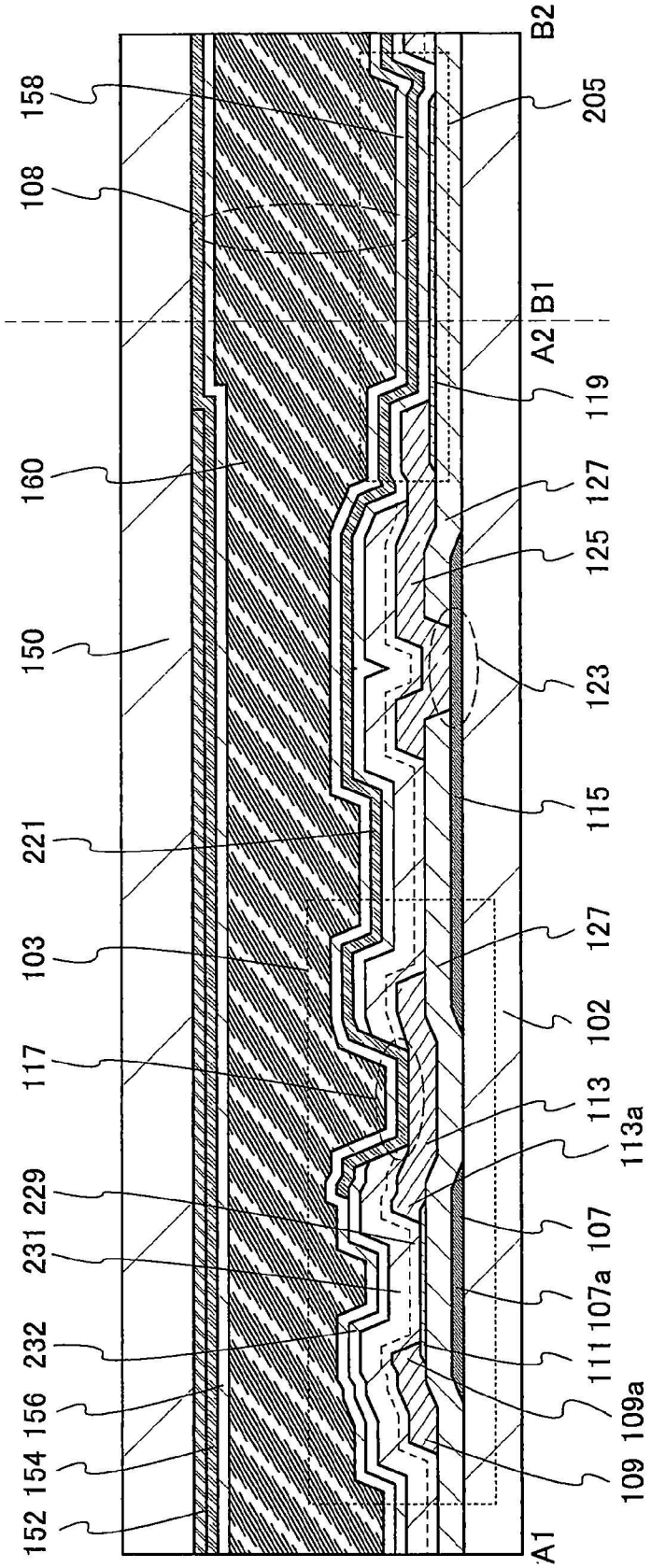
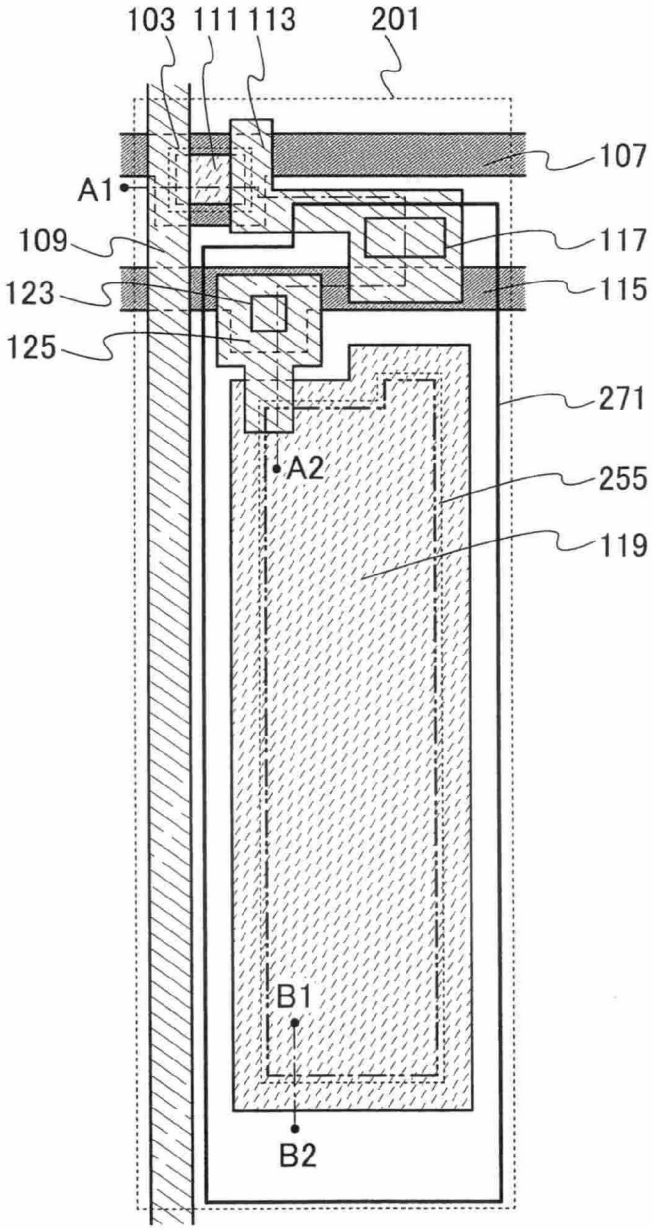

152
154
156
232
231
229
117
103
221
150
160
108
158
A1
109
109a
111
107a
107
113a
113
102
127
115
123
125
127
119
A2
B1
205
B2

圖 4



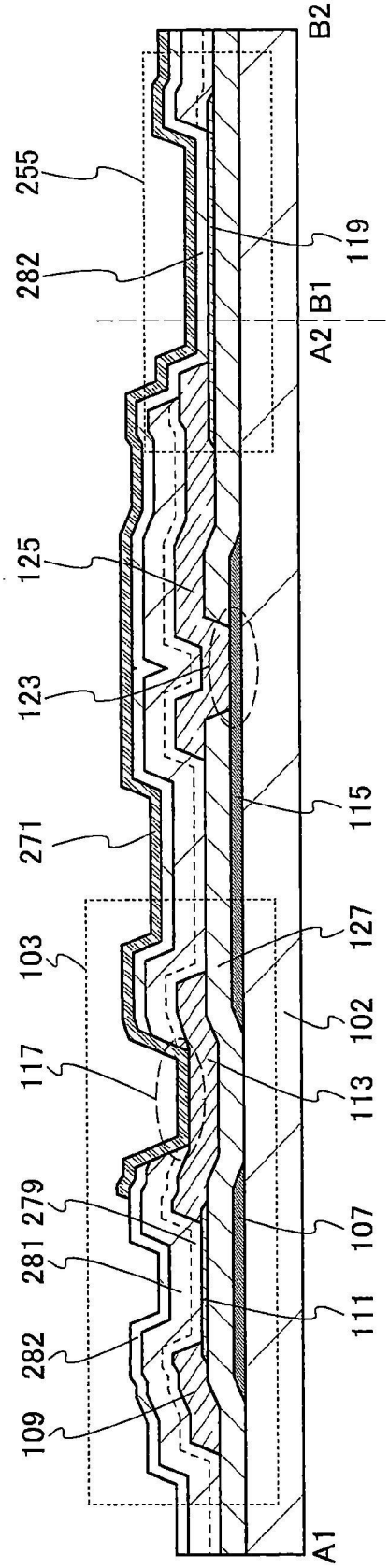

255
282
125
123
271
103
117
279
281
282
109
119
B1
A2
115
127
102
113
107
111
B2
A1

圖5

圖 6A

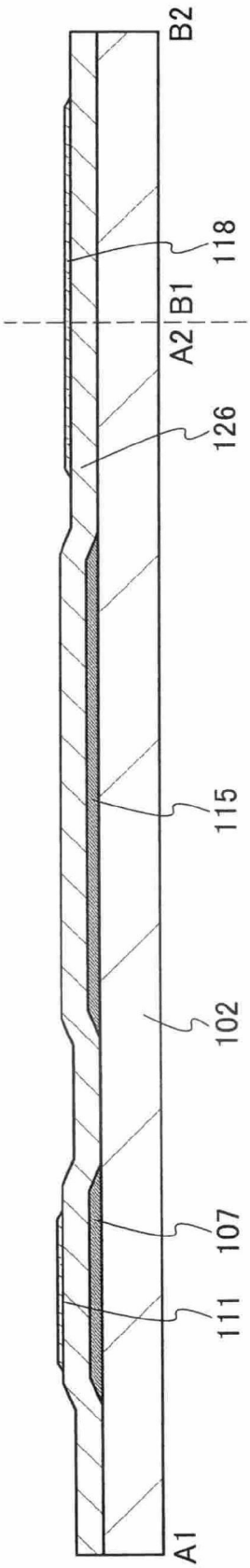
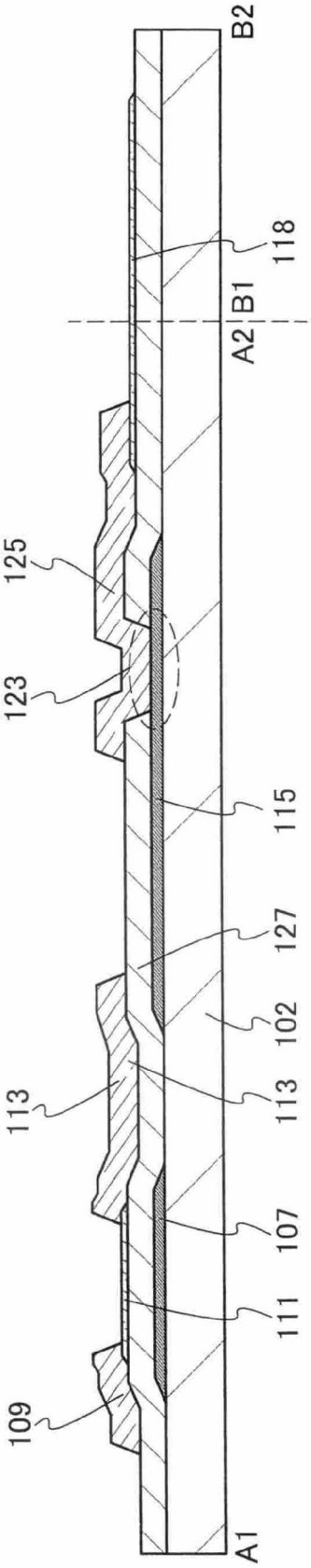

A1
A2
B1
B2
111
107
102
115
126
118

圖 6B


A1
A2
B1
B2
109
113
111
107
113
102
127
115
123
125
118

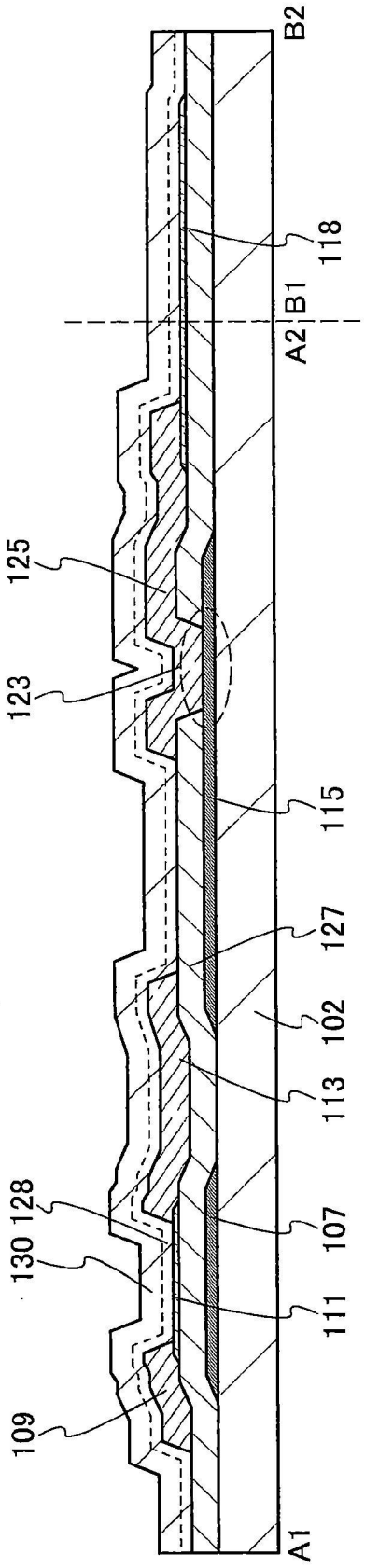

B2
118
B1
A2
125
123
115
127
102
113
128
130
107
111
109
A1

圖 7A

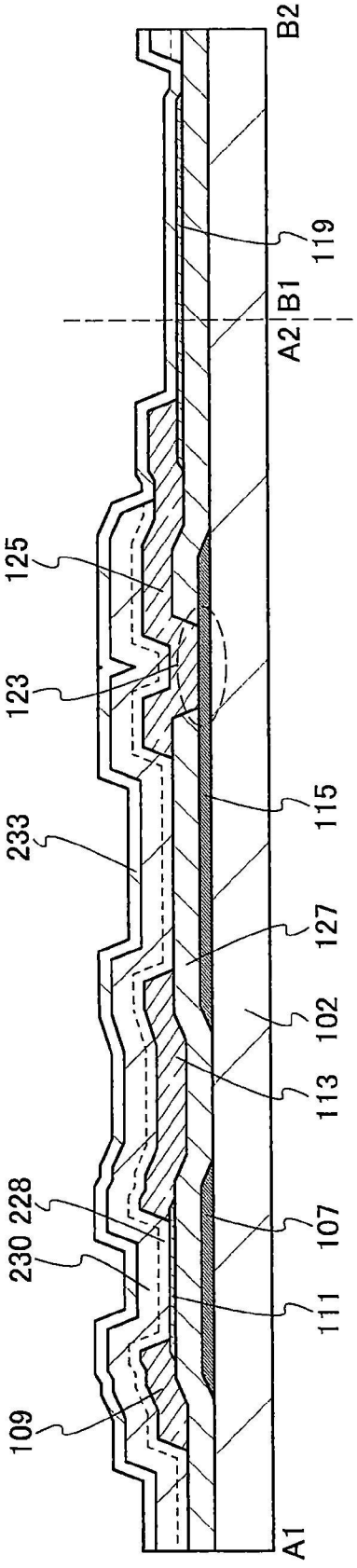

B2
119
B1
A2
125
123
115
233
127
102
113
228
230
107
111
109
A1

圖 7B

圖 8A

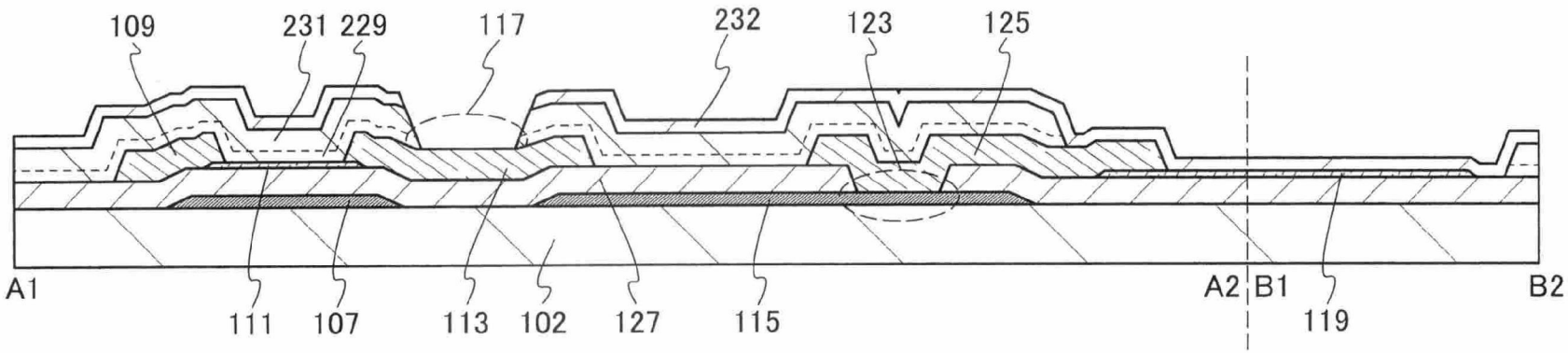
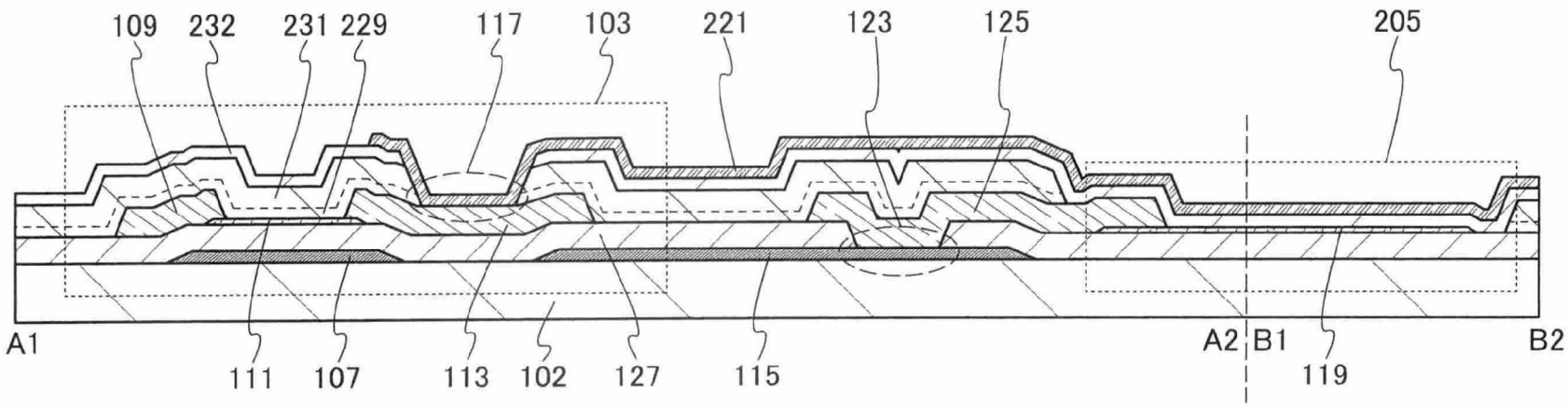

109
231
229
117
232
123
125
A1
111
107
113
102
127
115
A2
B1
119
B2

圖 8B


109
232
231
229
117
103
221
123
125
205
A1
111
107
113
102
127
115
A2
B1
119
B2

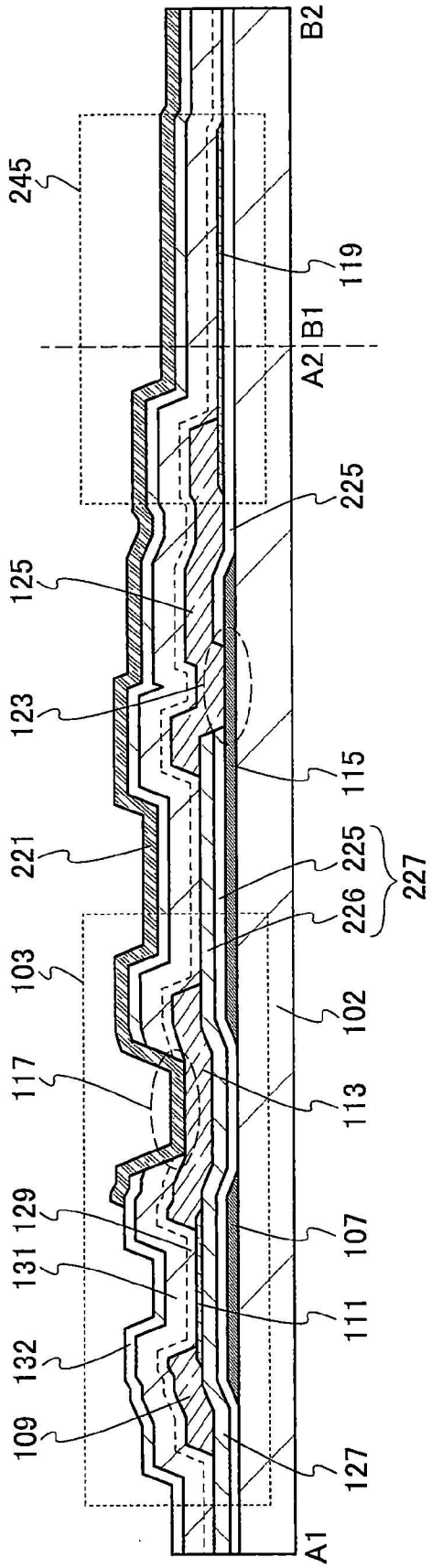
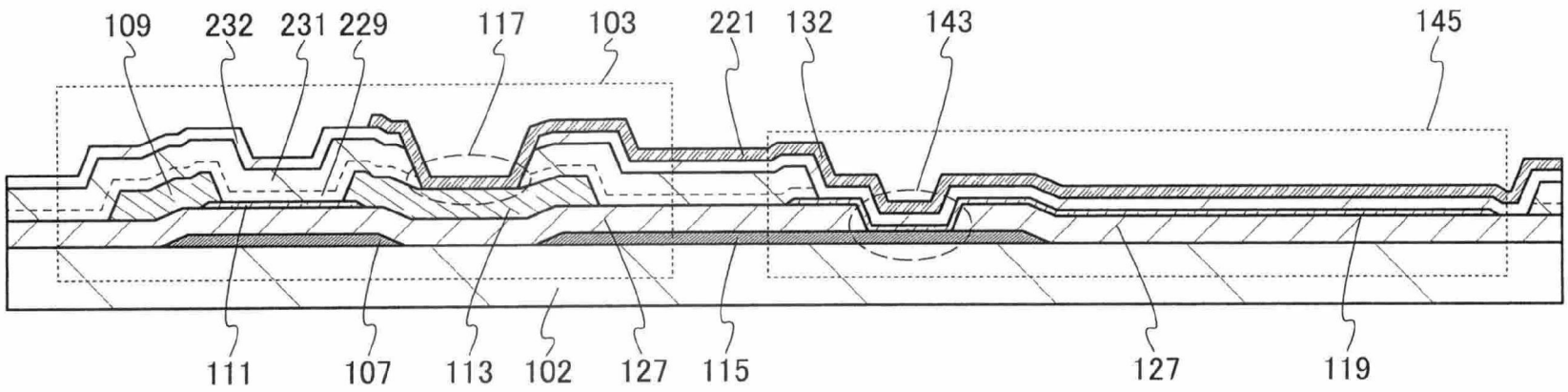

245
125
123
221
103
117
129
131
132
109
B2
119
B1
A2
225
115
225
226
227
102
113
107
111
127
A1

圖9

圖 10


109
232
231
229
117
103
221
132
143
145
111
107
113
102
127
115
127
119

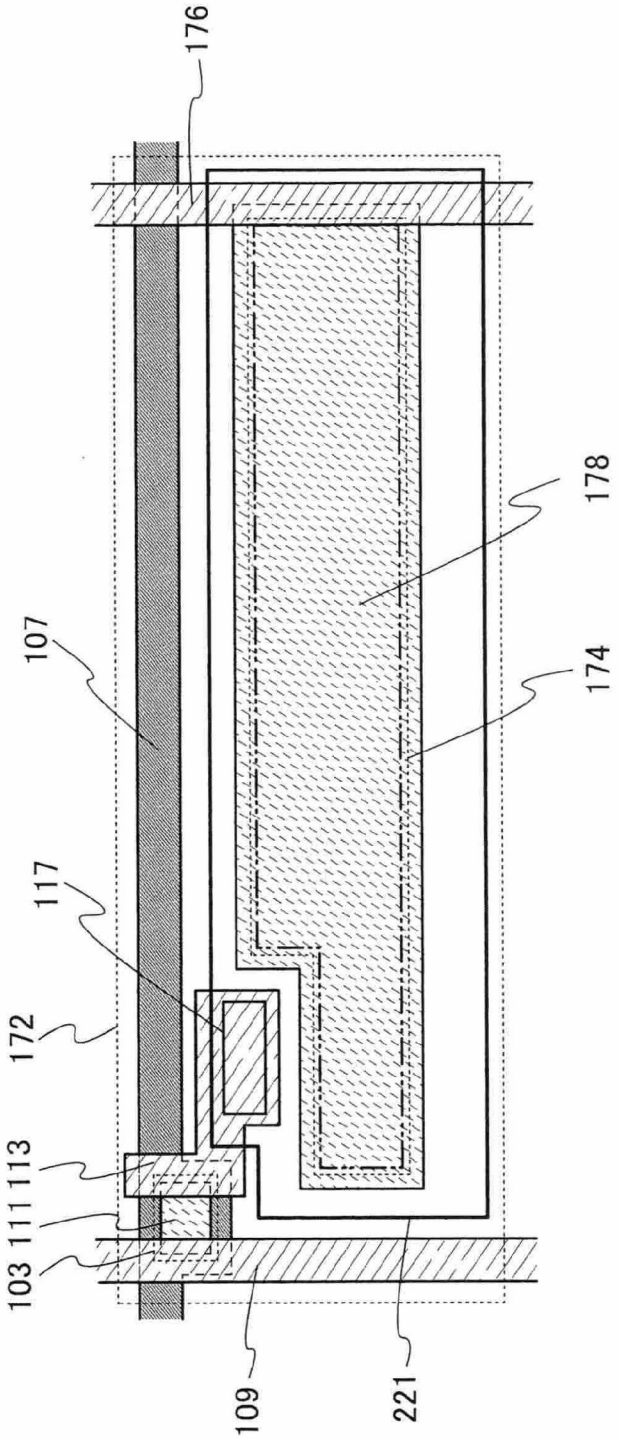


圖 11

圖 12

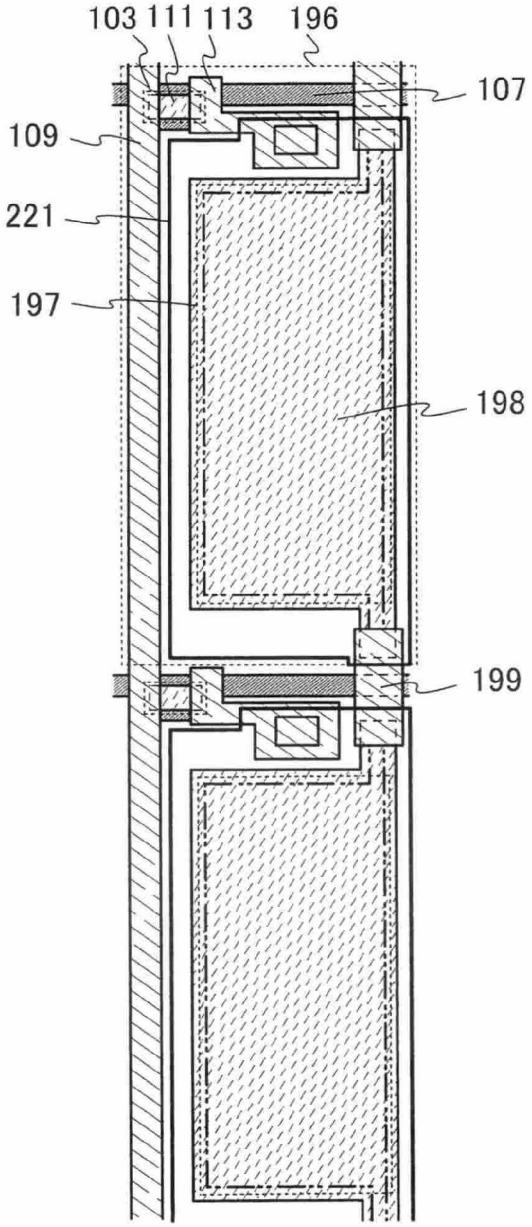


圖 13

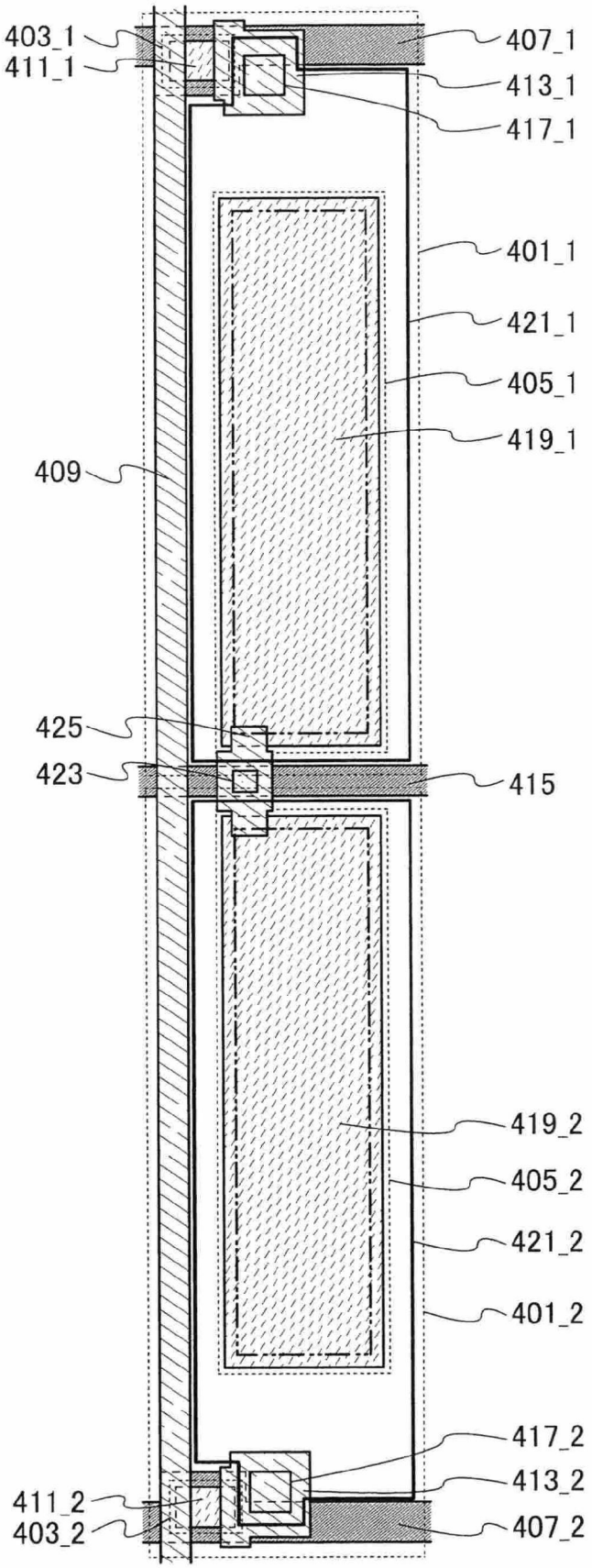
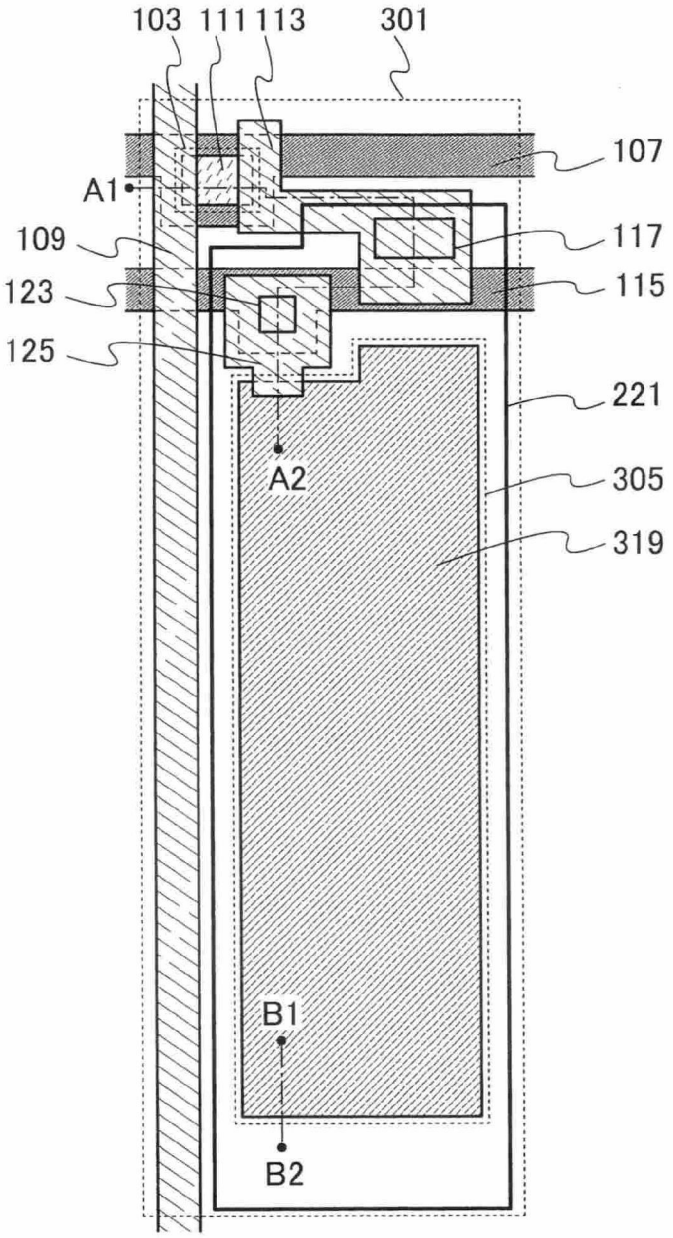

403_1
411_1
407_1
413_1
417_1
401_1
421_1
405_1
419_1
409
425
423
415
419_2
405_2
421_2
401_2
417_2
413_2
411_2
403_2
407_2

圖 14



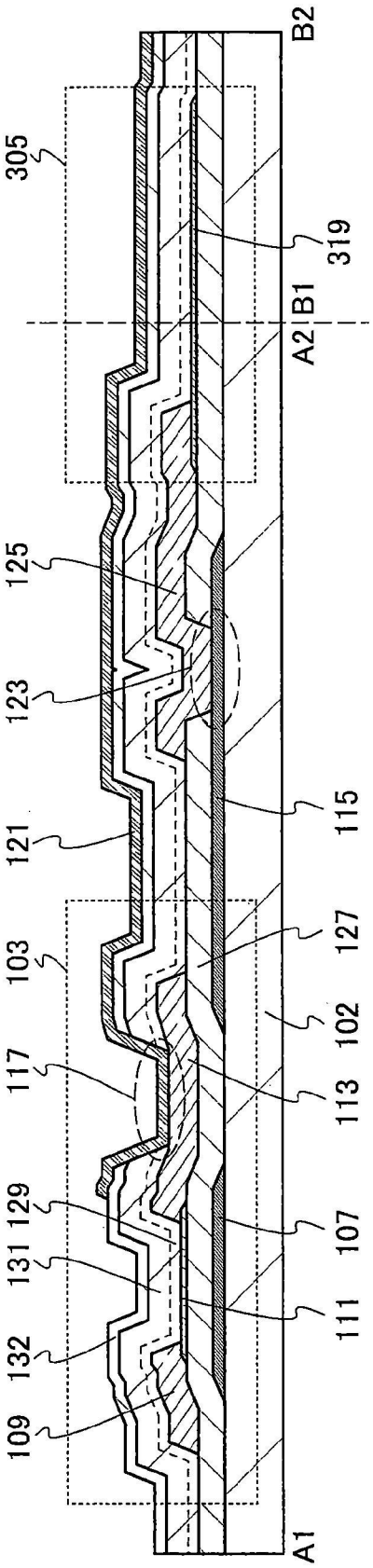

305
125
123
121
103
117
129
131
132
109
319
B1
A2
115
127
102
113
107
111
B2
A1

圖15

圖 16A

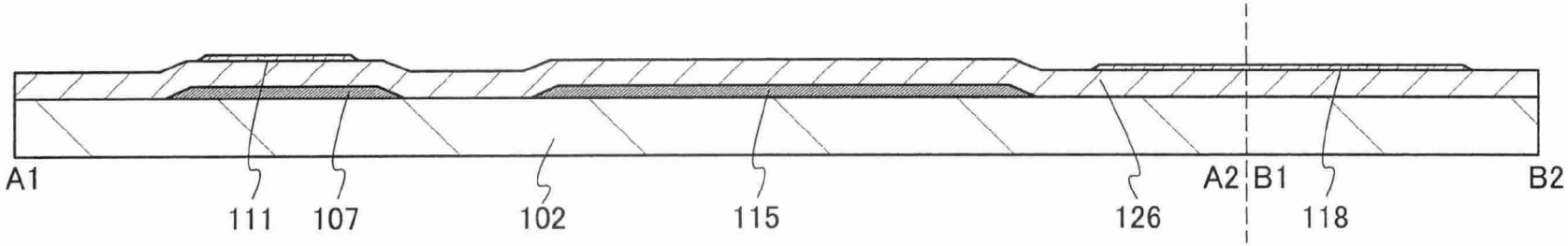
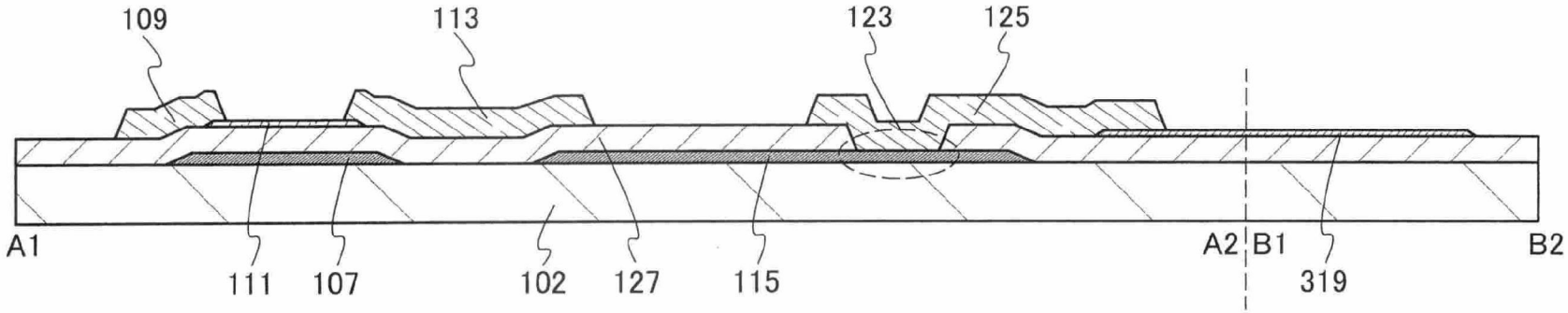

A1
111
107
102
115
126
A2
B1
118
B2

圖 16B


109
113
123
125
A1
111
107
102
127
115
A2
B1
319
B2

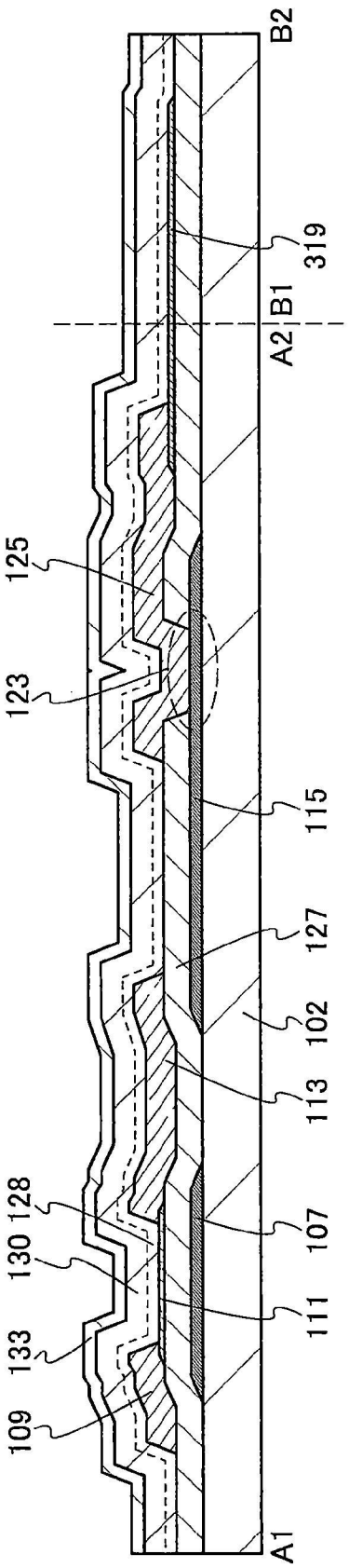

A1
A2
B1
B2
109
133
130
128
111
107
113
102
127
115
123
125
319

圖 17A

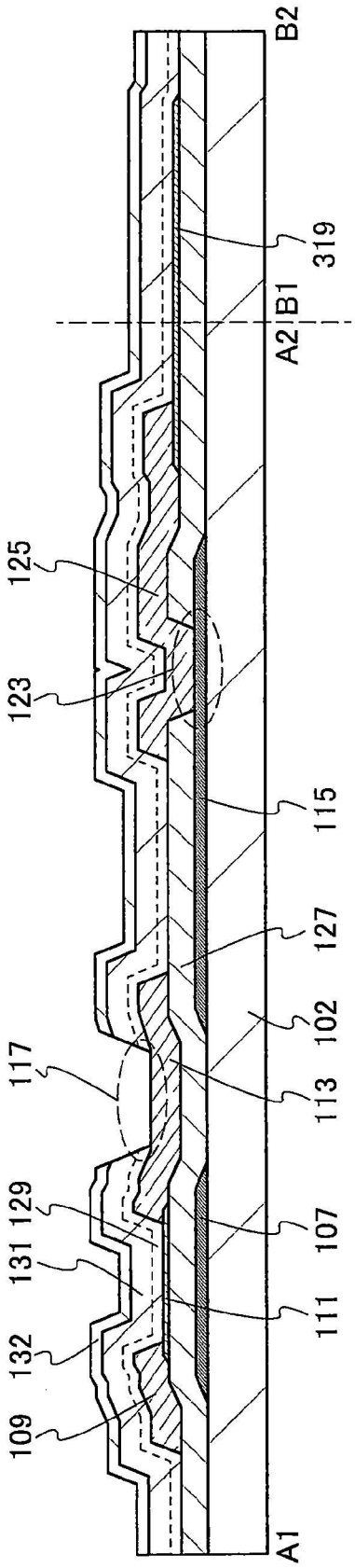

A1
A2
B1
B2
109
132
131
129
111
107
113
117
102
127
115
123
125
319

圖 17B

圖 18A

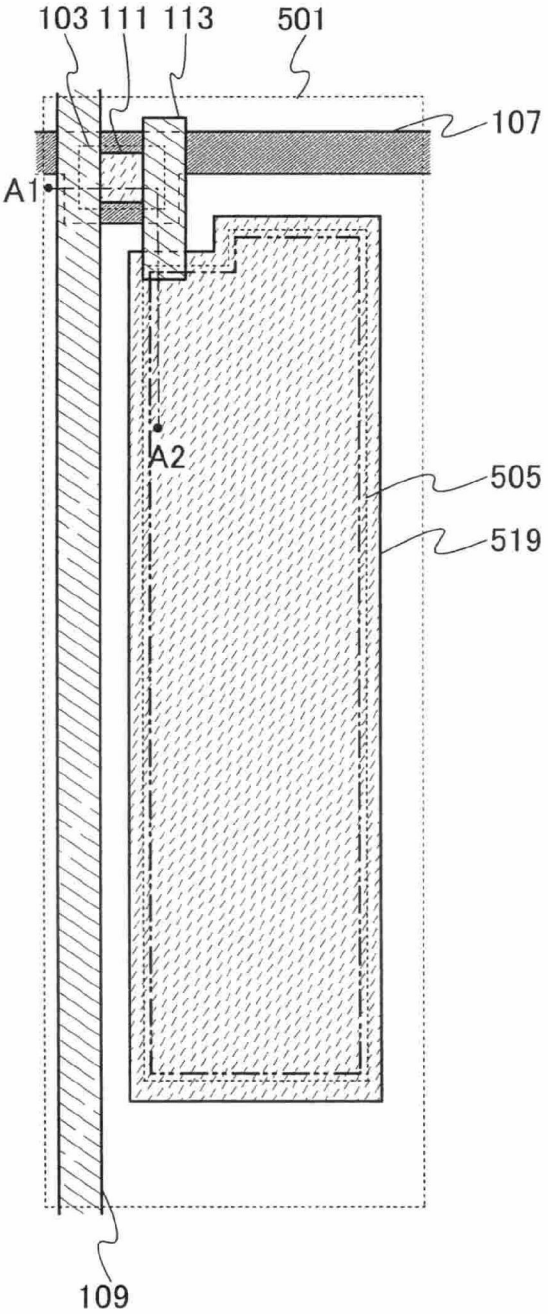

103
111
113
501
107
A1
A2
505
519
109

圖 18B

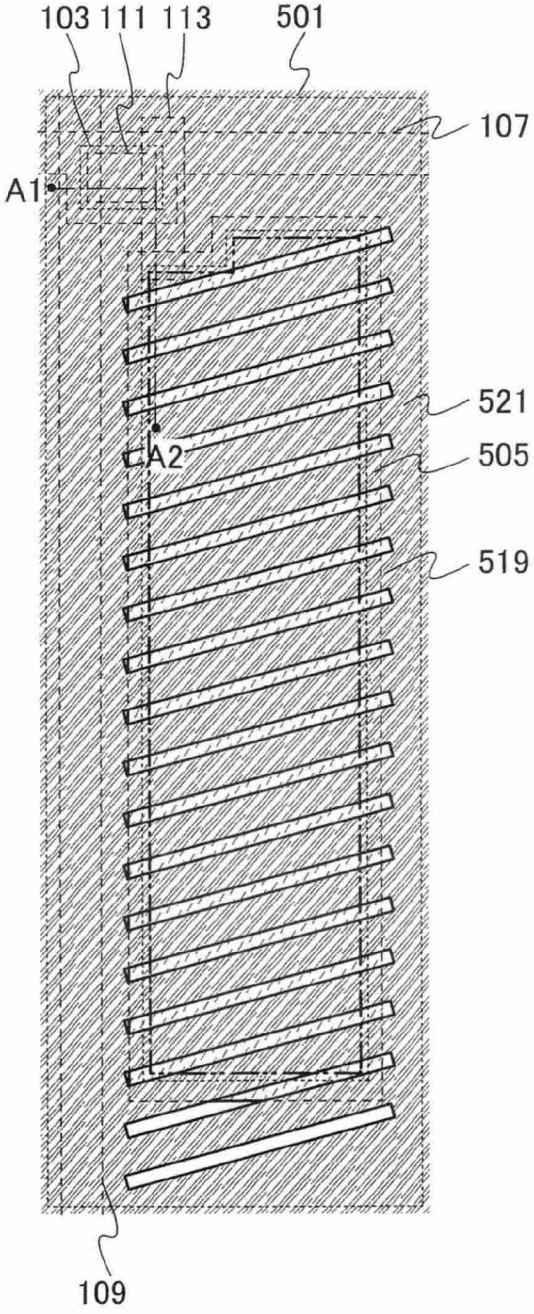

103
111
113
501
107
A1
A2
521
505
519
109

圖 19

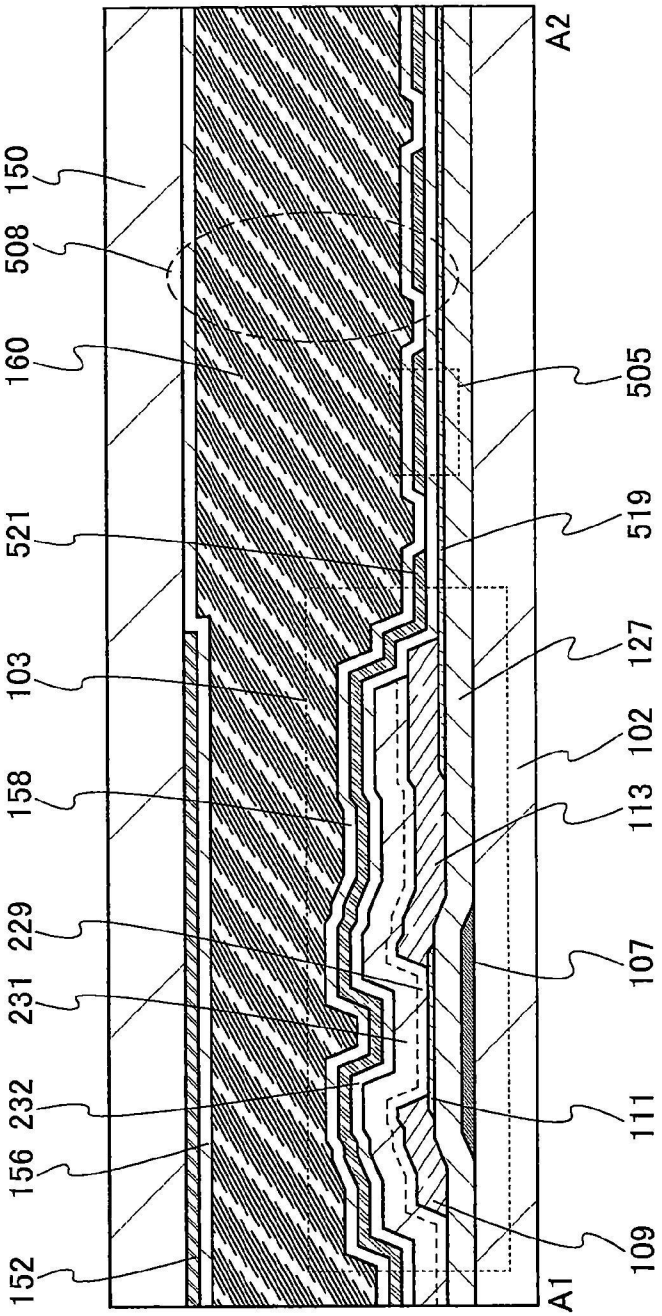

150
508
160
521
103
158
229
231
232
156
152
A2
505
519
127
102
113
107
111
109
A1

圖 20

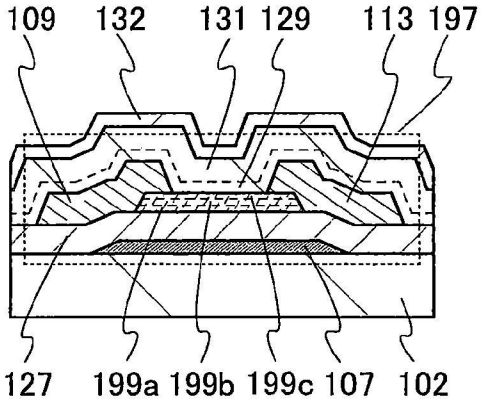


圖 21A

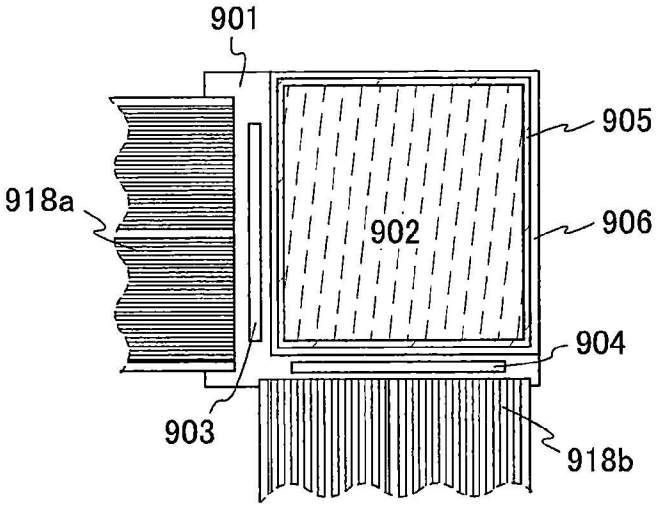


圖 21B

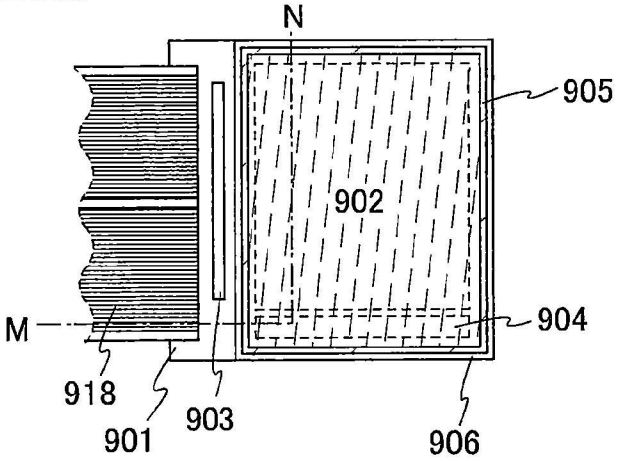
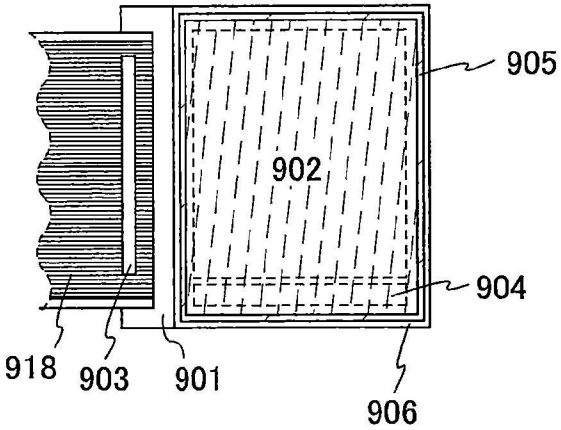


圖 21C



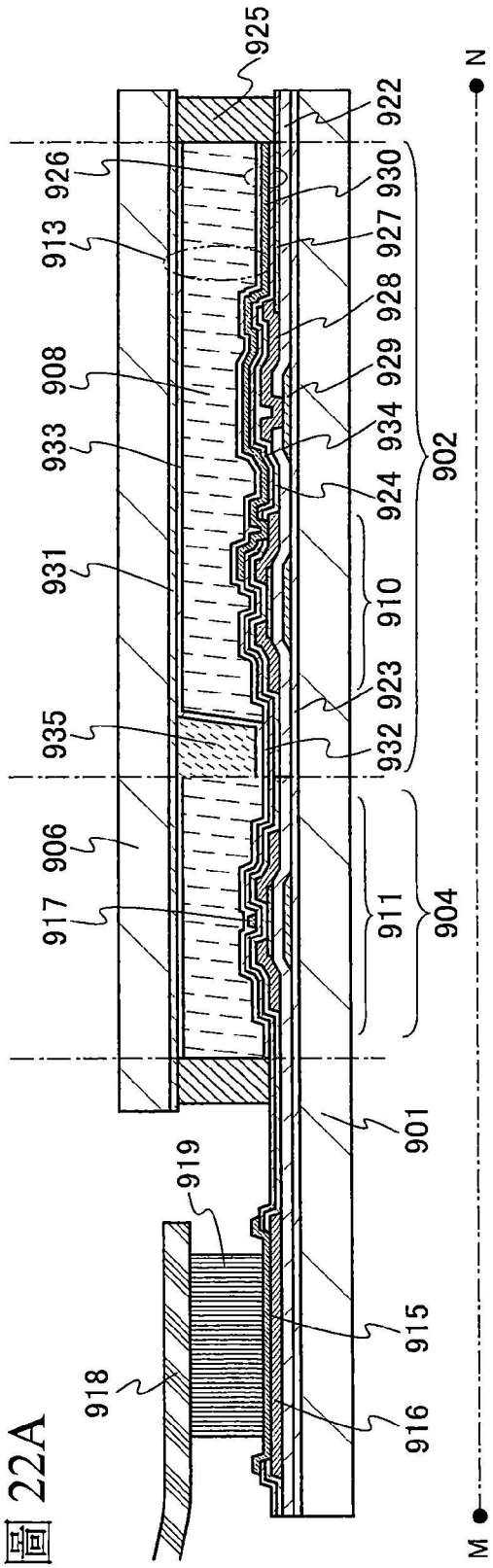

925
922
926
930
913
927
928
908
929
933
934
924
902
931
910
923
935
932
906
917
911
904
901
919
915
918
916
N
M

圖 22A

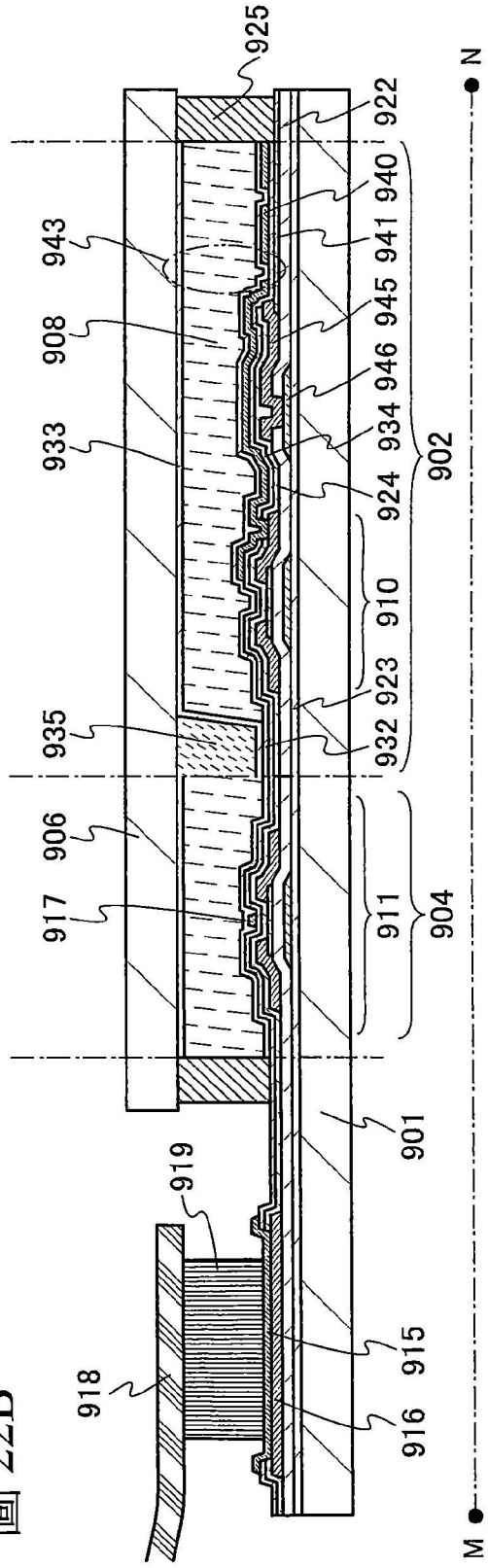

925
922
940
943
941
908
945
946
933
934
924
902
910
923
935
932
906
917
911
904
901
919
915
918
916
N
M

圖 22B

圖 23A

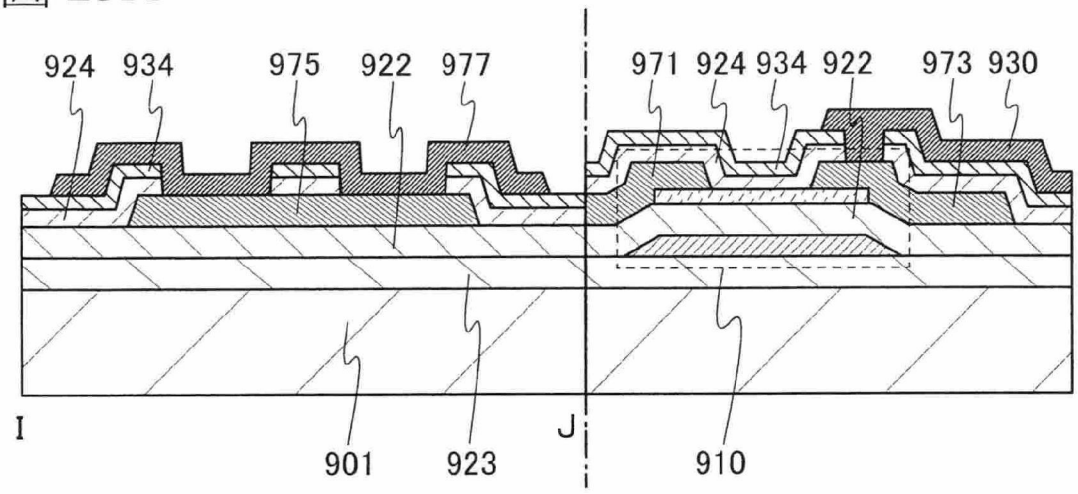


圖 23B

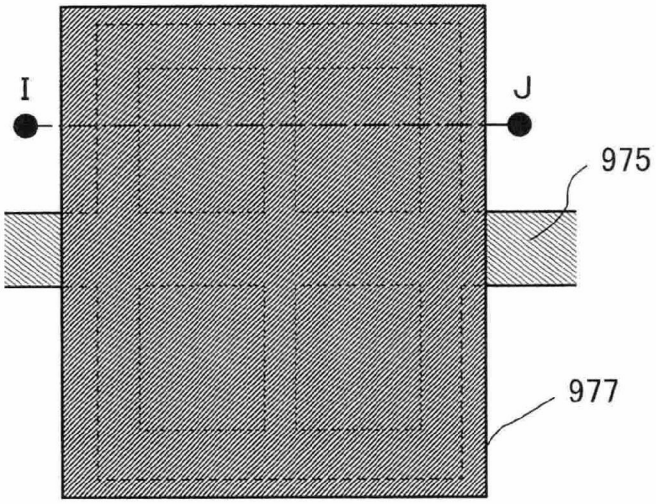


圖 23C

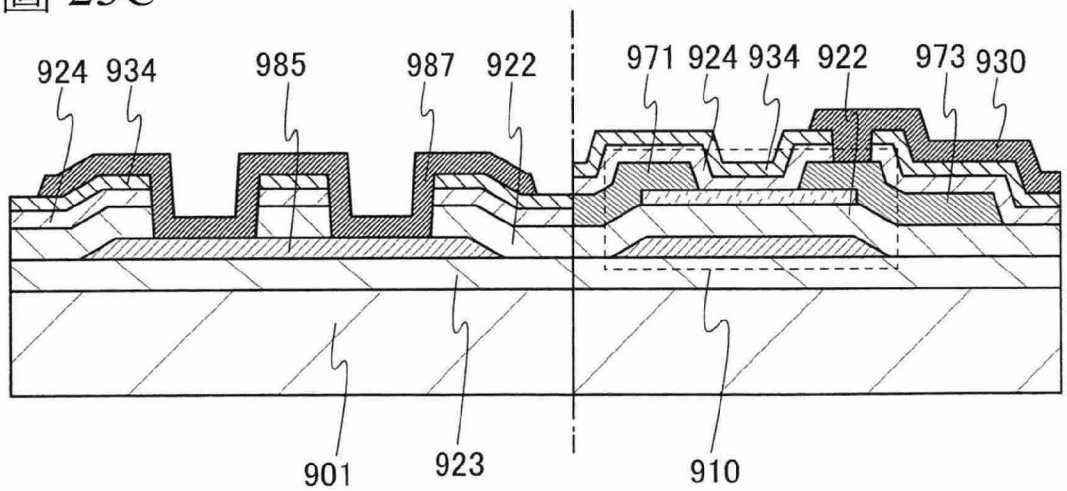


圖 24A

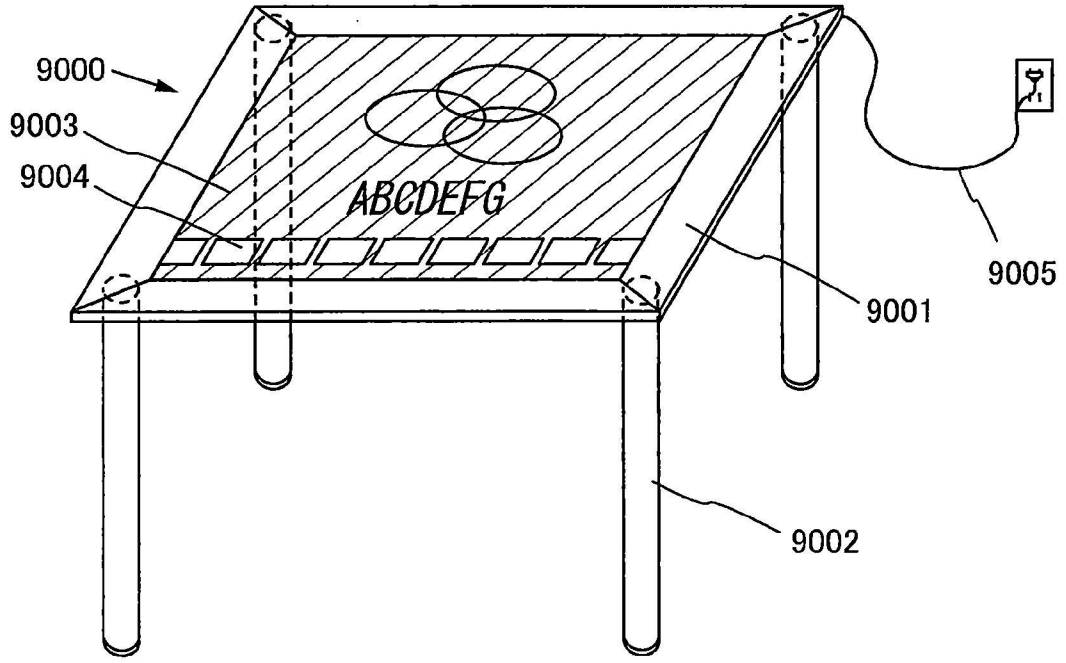


圖 24B

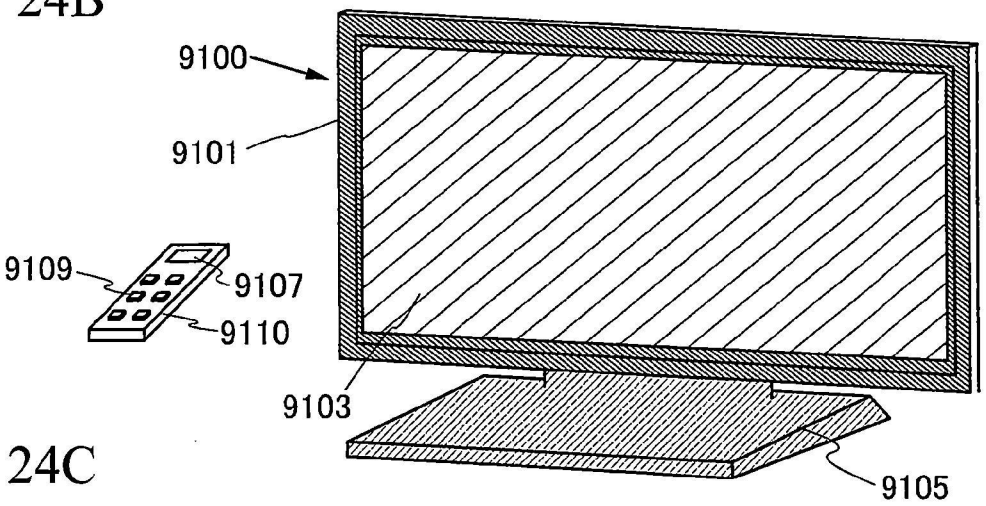


圖 24C

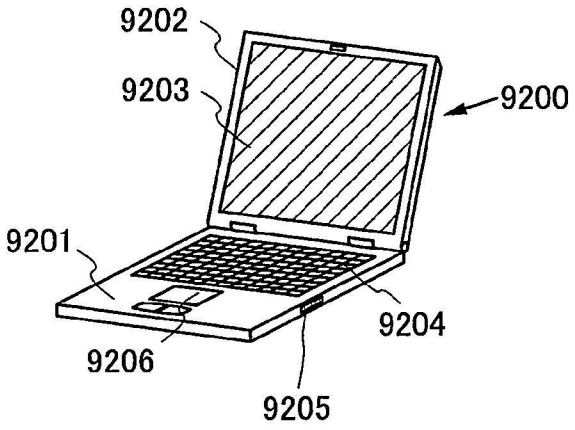


圖 25A

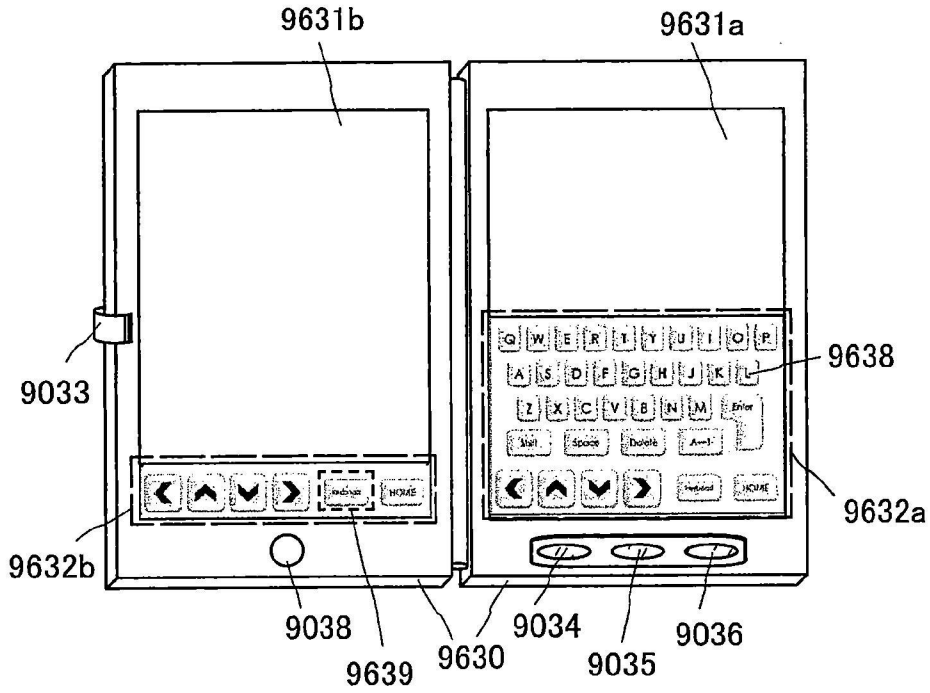


圖 25B

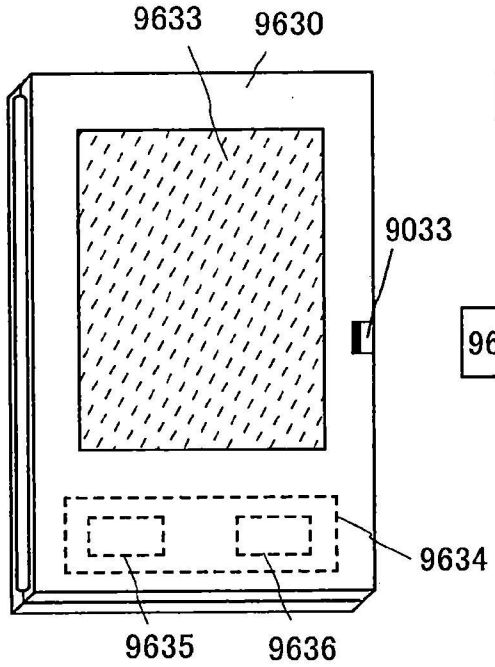


圖 25C

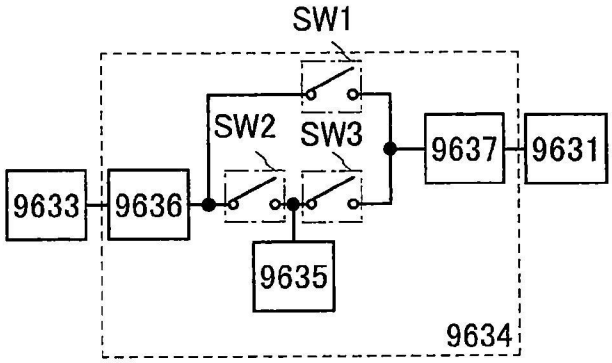


圖 26A

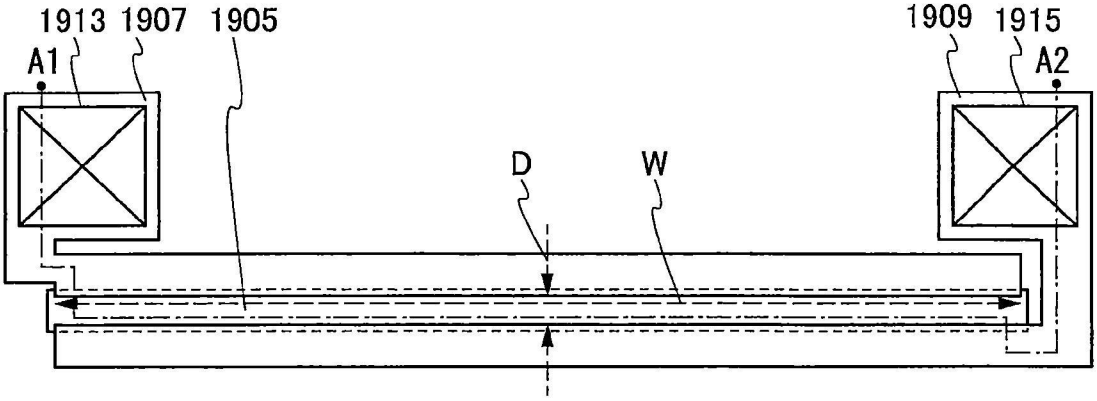


圖 26B

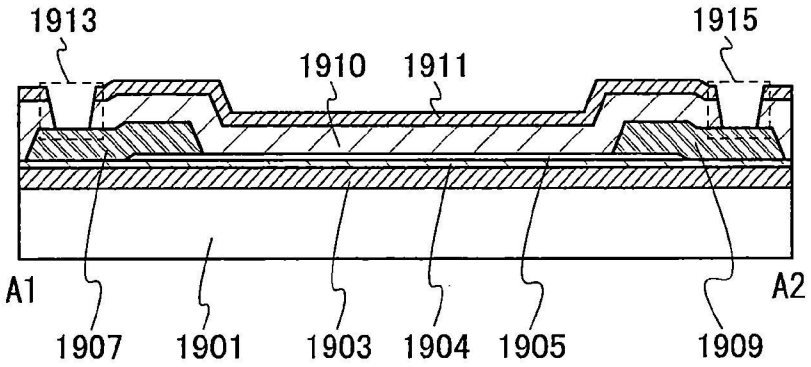


圖 26C

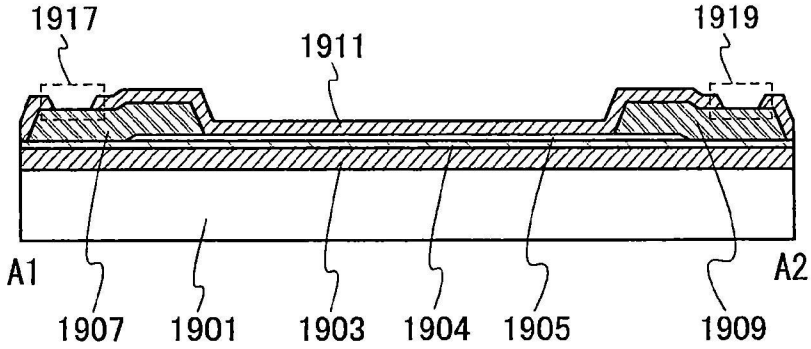


圖 26D

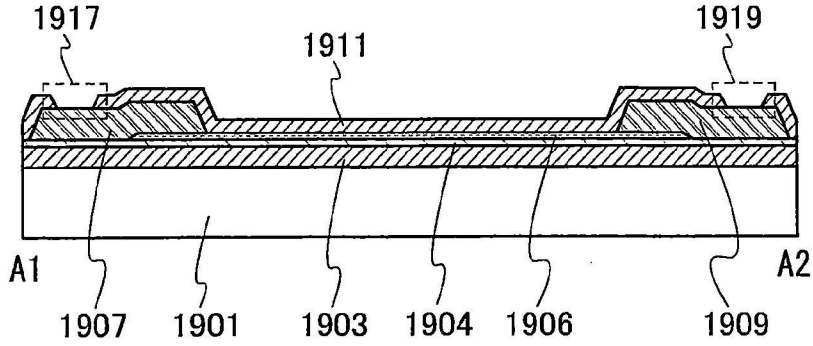


圖 27

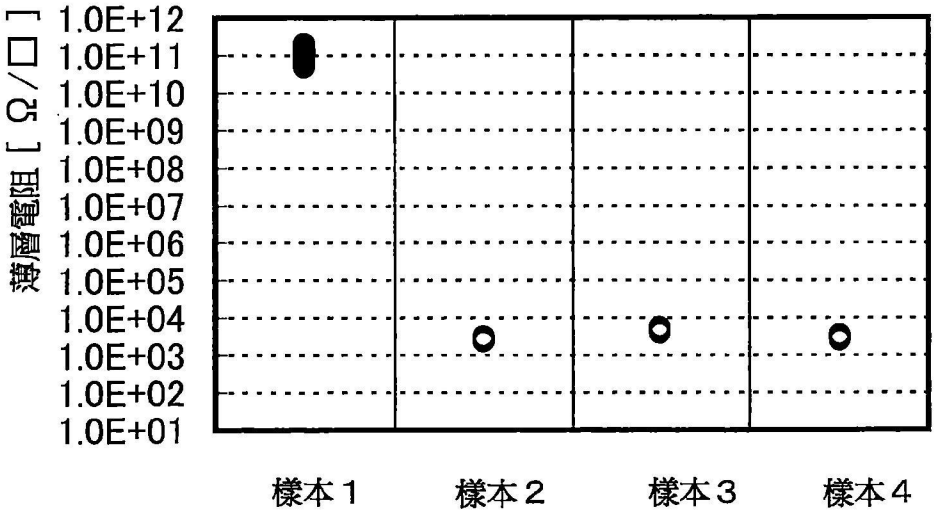

薄層電阻 [Ω/□]
1.0E+12
1.0E+11
1.0E+10
1.0E+09
1.0E+08
1.0E+07
1.0E+06
1.0E+05
1.0E+04
1.0E+03
1.0E+02
1.0E+01
樣本１
樣本２
樣本３
樣本４

圖 28A

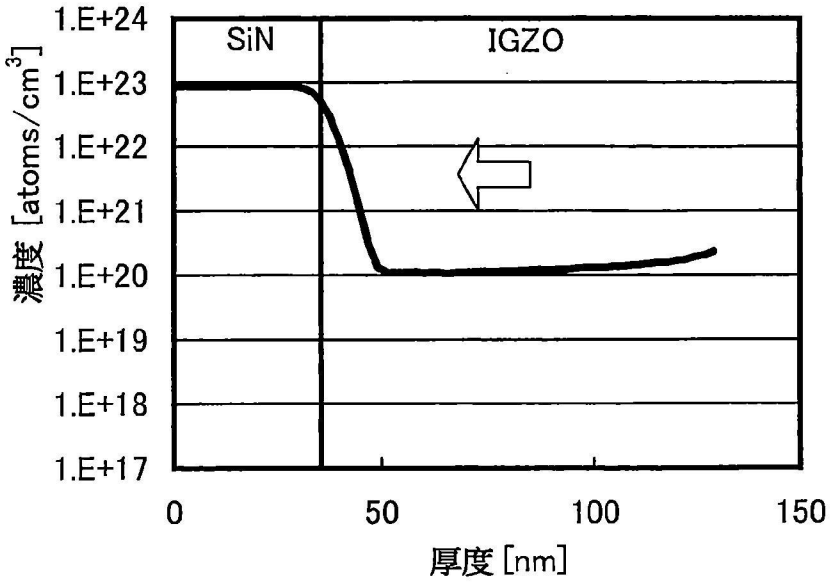

SiN
IGZO
1.E+24
1.E+23
1.E+22
1.E+21
1.E+20
1.E+19
1.E+18
1.E+17
濃度 [atoms/cm3]
0
50
100
150
厚度 [nm]

圖 28B

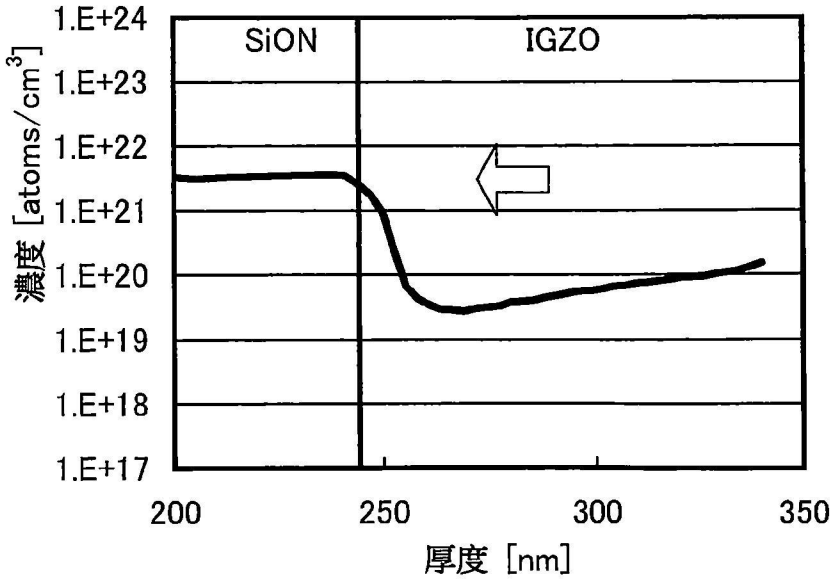

SiON
IGZO
1.E+24
1.E+23
1.E+22
1.E+21
1.E+20
1.E+19
1.E+18
1.E+17
濃度 [atoms/cm3]
200
250
300
350
厚度 [nm]

圖 29A

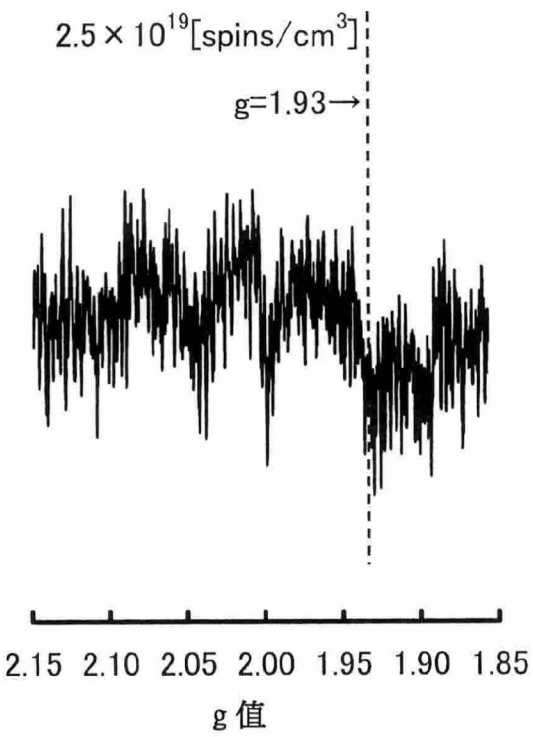


圖 29B

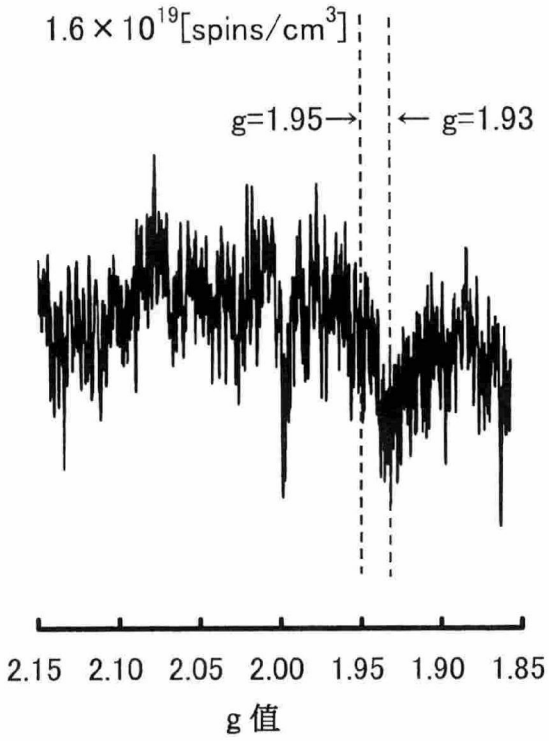


圖 29C

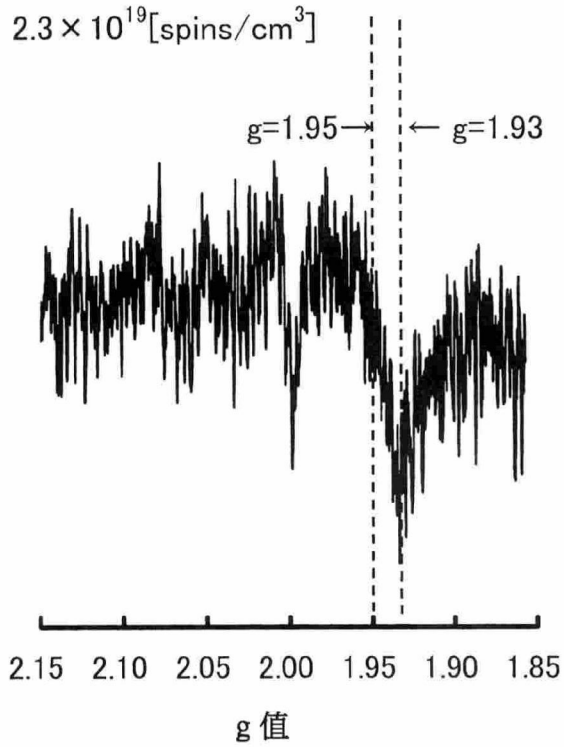


圖 30

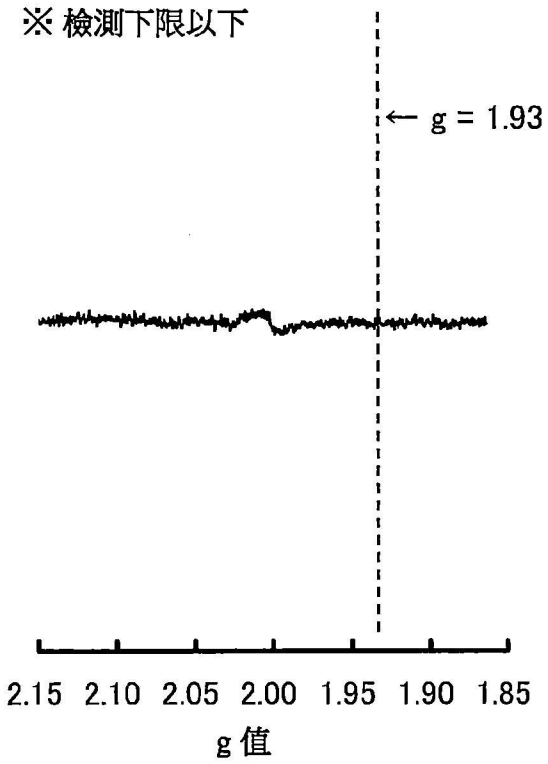
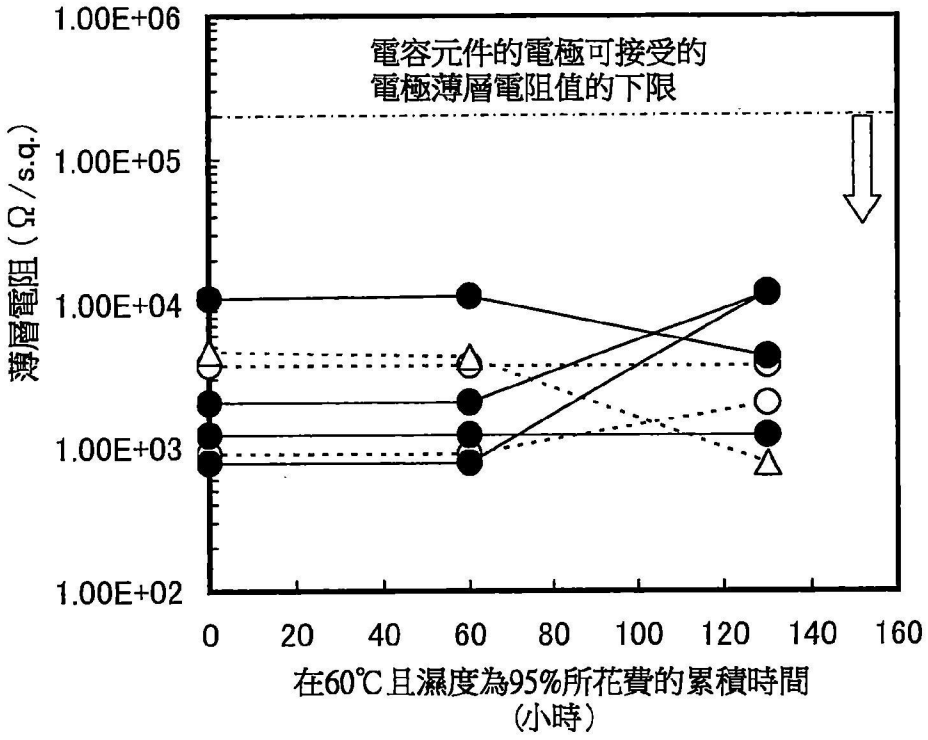


圖 31



氮化矽膜在220℃成膜

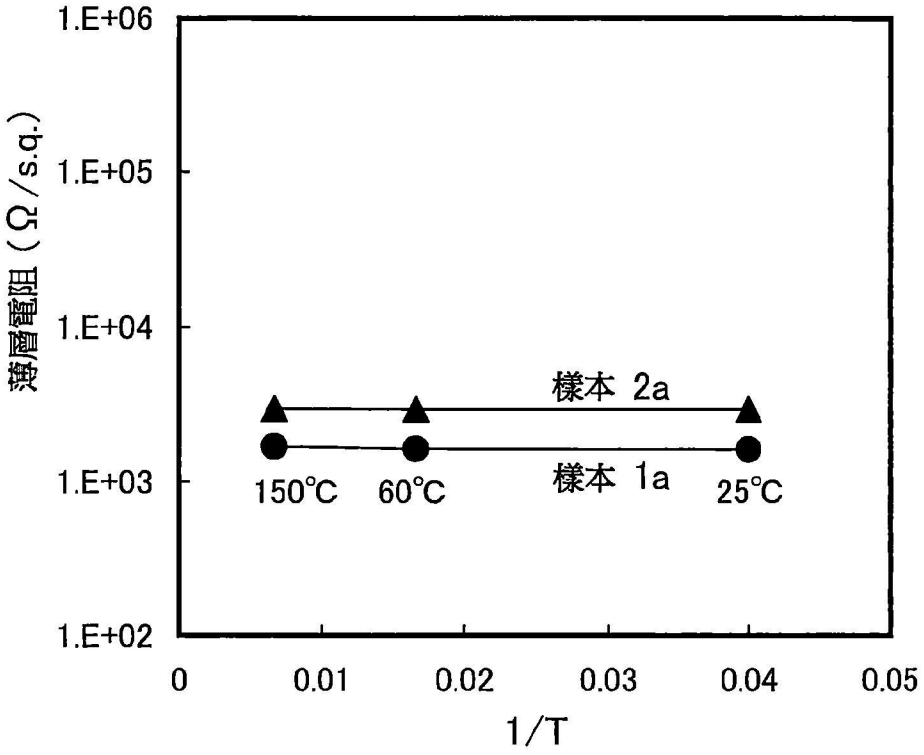
氮化矽膜在350℃成膜

● 氧化物半導體膜1905, 350℃加熱處理

○ 氧化物半導體膜1905, 450℃加熱處理

△ 多層膜1906, 450℃加熱處理

圖 32



——— 氮化矽膜在220℃成膜

● 氧化物半導體膜1905, 350℃加熱處理

▲ 多層膜1906, 350℃加熱處理

圖 33A

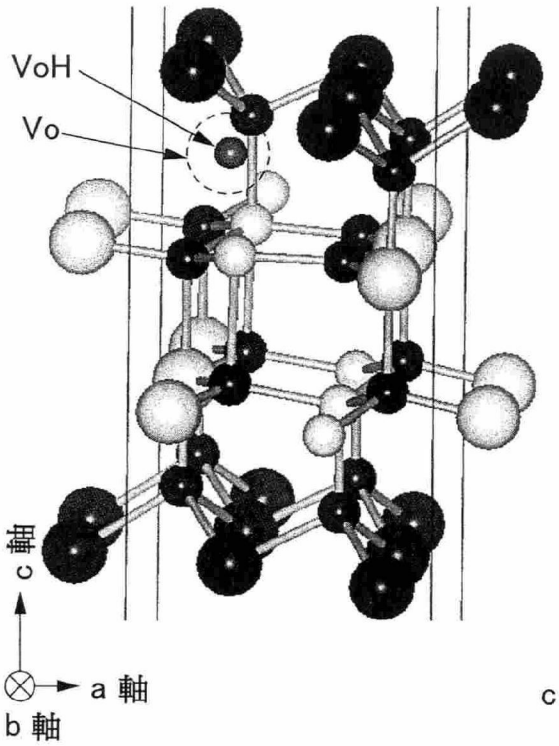


圖 33B

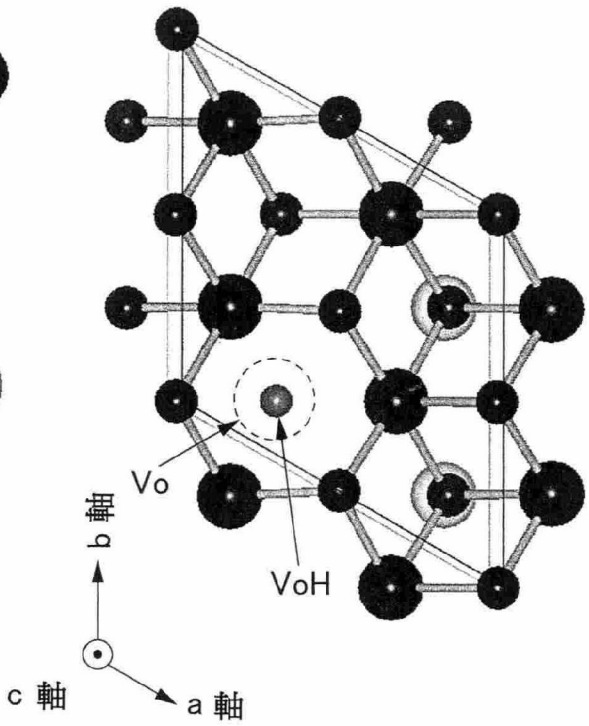


圖 33C

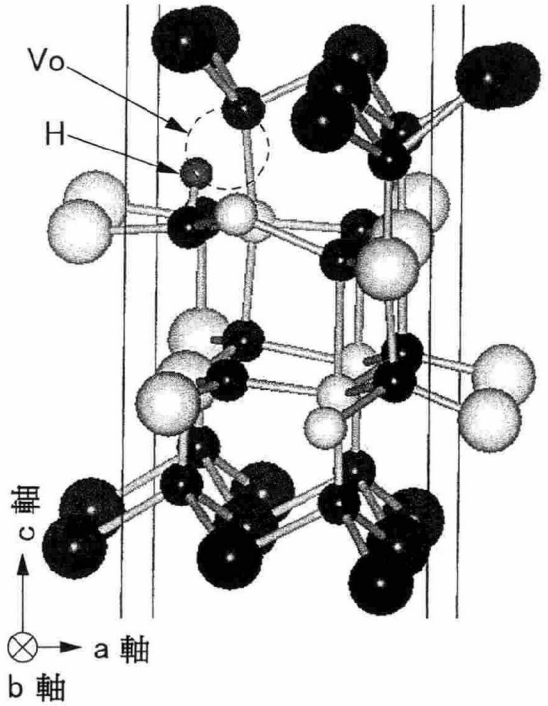
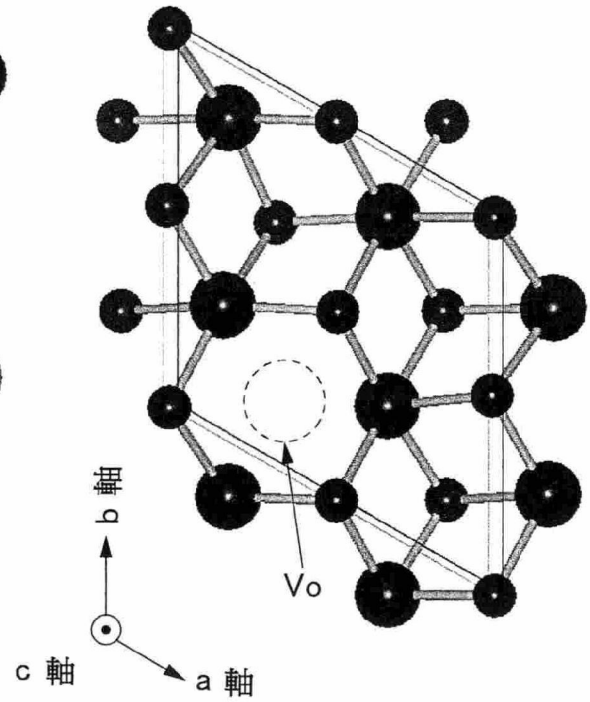


圖 33D



In Ga Zn O H

圖 34A

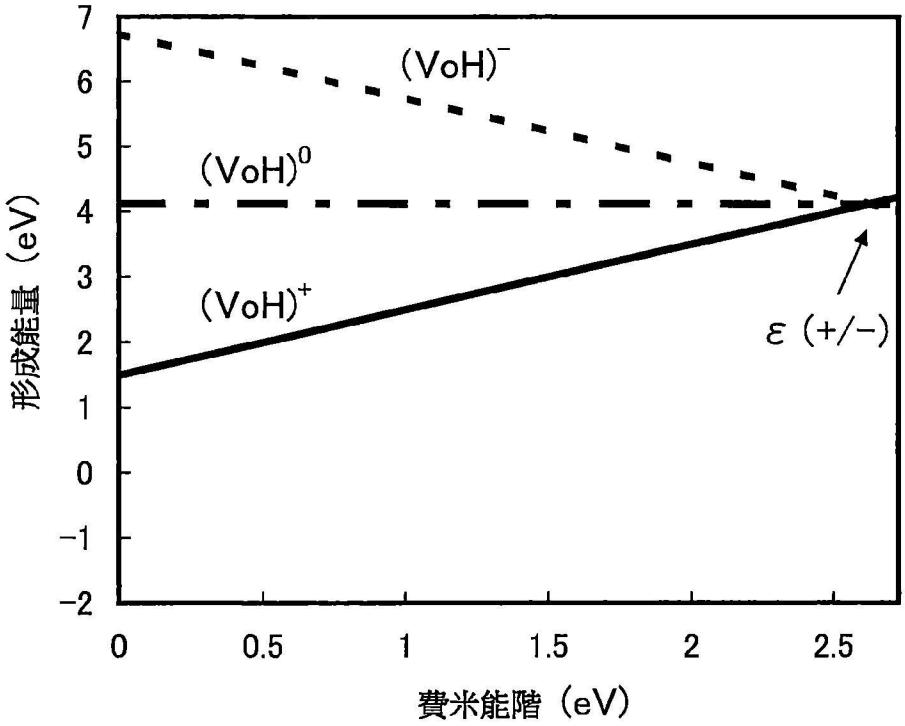

7
6
5
4
3
2
1
0
−1
−2
形成能量（eV）
(VoH)⁻
(VoH)⁰
(VoH)⁺
ε (+/−)
0
0.5
1
1.5
2
2.5
費米能階（eV）

圖 34B

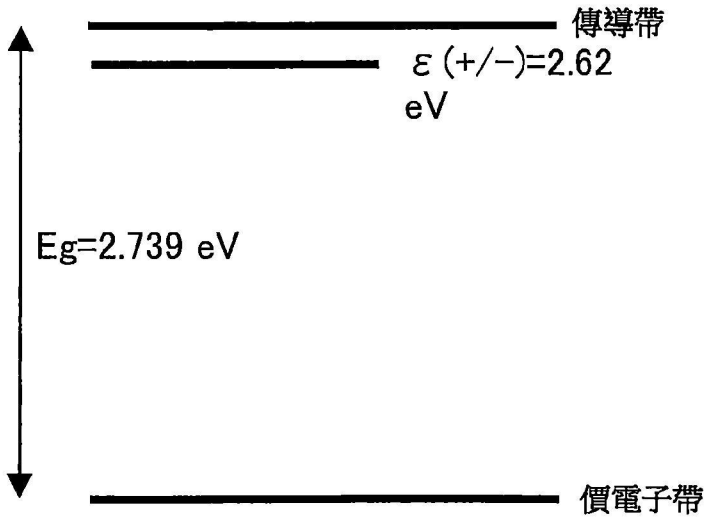

傳導帶
ε (+/−)=2.62
eV
Eg=2.739 eV
價電子帶

圖 35A

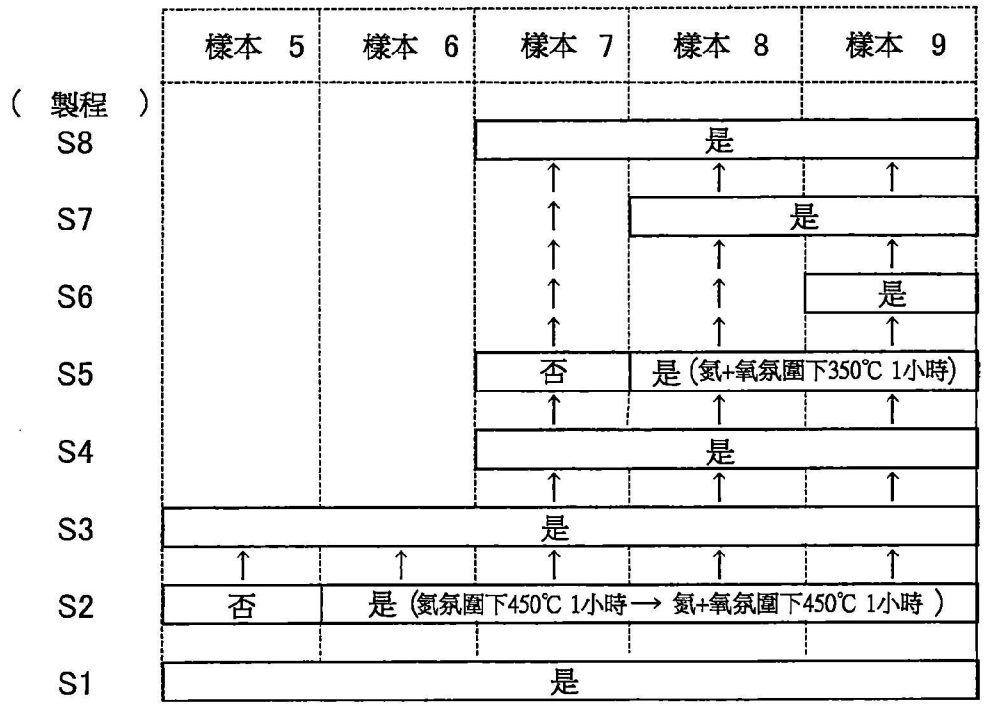
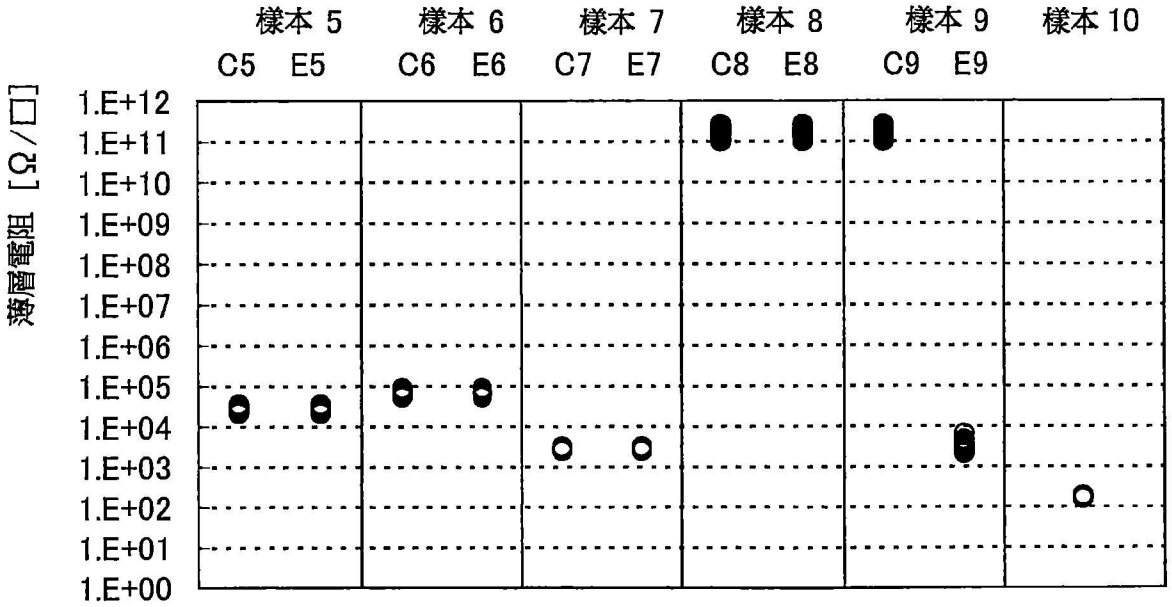
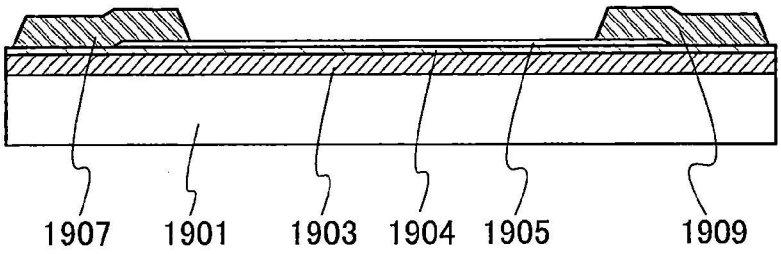

樣本 5
樣本 6
樣本 7
樣本 8
樣本 9
(製程)
S8
是
S7
是
S6
是
S5
否
是 (氮+氧氛圍下350℃ 1小時)
S4
是
S3
是
S2
否
是 (氮氛圍下450℃ 1小時 → 氮+氧氛圍下450℃ 1小時)
S1
是

圖 35B


樣本 5
樣本 6
樣本 7
樣本 8
樣本 9
樣本 10
C5 E5
C6 E6
C7 E7
C8 E8
C9 E9
薄層電阻 [Ω/□]
1.E+12
1.E+11
1.E+10
1.E+09
1.E+08
1.E+07
1.E+06
1.E+05
1.E+04
1.E+03
1.E+02
1.E+01
1.E+00

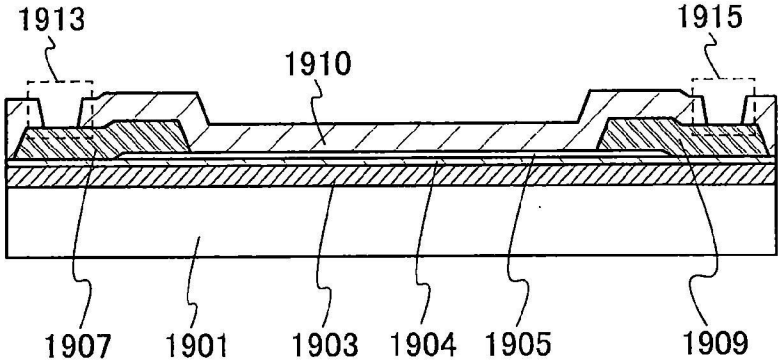
樣本 5, 樣本 6

圖 36A



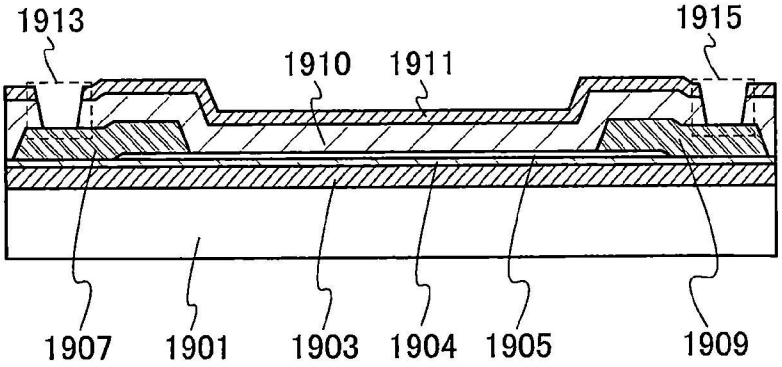
樣本 7

圖 36B



樣本 8

圖 36C



樣本 9

圖 36D

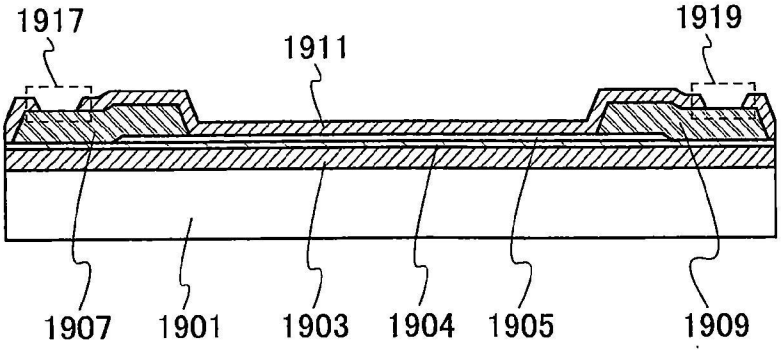


圖 37A

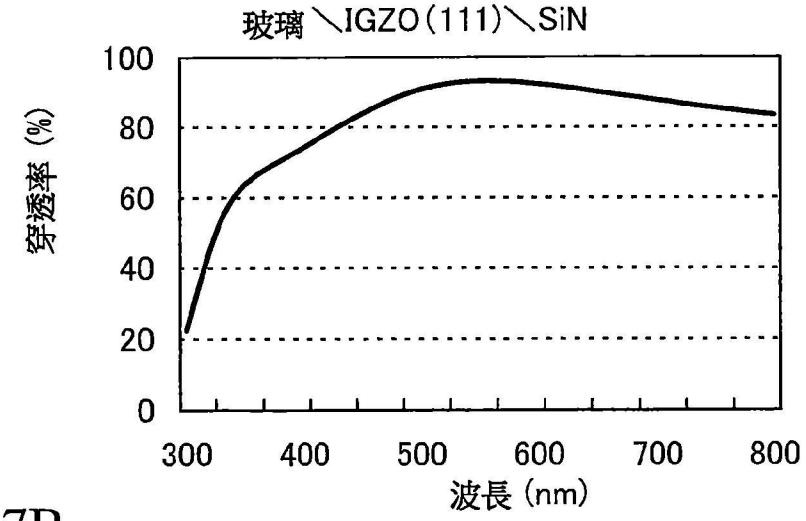


圖 37B

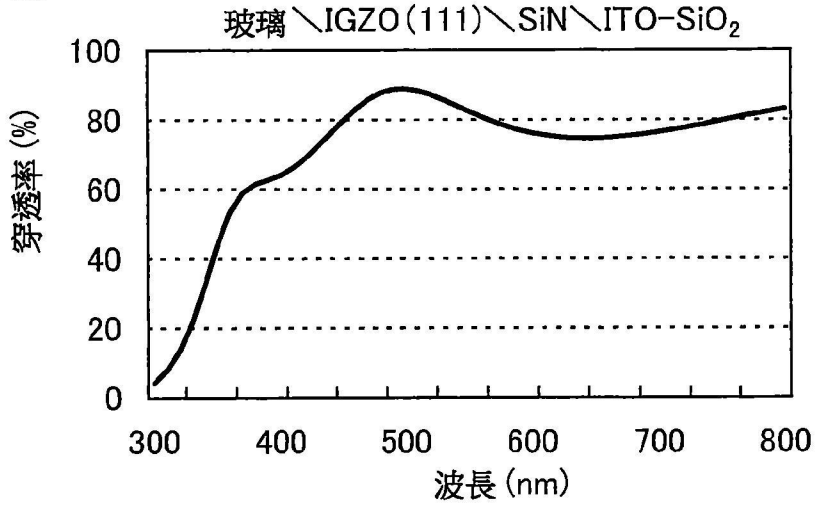


圖 37C