

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-34814
(P2008-34814A)

(43) 公開日 平成20年2月14日(2008.2.14)

(51) Int.Cl.

HO1L 21/8247 (2006.01)
 HO1L 29/788 (2006.01)
 HO1L 29/792 (2006.01)
 HO1L 27/115 (2006.01)

F 1

HO1L 29/78 371
 HO1L 27/10 434

テーマコード(参考)

5FO83
 5F1O1

審査請求 未請求 請求項の数 17 O L (全 21 頁)

(21) 出願番号 特願2007-156400 (P2007-156400)
 (22) 出願日 平成19年6月13日 (2007.6.13)
 (31) 優先権主張番号 10-2006-0070886
 (32) 優先日 平成18年7月27日 (2006.7.27)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

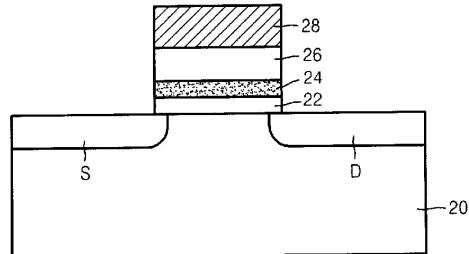
(54) 【発明の名称】不揮発性半導体メモリ素子及びその製造方法

(57) 【要約】

【課題】不揮発性半導体メモリ素子及びその製造方法を提供する。

【解決手段】半導体基板上に形成されたトンネル絶縁膜と、トンネル絶縁膜上に形成され、遷移金属がドーピングされた誘電膜を含む電荷トラップ層と、電荷トラップ層上に形成されたブロッキング絶縁膜と、ブロッキング絶縁膜上に形成されたゲート電極と、を備えることを特徴とする不揮発性半導体メモリ素子である。ここで、誘電膜は、 HfO_2 膜のような高誘電膜であることが望ましい。これにより、高誘電膜内に遷移金属をドーピングして深いトラップを形成させるため、不揮発性半導体メモリ素子のリテンション特性を改善しうる。

【選択図】図2



【特許請求の範囲】

【請求項 1】

半導体基板上に形成されたトンネル絶縁膜と、
前記トンネル絶縁膜上に形成され、遷移金属がドーピングされた誘電膜を含む電荷トラップ層と、
前記電荷トラップ層上に形成されたプロッキング絶縁膜と、
前記プロッキング絶縁膜上に形成されたゲート電極と、を備えることを特徴とする不揮発性半導体メモリ素子。

【請求項 2】

前記誘電膜は、 Si_xO_y 膜、 Hf_xO_y 膜、 Zr_xO_y 膜、 Si_xN_y 膜、 Al_xO_y 膜、 $Hf_xSi_yO_zN_k$ 膜、 $Hf_xO_yN_z$ 膜及び $Hf_xAl_yO_z$ 膜で構成されたグループから選択される何れか一つであることを特徴とする請求項 1 に記載の不揮発性半導体メモリ素子。 10

【請求項 3】

前記遷移金属は、d 軌道に原子が電子を有する金属であることを特徴とする請求項 1 に記載の不揮発性半導体メモリ素子。

【請求項 4】

前記誘電膜は、 Hf_xO_y 膜であり、前記誘電膜内にドーピングされた遷移金属は、Ta、V、Ru 及びNb で構成されたグループから選択される一つ以上の遷移金属であることを特徴とする請求項 2 に記載の不揮発性半導体メモリ素子。 20

【請求項 5】

前記誘電膜は、 Al_xO_y 膜であり、前記誘電膜内にドーピングされた遷移金属は、W、Ru、Mo、Ni、Nb、V、Ti 及びZn で構成されたグループから選択される一つ以上の遷移金属であることを特徴とする請求項 2 に記載の不揮発性半導体メモリ素子。

【請求項 6】

前記遷移金属は、0.01% ~ 15% でドーピングされたことを特徴とする請求項 1 に記載の不揮発性半導体メモリ素子。

【請求項 7】

前記遷移金属は、前記誘電膜内に電子トラップと正孔トラップとを同時に形成するよう 30 に少なくとも 2 種類以上ドーピングされたことを特徴とする請求項 1 に記載の不揮発性半導体メモリ素子。

【請求項 8】

半導体基板上にトンネル絶縁膜用の第 1 絶縁膜を形成する工程と、
前記第 1 絶縁膜上に電荷トラップ層として遷移金属がドーピングされた誘電膜を形成する工程と、

前記遷移金属がドーピングされた誘電膜上にプロッキング絶縁膜用の第 2 絶縁膜を形成する工程と、

前記第 2 絶縁膜上にゲート電極用の導電膜を形成する工程と、

前記導電膜、第 2 絶縁膜、遷移金属がドーピングされた誘電膜及び第 1 絶縁膜をパターニングしてトンネル絶縁膜、電荷トラップ層、プロッキング絶縁膜及びゲート電極が順次に積層されたゲート構造物を形成する工程と、を含むことを特徴とする不揮発性半導体メモリ素子の製造方法。 40

【請求項 9】

前記誘電膜は、 Si_xO_y 膜、 Hf_xO_y 膜、 Zr_xO_y 膜、 Si_xN_y 膜、 Al_xO_y 膜、 $Hf_xSi_yO_zN_k$ 膜、 $Hf_xO_yN_z$ 膜及び $Hf_xAl_yO_z$ 膜で構成されたグループから選択される何れか一つであることを特徴とする請求項 8 に記載の不揮発性半導体メモリ素子の製造方法。

【請求項 10】

前記遷移金属がドーピングされた誘電膜は、スパッタリング方式で形成することを特徴とする請求項 8 に記載の不揮発性半導体メモリ素子の製造方法。 50

【請求項 1 1】

前記遷移金属がドーピングされた誘電膜は、原子層蒸着方式で形成することを特徴とする請求項 8 に記載の不揮発性半導体メモリ素子の製造方法。

【請求項 1 2】

前記遷移金属がドーピングされた誘電膜は、化学気相蒸着方式で形成することを特徴とする請求項 8 に記載の不揮発性半導体メモリ素子の製造方法。

【請求項 1 3】

前記遷移金属がドーピングされた誘電膜は、前記第 1 絶縁膜上に未ドーピング誘電膜を形成した後に、前記未ドーピング誘電膜内に遷移金属原子をイオン注入して形成することを特徴とする請求項 8 に記載の不揮発性半導体メモリ素子の製造方法。

10

【請求項 1 4】

前記遷移金属がドーピングされた誘電膜は、少なくとも 800 以上の温度で形成することを特徴とする請求項 8 に記載の不揮発性半導体メモリ素子の製造方法。

【請求項 1 5】

前記遷移金属がドーピングされた誘電膜を形成する工程後に、前記遷移金属がドーピングされた誘電膜を少なくとも 800 以上の温度でアニーリングする工程をさらに含むことを特徴とする請求項 8 に記載の不揮発性半導体メモリ素子の製造方法。

【請求項 1 6】

前記アニーリングは、酸素雰囲気または窒素雰囲気で行うことを特徴とする請求項 1 5 に記載の不揮発性半導体メモリ素子の製造方法。

20

【請求項 1 7】

前記アニーリングは、急速熱処理方式または電気炉熱処理方式で行うことを特徴とする請求項 1 5 に記載の不揮発性半導体メモリ素子の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体メモリ素子に係り、さらに詳細には、データ維持特性を改善できる不揮発性半導体メモリ素子及びその製造方法に関する。

【背景技術】**【0002】**

長時間安全に保存せねばならないデータの量が増加し、メモリスティックのように一ヵ所で作業した結果を他の所に移動させるのに使われるデータ保存手段が普及しつつ、不揮発性半導体メモリ装置、特に電気的にデータの保存及び消去が可能でありつつ、電源が供給されなくても保存されたデータをそのまま保存できる不揮発性半導体メモリ装置への関心が高まっている。

30

【0003】

不揮発性半導体メモリ装置を構成する基本要素であるメモリセルの構成は、不揮発性半導体メモリ装置が使われる分野によって変わる。

例えば、現在広く使われている高容量の不揮発性半導体メモリ装置として、NAND (Not And) 型フラッシュ半導体メモリ装置のメモリセルの場合に、そのトランジスタのゲート構造物は、電荷が保存される、すなわちデータが保存されるフローティングゲートとそれを制御するコントロールゲートとが順次に積層された構造を有することが一般的である。

40

【0004】

しかし、従来のフラッシュ半導体メモリ装置は、フローティングゲート物質としてドーピングされたポリシリコンのような導電物質を使用するため、高集積化時に隣接したゲート構造物の間に寄生キャパシタンスが大きくなるという問題がある。

これにより、最近には、フラッシュ半導体メモリ装置のかかる問題を解消するために、SONOS (Silicon-Oxide-Nitride-Oxide-Semiconductor) あるいはMONOS (Metal-Oxide-Nitride-Oxide) 50

50

ide-Semiconductor)のようなMOIOS(Metal-Oxide-Insulator-Oxide-Semiconductor)メモリ素子と呼ばれる不揮発性半導体メモリ装置が提案され、それについての研究が活発に進められている。ここで、SONOSは、コントロールゲート物質としてシリコンを使用し、MONOSは、コントロールゲート物質として金属を使用するという点で差がある。

【0005】

MOIOSメモリ素子は、電荷を保存する手段として、フローティングゲートの代りに、シリコン窒化膜(Si_3N_4)のような電荷トラップ層を使用する。すなわち、MOIOSメモリ素子は、フラッシュ半導体メモリ装置のメモリセルの構成で、基板とコントロールゲートとの間の積層物(フローティングゲートとその上下に積層された絶縁層とで構成された積層物)を酸化膜、窒化膜及び酸化膜が順次に積層された積層物(ONO)に代替したものであって、前記窒化膜に電荷がトラップされるにつれて、しきい電圧が移動される特性を利用するメモリ素子である。

10

【0006】

図1は、SONOSメモリ素子(以下、従来のSONOS素子という)の基本構造を示す断面図である。

図1を参照すれば、従来のSONOS素子で、ソース領域Sとドレイン領域Dとの間の半導体基板10上に、すなわち、チャンネル領域上に両端がソース及びドレイン領域S,Dと接触する第1シリコン酸化膜(SiO_2)12が形成されている。第1シリコン酸化膜12は、電荷のトンネリングのための膜である。第1シリコン酸化膜12上にシリコン窒化膜(Si_3N_4)14が形成されている。シリコン窒化膜14は、実質的にデータが保存される物質膜であって、第1シリコン酸化膜12をトンネリングした電荷がトラップされる。このようなシリコン窒化膜14上に前記電荷がシリコン窒化膜14を通過して上側に移動することを遮断するためのブロッキング絶縁膜として第2シリコン酸化膜16が形成されている。第2シリコン酸化膜16上には、ゲート電極18が形成されている。

20

【0007】

しかし、図1に示された従来のSONOS素子のようなMOIOS素子は、シリコン窒化膜14及びシリコン酸化膜12,16の誘電率が低く、シリコン窒化膜14内にトラップサイト密度が不十分であり、動作電圧が高く、データの記録(プログラミング)及び消去速度が遅く、保存されたデータを保存する時間であるリテンション時間も長くないという問題がある。

30

【0008】

最近には、前記ブロッキング絶縁膜としてシリコン酸化膜の代わりに、アルミニウム酸化膜(Al_2O_3)を使用することによって、前記シリコン酸化膜を使用した時よりプログラミング速度及びリテンション特性が改善されたという事実が報告されたことがある。

しかし、アルミニウム酸化膜材質のブロッキング絶縁膜がシリコン窒化膜から電荷が漏れることをある程度抑制することができるが、シリコン窒化膜自体内のトラップサイト密度は、依然として十分でないため、アルミニウム酸化膜の使用によるリテンション特性の改善程度は微小である。

40

【0009】

さらに詳細には、従来のSONOS素子で電荷トラップ層として利用されるシリコン窒化膜は、非晶質であり、その内部に形成されるトラップは、通常、非化学量論的組成によるものであるため、価電帯と伝導帯との間隔が比較的狭く、トラップのエネルギーレベルが価電帯と伝導帯との間で多少広い分布を有する。これにより、トラップのエネルギーレベルの終端が伝導帯または価電帯と隣接する。また、シリコン窒化膜の誘電率が約7~7.8と低いことと関連して、その内部に形成されるトラップサイトの密度が低い。

【0010】

このような理由で、従来のシリコン窒化膜内には、十分に多くのトラップサイトが作れないだけでなく、形成されるトラップエネルギーレベルの終端が伝導帯または価電帯と隣接して、トラップに捕獲された電荷が熱的刺激によって励起される可能性が大きい。した

50

がって、従来のシリコン窒化膜としては、所望のリテンション時間を得るのに限界がある。

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明が解決しようとする技術的課題は、前記従来の技術の問題点を改善するためのものであって、従来のシリコン窒化膜よりも高い密度のトラップサイトを有するだけでなく、それと共に、熱的刺激に安定的であり、かつ不連続なエネルギーレベルを有する電荷トラップを有して優秀なリテンション特性が表せる電荷トラップ層を備える不揮発性半導体メモリ素子を提供することである。

本発明が解決しようとする他の技術的課題は、前記不揮発性半導体メモリ素子の製造方法を提供することである。

【課題を解決するための手段】

【0012】

前記課題を達成するために、本発明は、半導体基板上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成され、遷移金属がドーピングされた誘電膜を含む電荷トラップ層と、前記電荷トラップ層上に形成されたプロッキング絶縁膜と、前記プロッキング絶縁膜上に形成されたゲート電極と、を備えることを特徴とする不揮発性半導体メモリ素子を提供する。

【0013】

ここで、前記誘電膜は、 $\text{Si}_{x} \text{O}_{y}$ 膜、 $\text{Hf}_{x} \text{O}_{y}$ 膜、 $\text{Zr}_{x} \text{O}_{y}$ 膜、 $\text{Si}_{x} \text{N}_{y}$ 膜、 $\text{Al}_{x} \text{O}_{y}$ 膜、 $\text{Hf}_{x} \text{Si}_{y} \text{O}_{z} \text{N}_{k}$ 膜、 $\text{Hf}_{x} \text{O}_{y} \text{N}_{z}$ 膜及び $\text{Hf}_{x} \text{Al}_{y} \text{O}_{z}$ 膜で構成されたグループから選択される何れか一つでありうる。

前記遷移金属は、d軌道に原子が電子を有する金属である。

前記誘電膜が $\text{Hf}_{x} \text{O}_{y}$ 膜である場合に、前記誘電膜内にドーピングされる遷移金属は、 Ta 、 V 、 Ru 及び Nb で構成されたグループから選択される一つ以上の遷移金属であることが望ましい。

【0014】

前記誘電膜が $\text{Al}_{x} \text{O}_{y}$ 膜である場合に、前記誘電膜内にドーピングされた遷移金属は、 W 、 Ru 、 Mo 、 Ni 、 Nb 、 V 、 Ti 及び Zn で構成されたグループから選択される一つ以上の遷移金属であることが望ましい。

前記遷移金属は、0.01%～15%でドーピングされうる。

前記遷移金属は、前記誘電膜内に電子トラップと正孔トラップとを同時に形成するようにななくとも2種類以上ドーピングされうる。

【0015】

また、前記課題を達成するために、本発明は、半導体基板上にトンネル絶縁膜用の第1絶縁膜を形成する工程と、前記第1絶縁膜上に電荷トラップ層として遷移金属がドーピングされた誘電膜を形成する工程と、前記遷移金属がドーピングされた誘電膜上にプロッキング絶縁膜用の第2絶縁膜を形成する工程と、前記第2絶縁膜上にゲート電極用の導電膜を形成する工程と、前記導電膜、第2絶縁膜、遷移金属がドーピングされた誘電膜及び第1絶縁膜をパターニングしてトンネル絶縁膜、電荷トラップ層、プロッキング絶縁膜及びゲート電極が順次に積層されたゲート構造物を形成する工程と、を含むことを特徴とする不揮発性半導体メモリ素子の製造方法を提供する。

【0016】

ここで、前記誘電膜は、 $\text{Si}_{x} \text{O}_{y}$ 膜、 $\text{Hf}_{x} \text{O}_{y}$ 膜、 $\text{Zr}_{x} \text{O}_{y}$ 膜、 $\text{Si}_{x} \text{N}_{y}$ 膜、 $\text{Al}_{x} \text{O}_{y}$ 膜、 $\text{Hf}_{x} \text{Si}_{y} \text{O}_{z} \text{N}_{k}$ 膜、 $\text{Hf}_{x} \text{O}_{y} \text{N}_{z}$ 膜及び $\text{Hf}_{x} \text{Al}_{y} \text{O}_{z}$ 膜で構成されたグループから選択される何れか一つでありうる。

前記遷移金属がドーピングされた誘電膜は、スパッタリング方式で形成しうる。

前記遷移金属がドーピングされた誘電膜は、原子層蒸着(Atomic Layer Deposition: ALD)方式で形成しうる。

10

20

30

40

50

【0017】

前記遷移金属がドーピングされた誘電膜は、化学気相蒸着 (Chemical Vap or Deposition: CVD) 方式で形成しうる。

前記遷移金属がドーピングされた誘電膜は、前記第1絶縁膜上に未ドーピング誘電膜を形成した後に、前記未ドーピング誘電膜内に遷移金属原子をイオン注入して形成しうる。

前記遷移金属がドーピングされた誘電膜は、少なくとも 800 以上の温度で形成することが望ましい。

【0018】

本発明の不揮発性半導体メモリ素子の製造方法は、前記遷移金属がドーピングされた誘電膜を形成する工程後に、前記遷移金属がドーピングされた誘電膜を少なくとも 800 以上的温度でアニーリングする工程をさらに含みうる。 10

前記アニーリングは、酸素または窒素雰囲気で行える。

前記アニーリングは、急速熱処理 (Rapid Thermal Annealing: RTA) または電気炉熱処理方式で行える。

【発明の効果】

【0019】

本発明では、遷移金属がドーピングされて深いトラップが形成された誘電膜（望ましくは、高誘電膜）を電荷トラップ層として使用する。この場合、電荷トラップ内に形成されるトラップの熱的安定性が従来よりも非常に優秀であるだけでなく、トラップの密度も従来よりも高い。したがって、本発明は、不揮発性半導体メモリ素子のリテンション特性を改善しうる。 20

それと共に、本発明は、不揮発性半導体メモリ素子のメモリウインドウを広げられて、マルチビットプログラミング素子の製造時に有利に適用されうる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施形態による不揮発性半導体メモリ素子を添付された図面を参照して詳細に説明する。この過程で図面に示された層や領域の厚さは、明細書の明確性のために多少誇張して示した。

実施形態を説明する前に、本発明の技術的な原理を簡略に説明すれば、次の通りである。 30

【0021】

本発明では、不揮発性半導体メモリ素子の電荷トラップ層として誘電率が約 10 以上である高誘電膜を使用し、前記高誘電膜内に遷移金属をドーピングすることによって熱的刺激に安定的な深いトラップを形成する。

深いトラップは、価電帯と伝導帯とから遠く離隔されたエネルギーレベルを有し、このような深いトラップに充填された電子または正孔は、熱的刺激によって容易に伝導帯や価電帯に励起されない。一方、深いトラップに対応する浅いトラップは、伝導帯の真下や価電帯の真上のエネルギーレベルを有し、このような浅いトラップに充填された電子または正孔は、熱的刺激によって容易に励起されて電気伝導に寄与する。

【0022】

前述したように、本発明では、電荷トラップ内に熱的刺激に対して安定的な深いトラップを設けるが、この場合にトラップされた電荷は、容易に励起されないので、不揮発性メモリ素子のリテンション特性が改善される。さらに、本発明で形成する深いトラップのエネルギーレベルは、ドーピングされる遷移金属の種類によって適切に調節され、その分布が広くなく、かつ不連続的であるため、適切に選択された遷移金属によって形成されたトラップ内に捕獲された電荷は、熱的に励起される可能性がさらに小さい。 40

【0023】

特に、本発明では、前記深いトラップを高誘電膜内に形成するが、高誘電膜は、誘電率が高くて、等価換算厚 (Equivalence Of Thickness: EOT) で従来のシリコン窒化膜より多くの電荷トラップを有しうる。また、高誘電膜は、従来の非

10

20

30

40

50

晶質のシリコン窒化膜と異なり、よく結晶化されているため、本質的にその内部に形成されるトラップの安定性が高い。

【0024】

このような理由で、本発明は、電荷トラップ層のトラップサイトの密度を高めると共に、トラップの熱的安定性を高めて不揮発性半導体メモリ素子のリテンション特性を改善しうる。

図2は、本発明の実施形態による不揮発性メモリ半導体素子の断面図である。

図2を参照すれば、半導体基板20上にトンネル絶縁膜22が形成されている。前記トンネル絶縁膜22は、シリコン酸化膜でありうる。前記トンネル絶縁膜22上には、遷移金属がドーピングされた誘電膜で形成された電荷トラップ層24が形成される。前記電荷トラップ層24上には、プロッキング絶縁膜26が形成され、前記プロッキング絶縁膜26上には、ゲート電極28が形成される。前記プロッキング絶縁膜26は、シリコン酸化膜またはアルミニウム酸化膜であり、前記ゲート電極28は、ドーピングされたポリシリコン膜または金属膜でありうる。そして、前記トンネル絶縁膜22、前記電荷トラップ層24、前記プロッキング絶縁膜26及び前記ゲート電極28が順次に積層されたゲート構造物の両側の基板20内には、ソース及びドレイン領域S,Dが形成されている。ソース領域Sとドレイン領域Dとの間の半導体基板20の表面部、すなわち、ゲート構造物に対応する半導体基板20の表面部は、チャンネル領域である。

10

【0025】

以下では、本発明の電荷トラップ層24についてさらに詳細に説明する。

20

本発明の電荷トラップ層24は、d軌道に原子が電子を有する、遷移金属原子がドーピングされた誘電膜である。このとき、前記誘電膜は、誘電率が10以上である Hf_xO_y 膜、 Zr_xO_y 膜、 Al_xO_y 膜、 $Hf_xSi_yO_zN_k$ 膜、 $Hf_xO_yN_z$ 膜及び $Hf_xAl_yO_z$ 膜で構成されたグループから選択される何れか一つの高誘電膜であることが望ましいが、場合によっては、 Si_xO_y 膜または Si_xN_y 膜でありうる。

30

【0026】

前記誘電膜内にドーピングされる遷移金属は、1種類でもあり、場合によっては、2種類でもある。ドーピングされる遷移金属が2種類以上である場合、さらに多くの数の電子トラップと正孔トラップとを同時に形成しうる。ドーピングされる遷移金属の濃度は、0.01%~15%が適切である。

30

【0027】

もし、欠陥なしに完壁な構造を有する HfO_2 膜内にTa、V、Ru、Nb、Mn、Pd、Ir及びNbなどの遷移金属がドーピングされれば、ドーピングされる遷移金属の再外郭の電子の数が Hf のそれと異なるので、結合に参加しない剩余電子や正孔が発生する。このように発生した剩余電子と正孔とは、それぞれ正孔トラップと電子トラップとして作用しうる。

40

【0028】

Hf_xO_y 膜内に遷移金属がドーピングされれば、ドーピングされた遷移金属原子は、 Hf (ハフニウム)原子やO(酸素)原子に置換されるか、 Hf_xO_y 単位セルの内部に入るか、または既存原子の空席に入ることもできるが、それにより形成されるトラップの安定的なエネルギーレベルは、量子力学的な計算によって決定される。したがって、トラップのエネルギーレベルは、ドーピングされる遷移金属の種類によって変わりうる。

図3A及び図3Bは、 HfO_2 膜内にそれぞれ Hf 及びOの空席が生じた時に、それにより発生するトラップのエネルギーレベルを示す。

【0029】

図4Aないし図4Hは、 HfO_2 膜内にドーピングされたTa、V、Ru、Nb、Mn、Pd、Ir及びNbが Hf またはOに置換された時に、それにより発生しうるトラップのエネルギーレベルを計算した結果を示す。図示されたトラップエネルギーレベルの矢印は、剩余電子が充填されているということを意味し、このような剩余電子が離脱する時に正孔が捕獲されうる。逆に、空席のトラップエネルギーレベルは、正孔が存在するという

50

ことを意味し、このような正孔に電子が捕獲されうる。また、‘A (B)’は、AがBに置換されたということを意味する。

【0030】

図4Aを参照すれば、TaがHfに置換された場合に、Ta原子当り3個の電子及び1個の正孔を捕獲しうる。そして、TaがOに置換された場合に、HfO₂膜内にn型不純物がドーピングされた効果が現れ、それと共に多数の正孔を捕獲しうるトラップが発生する。TaがOに置換された場合に、正孔トラップのみが深いトラップとして作用しうる。

【0031】

図4Bを参照すれば、VがHfに置換された場合に、V原子当り9個の電子及び1個の正孔を捕獲しうる。そして、VがOに置換された場合に、HfO₂膜内にn型不純物がドーピングされた効果が現れ、それと共に多数の正孔を捕獲できる深いトラップが発生する。

10

【0032】

図4Cを参照すれば、RuがHfに置換された場合に、Ru原子当り6個の電子及び4個の正孔を捕獲しうる。ここで、6個の電子を捕獲できる電子トラップが深いトラップとして作用しうる。そして、RuがOに置換された場合に、Ru原子当り10個の正孔を捕獲しうる。

【0033】

図4Dを参照すれば、NbがHfに置換された場合、Nb原子当り3個の電子及び1個の正孔を捕獲しうる。

20

図4Eを参照すれば、MnがHfに置換された場合、Mn原子当り7個の電子及び3個の正孔を捕獲しうる。ここで、6個の電子を捕獲できる電子トラップが深いトラップとして作用しうる。

【0034】

図4Fを参照すれば、PdがHfに置換された場合、Pd原子当り4個の電子及び2個の正孔を捕獲しうる。

図4Gを参照すれば、IrがHfに置換された場合に、Ir原子当り5個の電子及び5個の正孔を捕獲しうる。このとき、価電帯と隣接した位置にある正孔トラップは、深いトラップとして作用できない。

30

【0035】

図4Hを参照すれば、SbがHfに置換された場合に、Sb原子当り1個の電子及び1個の正孔を捕獲しうる。

図4Aないし図4Hに示された結果によれば、Ta、V、Ru及びNbがHfO₂膜内に深いトラップを形成すると共に、さらに多くのトラップサイトを作る。したがって、電荷トラップ層24として使用する高誘電膜がHfO₂膜である場合に、ドーピングされる遷移金属としては、Ta、V、Ru及びNbなどが適当である。このようにドーピングされる遷移金属によって形成されるトラップのエネルギーレベルを計算したシミュレーション結果を利用すれば、誘電膜及び所望の目的に適切な遷移金属がいかなるものであるか分かる。

【0036】

一方、図5は、Hf_xO_y膜のHfとOとの組成比の変化による条件別の形成エネルギーの変化を示すグラフである。ここで、‘A (B)’は、AがBに置換されるのに必要なエネルギーを意味し、‘A vacancy’は、Aの空席が発生するのに必要なエネルギーを意味する。

40

【0037】

図5を参照すれば、化学量論的な組成であるHfO₂膜である場合、Ta(O)、V(O)及びRu(O)がそれぞれTa(Hf)、V(Hf)及びRu(Hf)より大きいので、Ta、V及びRu原子は、OではないHfに置換される可能性が大きい。このような形成エネルギーは、HfとOとの組成変化によって変わり、これを表す結果グラフは、遷移金属の適切なドーピング条件を選択するのに活用されうる。

50

【0038】

図6は、周期律表上に本発明で使用可能な遷移金属（点線内部：T領域）を示す図面である。前記図4Aないし図4Hに示された結果に基づけば、前記T領域で右側原子であるほどそれによる電子トラップの数が増加し、下側原子であるほどそれによるトラップエネルギーが高まる傾向があるといふことが分かる。

【0039】

一方、本出願人は、高誘電膜でありつつも非晶質である Al_xO_y 膜内に遷移金属をドーピングした場合についてもシミュレーションを行った。 Al_xO_y 膜内にドーピングされた遷移金属原子は、前記 Hf_xO_y と同様に、 Al （アルミニウム）原子や O （酸素）原子に置換されるか、 Al_xO_y 単位セルの内部に入るか、または既存原子の空席に入ることもできるが、それにより形成されるトラップの安定的なエネルギーは、量子力学的計算によって決定される。

10

【0040】

図7A及び図7Bは、 Al_2O_3 膜内にそれぞれ Al 及び O の空席が生じた時に、それにより発生するトラップのエネルギーを示す図面である。

図8Aないし図8Hは、 Zn 、 W 、 Mo 、 Ru 、 Si 、 Hf 、 Ni 及び Pt が Al_2O_3 膜内の Al または O に置換された時に、それにより発生しうるトラップのエネルギーを計算した結果を示す。図示されたトラップエネルギーの矢印は、剩余電子が充填されているということを意味し、このような剩余電子が離脱する時に正孔が捕獲される。逆に、空席のトラップエネルギーは、正孔が存在するということを意味し、このような正孔に電子が捕獲される。また、‘A（B）’は、AがBの席に置換されたということを意味する。

20

【0041】

図8Aを参照すれば、 Zn が Al に置換された場合に、トラップが発生せず、単にp型不純物がドーピングされた効果が現れ、 Zn が O に置換された場合に、正孔を捕獲しうるトラップが発生する。

図8Bを参照すれば、 W が Al に置換された場合に、 W 原子当り3個の電子及び3個の正孔を捕獲しうる。そして、 W が O に置換された場合に、8個の正孔及び2個の電子を捕獲しうる。

30

【0042】

図8Cを参照すれば、 Mo が Al に置換された場合に、 Mo 原子当り3個の電子及び3個の正孔を捕獲しうる。そして、 Mo が O に置換された場合に、8個の正孔及び2個の電子を捕獲しうる。

図8Dを参照すれば、 Ru が Al に置換された場合に、 Ru 原子当り5個の電子及び5個の正孔を捕獲しうる。そして、 Ru が O に置換された場合に、10個の正孔を捕獲しうる。

30

【0043】

図8Eを参照すれば、 Si が Al に置換された場合に、トラップが発生せず、n型不純物がドーピングされた効果が現れる。

40

図8Fを参照すれば、 Hf が Al に置換された場合に、電子及び正孔トラップが何れも発生するが、この時に発生したトラップは、多少低いレベルのトラップとなる可能性がある。

【0044】

図8Gを参照すれば、 Ni が Al に置換された場合に、多数の電子及び正孔トラップが何れも発生するが、この中の一部は、価電帯に近く位置している。

40

図8Hを参照すれば、 Pt が Al に置換された場合に、多数の電子及び正孔トラップが発生する。

【0045】

図8Aないし図8Hに示された結果によれば、 W 、 Ru 、 Mo 、 Ni 、 Nb 、 V 、 Ti 及び Zn が Al_2O_3 膜内に深いトラップを形成すると共に、さらに多くのトラップサイ

50

トを作る。したがって、電荷トラップ層24として使用する高誘電膜がAl₂O₃膜である場合、ドーピングされる遷移金属としては、W、Ru、Mo、Ni及びZnなどが適当である。そして、その他のNb、V及びTiもAl₂O₃膜にドーピングされる遷移金属として適当である。このようにドーピングされる遷移金属によって形成されるトラップのエネルギーレベルを計算したシミュレーション結果を利用すれば、誘電膜及び所望の目的に適切な遷移金属がいかなるものであるか分かる。

【0046】

一方、図9は、Al_xO_y膜のAlとOとの組成比の変化による条件別の形成エネルギーの変化を示すグラフである。ここで、‘A (B)’は、AがBに置換されるのに必要なエネルギーを意味し、‘A vacancy’は、Aの空席が発生するのに必要なエネルギーを意味する。

10

【0047】

図9を参照すれば、化学量論的な組成であるAl₂O₃膜である場合、W(O)、Ru(O)及びMo(O)がそれぞれW(Al)、Ru(Al)及びMo(Al)より大きいので、W、Ru及びMo原子は、OではないAlに置換される可能性が大きい。このような形成エネルギーは、AlとOとの組成変化によって変わり、これを表す結果グラフは、遷移金属の適切なドーピング条件を選択するのに活用されうる。

【0048】

次いで、このような本発明の実施形態による不揮発性半導体メモリ素子の特性を糾明するために、本発明者が実施した実験結果について説明する。

20

図10Aないし図10Cは、本発明の効果を証明するために製造したサンプルの断面図である。MOS(Metal-Oxide-Semiconductor)トランジスタ形態のサンプルを利用すれば、さらに正確な評価がなされるが、実験の便宜上、図10Aないし図10Cのような単純な構造のサンプルを製造する。三つのサンプルが何れもシリコン基板、シリコン酸化膜(SiO₂)、ストレージノード(SN1, SN2, SN3)及び白金(Pt)電極が順次に積層された構造物である。図10Aのサンプル1のストレージノードSN1は、未ドーピングHfO₂単一膜であり、図10Bのサンプル2のストレージノードSN2は、未ドーピングSi₃N₄膜と未ドーピングHfO₂との積層膜であり、図10Cのサンプル3のストレージノードSN3は、TaがドーピングされたHfO₂膜と未ドーピングHfO₂膜との積層膜である。図11は、サンプル3のTEM(Transmission Electron Microscope)断面写真である。

30

【0049】

前記3サンプルそれぞれのキャパシタンス-電圧特性を測定した結果は、図12Aないし図12Cの通りである。図12Aは、サンプル1の結果であり、図12Bは、サンプル2の結果であり、図12Cは、サンプル3の結果である。

図12Aないし図12Cを参照すれば、前記3サンプルの履歴曲線の中央部の幅W1, W2, W3のうち、サンプル3の中央部の幅W3が最も広いということが確認できる。これは、サンプル3のストレージノードSN3内に形成された電荷トラップの数が最も多いということを意味するが、これは、TaがドーピングされたHfO₂膜に起因した結果である。

40

【0050】

このように、本発明によれば、不揮発性半導体メモリ素子として利用される電荷トラップ層のキャパシタンス-電圧の履歴曲線の中央部の幅、すなわち、ウィンドウを増大させる。これは、メモリウィンドウが増大するということを意味するので、本発明の方法を利用すれば、マルチビットプログラミングの可能な不揮発性半導体メモリ素子の製造も可能である。

【0051】

図13は、サンプル3の動作速度特性を示すグラフである。

図13を参照すれば、プログラミング/消去時にパルス電流の維持時間によってフラットバンド電圧Vが変化する速度が分かるが、プログラミング速度に比べて、消去速度が多

50

少遅いということが確認できる。すなわち、プログラミング時より消去時のフラットバンド電圧の変化速度が多少遅いが、これは、TaがドーピングされたHfO₂膜内に深いトラップが多数形成されたという事実を反証する。

【0052】

図14は、従来の技術による電荷トラップ層(シリコン窒化膜)を有する不揮発性メモリ素子のリテンション特性を示すグラフであり、図15は、本発明に該当するサンプル3のリテンション特性を示すグラフである。

図14と図15とを比較すれば、従来の電荷トラップ層の場合、経時的に電流が漏れてフラットバンド電圧Vが多少変化するが、本発明に該当するサンプル3の場合、測定範囲内で経時的にフラットバンド電圧Vの変動がほとんど発生しないということが分かる。このような結果から、深いトラップを利用する本発明の場合、従来よりも長いリテンション時間が保証されるということが分かる。

【0053】

以下では、図16A及び図16Bを参照して、本発明の実施形態による不揮発性半導体メモリ素子の製造方法を説明する。

図16A及び図16Bは、本発明の実施形態による不揮発性半導体メモリ素子の製造方法を説明するための工程別断面図である。

図16Aを参照すれば、半導体基板20上にトンネル絶縁膜用の第1絶縁膜22aを形成し、前記第1絶縁膜22a上に電荷トラップ層として遷移金属がドーピングされた誘電膜24aを形成する。ここで、前記誘電膜は、Hf_xO_y膜、Zr_xO_y膜、Al_xO_y膜、Hf_xSi_yO_zN_k膜、Hf_xO_yN_z膜及びHf_xAl_yO_z膜で構成されたグループから選択される何れか一つの高誘電膜であるか、または、Si_xO_y膜またはSi_xN_y膜でありうる。

【0054】

前記遷移金属がドーピングされた誘電膜24aは、下記の4つの方法で形成されうる。

第一に、前記遷移金属がドーピングされた誘電膜24aは、スパッタリング方式で形成されうる。このとき、遷移金属がドーピングされて成分比が調節された単一ターゲットを使用することもでき、独立した2個以上のターゲットを使用することもできる。

第二に、前記遷移金属がドーピングされた誘電膜24aは、ALD方式で形成されうる。

第三に、前記遷移金属がドーピングされた誘電膜24aは、CVD方式で形成されうる。このとき、遷移金属の前駆体を含み、成分比が調節された一つの混合ソースを使用することもでき、独立した2個以上のソースを使用することもできる。

第四に、前記遷移金属がドーピングされた誘電膜24aは、前記第1絶縁膜22a上に未ドーピング誘電膜を形成した後に、前記未ドーピング誘電膜内に遷移金属原子をイオン注入して形成しうる。

【0055】

前記4つの方法で、遷移金属のドーピング濃度は、適切に調節されうるが、このとき、遷移金属のドーピング濃度は、0.01%~15%にすることが望ましい。

また、前記遷移金属がドーピングされた誘電膜24aは、少なくとも800以上的温度で形成することが望ましいが、これを通じて、誘電膜の結晶構造が安定化し、ドーピングされた遷移金属原子が安定した席に置換して入れる。

【0056】

もし、前記遷移金属がドーピングされた誘電膜24aの形成時に結晶構造の安定化が不十分であったならば、前記遷移金属がドーピングされた誘電膜24aを形成する工程後に、前記遷移金属がドーピングされた誘電膜24aを少なくとも800以上的温度で後続アニーリングすることが望ましい。このとき、前記アニーリングは、酸素または窒素雰囲気で数十ないし数十分間行え、RTAまたは電気炉熱処理方式で行える。

【0057】

このように、遷移金属がドーピングされた誘電膜24aを形成した後に、前記遷移金属

10

20

30

40

50

がドーピングされた誘電膜 24a 上にプロッキング絶縁膜用の第2絶縁膜 26a を形成し、次いで、前記第2絶縁膜 26a 上にゲート電極用の導電膜 28a を形成する。

図 16B を参照すれば、前記導電膜 28a 、第2絶縁膜 26a 、遷移金属がドーピングされた誘電膜 24a 及び第1絶縁膜 22a をゲート状にパターニングしてトンネル絶縁膜 22 、電荷トラップ層 24 、プロッキング絶縁膜 26 及びゲート電極 28 が積層されたゲート構造物を形成する。

【0058】

次いで、前記ゲート構造物の両側の半導体基板 20 内に不純物をイオン注入してソース及びドレイン領域 S, D を形成する。

以後、図示していないが、公知の後続工程を順次に行って本発明の不揮発性半導体メモリ素子を製造する。

【0059】

前記説明で多くの事項が具体的に記載されているが、それらは、発明の範囲を限定するものではなく、望ましい実施形態の例示として解釈されねばならない。例えば、当業者ならば、本発明の実施形態でゲート構造物の構成をさらに多様化しうるであろう。したがって、本発明の範囲は、説明された実施形態によって決定されず、特許請求の範囲に記載された技術的思想によって決定されねばならない。

【産業上の利用可能性】

【0060】

本発明は、不揮発性半導体メモリ素子関連の技術分野に適用可能である。

【図面の簡単な説明】

【0061】

【図 1】従来の技術による不揮発性半導体メモリ素子の一例である SONOS 素子の断面図である。

【図 2】本発明の実施形態による不揮発性半導体メモリ素子の断面図である。

【図 3A】HfO₂ 膜内に Hf の空席が生じた時に、それにより発生するトラップのエネルギーレベルを示す図面である。

【図 3B】HfO₂ 膜内に O の空席が生じた時に、それにより発生するトラップのエネルギーレベルを示す図面である。

【図 4A】Ta が HfO₂ 膜内の Hf または O に置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 4B】V が HfO₂ 膜内の Hf または O に置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 4C】Ru が HfO₂ 膜内の Hf または O に置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 4D】Nb が HfO₂ 膜内の Hf または O に置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 4E】Mn が HfO₂ 膜内の Hf または O に置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 4F】Pd が HfO₂ 膜内の Hf または O に置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 4G】Ir が HfO₂ 膜内の Hf または O に置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 4H】Sb が HfO₂ 膜内の Hf または O に置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 5】Hf_xO_y 膜の Hf と O との組成比の変化によるドーピング条件別の形成エネルギーの変化を示すグラフである。

【図 6】周期律表上に本発明で使用可能な遷移金属を示す図面である。

【図 7A】Al₂O₃ 膜内に Al の空席が生じた時に、それにより発生するトラップのエネルギーレベルを示す図面である。

10

20

30

40

50

【図 7 B】 Al_2O_3 膜内にOの空席が生じた時に、それにより発生するトラップのエネルギーレベルを示す図面である。

【図 8 A】 Zn が Al_2O_3 膜内の Al またはOに置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 8 B】Wが Al_2O_3 膜内の Al またはOに置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 8 C】 Mo が Al_2O_3 膜内の Al またはOに置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 8 D】 Ru が Al_2O_3 膜内の Al またはOに置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 8 E】 Si が Al_2O_3 膜内の Al またはOに置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 8 F】 Hf が Al_2O_3 膜内の Al またはOに置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 8 G】 Ni が Al_2O_3 膜内の Al またはOに置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 8 H】 Pt が Al_2O_3 膜内の Al またはOに置換された時に、それにより発生しうるトラップのエネルギーレベルを示す図面である。

【図 9】 Al_2O_3 膜の Al とOとの組成比の変化によるドーピング条件別の形成エネルギーの変化を示すグラフである。

【図 10 A】本発明の効果を証明するために製造したサンプルの断面図である。

【図 10 B】本発明の効果を証明するために製造したサンプルの断面図である。

【図 10 C】本発明の効果を証明するために製造したサンプルの断面図である。

【図 11】図 10 C に示されたサンプル 3 の TEM 断面写真である。

【図 12 A】図 10 A に示されたサンプルのキャパシタンス - 電圧特性を示すグラフである。

【図 12 B】図 10 B に示されたサンプルのキャパシタンス - 電圧特性を示すグラフである。

【図 12 C】図 10 C に示されたサンプルのキャパシタンス - 電圧特性を示すグラフである。

【図 13】本発明の実施形態による不揮発性半導体メモリ素子の特性を説明するためのものであって、プログラミング / 消去時間によるフラットバンド電圧の変化を示すグラフである。

【図 14】従来の技術による不揮発性半導体メモリ素子のリテンション特性を説明するためのものであって、経時的なフラットバンド電圧の変化を示すグラフである。

【図 15】本発明の実施形態による不揮発性半導体メモリ素子のリテンション特性を説明するためのものであって、経時的なフラットバンド電圧の変化を示すグラフである。

【図 16 A】本発明の実施形態による不揮発性半導体メモリ素子の製造方法を説明するための工程別断面図である。

【図 16 B】本発明の実施形態による不揮発性半導体メモリ素子の製造方法を説明するための工程別断面図である。

【符号の説明】

【0062】

20 半導体基板

22 トンネル絶縁膜

24 電荷トラップ層

26 プロッキング絶縁膜

28 ゲート電極

S ソース領域

D ドレイン領域

10

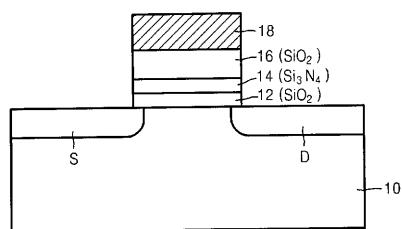
20

30

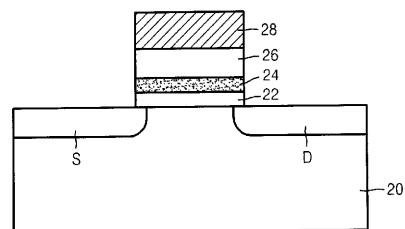
40

50

【図 1】



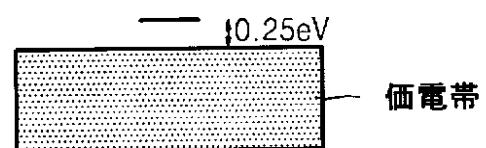
【図 2】



【図 3 A】



伝導帯

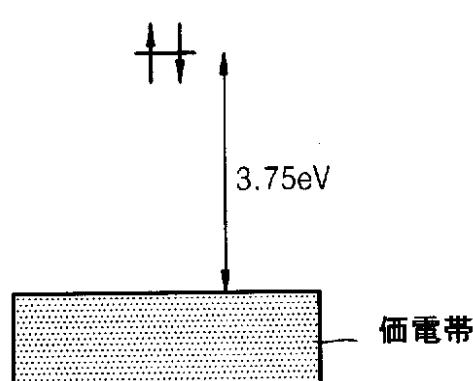


価電帯

【図 3 B】

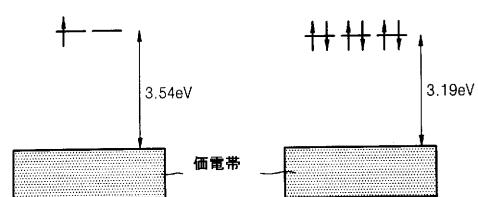
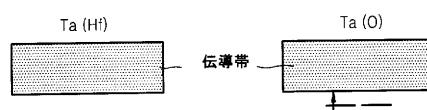


伝導帯

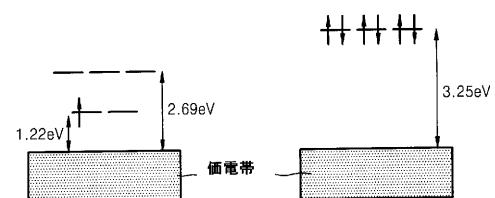
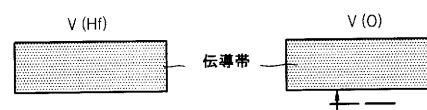


価電帯

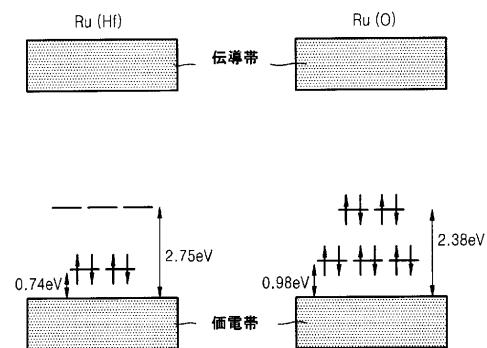
【図 4 A】



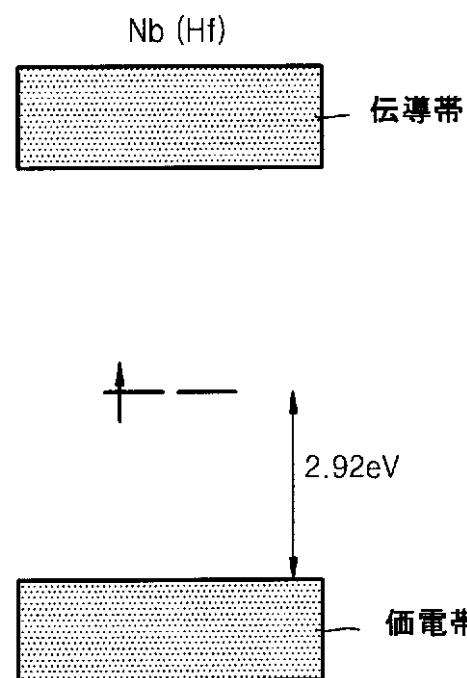
【図 4 B】



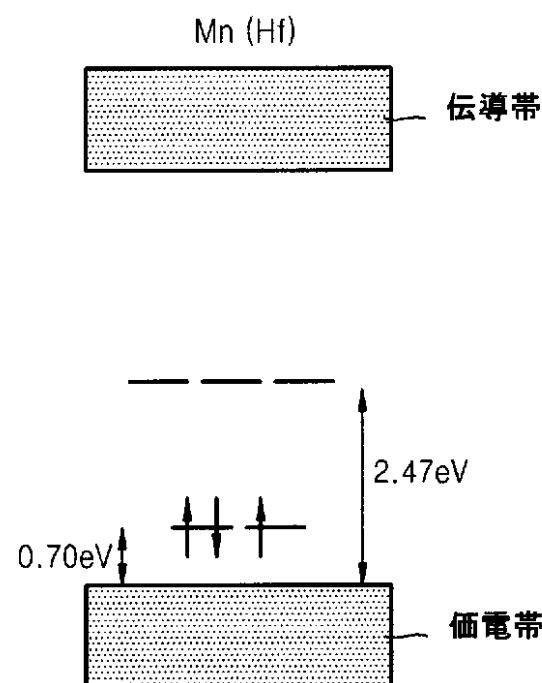
【図 4 C】



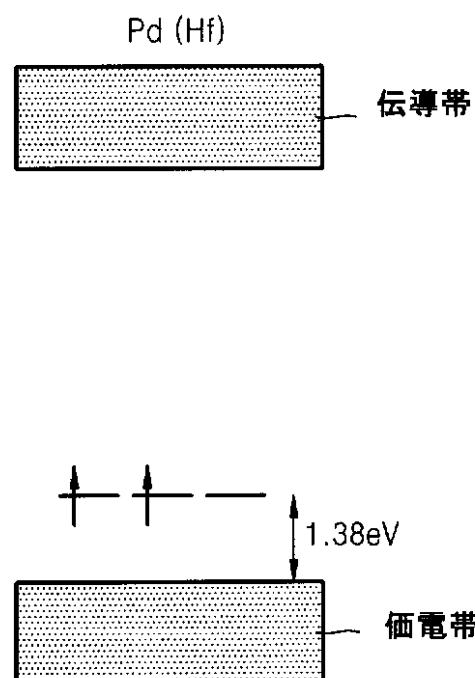
【図 4 D】



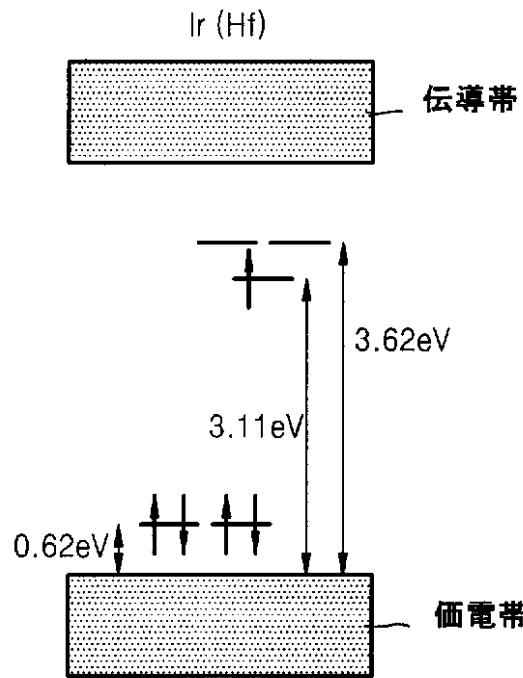
【図 4 E】



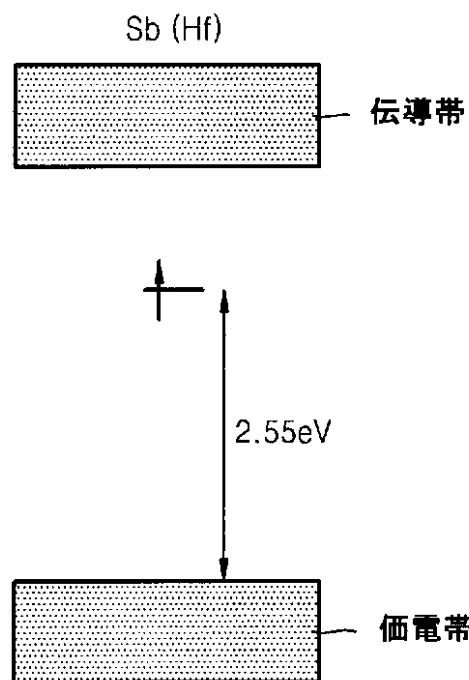
【図 4 F】



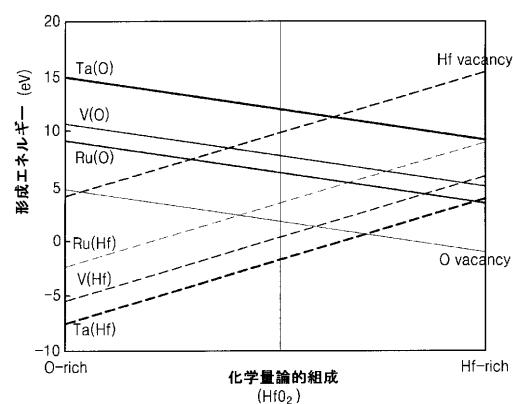
【図 4 G】



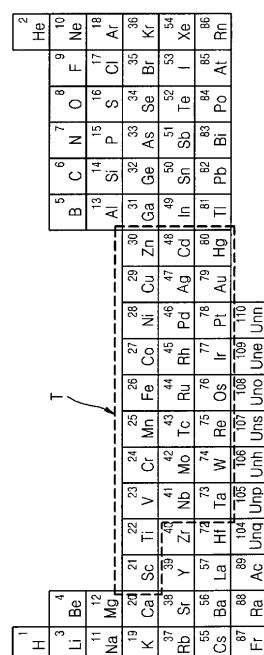
【図 4 H】



【図 5】



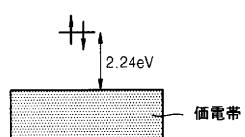
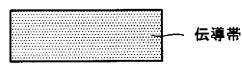
【図 6】



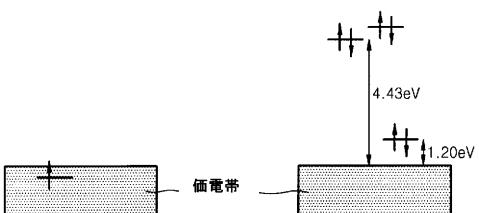
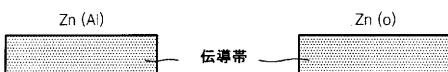
【図 7 A】



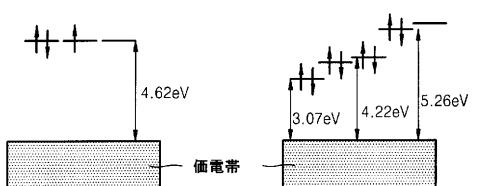
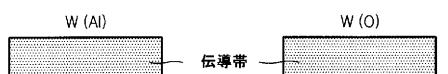
【図 7 B】



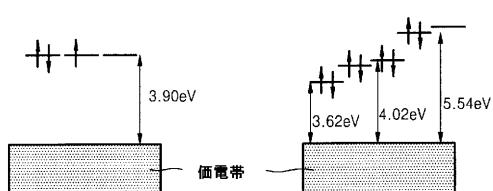
【図 8 A】



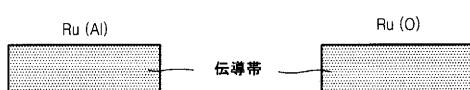
【図 8 B】



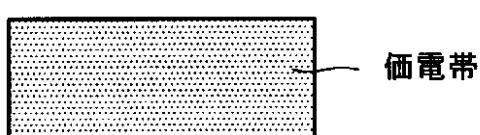
【図 8 C】



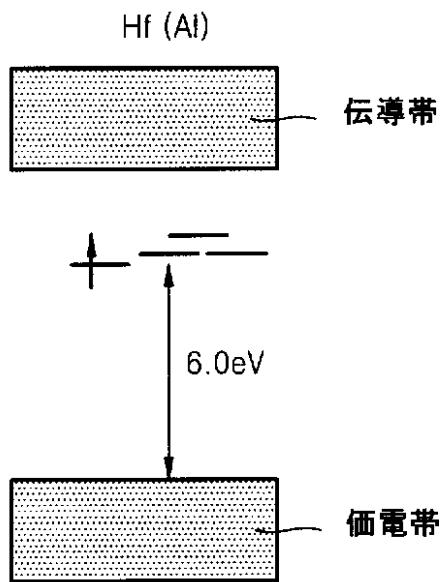
【図 8 D】



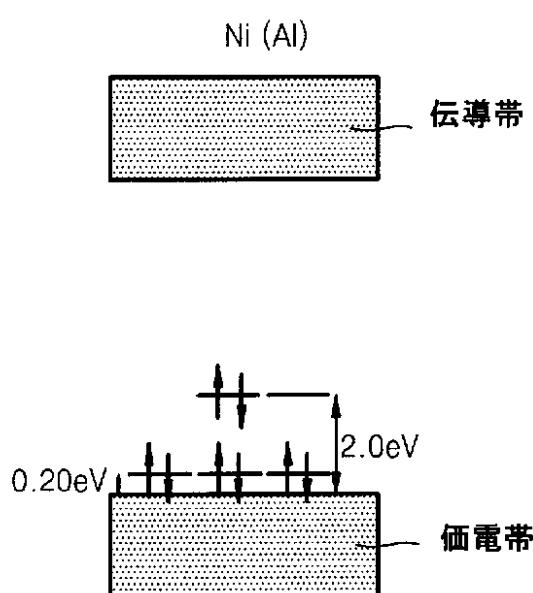
Si (Al)



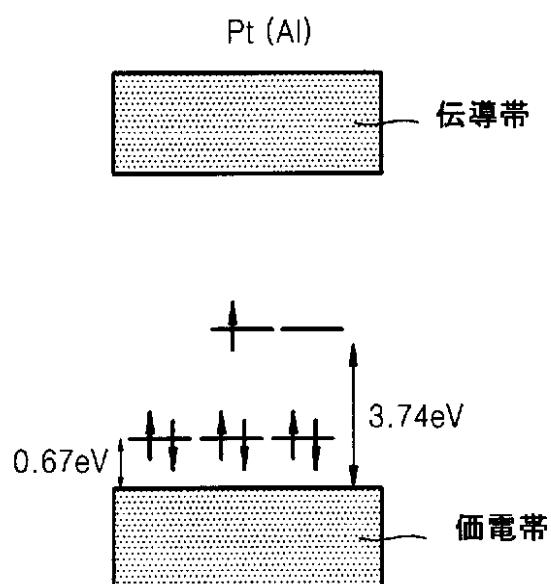
【図 8 F】



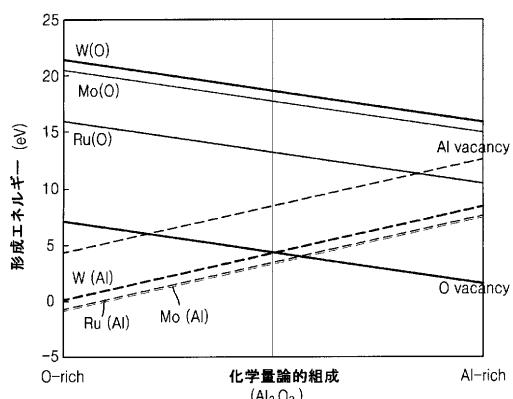
【図 8 G】



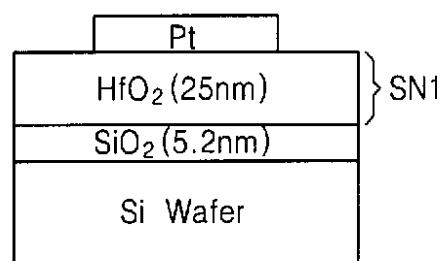
【図 8 H】



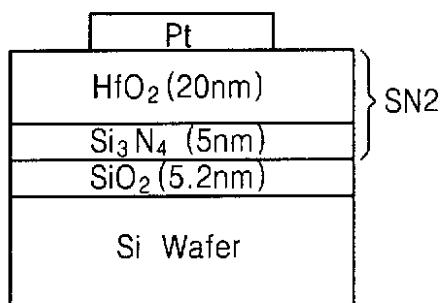
【図 9】



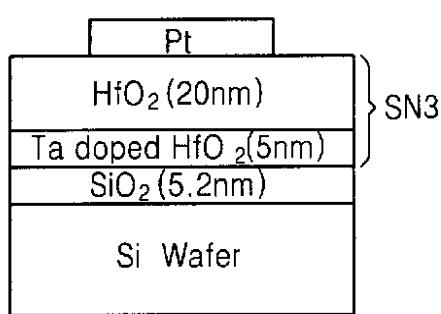
【図 10 A】



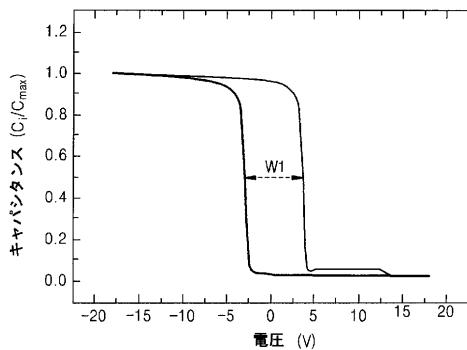
【図 1 0 B】



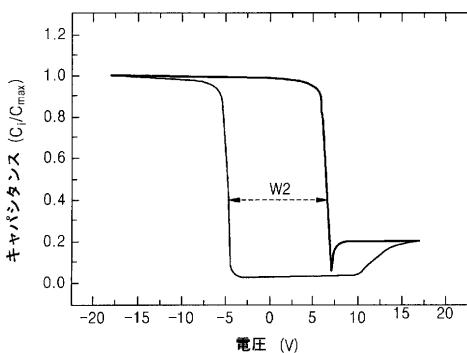
【図 1 0 C】



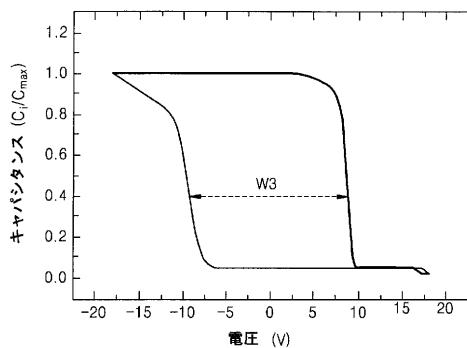
【図 1 2 A】



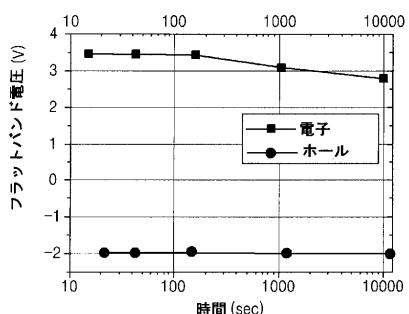
【図 1 2 B】



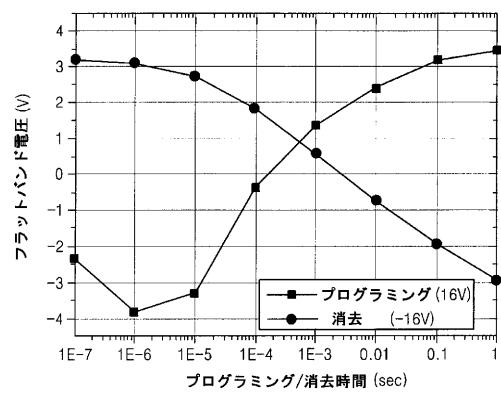
【図 1 2 C】



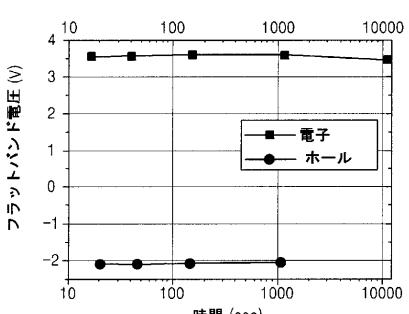
【図 1 4】



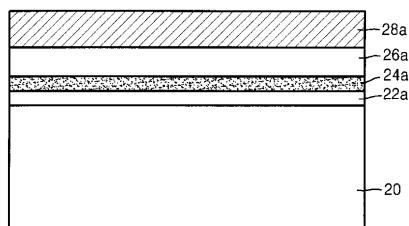
【図 1 3】



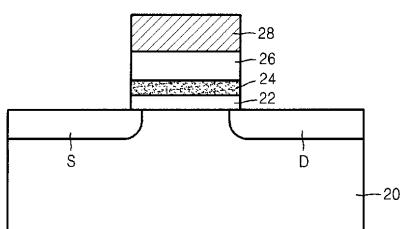
【図 1 5】



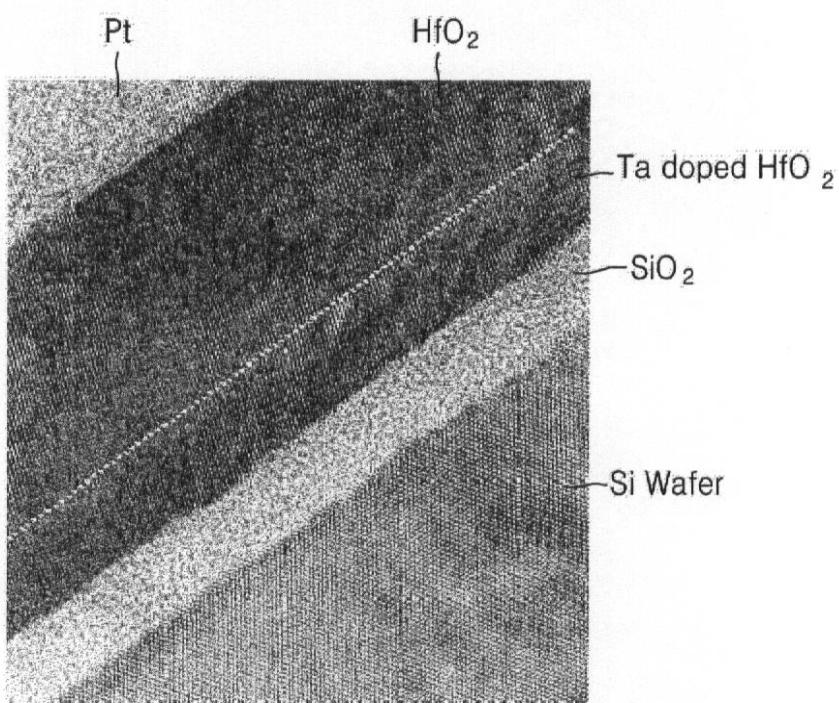
【図 1 6 A】



【図 1 6 B】



【図 1 1】



フロントページの続き

(72)発明者 申 尚旻
大韓民国京畿道龍仁市器興區農書洞山14-1番地 三星綜合技術院内

(72)発明者 薛 光洙
大韓民国京畿道龍仁市器興區農書洞山14-1番地 三星綜合技術院内

(72)発明者 陳 瞨究
大韓民国京畿道龍仁市器興區農書洞山14-1番地 三星綜合技術院内

F ターム(参考) 5F083 EP17 EP23 EP49 JA02 JA38 JA39
5F101 BA44 BA47 BB02 BD02 BF02