



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 903867

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 25.06.80 (21) 2944854/18-24

с присоединением заявки № -

(23) Приоритет 26.02.80

Опубликовано 07.02.82. Бюллетень № 5

Дата опубликования описания 09.02.82

(51) М. Кл.³

G 06 F 7/52

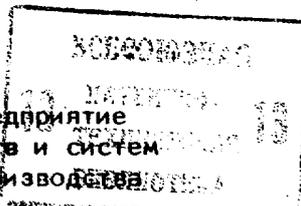
(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

В.А. Китаев и Р.П. Михайлов

(71) Заявитель

Опытное производственно-техническое предприятие
по созданию, наладке и внедрению средств и систем
автоматизации прокатного и трубного производства
"Уралчерметавтоматика"



(54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ

1
Изобретение относится к вычислительной технике и может быть использовано в автоматизированных цифровых системах обработки данных.

Известно устройство для деления, содержащее регистр делимого, регистр делителя, буферный регистр, ключ, триггер, счетчик, блок фиксации окончания деления, распределитель импульсов, две группы элементов И и элемент ИЛИ [1].

Однако это устройство имеет низкую надежность и недостаточное быстродействие, избыточность оборудования и сложное конструктивное исполнение отдельных элементов.

Кроме того, в устройстве для деления при наличии в делителе хотя бы двух находящихся рядом нулей в процессе деления возникает сбой, так как одновременно срабатывают два (или больше - по количеству рядом стоящих нулей) соседних элемента И, а на вход распределителя через элемент ИЛИ

2
поступит только один запускающий его сигнал, который подключит выход распределителя на следующий (очередной) разряд регистров делимого и делителя, в то время, как необходимо подключить выход к более старшему (ненулевому) разряду. Этот сбой внесет погрешность в результат деления. При наличии нуля во всех разрядах делителя, т.е. когда делитель равен нулю, в этом устройстве все равно будет производиться деление и выдаваться какой-то результат. Кроме того, из-за отсутствия в устройстве управления всеми поразрядными элементами И возможен (в начальный момент счета) сигнал помехи от элемента И младшего разряда регистра, работающего в направлении сложения или вычитания. Наличие в составе устройства буферного регистра с группой поразрядных элементов И, триггера управления, а также конструктивное выполнение обоих регистров делителя реверсивным существенно усложняют кон-

струкцию устройства и его функциональные связи.

Кроме того, в этом устройстве для выполнения только одного цикла вычитания необходимо $10 \cdot n$ счетных импульсов, где n - число десятичных разрядов регистра делителя (буферного регистра), а для выполнения всей операции деления, следовательно, необходимо $10 \cdot n \cdot m$, где m - значение частного от деления, т.е. количество циклов вычитания в процессе деления двух чисел.

Наиболее близким по технической сущности к предлагаемому является устройство для деления, содержащее коммутатор импульсов, счетчик делимого, счетчик частного, блок фиксации окончания деления, блок сравнения, блок задания делителя, причем информационный вход коммутатора импульсов подключен к тактовому входу устройства, а выходы соединены с соответствующими поразрядными входами счетчика делимого, выход которого соединен с входом блока фиксации окончания деления, блок сравнения, состоящий из n поразрядных узлов сравнения, где n - число разрядов делителя, первые входы которых соединены с соответствующими поразрядными выходами блока задания делителя [2].

Недостатком известного устройства является избыточность аппаратуры.

Цель изобретения - сокращение количества оборудования.

Поставленная цель достигается тем, что в устройство введены два элемента ИЛИ, элемент задержки, счетчик и n элементов памяти, причем выходы коммутатора импульсов соединены со входами первого элемента ИЛИ, выход которого соединен со счетным входом счетчика, вход установки в ноль которого соединен с выходом второго элемента ИЛИ, поразрядные выходы счетчика соответственно соединены со вторыми входами поразрядных узлов сравнения, выходы которых подключены к первым входам соответствующих элементов памяти, вторые входы которых объединены и подключены к выходу элемента задержки, выход i -го элемента памяти ($i = 1, 2, \dots, n$) соединен с третьим входом $(i+1)$ -го поразрядного узла сравнения, с i -им входом второго элемента ИЛИ и i -им управляющим входом коммутатора импульсов, выход n -го элемента памяти соединен со входом

счетчика частного, входом элемента задержки, с n -ым входом второго элемента ИЛИ и n -ым управляющим входом коммутатора импульсов.

На чертеже представлена структурная схема устройства.

Устройство для деления содержит тактовый вход 1, коммутатор 2 импульсов, счетчик 3 делимого, блок 4 фиксации окончания деления, счетчик 5, счетчик 6 частного, блок 7 задания кода делителя, элементы 8-10 памяти, элементы ИЛИ 11, 12, элемент 13 задержки, группа элементов И 14-16, поразрядные узлы 17-19 сравнения блока 20 сравнения.

Блок 7 задания кода делителя может быть выполнен, например, в виде коммутатора, подключающего один из регистров, в которые записано в параллельном коде значение делителя, или в виде регистра. Тактовый вход устройства связан с поразрядными входами счетчика 3 делимого и элемента ИЛИ 11 через коммутатор 2 импульсов, выход счетчика 3 делимого соединен с входом блока 4 фиксации окончания деления, выход счетчика 5 соединен с первыми входами поразрядных узлов 17-19 сравнения, вторые входы которых соединены с соответствующими поразрядными выходами блока 7 задания кода делителя, а выходы соединены соответственно с первыми входами элементов 8-10 памяти, вторые входы которых объединены и подключены к выходу элемента 13 задержки, выход элемента 8 памяти соединен с третьим входом поразрядного узла 18 сравнения, с первым входом элемента ИЛИ 12 и первым управляющим входом коммутатора 2 импульсов, выход элемента 9 памяти соединен с третьим входом поразрядного узла 19 сравнения, вторым входом элемента ИЛИ 12 и вторым управляющим входом коммутатора 2 импульсов, выход элемента памяти 10 соединен с входом счетчика 6 частного, входом элемента 13 задержки, третьим входом элемента ИЛИ 12 и третьим управляющим входом коммутатора 2 импульсов, выход элемента ИЛИ 11 соединен со счетным входом счетчика 5, вход установки в ноль которого соединен с выходом элемента ИЛИ 12.

Коммутатор 2 импульсов по сигналам с поразрядных узлов 17-19 сравнения обеспечивает коммутацию счетных цепей для прохождения счетных импуль-

сов в счетчик 3 делимого и в счетчик 5, формирование сигналов обнуления счетчика 5 и элементов 9-10 памяти. Поступление тактовых импульсов в него осуществляется через тактовый вход 1 устройства по сигналам с блока 4 фиксации окончания деления, например, с помощью элемента И (не показано).

Коммутатор 2 импульсов содержит в представленном варианте группу элементов И 14-16 (по количеству разрядов делителя), сигнальные входы которых соединены с тактовым входом, а выходы соединены с поразрядными входами счетчика 3 делимого и через элемент ИЛИ 11 со счетным входом счетчика 5. В зависимости от управляющих сигналов с выходов поразрядных узлов 17-19 сравнения через элементы 8-10 памяти на соответствующие управляющие входы коммутатора 2 импульсов (входы элементов И 14-16) коммутатор 2 импульсов выдает на выход счетные импульсы.

Сигналы с выходов элементов 8-10 памяти через второй элемент ИЛИ 12 подаются на вход установки в ноль счетчика 5.

Элемент ИЛИ 12 и элемент 13 задержки могут быть выполнены, например, по резистивно-емкостной схеме, которая по перепаду напряжения на входной шине на выходе формирует импульс определенной длительности и амплитуды.

Устройство работает следующим образом.

После запуска устройства тактовые импульсы через тактовый вход 1 поступают по информационному входу коммутатора 2 импульсов на сигнальные входы элементов И 14-16, на управляющие входы которых поданы сигналы с элементов 8-10 памяти. Если код делителя по первому (младшему) выходу блока 7 задания кода делителя не равен нулю, элемент 8 находится в состоянии "0" и сигнал с его выхода разрешает прохождение импульсов через элемент И 14 по шине младшего разряда на вход счетчика 3 делимого и через элемент ИЛИ 11 на счетный вход счетчика 5. Эти импульсы подаются до тех пор, пока состояние счетчика 5 не станет равным коду младшего разряда делителя, подаваемого из блока 7 задания кода делителя. В момент равенства на входе поразрядного узла 17

сравнения кодов, поступающих из счетчика 5 и блока 7 задания кода делителя, он формирует выходной сигнал, устанавливающий в состояние "1" элемент 8 памяти, выходной сигнал которого поступает в коммутатор 2 импульсов, и через элемент ИЛИ 12 устанавливает счетчик 5 в исходное (нулевое) состояние и переключает импульсы на шину следующего (второго) разряда счетчика 3 делимого (отключает элемент И 14 и подключает элемент И 15).

Сигнал с выхода элемента 8 памяти поступает также на вход поразрядного узла 18 сравнения следующего разряда в качестве разрешения. Тактовые импульсы через элемент И 15 коммутатора 2 импульсов проходят теперь на счетный вход второго разряда счетчика 3 делимого и через элемент ИЛИ 11 на счетный вход счетчика 5. Состояние счетчика 5 сравнивается на поразрядном узле 18 сравнения с кодом второго разряда делителя, поступающего из блока 7 задания делителя. В момент совпадения поступающих кодов на выходе поразрядного узла 18 сравнения формируется сигнал, который устанавливает элемент 9 памяти в состояние "1". Сигнал с последнего поступает на вход следующего поразрядного узла 19 сравнения и на следующий вход коммутатора 2 импульсов для переключения разрядов. Этот сигнал снова переключает канал счета счетчика 3 делимого, отключает элемент И 15, включает элемент И 16 и через элемент ИЛИ 12 устанавливает счетчик 5 в исходное состояние. Работа продолжается по вышеуказанному принципу. При совпадении кодов на входе последнего поразрядного узла 19 сравнения элемент 10 памяти устанавливается в состояние "1", записывая при этом "1" в счетчик 6 частного. Сигнал с выхода элемента 10 памяти поступает также в коммутатор 2 импульсов, переключая каналы на выходе с 3-го на 1-ый (отключает элемент И 16 и включает элемент И 14), и устанавливает в исходное состояние через элемент ИЛИ 12 счетчик 5, через элемент задержки 13 - элементы памяти 8-10. После этого начинается второй цикл вычитания кода делителя (поступающего из блока 7 задания кода делителя) из кода делимого, хранящегося в счетчике 3 делимого. Процесс будет продолжаться до момента перехода кода делимого через

нуль, в результате чего сработает блок 4 фиксации окончания деления и операция деления на этом закончится. В счетчике 6 частного будет зафиксировано значение частного от деления двух чисел.

Если в одном или нескольких разрядах делителя будут нулевые значения, то в процессе деления сработают одновременно один или несколько рядом стоящих групповых разрядных элементов И и, соответственно, элементов памяти, и старший из них включит коммутатор 2 импульсов на очередной (за этими разрядами) канал счета счетчика 3 делимого - включится соответствующий ему элемент И коммутатора 2 импульсов.

Поразрядные узлы 17 и 18 сравнения после первого срабатывания могут срабатывать еще при сравнении кода счетчика 5 с кодом более старших разрядов (второго и третьего), однако это не повлияет на состояние находящегося в состоянии "1" элемента памяти 8 и 9 и сбоев в работе устройства не произойдет.

Если во всех разрядах делителя будут нули, т.е. делитель равен нулю, деление не будет производиться, так как все элементы 8-10 памяти будут находиться в состоянии "1" - под постоянным воздействием сигналов с выходов соответствующих поразрядных узлов 17-19 сравнения и, следовательно, на управляющих входах элементов И 14-16 коммутатора 2 импульсов будут запрещающие сигналы.

Таким образом, введение в предлагаемое устройство счетчика 5 с использованием описанной выше организацией связей между блоками позволяет получить возможность выполнения этим устройством тех же функций, что и известным, но при значительном сокращении состава оборудования.

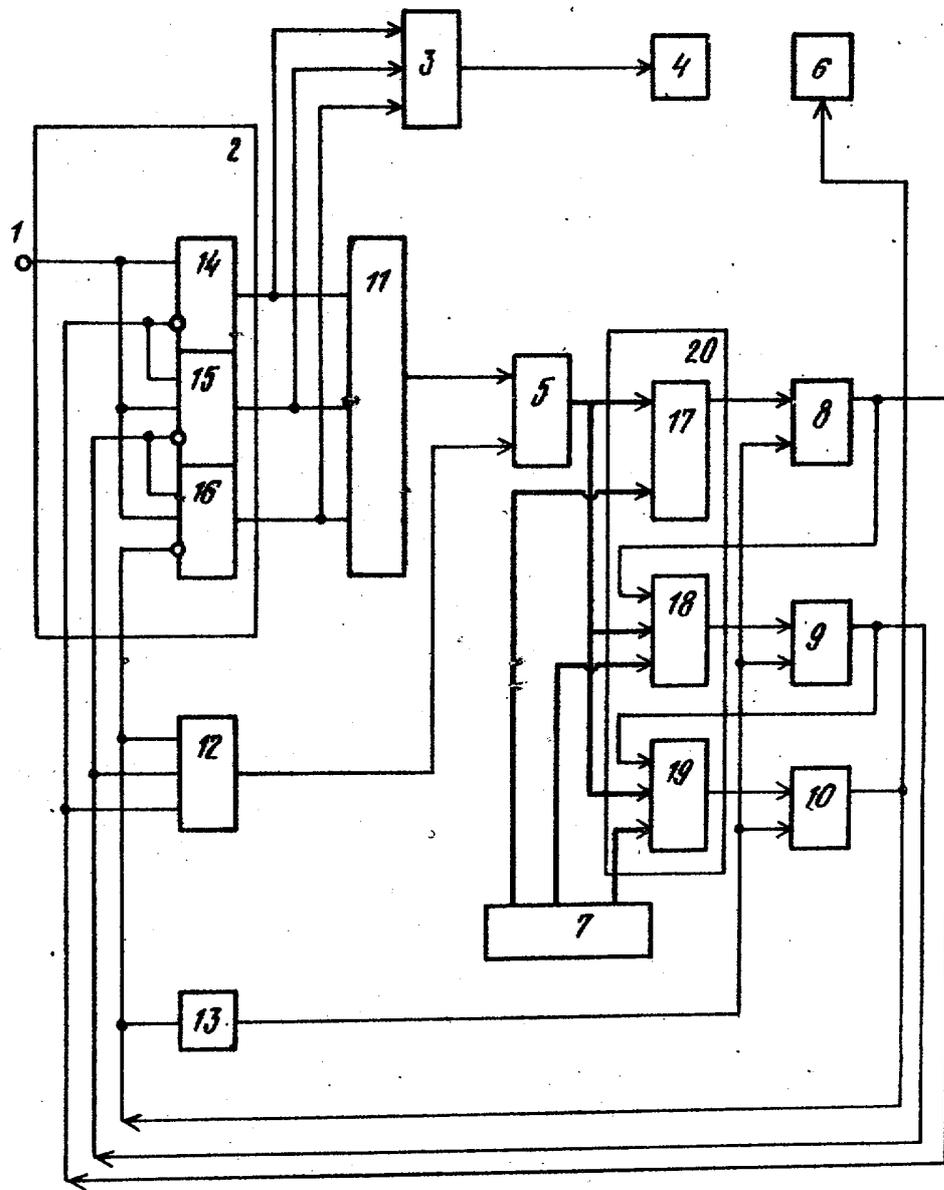
Формула изобретения

Устройство для деления, содержащее коммутатор импульсов, счетчик де-

лимого, счетчик частного, блок задания кода делителя, блок сравнения и блок фиксации окончания деления, причем информационный вход коммутатора импульсов подключен к тактовому входу устройства, а выходы соединены с соответствующими поразрядными входами счетчика делимого, выход которого соединен со входом блока фиксации окончания деления, блок сравнения, состоящий из И поразрядных узлов сравнения, где И - число разрядов делителя, первые входы которых соединены с соответствующими поразрядными выходами блока задания делителя, отличающееся тем, что, с целью сокращения количества оборудования, в него введены два элемента ИЛИ, элемент задержки, счетчик и И элементов памяти, причем выходы коммутатора импульсов соединены со входами первого элемента ИЛИ, выход которого соединен со счетным входом счетчика, вход установки в ноль которого соединен с выходом второго элемента ИЛИ, поразрядные выходы счетчика соответственно соединены со вторыми входами поразрядных узлов сравнения, выходы которых подключены к первым входам соответствующих элементов памяти, вторые входы которых объединены и подключены к выходу элемента задержки, выход i -го элемента ($i = 1, 2, \dots, n$) соединен с третьим входом $(i+1)$ -го поразрядного узла сравнения, с i -им входом второго элемента ИЛИ и i -им управляющим входом коммутатора импульсов, выход n -го элемента памяти соединен со входом счетчика частного, входом элемента задержки, с И-ым входом второго элемента ИЛИ и И-ым управляющим входом коммутатора импульсов.

Источники информации, принятые во внимание при экспертизе
1. Авторское свидетельство СССР № 547766, кл. G 06 F 7/39, 1977.

2. Авторское свидетельство СССР по заявке № 2786744/18-24, кл. G 06 F 7/52, 1979 (прототип).



Составитель Л. Медведева
 Редактор В. Лазаренко Техред Т. Фанта Корректор Г. Огар
 Заказ 121/30 Тираж 731 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4