

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-175437
(P2012-175437A)

(43) 公開日 平成24年9月10日 (2012.9.10)

(51) Int.Cl.	F I	テーマコード (参考)
H O 3 K 19/0185 (2006.01)	H O 3 K 19/00 1 O 1 B	5 H 7 4 O
H O 3 K 17/687 (2006.01)	H O 3 K 17/687 A	5 J O 5 5
H O 2 M 1/08 (2006.01)	H O 2 M 1/08 A	5 J O 5 6

審査請求 未請求 請求項の数 10 O L (全 25 頁)

(21) 出願番号 特願2011-35997 (P2011-35997)	(71) 出願人 000116024
(22) 出願日 平成23年2月22日 (2011. 2. 22)	ローム株式会社
	京都府京都市右京区西院溝崎町2 1 番地
	(74) 代理人 100085501
	弁理士 佐野 静夫
	(74) 代理人 100134555
	弁理士 林田 英樹
	(72) 発明者 石松 祐司
	京都市右京区西院溝崎町2 1 番地
	ローム株式会社内
	F ターム (参考) 5H740 AA04 BA12 BB05 BB09 BC01
	BC02 HH07 JA01 JB01 NN17
	最終頁に続く

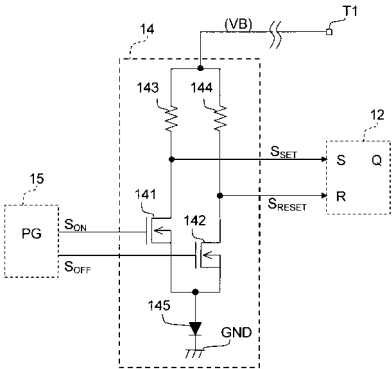
(54) 【発明の名称】 信号伝達回路及びこれを用いたスイッチ駆動装置

(57) 【要約】

【課題】入力信号をレベルシフトして出力するレベルシフト回路を有しながらも、電源の電圧変動等による誤信号の出力を抑えることが可能となる信号伝達回路を提供する。

【解決手段】第1入力信号および第2入力信号の各々をレベルシフトし、それぞれ第1シフト済み信号および第2シフト済み信号として出力する、レベルシフト回路を備え、レベルシフト回路は、第1入力信号に応じて開閉するスイッチング素子と抵抗を有する第1直列回路、および、第2入力信号に応じて開閉するスイッチング素子と抵抗を有する第2直列回路が、電源と接地端との間において互いに並列に設けられており、第1直列回路上の電圧を第1シフト済み信号として、第2直列回路上の電圧を第2シフト済み信号として、それぞれ出力するようになっており、接地端から第1直列回路および第2直列回路に向かって逆電流が流れることを防止する、逆流防止部を備えた信号伝達回路とする。

【選択図】 図 4



【特許請求の範囲】**【請求項 1】**

第 1 入力信号および第 2 入力信号の各々をレベルシフトし、それぞれ第 1 シフト済み信号および第 2 シフト済み信号として出力する、レベルシフト回路を備えた信号伝達回路であって、

前記レベルシフト回路は、

第 1 入力信号に応じて開閉する第 1 スイッチング素子と抵抗を直列接続させた第 1 直列回路、および、第 2 入力信号に応じて開閉する第 2 スイッチング素子と抵抗を直列接続させた第 2 直列回路が、電源と接地端との間において互いに並列に設けられており、

第 1 直列回路上の電圧を第 1 シフト済み信号として、第 2 直列回路上の電圧を第 2 シフト済み信号として、それぞれ出力するようになっており、

前記接地端から第 1 直列回路および第 2 直列回路に向かって逆電流が流れることを防止する、逆流防止部を備えたことを特徴とする信号伝達回路。

【請求項 2】

前記逆流防止部は、

第 1 直列回路および第 2 直列回路と、前記接地端と、の間に設けられたダイオードであることを特徴とする請求項 1 に記載の信号伝達回路。

【請求項 3】

第 1 シフト済み信号および第 2 シフト済み信号が、それぞれセット信号およびリセット信号として入力される、RS フリップフロップ回路を備えたことを特徴とする請求項 2 に記載の信号伝達回路。

【請求項 4】

第 1 入力信号および第 2 入力信号の各パルス信号をレベルシフトし、それぞれ第 1 シフト済み信号および第 2 シフト済み信号とするレベルシフト回路と、

第 1 シフト済み信号および第 2 シフト済み信号に対して、フィルタ処理を施すフィルタ回路と、を備え、

前記レベルシフト回路は、

第 1 入力信号に応じて開閉する第 1 スイッチング素子と抵抗を直列接続させた第 1 直列回路、および、第 2 入力信号に応じて開閉する第 2 スイッチング素子と抵抗を直列接続させた第 2 直列回路が、電源と接地端との間において互いに並列に設けられており、

第 1 直列回路上の電圧を第 1 シフト済み信号とし、第 2 直列回路上の電圧を第 2 シフト済み信号とするものであり、

前記フィルタ回路は、

第 1 シフト済み信号にパルス終了遅延処理を施して第 2 シフト済み信号に対応するマスク信号を生成するとともに、第 2 シフト済み信号にパルス終了遅延処理を施して第 1 シフト済み信号に対応するマスク信号を生成し、

前記フィルタ処理として、前記マスク信号のパルス期間において、第 1 シフト済み信号および第 2 シフト済み信号のパルスをキャンセルする処理を行うことを特徴とする信号伝達回路。

【請求項 5】

第 1 入力信号および第 2 入力信号の各パルス信号をレベルシフトし、それぞれ第 1 シフト済み信号および第 2 シフト済み信号とするレベルシフト回路と、

第 1 シフト済み信号および第 2 シフト済み信号に対して、フィルタ処理を施すフィルタ回路と、を備え、

前記レベルシフト回路は、

第 1 入力信号に応じて開閉する第 1 スイッチング素子と抵抗を直列接続させた第 1 直列回路、および、第 2 入力信号に応じて開閉する第 2 スイッチング素子と抵抗を直列接続させた第 2 直列回路が、電源と接地端との間において互いに並列に設けられており、

第 1 直列回路上の電圧を第 1 シフト済み信号として、第 2 直列回路上の電圧を第 2 シフト済み信号とするものであり、

前記フィルタ回路は、

第 1 シフト済み信号に基づいて第 2 シフト済み信号に対応するマスク信号を生成するとともに、第 2 シフト済み信号に基づいて第 1 シフト済み信号に対応するマスク信号を生成し、

第 1 シフト済み信号および第 2 シフト済み信号にパルス開始遅延処理を施した後、前記フィルタ処理として、前記マスク信号のパルス期間において、第 1 シフト済み信号および第 2 シフト済み信号のパルスをキャンセルする処理を行うことを特徴とする信号伝達回路。

【請求項 6】

前記フィルタ回路は、

第 1 シフト済み信号にパルス終了遅延処理を施すことにより、第 2 シフト済み信号に対応するマスク信号を生成し、

第 2 シフト済み信号にパルス終了遅延処理を施すことにより、第 1 シフト済み信号に対応するマスク信号を生成することを特徴とする請求項 5 に記載の信号伝達回路。

【請求項 7】

前記フィルタ処理の施された第 1 シフト済み信号および第 2 シフト済み信号が、それぞれセット信号およびリセット信号として入力される、RS フリップフロップ回路を備えたことを特徴とする請求項 4 から請求項 6 の何れかに記載の信号伝達回路。

【請求項 8】

請求項 3 または請求項 7 に記載の信号伝達回路と、

前記 RS フリップフロップ回路の出力に応じた出力信号を生成してスイッチに供給するドライバと、

を有することを特徴とするスイッチ駆動装置。

【請求項 9】

前記スイッチを駆動してモータ電流を制御することを特徴とする請求項 8 に記載のスイッチ駆動装置。

【請求項 10】

前記スイッチを駆動して入力電圧から所望の出力電圧を生成することを特徴とする請求項 8 に記載のスイッチ駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号伝達回路及びこれを用いたスイッチ駆動装置に関するものである。

【背景技術】

【0002】

従来、各種装置において、信号を後段側回路などに伝達するための信号伝達回路が利用されている。信号伝達回路の一例としては、例えば、図 15 に示すようなレベルシフト回路を設けたものが挙げられる。

【0003】

図 15 に示した信号伝達回路について、以下に簡潔に説明する。当該信号伝達回路は、パルスジェネレータ 85 から出力されるパルス信号を、レベルシフト回路 84 によってレベルシフトさせ、RS フリップフロップ回路 82 に伝達するものである。

【0004】

より具体的には、パルスジェネレータ 85 は、パルス信号であるオン信号 S_{ON} およびオフ信号 S_{OFF} を、それぞれトランジスタ 181 およびトランジスタ 182 へ出力する。なおこれらのパルス信号は、パルスが時期的に重ならないように生成されている。またレベルシフト回路 84 は、トランジスタ 181 と抵抗 183 の直列回路、および、トランジスタ 182 と抵抗 184 の直列回路が、電源側（電圧 V_B ）と接地端 GND との間において並列に設けられている。

【0005】

10

20

30

40

50

レベルシフト回路 84 は、トランジスタ 181 の開閉に応じて抵抗 183 に流れる電流が変化し、トランジスタ 182 の開閉に応じて抵抗 184 に流れる電流が変化する。レベルシフト回路 84 は、抵抗 183 とトランジスタ 181 の間の電圧を、オン信号 S_{ON} をレベルシフトして生成したセット信号 S_{SET} として、RS フリップフロップ回路 82 のセット端子に出力する。またレベルシフト回路 84 は、抵抗 184 とトランジスタ 182 の間の電圧を、オフ信号 S_{OFF} をレベルシフトして生成したリセット信号 S_{RESET} として、RS フリップフロップ回路 82 のリセット端子に出力する。

【0006】

なお RS フリップフロップ回路 82 は、セット信号 S_{SET} およびリセット信号 S_{RESET} に応じて出力信号を生成し、更に後段回路へ出力する。この出力信号は、装置の動作制御等に用いられる。

10

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2002 - 314392 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

上述した信号伝達回路によれば、オン信号 S_{ON} およびオフ信号 S_{OFF} をレベルシフトさせて、セット信号 S_{SET} およびリセット信号 S_{RESET} とすることが可能である。しかし電源の電圧 V_B の変動等によって、セット信号 S_{SET} やリセット信号 S_{RESET} の誤信号が生じると、装置の誤動作の原因となる。

20

【0009】

例えば、電圧 V_B が負に振れて正に戻る場合、各トランジスタ (181、182) の寄生ダイオードによるリカバリ電流が各抵抗 (183、184) に流れ、電圧降下が発生して誤信号が生じるおそれがある。また過渡的な dV_B/dt の高い電圧変化があった場合、各トランジスタ (181、182) の寄生容量に電流が流れ、電圧降下が発生して誤信号が生じるおそれがある。

【0010】

本発明は上述した問題に鑑み、入力信号をレベルシフトして出力するレベルシフト回路を有しながらも、電源の電圧変動等による誤信号の出力を抑えることが可能となる信号伝達回路、およびこれを用いたスイッチ駆動装置の提供を目的とする。

30

【課題を解決するための手段】

【0011】

上記目的を達成するため、本発明に係る信号伝達回路は、第 1 入力信号および第 2 入力信号の各々をレベルシフトし、それぞれ第 1 シフト済み信号および第 2 シフト済み信号として出力する、レベルシフト回路を備えた信号伝達回路であって、前記レベルシフト回路は、第 1 入力信号に応じて開閉する第 1 スイッチング素子と抵抗を直列接続させた第 1 直列回路、および、第 2 入力信号に応じて開閉する第 2 スイッチング素子と抵抗を直列接続させた第 2 直列回路が、電源と接地端との間において互いに並列に設けられており、第 1 直列回路上の電圧を第 1 シフト済み信号として、第 2 直列回路上の電圧を第 2 シフト済み信号として、それぞれ出力するようになっており、前記接地端から第 1 直列回路および第 2 直列回路に向かって逆電流が流れることを防止する、逆流防止部を備えた構成 (第 1 の構成) とする。

40

【0012】

本構成によれば、接地端から第 1 直列回路および第 2 直列回路に向かって逆電流が流れることによる誤信号の出力を、抑えることが可能となる。

【0013】

また上記第 1 の構成としてより具体的には、前記逆流防止部は、第 1 直列回路および第 2 直列回路と、前記接地端と、の間に設けられたダイオードである構成 (第 2 の構成) と

50

してもよい。

【 0 0 1 4 】

また上記第 2 の構成としてより具体的には、第 1 シフト済み信号および第 2 シフト済み信号が、それぞれセット信号およびリセット信号として入力される、RS フリップフロップ回路を備えた構成（第 3 の構成）としてもよい。

【 0 0 1 5 】

また本発明に係る他の形態の信号伝達回路は、第 1 入力信号および第 2 入力信号の各パルス信号をレベルシフトし、それぞれ第 1 シフト済み信号および第 2 シフト済み信号とするレベルシフト回路と、第 1 シフト済み信号および第 2 シフト済み信号に対して、フィルタ処理を施すフィルタ回路と、を備え、前記レベルシフト回路は、第 1 入力信号に応じて開閉する第 1 スイッチング素子と抵抗を直列接続させた第 1 直列回路、および、第 2 入力信号に応じて開閉する第 2 スイッチング素子と抵抗を直列接続させた第 2 直列回路が、電源と接地端との間において互いに並列に設けられており、第 1 直列回路上の電圧を第 1 シフト済み信号とし、第 2 直列回路上の電圧を第 2 シフト済み信号とするものであり、前記フィルタ回路は、第 1 シフト済み信号にパルス終了遅延処理を施して第 2 シフト済み信号に対応するマスク信号を生成するとともに、第 2 シフト済み信号にパルス終了遅延処理を施して第 1 シフト済み信号に対応するマスク信号を生成し、前記フィルタ処理として、前記マスク信号のパルス期間において、第 1 シフト済み信号および第 2 シフト済み信号のパルスをキャンセルする処理を行う構成（第 4 の構成）とする。

【 0 0 1 6 】

本構成によれば、フィルタ処理によって誤パルスがキャンセルされるようにし、誤信号の出力を抑えることが可能となる。またパルス終了遅延処理の実行により、フィルタ処理をより適切に行うことが可能となる。

【 0 0 1 7 】

また本発明に係る他の形態の信号伝達回路は、第 1 入力信号および第 2 入力信号の各パルス信号をレベルシフトし、それぞれ第 1 シフト済み信号および第 2 シフト済み信号とするレベルシフト回路と、第 1 シフト済み信号および第 2 シフト済み信号に対して、フィルタ処理を施すフィルタ回路と、を備え、前記レベルシフト回路は、第 1 入力信号に応じて開閉する第 1 スイッチング素子と抵抗を直列接続させた第 1 直列回路、および、第 2 入力信号に応じて開閉する第 2 スイッチング素子と抵抗を直列接続させた第 2 直列回路が、電源と接地端との間において互いに並列に設けられており、第 1 直列回路上の電圧を第 1 シフト済み信号として、第 2 直列回路上の電圧を第 2 シフト済み信号とするものであり、前記フィルタ回路は、第 1 シフト済み信号に基づいて第 2 シフト済み信号に対応するマスク信号を生成するとともに、第 2 シフト済み信号に基づいて第 1 シフト済み信号に対応するマスク信号を生成し、第 1 シフト済み信号および第 2 シフト済み信号にパルス開始遅延処理を施した後、前記フィルタ処理として、前記マスク信号のパルス期間において、第 1 シフト済み信号および第 2 シフト済み信号のパルスをキャンセルする処理を行う構成（第 5 の構成）とする。

【 0 0 1 8 】

本構成によれば、フィルタ処理によって誤パルスがキャンセルされるようにし、誤信号の出力を抑えることが可能となる。またパルス開始遅延処理の実行により、フィルタ処理をより適切に行うことが可能となる。

【 0 0 1 9 】

また上記第 1 の構成としてより具体的には、前記フィルタ回路は、第 1 シフト済み信号にパルス終了遅延処理を施すことにより、第 2 シフト済み信号に対応するマスク信号を生成し、第 2 シフト済み信号にパルス終了遅延処理を施すことにより、第 1 シフト済み信号に対応するマスク信号を生成する構成（第 6 の構成）としてもよい。

【 0 0 2 0 】

また第 4 から第 6 の何れかの構成としてより具体的には、前記フィルタ処理の施された第 1 シフト済み信号および第 2 シフト済み信号が、それぞれセット信号およびリセット信

号として入力される、RSフリップフロップ回路を備えた構成（第7の構成）としてもよい。

【0021】

また本発明に係るスイッチ駆動装置は、上記第3または第7の構成に係る信号伝達回路と、前記RSフリップフロップ回路の出力に応じた出力信号を生成してスイッチに供給するドライバと、を有する構成（第8の構成）とする。

【0022】

また上記第8の構成としてより具体的には、前記スイッチを駆動してモータ電流を制御する構成（第9の構成）としてもよい。また前記スイッチを駆動して入力電圧から所望の出力電圧を生成する構成（第10の構成）としてもよい。

10

【発明の効果】

【0023】

本発明に係る信号伝達回路によれば、入力信号をレベルシフトして出力するレベルシフト回路を有しながらも、電源の電圧変動等による誤信号の出力を抑えることが可能となる。また本発明に係るスイッチ駆動装置によれば、本発明に係る信号伝達回路の利点を享受すること可能となる。

【図面の簡単な説明】

【0024】

【図1】本発明の第1実施形態に係るスイッチ駆動装置のブロック図である。

【図2】RSフリップフロップ回路のより詳細な構成図である。

20

【図3】上側スイッチ駆動動作に関するタイミングチャートである。

【図4】第1実施形態に係るレベルシフト回路の構成図である。

【図5】本発明の第2実施形態に係るスイッチ駆動装置のブロック図である。

【図6】第2実施形態に係るレベルシフト回路およびフィルタ回路の構成図である。

【図7】フィルタ処理に関するタイミングチャートである。

【図8】上側出力信号の誤信号の発生形態に関する説明図である。

【図9】上側出力信号の誤信号の発生形態に関する説明図である。

【図10】上側出力信号の誤信号の発生形態に関する説明図である。

【図11】上側出力信号の誤信号の発生形態に関する説明図である。

【図12】各実施形態に係るスイッチ駆動装置の適用例に関する説明図である。

30

【図13】各実施形態に係るスイッチ駆動装置の適用例に関する説明図である。

【図14】各実施形態に係るスイッチ駆動装置の適用例に関する説明図である。

【図15】従来の信号伝達回路に関する説明図である。

【発明を実施するための形態】

【0025】

本発明の実施形態について、第1実施形態と第2実施形態を例に挙げて、以下に説明する。

【0026】

1. 第1実施形態

<全体構成>

40

図1は、第1実施形態に係るスイッチ駆動装置の全体構成を示すブロック図である。本構成のスイッチ駆動装置1は、上側スイッチ駆動部10と、下側スイッチ駆動部20と、異常保護部30と、を有するモノリシック半導体集積回路装置である。スイッチ駆動装置1は、外部に接続されるNチャネル型MOS [Metal Oxide Semiconductor] 電界効果トランジスタN1及びN2のオン/オフ制御を行うことにより、負荷（不図示）の駆動電流Iを制御する。

【0027】

スイッチ駆動装置1は、装置外部との電気的な接続を確立するために外部端子T0～T8を有する。スイッチ駆動装置1の外部には、オン/オフ制御対象であるトランジスタN1及びN2のほかに、抵抗R1及びR2、キャパシタC1及びC2、並びに、ダイオード

50

D 1 が接続されている。

【 0 0 2 8 】

スイッチ駆動装置 1 の外部において、トランジスタ N 1 のドレインは、高電圧 H V (数百ボルト) の印加端に接続されている。トランジスタ N 1 のソース及びバックゲートは、外部端子 T 3 (スイッチ端子) に接続されている。トランジスタ N 1 のゲートは、外部端子 T 2 (上側ゲート端子) に接続されている。トランジスタ N 2 のドレインは、外部端子 T 3 に接続されている。トランジスタ N 2 のソース及びバックゲートは、抵抗 R 1 を介して接地端に接続される一方、抵抗 R 2 の第 1 端にも接続されている。抵抗 R 2 の第 2 端は外部端子 T 8 (天絡検出端子) に接続される一方、キャパシタ C 2 を介して接地端にも接続されている。トランジスタ N 2 のゲートは、外部端子 T 4 (下側ゲート端子) に接続されている。キャパシタ C 1 の第 1 端は外部端子 T 1 (ブースト端子) に接続されている。キャパシタ C 1 の第 2 端は、外部端子 T 3 に接続されている。ダイオード D 1 のアノードは、電源電圧 V C C の印加端に接続される一方、外部端子 T 0 (電源端子) にも接続されている。ダイオード D 1 のカソードは、外部端子 T 1 に接続されている。

10

【 0 0 2 9 】

上側スイッチ駆動部 1 0 は、ドライバ 1 1 と、R S フリップフロップ回路 1 2 と、レベルシフト回路 1 4 と、パルスジェネレータ 1 5 と、コントローラ 1 6 と、レベルシフタ 1 7 と、シュミットトリガ 1 8 と、抵抗 1 9 と、を有する。

【 0 0 3 0 】

ドライバ 1 1 は、R S フリップフロップ回路 1 2 の出力信号に基づいて、外部端子 T 2 に上側出力信号 H O を出力する。なお、上側出力信号 H O のハイレベルはブースト電圧 V B となり、ローレベルはスイッチ電圧 V S となる。

20

【 0 0 3 1 】

R S フリップフロップ回路 1 2 は、セット信号 S_{SET} が入力されるセット端子 (S 端子) 、リセット信号 S_{RESET} が入力されるリセット端子 (R 端子) 、および出力信号 S_Q を出力する出力端子 (Q 端子) を有している。R S フリップフロップ回路 1 2 は、セット信号 S_{SET} の立下りエッジをトリガとして出力信号 S_Q をハイレベルにセットし、リセット信号 S_{RESET} の立下りエッジをトリガとして出力信号 S_Q をローレベルにリセットする。

【 0 0 3 2 】

なおセット信号 S_{SET} およびリセット信号 S_{RESET} は、何れもレベルシフト回路 1 4 から入力されるようになっている。また R S フリップフロップ回路 1 2 の形態については、図 2 の上段に示すようにリセット優先型のものであっても良く、図 2 の下段に示すようにセット優先型のものであっても良い。

30

【 0 0 3 3 】

なお、ドライバ 1 1 、および R S フリップフロップ回路 1 2 は、外部端子 T 1 に印加されるブースト電圧 V B と、外部端子 T 3 に印加されるスイッチ電圧 V S との間で動作する高電位ブロック (図 1 中の角丸四角枠を参照) に属しており、その他の回路ブロックはいずれも低電位ブロックに属している。

【 0 0 3 4 】

レベルシフト回路 1 4 は、上記の低電位ブロックから高電位ブロックに、信号をレベルシフトさせて伝達する回路である。より具体的には、レベルシフト回路 1 4 は、低電位ブロックに属するパルスジェネレータ 1 5 から、オン信号 S_{ON} およびオフ信号 S_{OFF} の各パルス信号が入力されるようになっている。そしてレベルシフト回路 1 4 は、これらの信号をそれぞれレベルシフトさせ、R S フリップフロップ回路 1 2 に出力する。レベルシフト回路 1 4 の詳細な構成については、改めて説明する。

40

【 0 0 3 5 】

パルスジェネレータ 1 5 は、コントローラ 1 6 の出力信号に基づいて、オン信号 S_{ON} (後述するトランジスタ 1 4 1 のゲート信号) 、及び、オフ信号 S_{OFF} (後述するトランジスタ 1 4 2 のゲート信号) の各パルス信号を生成する。より具体的に述べると、パルスジェネレータ 1 5 は、コントローラ 1 6 の出力信号の立上りエッジをトリガとして、オン信

50

号 S_{ON} を所定のオン期間 T_{ON1} だけハイレベルとし、コントローラ 16 の出力信号の立下りエッジをトリガとして、オフ信号 S_{OFF} を所定のオン期間 T_{ON2} だけハイレベルとする。

【0036】

なお、コントローラ 16 の出力信号（上側入力信号 HIN に応じた信号）、オン期間 T_{ON1} 、およびオン期間 T_{ON2} は、オン信号 S_{ON} とオフ信号 S_{OFF} の双方が同時にはハイレベルとはならないように設定される。すなわちスイッチ駆動装置 1 が正常に動作しているとき、少なくともオン信号 S_{ON} とオフ信号 S_{OFF} の一方がハイレベルのときは、他方はローレベルとなる。

【0037】

コントローラ 16 は、異常信号生成回路 34 から入力される異常信号に基づいて、レベルシフタ 17 の出力信号をパルスジェネレータ 15 に伝達するか否か（延いてはトランジスタ $N1$ の駆動可否）を制御する。

【0038】

レベルシフタ 17 は、シュミットトリガ 18 の出力信号をコントローラ 16 への入力に適した電圧レベル（ $VCC - GND$ ）にレベルシフトして出力する。

【0039】

シュミットトリガ 18 は、外部端子 $T6$ に入力される上側入力信号 HIN をレベルシフタ 17 に伝達する。なお、シュミットトリガ 18 の閾値電圧には、所定のヒステリシスが与えられている。このような構成とすることにより、ノイズに対する耐性を高めることが可能となる。

【0040】

抵抗 19 は、外部端子 $T6$ を接地端にプルダウンする。従って、外部端子 $T6$ がオープン状態である場合には、上側入力信号 HIN がローレベル（トランジスタ $N1$ をオフするための論理レベル）となるので、トランジスタ $N1$ が意図せずにオンされることはない。

【0041】

下側スイッチ駆動部 20 は、ドライバ 21 と、コントローラ 22 と、遅延部 23 と、レベルシフタ 24 と、シュミットトリガ 25 と、抵抗 26 と、を有する。

【0042】

ドライバ 21 は、コントローラ 22 の出力信号に基づいて、外部端子 $T4$ に下側出力信号 LO を出力する。なお、下側出力信号 LO のハイレベルは電源電圧 VCC となり、ローレベルは接地電圧 GND となる。

【0043】

コントローラ 22 は、異常信号生成回路 34 から入力される異常信号に基づいて、遅延部 23 の出力信号をドライバ 21 に伝達するか否か（延いてはトランジスタ $N2$ の駆動可否）を制御する。

【0044】

遅延部 23 は、レベルシフタ 24 の出力信号に所定の遅延（上側スイッチ駆動部 10 のパルスジェネレータ 15、レベルシフト回路 14、及び、 RS フリップフロップ回路 12 で生じる回路遅延に相当）を与えてコントローラ 22 に伝達する。

【0045】

レベルシフタ 24 は、シュミットトリガ 25 の出力信号をコントローラ 22 への入力に適した電圧レベル（ $VCC - GND$ ）にレベルシフトして出力する。

【0046】

シュミットトリガ 25 は、外部端子 $T7$ に入力される下側入力信号 LIN をレベルシフタ 24 に伝達する。なお、シュミットトリガ 25 の閾値電圧には、所定のヒステリシスが与えられている。このような構成とすることにより、ノイズに対する耐性を高めることが可能となる。

【0047】

抵抗 26 は、外部端子 $T7$ を接地端にプルダウンする。従って、外部端子 $T7$ がオープン状態である場合には、下側入力信号 LIN がローレベル（トランジスタ $N2$ をオフする

10

20

30

40

50

ための論理レベル)となるので、トランジスタN2が意図せずにオンされることはない。

【0048】

異常保護部30は、温度保護回路(TSD[Thermal Shut Down]回路)31と、減電圧保護回路(VCC監視用UVLO回路)32と、天絡保護回路33と、異常信号生成回路34と、Nチャネル型MOS電界効果トランジスタ35と、を有する。

【0049】

温度保護回路31は、スイッチ駆動装置1のジャンクション温度が所定の閾値温度を上回ったときに、温度保護信号を正常時の論理レベル(例えばローレベル)から異常時の論理レベル(例えばハイレベル)に切り替える。

【0050】

減電圧保護回路32は、電源電圧VCCが所定の閾値電圧を下回ったときに、減電圧保護信号を正常時の論理レベル(例えばローレベル)から異常時の論理レベル(例えばハイレベル)に切り替える。

【0051】

天絡保護回路33は、外部端子T8に入力される天絡検出電圧CIN(抵抗R2とキャパシタC2によって平滑化されたスイッチ電圧VSに相当)が所定の閾値電圧を上回ったときに、天絡保護信号を正常時の論理レベル(例えばローレベル)から異常時の論理レベル(例えばハイレベル)に切り替える。なお、「天絡」とは、外部端子T3が高電圧HVの印加端(またはこれに準ずる高電位端)にショートした状態を言う。

【0052】

異常信号生成回路34は、温度保護回路31から入力される温度保護信号、減電圧保護回路32から入力される減電圧保護信号、及び、天絡保護回路33から入力される天絡保護信号をそれぞれ監視し、いずれか一つでも異常が生じていた場合には、異常信号を正常時の論理レベル(例えばローレベル)から異常時の論理レベル(例えばハイレベル)に切り替える。

【0053】

トランジスタ35は、外部端子T5から外部異常信号を出力するためのオープンドレイン出力段を形成する。スイッチ駆動装置1に異常が生じていない場合には、トランジスタ35が異常信号生成回路34によってオフとされ、外部異常信号がハイレベルとされる。一方、スイッチ駆動装置1に何らかの異常が生じている場合には、トランジスタ35が異常信号生成回路34によってオンとされ、外部異常信号がローレベルとされる。

【0054】

<ブートストラップ回路>

上記構成から成るスイッチ駆動装置1は、ブースト電圧VB(ドライバ11などを含む高電位ブロックの駆動電圧)を生成する手段としてブートストラップ回路を有する。このブートストラップ回路は、アノードが電源電圧VCCの印加端に接続されたダイオードD1と、ダイオードD1のカソードとトランジスタN1のソースとの間に接続されたキャパシタC1と、を有し、ダイオードD1とキャパシタC1との接続ノード(外部端子T1)からブースト電圧VBを出力する。

【0055】

トランジスタN1がオフとされてトランジスタN2がオンとされることにより、外部端子T3に現れるスイッチ電圧VSがローレベル(GND)とされているときには、電源電圧VCCの印加端からダイオードD1、キャパシタC1、及び、トランジスタN2を介する経路で電流IBが流れるので、外部端子T1と外部端子T2との間に接続されたキャパシタC1が充電される。このとき、外部端子T1に現れるブースト電圧VB(すなわち、キャパシタC1の充電電圧)は、電源電圧VCCからダイオードD1の順方向降下電圧Vfを差し引いた電圧値(=VCC-Vf)となる。

【0056】

一方、キャパシタC1が充電されている状態で、トランジスタN1がオンとされてトランジスタN2がオフとされることにより、スイッチ電圧VSがローレベル(GND)から

10

20

30

40

50

ハイレベル（HV）に立ち上げられると、ブースト電圧VBは、スイッチ電圧VSのハイレベル（HV）よりもさらにキャパシタC1の充電電圧分（VCC - Vf）だけ高い電圧値（= HV + （VCC - Vf））まで引き上げられる。従って、このようなブースト電圧VBを高電位ブロック（ドライバ11、および、RSフリップフロップ回路12）やレベルシフト回路14の駆動電圧として供給することにより、Nチャネル型MOS電界効果トランジスタN1のオン/オフ制御（特にオン制御）を行うことが可能となる。

【0057】

< 上側スイッチ駆動動作 >

図3は、上側スイッチ駆動動作を説明するためのタイミングチャートであり、上から順に、上側入力信号HIN、セット信号S_{SET}、リセット信号S_{RESET}、及び、上側出力信号HOが描写されている。なお、図3では、説明を簡単とすべく、ブートストラップ動作に伴ってセット信号S_{SET}やリセット信号S_{RESET}のハイレベル電位が変動する様子の描写を省略している。

10

【0058】

上側入力信号HINがローレベルからハイレベルに立ち上げられると、その立上りエッジをトリガとしてオン信号S_{ON}（トランジスタ141のゲート信号）がオン期間T_{ON1}だけハイレベルとされる。トランジスタ141がオンとされてセット信号S_{SET}がハイレベルからローレベルに立ち下げられると、その立下りエッジをトリガとして上側出力信号HOがハイレベルにセットされる。

20

【0059】

一方、上側入力信号HINがハイレベルからローレベルに立ち下げられると、その立下りエッジをトリガとしてオフ信号S_{OFF}（トランジスタ142のゲート信号）がオン期間T_{ON2}だけハイレベルとされる。トランジスタ142がオンとされてリセット信号S_{RESET}がハイレベルからローレベルに立ち下げられると、その立下りエッジをトリガとして上側出力信号HOがローレベルにリセットされる。

【0060】

上記の動作により、上側スイッチ駆動部10では、上側入力信号HINと同一論理レベルの上側出力信号HOが生成されて、トランジスタN1のオン/オフ制御が行われる。なお、トランジスタ141及び142のオン期間を短縮することにより、レベルシフト回路14の消費電力を抑えることが可能となる。

30

【0061】

< レベルシフト回路の詳細構成 >

次に、レベルシフト回路14の詳細構成について、当該回路の構成図である図4を参照しながら説明する。

【0062】

図4に示すようにレベルシフト回路14は、Nチャネル型DMOS [Double-Diffused MOS] 電界効果トランジスタ（141、142）、抵抗（143、144）、および逆流防止用ダイオード145を有する。

【0063】

各トランジスタ（141、142）のソース及びバックゲートは、いずれも逆流防止用ダイオード145を介して、接地端GNDに接続されている。トランジスタ141のドレインは、RSフリップフロップ回路12のセット端子に接続される一方、抵抗143を介して外部端子T1にも接続されている。トランジスタ142のドレインは、RSフリップフロップ回路12のリセット端子に接続される一方、抵抗144を介して外部端子T1にも接続されている。なお、トランジスタ141及び142は、いずれも、低電位ブロックを形成するトランジスタよりも高耐圧（例えば600V耐圧）に設計されている。

40

【0064】

またトランジスタ141のゲートは、パルスジェネレータ15からオン信号S_{ON}が入力されるようになっている。またトランジスタ142のゲートは、パルスジェネレータ15からオフ信号S_{OFF}が入力されるようになっている。また逆流防止用ダイオード145は

50

、アノード側が各トランジスタ（１４１、１４２）のソース及びバックゲートに接続され、カソード側が接地端 GND に接続されている。

【００６５】

このようにレベルシフト回路１４は、オン信号 S_{ON} に応じて開閉するトランジスタ１４１と抵抗１４３を直列接続させた第１直列回路、およびオフ信号 S_{OFF} に応じて開閉するトランジスタ１４２と抵抗１４４を直列接続させた第２直列回路が、外部端子 T１（電圧 V_B の電源と見ることができる）と接地端 GND との間において互いに並列に設けられている。

【００６６】

そしてレベルシフト回路１４は、第１直列回路上における抵抗１４３より接地端 GND に近い側の電圧を、オン信号 S_{ON} をレベルシフトさせて生成したセット信号 S_{SET} （シフト済み信号）として、RSフリップフロップ回路１２のセット端子に出力するようになっている。またレベルシフト回路１４は、第２直列回路上における抵抗１４４より接地端 GND に近い側の電圧を、オフ信号 S_{OFF} をレベルシフトさせて生成したリセット信号 S_{RESET} （シフト済み信号）として、RSフリップフロップ回路１２のリセット端子に出力するようになっている。

【００６７】

また逆流防止用ダイオード１４５は、接地端 GND から第１直列回路および第２直列回路に向かって逆電流が流れることを、防止する役割を果たす。これにより、当該逆電流に起因するセット信号 S_{SET} やリセット信号 S_{RESET} の誤信号の発生が回避され、ひいては、当該逆電流に起因する上側出力信号 H O の誤信号の発生が回避される。例えば電圧 V_B が負に振れて正に戻る場合に、各トランジスタ（１４１、１４２）の寄生ダイオードによるリカバリ電流が各抵抗（１４３、１４４）に流れてしまい、電圧降下が発生してセット信号 S_{SET} やリセット信号 S_{RESET} の誤信号が生じることが回避される。

【００６８】

２．第２実施形態

次に第２実施形態について説明する。なお第２実施形態は、レベルシフト回路１４の構成、および、レベルシフト回路１４とRSフリップフロップ回路１２との間にフィルタ回路１３を設けた点を除いて、基本的に第１実施形態と共通である。以下の説明では、第１実施形態と異なる点に重点を置き、共通する点については説明を省略することがある。

【００６９】

図５は、第２実施形態に係るスイッチ駆動装置の全体構成を示すブロック図である。本図に示すように、レベルシフト回路１４とRSフリップフロップ回路１２の間には、フィルタ回路１３が設けられている。

【００７０】

フィルタ回路１３は、端子 T１側から駆動電力が供給され、レベルシフト回路１４から入力される信号に所定のフィルタ処理を施して、RSフリップフロップ回路１２に出力する回路である。レベルシフト回路１４およびフィルタ回路１３の詳細構成について、これらの構成図である図６を参照しながら説明する。まずレベルシフト回路１４について説明する。

【００７１】

図６に示すようにレベルシフト回路１４は、Nチャネル型DMOS [Double-Diffused MOS] 電界効果トランジスタ（１４１、１４２）、および、抵抗（１４３、１４４）を有する。

【００７２】

各トランジスタ（１４１、１４２）のソース及びバックゲートは、いずれも接地端 GND に接続されている。トランジスタ１４１のドレインは、フィルタ回路１３の二つの入力端（NOT回路１３１ a と NOT回路１３１ c ）に接続される一方、抵抗１４３を介して外部端子 T１にも接続されている。トランジスタ１４２のドレインは、フィルタ回路１３の二つの入力端（NOT回路１３１ b と NOT回路１３１ d ）に接続される一方、抵抗１

10

20

30

40

50

4 4 を介して外部端子 T 1 にも接続されている。なお、トランジスタ 1 4 1 及び 1 4 2 は、いずれも、低電位ブロックを形成するトランジスタよりも高耐圧（例えば 6 0 0 V 耐圧）に設計されている。

【 0 0 7 3 】

またトランジスタ 1 4 1 のゲートは、パルスジェネレータ 1 5 からオン信号 S_{ON} が入力されるようになっている。またトランジスタ 1 4 2 のゲートは、パルスジェネレータ 1 5 からオフ信号 S_{OFF} が入力されるようになっている。なお本実施形態では、第 1 実施形態では設けられていた逆流防止用ダイオード 1 4 5 は省略されている。但し本実施形態においても、逆流防止用ダイオード 1 4 5 が設けられるようにしても構わない。

【 0 0 7 4 】

このようにレベルシフト回路 1 4 は、オン信号 S_{ON} に応じて開閉するトランジスタ 1 4 1 と抵抗 1 4 3 を直列接続させた第 1 直列回路、およびオフ信号 S_{OFF} に応じて開閉するトランジスタ 1 4 2 と抵抗 1 4 4 を直列接続させた第 2 直列回路が、外部端子 T 1（電圧 V_B の電源と見ることが出来る）と接地端 GND との間において互いに並列に設けられている。

【 0 0 7 5 】

そしてレベルシフト回路 1 4 は、第 1 直列回路上における抵抗 1 4 3 より接地端 GND に近い側（図 6 に示す点 A 1 と点 A 2）の電圧を、オン信号 S_{ON} をレベルシフトさせた信号 S_A （シフト済み信号）として、フィルタ回路 1 3（NOT 回路 1 3 1 a および NOT 回路 1 3 1 c）に出力するようになっている。またレベルシフト回路 1 4 は、第 2 直列回路上における抵抗 1 4 4 より近い側（図 6 に示す点 B 1 と点 B 2）の電圧を、オフ信号 S_{OFF} をレベルシフトさせた信号 S_B （シフト済み信号）として、フィルタ回路 1 3（NOT 回路 1 3 1 b および NOT 回路 1 3 1 d）に出力するようになっている。なお点 A 1 と点 A 2 は同一であっても良く、点 B 1 と点 B 2 は同一であっても良い。

【 0 0 7 6 】

次にフィルタ回路 1 3 について説明する。図 6 に示すようにフィルタ回路 1 3 は、NOT 回路（1 3 1 a ~ 1 3 1 d、1 3 3 a、1 3 3 b）、立上り遅延回路（1 3 2 a、1 3 2 d）、立下り遅延回路（1 3 2 b、1 3 2 c）、および NAND 回路（1 3 4 a、1 3 4 b）を有する。

【 0 0 7 7 】

NOT 回路 1 3 1 a、1 3 1 b、1 3 1 c、および 1 3 1 d の各々には、レベルシフト回路 1 4 から、信号 S_A 、信号 S_B 、信号 S_A 、および信号 S_B の各々が入力されるようになっている。また NOT 回路 1 3 1 a の出力端は、立上り遅延回路 1 3 2 a を介して NAND 回路 1 3 4 a の一方の入力端に接続されており、NOT 回路 1 3 1 b の出力端は、立下り遅延回路 1 3 2 b と NOT 回路 1 3 3 a を順に介して、NAND 回路 1 3 4 a の他方の入力端に接続されている。また NOT 回路 1 3 1 c の出力端は、立下り遅延回路 1 3 2 c と NOT 回路 1 3 3 b を順に介して、NAND 回路 1 3 4 b の一方の入力端に接続されており、NOT 回路 1 3 1 d の出力端は、立上り遅延回路 1 3 2 d を介して NAND 回路 1 3 4 b の他方の入力端に接続されている。

【 0 0 7 8 】

NAND 回路 1 3 4 a の出力信号は、RS フリップフロップ回路 1 2 のセット信号 S_{SET} として、RS フリップフロップ回路 1 2 のセット端子に出力されるようになっている。また NAND 回路 1 3 4 b の出力信号は、RS フリップフロップ回路 1 2 のリセット信号 S_{RESET} として、RS フリップフロップ回路 1 2 のリセット端子に出力されるようになっている。

【 0 0 7 9 】

また立上り遅延回路 1 3 2 a は、前段側から入力されるパルス信号に、立上りのタイミングを予め設定されている時間だけ遅延させる立上り遅延処理を施し、信号 S_{AA} として後段側に出力する。立下り遅延回路 1 3 2 b は、前段側から入力されるパルス信号に、立下りのタイミングを予め設定されている時間だけ遅延させる立下り遅延処理を施し、信号 S

10

20

30

40

50

S_{BB} として後段側に出力する。なお信号 S_{AA} は、RS フリップフロップ回路 12 のセット側の主信号として用いられ、信号 S_{BB} は、セット側のマスク信号（誤パルスをマスキングする信号）として用いられる。

【0080】

ここで「立上り遅延処理」は、処理対象であるパルス信号に対して、各パルスの開始のタイミングを遅延させる処理（パルス開始遅延処理）の一例である。開始のタイミングが遅延させられることにより、当該パルスの幅はその分だけ減少することになる。また「立下り遅延処理」は、処理対象であるパルス信号に対して、各パルスの終了のタイミングを遅延させる処理（パルス終了遅延処理）の一例である。終了のタイミングが遅延させられることにより、当該パルスの幅はその分だけ増大することになる。

10

【0081】

また立下り遅延回路 132c は、前段側から入力されるパルス信号に、立下りのタイミングを予め設定されている時間だけ遅延させる立下り遅延処理を施し、信号 S_{AB} として後段側に出力する。立上り遅延回路 132d は、前段側から入力されるパルス信号に、立上りのタイミングを予め設定されている時間だけ遅延させる立上り遅延処理を施し、信号 S_{BA} として後段側に出力する。なお信号 S_{BA} は、RS フリップフロップ回路 12 のリセット側の主信号として用いられ、信号 S_{AB} は、リセット側のマスク信号として用いられる。

【0082】

上述した構成のフィルタ回路 13 によれば、フィルタ処理として、レベルシフト回路 14 から入力される信号 S_A および信号 S_B のパルスのうち時期的に互いにほぼ重複するものを、誤パルスとみなしてキャンセルする処理が行われるようになっている。

20

【0083】

図7は、当該フィルタ処理が行われる場合における、各信号のタイミングチャートの一例を表している。図7では、信号 S_A および信号 S_B において、オン信号 S_{ON} およびオフ信号 S_{OFF} に応じて正パルス（正規のパルス）P1 および P2 が生じているが、これに加えて、上述したような誤パルス P3 ~ P6 が生じている状況となっている。

【0084】

図7に示すように、セット側の主信号 S_{AA} （信号 S_A に立上り遅延処理が施された信号）については、セット側のマスク信号 S_{BB} （信号 S_B に立下り遅延処理が施された信号）のパルス期間（図7に着色で示す期間）において、パルスがキャンセルされる。その結果、セット信号 S_{SET} には、誤パルス P3 および P4 に基づくパルスは発生していない。またリセット側の主信号 S_{BA} （信号 S_B に立上り遅延処理が施された信号）については、リセット側のマスク信号 S_{AB} （信号 S_A に立下り遅延処理が施された信号）のパルス期間（図7に着色で示す期間）において、パルスがキャンセルされる。その結果、リセット信号 S_{RESET} には、誤パルス P5 および P6 に基づくパルスは発生していない。

30

【0085】

フィルタ回路 13 によればこのようなフィルタ処理がなされ、上述したような誤パルスによる上側出力信号 HO の誤信号の発生を、回避させることが可能となっている。また主信号（信号 S_{AA} と信号 S_{BA} ）には立上り遅延処理が施されており、マスク信号（信号 S_{BB} と信号 S_{AB} ）には立下り遅延処理が施されている。そのため、主信号における誤パルスの期間が、マスク信号のパルスの期間から逸脱していても、この逸脱の度合が各遅延処理により得られた余裕分（遅延時間に応じて定まる）に収まっていれば、この誤パルスをキャンセルすることが可能となっている。これにより、フィルタ処理をより適切に（より確実に）行うことが可能となっている。

40

【0086】

なお、立上り遅延処理および立下り遅延処理については、一方或いは両方が省略されるようにしても構わない。また立上り遅延処理や立下り遅延処理における遅延時間は、信号 S_A や信号 S_B の正パルスが誤ってキャンセルされることのないように、予め適切に設定されている。

【0087】

50

3. その他

< 誤信号の発生形態について >

これまでに説明した通り、第1実施形態のスイッチ駆動装置1によれば、逆流防止用ダイオード145が設けられており、レベルシフト回路14での逆電流に起因する上側出力信号H Oの誤信号の発生を、回避することが可能となっている。また第2実施形態のスイッチ駆動装置1によれば、フィルタ回路13が設けられており、シフト済み信号の誤パルスに起因する上側出力信号H Oの誤信号の発生を、回避することが可能となっている。

【0088】

ここで、逆流防止用ダイオード145やフィルタ回路13が設けられていないと仮定したときの、上側出力信号H Oの誤信号の発生形態の幾つかの例について、図8～図11の各タイミングチャートを例示しながら言及する。なおこれらのタイミングチャートは何れも、下側入力信号L I N、上側入力信号H I N、ブースト電圧V B、スイッチ電圧V S、セット信号S_{SET}、リセット信号S_{RESET}、RSフリップフロップ回路12の出力信号S_Q、および上側出力信号H Oについてのタイミングチャートである。

【0089】

図8は、上側スイッチ駆動部10のON時に、高い dV_S/dt (>0)の電圧変化が生じたときのタイミングチャートを例示している。本図に示すように、電圧V Sの変化に伴って電圧V Bが急峻に変化すると、トランジスタ141および142の寄生容量への充電に起因し、セット信号S_{SET}およびリセット信号S_{RESET}の立上りが遅れる。この遅延の度合は、寄生容量の差によって異なる。また抵抗143および144のバラツキによっても、立上りの遅延の度合が異なることがある。

【0090】

このような遅延度合の差により、セット信号S_{SET}がFF閾値(RSフリップフロップ回路12が信号変化を認識する電圧の閾値)に達するタイミングと、リセット信号S_{RESET}がFF閾値に達するタイミングにずれが生じる。図8に示すようにセット信号S_{SET}がFF閾値に達すると、図8に太線で示すように上側出力信号H Oはハイレベルに保たれるのが正規であるところ、ローレベルに落ちてしまう。このようにして、上側出力信号H Oの誤信号が発生することになる。

【0091】

図9は、上側スイッチ駆動部10の回生時に、高い dV_S/dt (>0)の電圧変化が生じたときのタイミングチャートを例示している。本図に示すように、電圧V Sの変化に伴って電圧V Bが急峻に変化すると、図8の場合と同様に、セット信号S_{SET}がFF閾値に達するタイミングと、リセット信号S_{RESET}がFF閾値に達するタイミングにずれが生じる。

【0092】

図9に示すようにリセット信号S_{RESET}がFF閾値に達すると、図9に太線で示すように上側出力信号H Oはローレベルに保たれるのが正規であるところ、ハイレベルに変化してしまう。このようにして、上側出力信号H Oの誤信号が発生することになる。なお、上側出力信号H Oがハイレベルに変化した後、下側入力信号L I Nがハイレベルになると、上下アームの短絡により装置が破損するおそれがある。

【0093】

図10は、 dV_S/dt (<0)の電圧変化が生じたとき(特に寄生容量の差に着目する場合)のタイミングチャートを例示している。本図に示すように、電圧V Sの変化に伴って電圧V Bが急峻に変化し負電位へアンダーシュートすると、トランジスタ141および142のボディダイオードに順バイアスがかかり、接地端GNDからのリカバリ電流(逆電流)が発生する。

【0094】

このとき、セット信号S_{SET}およびリセット信号S_{RESET}の立上りは、トランジスタ141および142の寄生容量への充電に起因して遅れる。この遅延の度合は、寄生容量の差によって異なる。また抵抗143および144のバラツキによっても、立上りの遅延の度

10

20

30

40

50

合が異なることがある。

【 0 0 9 5 】

このような遅延度合の差により、セット信号 S_{SET} が F F 閾値に達するタイミングと、リセット信号 S_{RESET} が F F 閾値に達するタイミングにずれが生じる。図 1 0 に示すようにリセット信号 S_{RESET} が F F 閾値に達すると、図 1 0 に太線で示すように上側出力信号 $H O$ はローレベルに保たれるのが正規であるところ、ハイレベルに変化してしまう。このようにして、上側出力信号 $H O$ の誤信号が発生することになる。

【 0 0 9 6 】

図 1 1 は、 $d V S / d t (< 0)$ の電圧変化が生じたとき（特に寄生ダイオードの影響に着目する場合）のタイミングチャートを例示している。本図に示すように、電圧 $V S$ の変化に伴って電圧 $V B$ が急峻に変化し負電位へアンダーシュートすると、トランジスタ 1 4 1 および 1 4 2 のボディダイオードに順バイアスがかかり、接地端 $G N D$ からのリカバリ電流（逆電流）が発生する。

【 0 0 9 7 】

このとき、セット信号 S_{SET} およびリセット信号 S_{RESET} の立上りは、トランジスタ 1 4 1 および 1 4 2 の寄生容量への充電に起因して遅れる。ここで双方の寄生容量が同等であるとしても、トランジスタ 1 4 1 側にリカバリ電流が流れるため、寄生ダイオードの影響により立上りの遅延の度合は異なる。そのため、図 1 1 の場合と同様の形態により、上側出力信号 $H O$ の誤信号が発生することになる。

【 0 0 9 8 】

フィルタ回路 1 3 が設けられている第 2 実施形態のスイッチ駆動装置 1 によれば、上述した何れの形態による上側出力信号 $H O$ の誤信号の発生についても、回避することが可能である。また第 1 実施形態のスイッチ駆動装置 1 によれば、フィルタ回路 1 3 が省略されていながらも、逆電流（リカバリ電流）に起因した形態による上側出力信号 $H O$ の誤信号の発生を、回避することが可能となっている。

【 0 0 9 9 】

なお電圧 $V S$ の急峻な変化は、スイッチ駆動装置のアーム出力を高速にスイッチングするほど発生し易くなる。そのため従来は、上述したような誤信号の発生を抑えるように、このスイッチングの速度を落とすようにしていた。しかしこの場合には、スイッチング損失が増大し、インバータの効率が低下するという欠点がある。この点、本実施形態に係るスイッチ駆動装置 1 によれば、誤信号の発生を回避する手段を有しているため、アーム出力の高速なスイッチングが可能であり、インバータの効率向上を図ることが可能である。

【 0 1 0 0 】

< スイッチ駆動装置の適用例 >

次に、スイッチ駆動装置 1 の適用例について説明する。図 1 2 は、スイッチ駆動装置 1 の第 1 適用例を示す図である。図 1 2 に示すように、スイッチ駆動装置 1 は、トランジスタ $N 1$ 及び $N 2$ を駆動してモータ 2（例えば、白物家電用のコンプレッサモータやファンモータ）の駆動電流 $I m$ を制御するモータ駆動装置として適用することが可能である。なお、図 1 2 では、モータ 2 として三相交流モータが例示されているが、スイッチ駆動装置 1 の駆動対象はこれに限定されるものではなく、二相交流モータや直流モータなども駆動対象とすることが可能である。

【 0 1 0 1 】

図 1 3 は、スイッチ駆動装置 1 の第 2 適用例を示す図である。図 1 3 に示すように、スイッチ駆動装置 1 は、トランジスタ $N 1$ 及び $N 2$ を相補的（排他的）に駆動して入力電圧 $V i n$ から所望の出力電圧 $V o u t$ を生成する同期整流型のスイッチング電源装置として適用することも可能である。なお、上記の「相補的（排他的）」という文言は、トランジスタ $N 1$ 及び $N 2$ のオン / オフが完全に逆転している場合のほか、貫通電流防止の観点からトランジスタ $N 1$ 及び $N 2$ の同時オフ期間が設けられている場合も含む。

【 0 1 0 2 】

図 1 4 は、スイッチ駆動装置 1 の第 3 適用例を示す図である。図 1 4 に示すように、ス

10

20

30

40

50

スイッチ駆動装置 1 は、トランジスタ N 1 を駆動して入力電圧 V_{in} から所望の出力電圧 V_{out} を生成する非同期整流型のスイッチング電源装置として適用することも可能である。

【 0 1 0 3 】

以上の通り、本発明の実施形態等について説明したが、本発明の構成は上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

10

【 産業上の利用可能性 】

【 0 1 0 4 】

本発明は、例えば、白物家電用モータドライバに好適に利用することが可能である。

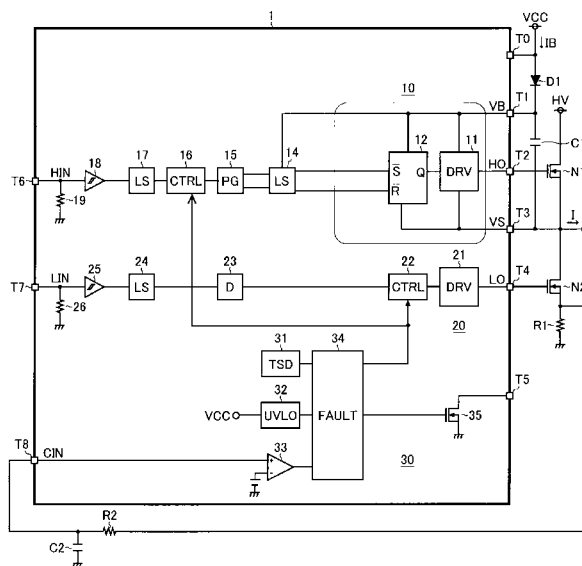
【 符号の説明 】

【 0 1 0 5 】

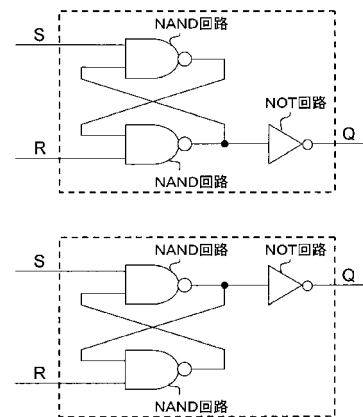
1	スイッチ駆動装置	
2	モータ	
1 0	上側スイッチ駆動部	
1 1	ドライバ	
1 2	R S フリップフロップ回路	20
1 3	フィルタ回路	
1 3 1 a ~ 1 3 1 d、1 3 3 a、1 3 3 b	N O T 回路	
1 3 2 a、1 3 2 d	立上り遅延回路	
1 3 2 b、1 3 2 c	立下り遅延回路	
1 3 4 a、1 3 4 b	N A N D 回路	
1 4	レベルシフト回路	
1 4 1、1 4 2	N チャネル型 D M O S 電界効果トランジスタ	
1 4 3、1 4 4	抵抗	
1 4 5	逆流防止用ダイオード	
1 5	パルスジェネレータ	30
1 6	コントローラ	
1 7	レベルシフタ	
1 8	シュミットトリガ	
1 9	抵抗	
2 0	下側スイッチ駆動部	
2 1	ドライバ	
2 2	コントローラ	
2 3	遅延部	
2 4	レベルシフタ	
2 5	シュミットトリガ	40
2 6	抵抗	
3 0	異常保護部	
3 1	温度保護回路	
3 2	減電圧保護回路	
3 3	天絡保護回路	
3 4	異常信号生成回路	
3 5	N チャネル型 M O S 電界効果トランジスタ	
N 1、N 2	N チャネル型 M O S 電界効果トランジスタ	
R 1、R 2	抵抗	
C 1、C 2	キャパシタ	50

D 1 ダイオード
T 0 ~ T 8 外部端子

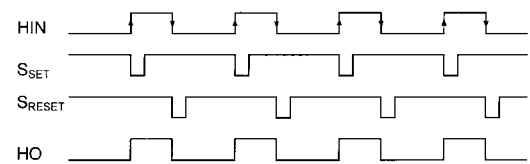
【図 1】



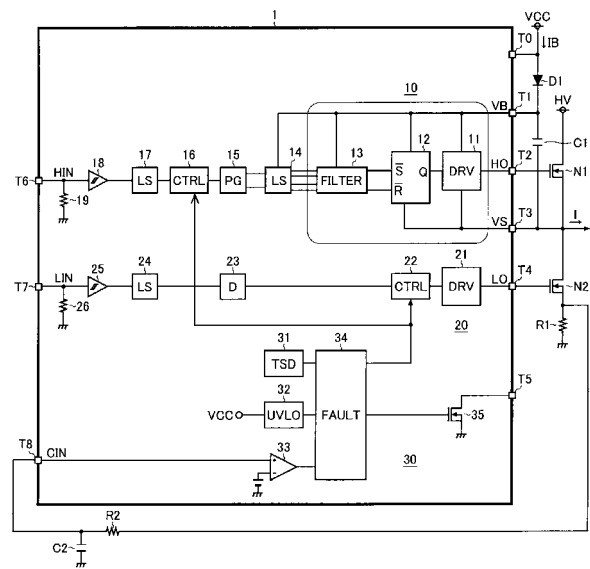
【図 2】



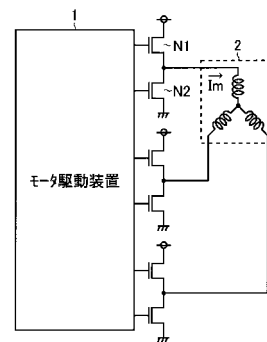
【図 3】



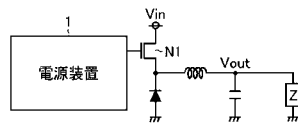
【 図 5 】



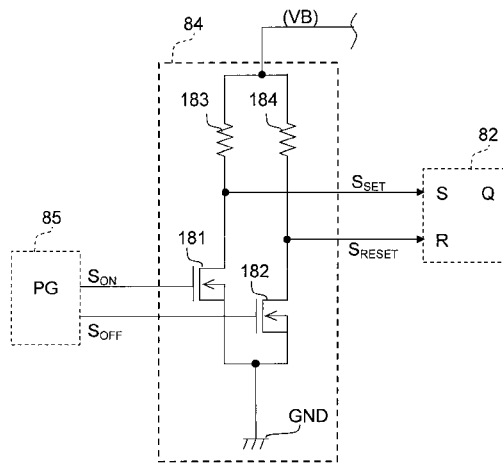
【 ㄨ 1 2 】



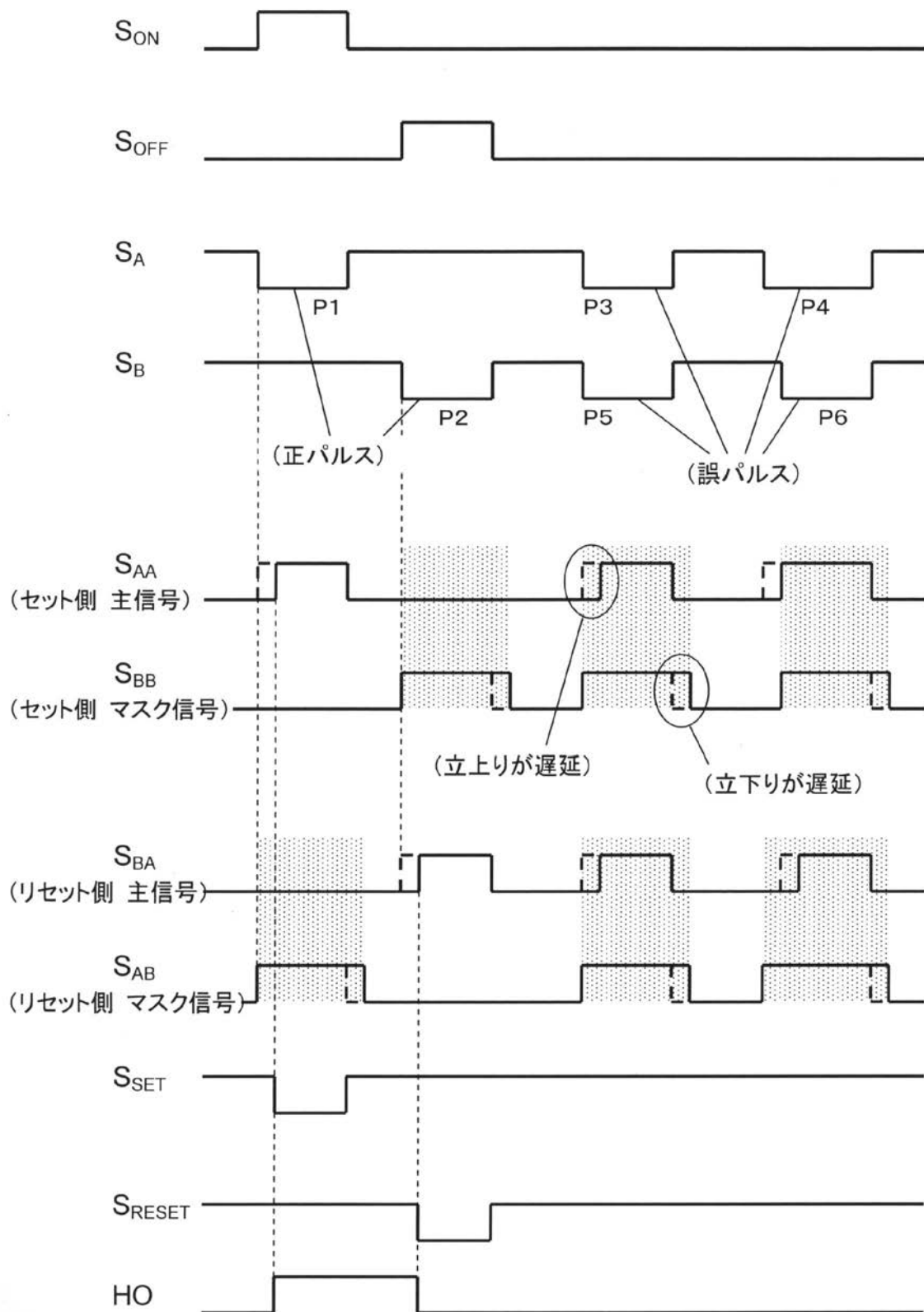
【図 14】



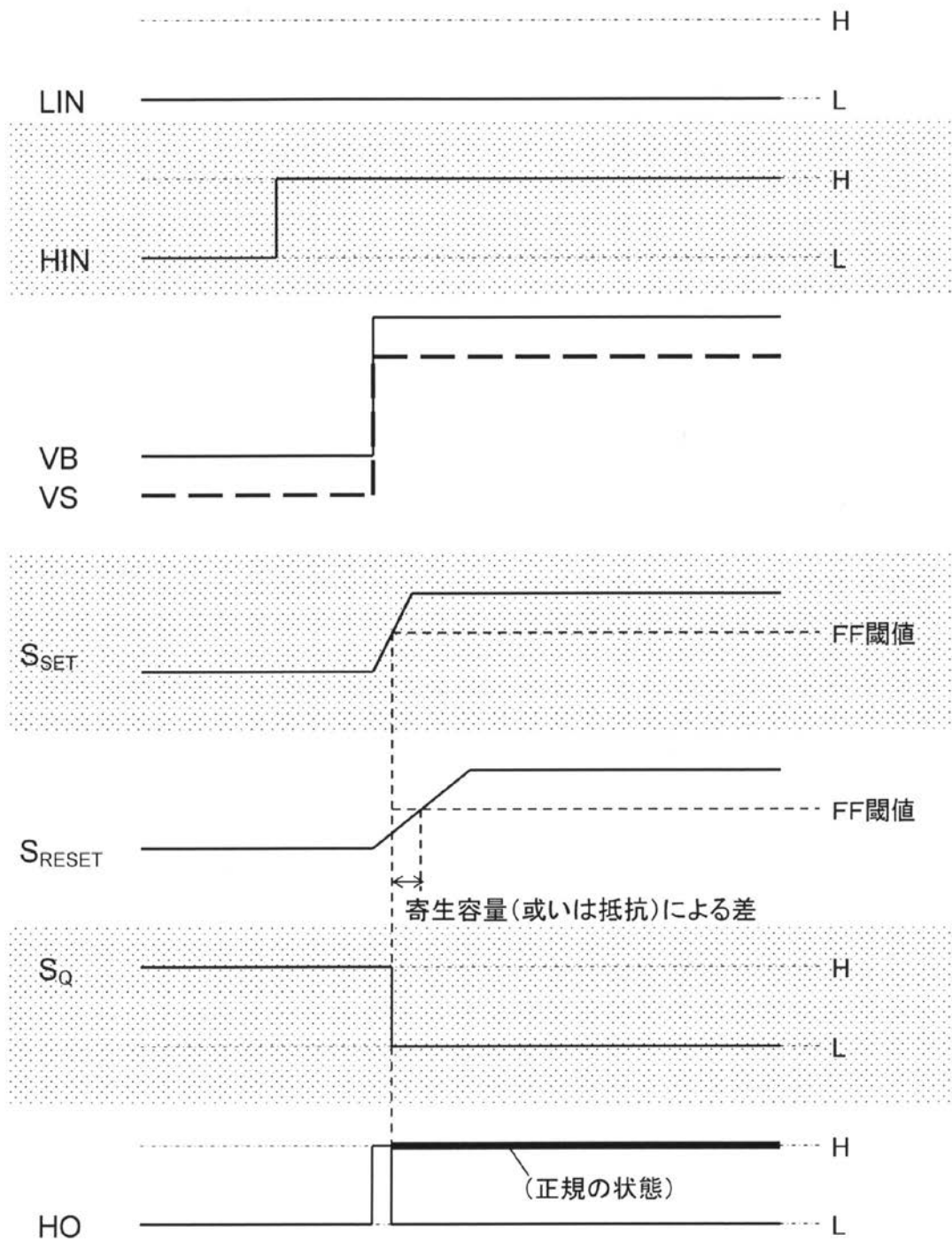
【図 15】



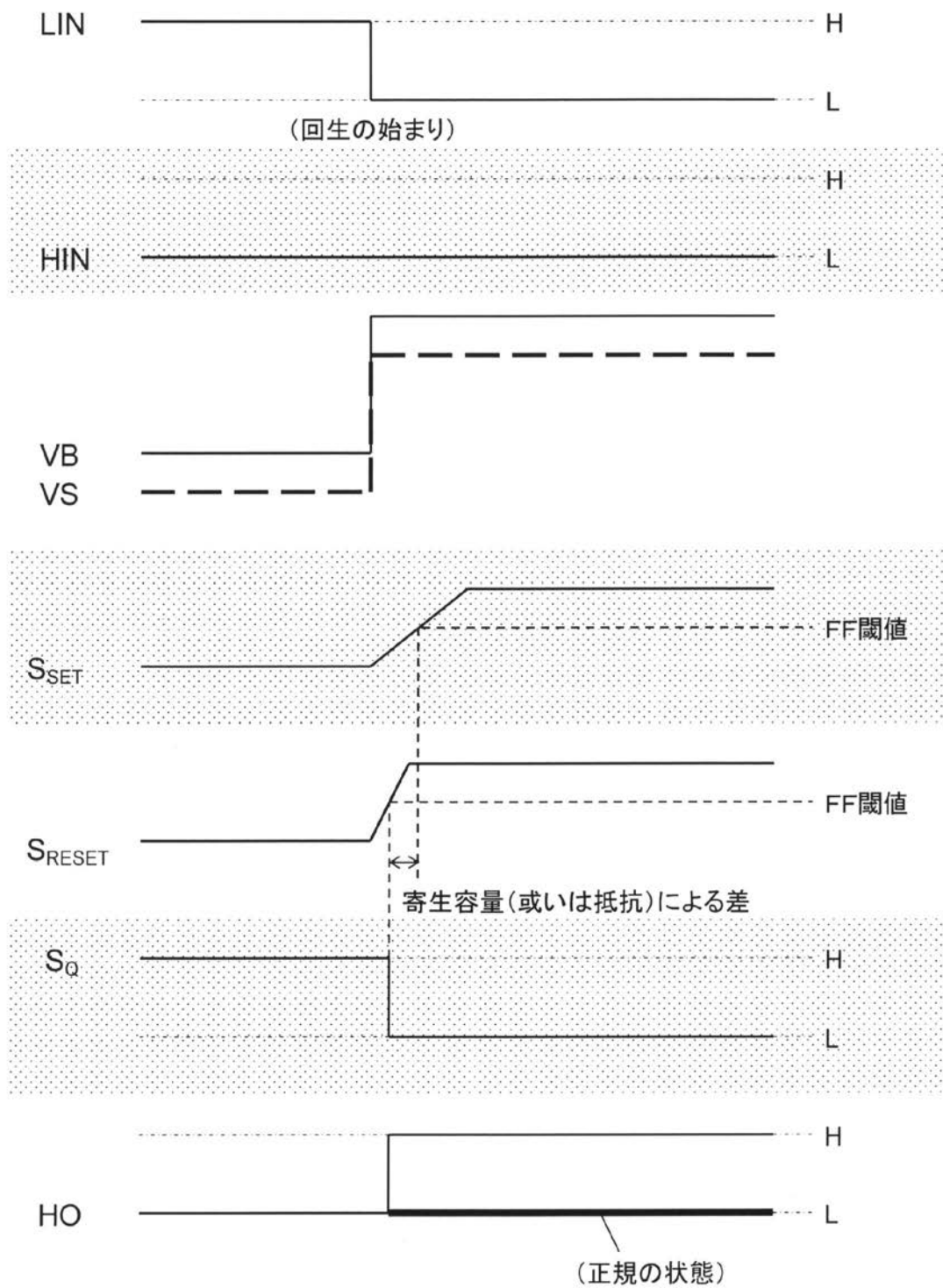
【図 7】



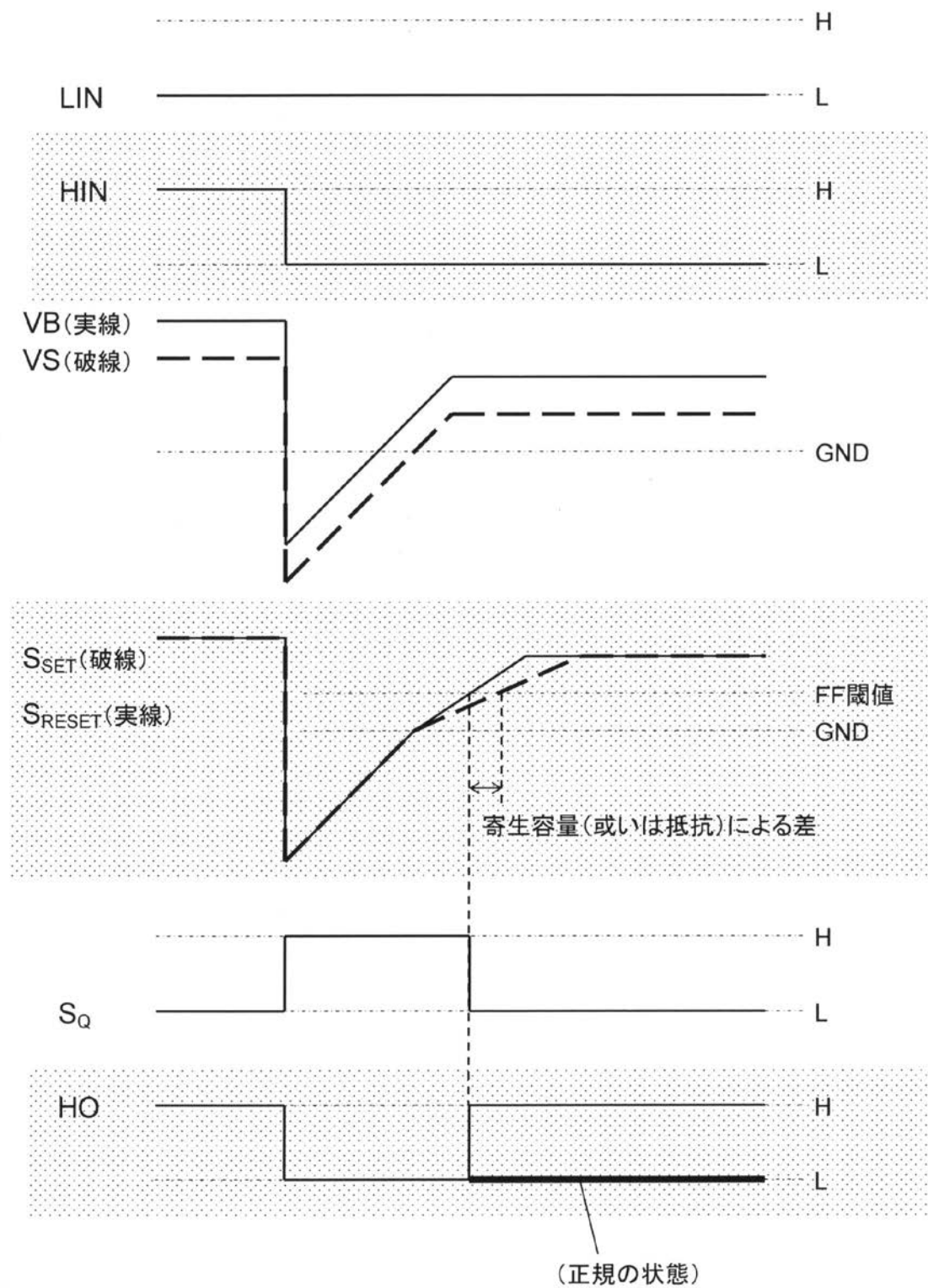
【図 8】



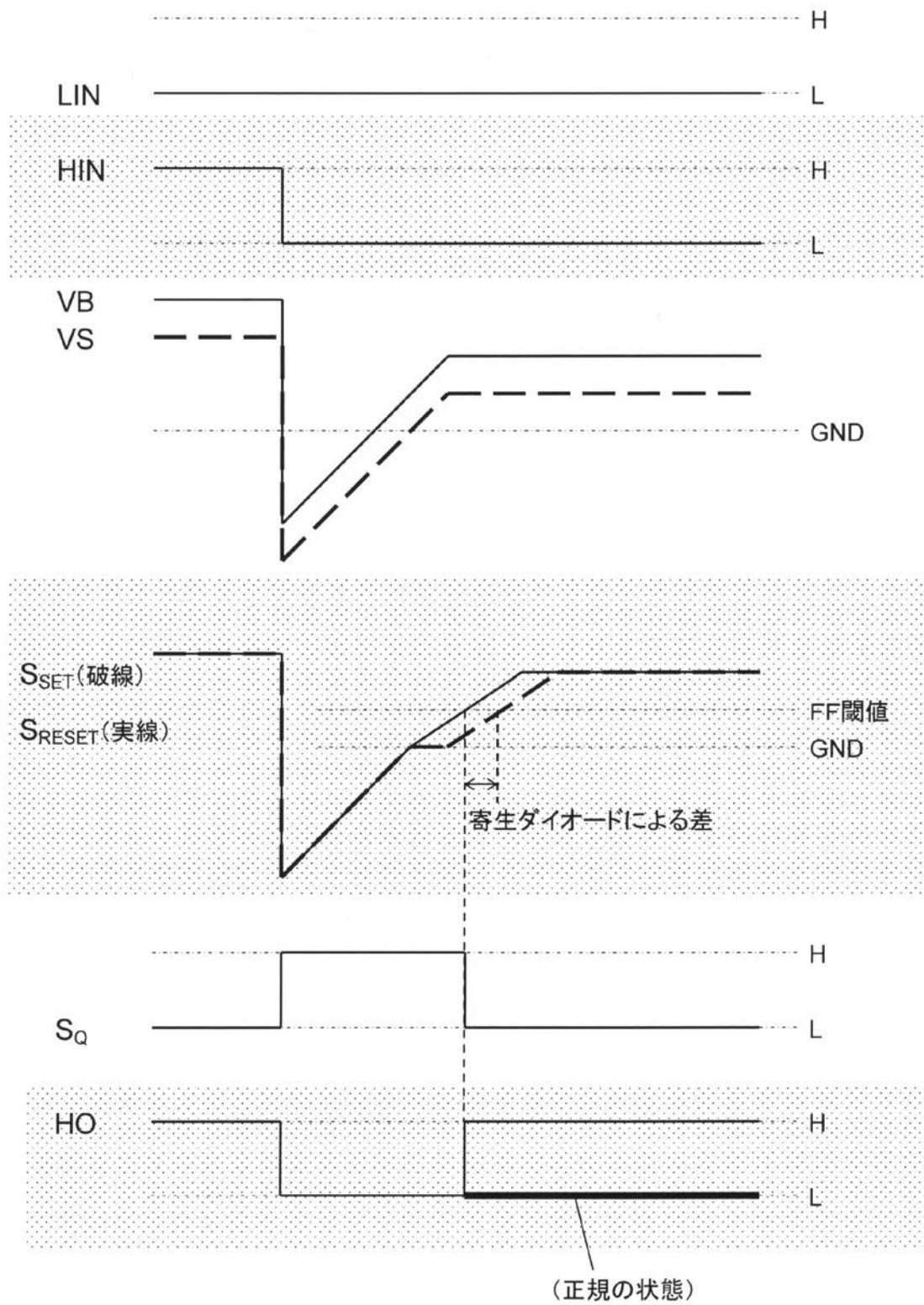
【図 9】



【図 10】



【 図 1 1 】



フロントページの続き

F ターム(参考) 5J055 AX39 AX58 BX16 CX07 DX22 EX07 EY12 EY21 EY29 EZ11
EZ14 EZ20 EZ32 EZ50 EZ65 FX33 GX01 GX04
5J056 AA37 BB40 CC05 CC06 CC09 CC11 CC14 CC21 CC28 CC29
DD13 DD55 GG06 KK01