



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201601216 A

(43) 公開日：中華民國 105 (2016) 年 01 月 01 日

(21) 申請案號：104131335

(22) 申請日：中華民國 99 (2010) 年 01 月 21 日

(51) Int. Cl. : *H01L21/3205(2006.01)**H01L21/28 (2006.01)*

(30) 優先權：2009/02/02 美國

61/149

(71) 申請人：ASM 美國股份有限公司 (美國) ASM AMERICA, INC. (US)

美國

(72) 發明人：米利根羅伯特 B · MILLIGAN, ROBERT B. (US) ; 李東 LI, DONG (US) ; 馬庫斯史

蒂芬 MARCUS, STEVEN (US)

(74) 代理人：詹銘文

申請實體審查：有 申請專利範圍項數：12 項 圖式數：2 共 28 頁

(54) 名稱

積體電路元件

INTEGRATED CIRCUIT DEVICE

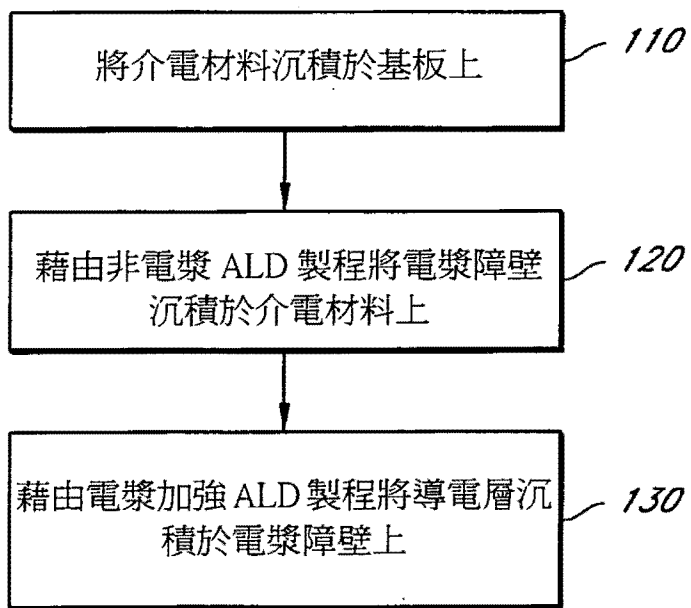
(57) 摘要

本發明提供使用電漿加強原子層沈積 (PEALD) 在介電層上形成導電金屬層的方法，以及相關組合物及結構。在藉由 PEALD 沈積所述導電層之前，藉由非電漿原子層沈積 (ALD) 製程將電漿障壁層沈積於所述介電層上。所述電漿障壁層減少或防止所述 PEALD 製程中之電漿反應物對所述介電層之有害影響，且可加強黏合。可在所述非電漿 ALD 製程及所述 PEALD 製程兩者中使用相同的金屬反應物。

Methods of forming a conductive metal layer over a dielectric layer using plasma enhanced atomic layer deposition (PEALD) are provided, along with related compositions and structures. A plasma barrier layer is deposited over the dielectric layer by a non-plasma atomic layer deposition (ALD) process prior to depositing the conductive layer by PEALD. The plasma barrier layer reduces or prevents deleterious effects of the plasma reactant in the PEALD process on the dielectric layer and can enhance adhesion. The same metal reactant can be used in both the non-plasma ALD process and the PEALD process.

110、120、

130...步驟



【圖1】

201601216

專利案號: 104131335



原申請案號: 099101667

申請日: 99.1.21

IPC分類: H01L 21/3205(2006.01)

H01L 21/28. (2006.01)

201601216

【發明摘要】

【中文發明名稱】積體電路元件

【英文發明名稱】INTEGRATED CIRCUIT DEVICE

【中文】

本發明提供使用電漿加強原子層沈積 (PEALD) 在介電層上形成導電金屬層的方法，以及相關組合物及結構。在藉由 PEALD 沈積所述導電層之前，藉由非電漿原子層沈積 (ALD) 製程將電漿障壁層沈積於所述介電層上。所述電漿障壁層減少或防止所述 PEALD 製程中之電漿反應物對所述介電層之有害影響，且可加強黏合。可在所述非電漿 ALD 製程及所述 PEALD 製程兩者中使用相同的金屬反應物。

【英文】

Methods of forming a conductive metal layer over a dielectric layer using plasma enhanced atomic layer deposition (PEALD) are provided, along with related compositions and structures. A plasma barrier layer is deposited over the dielectric layer by a non-plasma atomic layer deposition (ALD) process prior to depositing the conductive layer by PEALD. The plasma barrier layer reduces or prevents deleterious effects of the plasma reactant in the PEALD process on the dielectric layer and can enhance adhesion. The same metal reactant can be used in both the non-plasma ALD process and the PEALD process.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

110、120、130：步驟

【特徵化學式】

無。

【發明說明書】

【中文發明名稱】積體電路元件

【英文發明名稱】INTEGRATED CIRCUIT DEVICE

【技術領域】

【0001】 本申請案主張 2009 年 2 月 2 日申請之美國暫時專利申請案第 61/149,140 號之權益，所述申請案之整個內容特此以引用之方式併入本文中，且應被視為本說明書之一部分。本申請案是有關於以下專利：2001 年 3 月 6 日申請，2003 年 3 月 18 頒布之美國專利第 6,534,395 號；2001 年 8 月 31 日申請，2003 年 9 月 2 日頒布之美國專利第 6,613,695 號；2001 年 8 月 31 日申請，2003 年 12 月 9 日頒布之美國專利第 6,660,660 號；2003 年 5 月 5 日申請，2005 年 2 月 22 頒布之美國專利第 6,858,524 號；以及 2003 年 5 月 5 日申請，2006 年 5 月 16 日頒布之美國專利第 7,045,406 號。所有上述申請案之整個內容特此以引用之方式併入本文中，且應被視為本說明書之一部分。

【0002】 本發明大體上是有關於用於減少上覆（overlying）導電材料之電漿加強原子層沈積（plasma-enhanced atomic layer deposition，PEALD）期間，電漿對金屬氧化物介電層之有害影響的方法及組合物。

【先前技術】

【0003】 電漿加強原子層沈積（PEALD）為通常用於形成極薄塗層之氣相化學製程。如在傳統原子層沈積（atomic layer

deposition, ALD) 方法中, 在 PEALD 中, 反應表面交替地且循序地與反應物接觸, 使得薄膜被沈積。在 PEALD 中, 一反應物為電漿反應物, 諸如氫 (H^*) 電漿或氫-氮電漿 (例如, NH^* 、 NH_2^* 、 NH_3^* 或 $N^* + H^*$)。通常, 第二反應物為有機金屬或無機金屬源化學物質。

【0004】 PEALD 可用於沈積若干耐火 (refractory) 金屬及導電金屬合金。可將此等材料用作 (例如) 積體電路元件中之閘電極或電容器電極。通常, 將導電層沈積於金屬氧化物介電質上。當沈積製程中所使用之電漿在最初幾個沈積循環中與金屬氧化物介電質起反應, 且至少部分地將金屬氧化物介電質還原為未氧化之金屬或還原為低於化學計量 (substoichiometric) 金屬氧化物狀態時, 可能出現問題。此情形可導致金屬氧化物介電質與上覆導電材料之間的不良黏合。雖然此情形影響積體電路製造中所使用之常見金屬氧化物, 諸如 Ta_2O_5 、 TiO_2 、 HfO_2 、 ZrO_2 、 Al_2O_3 、 La_2O_3 , 但此效應對於 Al_2O_3 特別明顯, 且隨著電漿強度 (例如, 功率、反應時間) 增加而增加。

【發明內容】

【0005】 根據本發明之一態樣, 提供用於形成積體電路元件的方法。在一些實施例中, 所述方法包括藉由原子層沈積 (ALD) 製程將電漿障壁層直接沈積於基板上之金屬氧化物介電層上。所述 ALD 製程包括使基板與金屬反應物及非電漿反應物交替地且循序地接觸。隨後藉由電漿加強原子層沈積 (PEALD) 製程將導電層

直接沈積於電漿障壁層上。所述 PEALD 製程包括使基板與金屬反應物及電漿反應物交替地且循序地接觸。

【0006】 在另一態樣中，提供形成閘電極之方法，其包括：在反應空間中，藉由非電漿 ALD 製程，以約 1 nm 至約 5 nm 之厚度將電漿障壁層直接沈積於基板上之介電層上；以及隨後藉由電漿加強 ALD 製程將導電材料直接沈積於電漿障壁層上。

【0007】 在另一態樣中，提供形成包括位於金屬氧化物介電層上之 TaCN 層之積體電路元件的方法。在一些實施例中，藉由非電漿 ALD 製程將非晶 TaCN 層直接沈積於基板上之金屬氧化物介電層上。藉由 PEALD 製程將 TaCN 層直接沈積於非晶層上。

【0008】 在另一態樣中，提供一種積體電路元件。所述積體電路元件包括介電層、位於所述介電層上之電漿障壁層，以及導電層。在一些實施例中，所述電漿障壁可包括第一金屬，且厚度可介於約 0.25 nm 與約 1.75 nm 之間。所述導電層可包括不同於電漿障壁之第一金屬的第二金屬。然而，在一些實施例中，第一金屬與第二金屬相同。舉例而言，第一及第二金屬可包括 TaCN。

【圖式簡單說明】

【0009】

將自對較佳實施例的詳細描述且自附圖更好地理解本發明，附圖意在說明而非限制本發明，且其中：

圖 1 為根據一些實施例的在介電材料上形成導電層之製程的方塊圖。

圖 2A 至圖 2C 為根據一些實施例的在介電材料上形成導電層之方法的示意性圖解。

【實施方式】

【0010】 提供用於藉由電漿加強原子層沈積 (PEALD) 在介電材料 (諸如金屬氧化物) 上沈積導電膜或耐火金屬的方法, 以及有關組合物及結構。當 PEALD 製程中使用電漿來在介電質上沈積導電材料時, 電漿反應物可至少在 PEALD 製程之最初幾個循環中對介電層具有不利影響。舉例而言, 當電漿 (諸如 H^* 或 NH^* 、 NH_2^* 、 NH_3^* 或 $N^* + H^*$ 電漿) 與金屬氧化物反應時, 金屬氧化物之薄層可能還原為未氧化之金屬或低於化學計量金屬氧化物狀態。在導電材料 (諸如金屬) 直接沈積於金屬氧化物上之 PEALD 製程中, 此情形可能導致金屬與下伏 (underlying) 金屬氧化物層之間的不良黏合, 從而使 PEALD 成為不大適合在此情況下使用的方法。然而, 如本文所述, 藉由在金屬與金屬氧化物之間沈積電漿障壁 (或界面層), 在對元件特徵較少影響至無影響的情況下, 可減小或消除電漿對介電層之有害影響。在一些實施例中, 電漿障壁層為非晶金屬界面層。用於沈積電漿障壁層之金屬反應物可為隨後 PEALD 製程中用於沈積上覆導電層所使用的相同反應物, 從而改良所述製程之效率。

【0011】 根據本發明之一些實施例, 電漿障壁 (諸如 TaCN 或 TiN 膜) 藉由非電漿 ALD 製程形成於基板上之金屬氧化物介電層 (諸如 Al_2O_3 介電層) 上。較佳地, 每一 ALD 循環包括兩個不同的沈

積步驟或階段。在沈積循環之第一階段（「金屬階段」）中，將包括諸如鉍之金屬的第一反應物脈衝至反應空間，且化學吸附至基板表面上，從而在基板之表面上形成不超過約一單層。選擇此階段中之金屬源材料，在較佳條件下，藉由可用結合位點之數目且藉由所化學吸附之物質（包含配位體）之實體大小來判定可結合至表面之源材料的量。由金屬源化學物質之脈衝留下之化學吸附層以不與所述脈衝之其餘化學物反應的表面自終止。熟習此項技術者將了解，此階段之自限制本質使得整個 ALD 循環為自限制的。

【0012】 在一些實施例中，所述金屬為鉍，且金屬源化學物質為 TBTDET。在其他實施例中，所述金屬為鈦，且金屬源化學物質為 TiCl_4 。

【0013】 舉例而言，藉由用惰性氣體沖洗而自反應空間移除過量的金屬源材料及反應副產物（若存在）。可借助於抽汲系統所產生之真空來移除過量的金屬源材料及任何反應副產物。

【0014】 在沈積循環之第二階段中，將第二反應物（在本文亦稱為「第二源化學物質」）脈衝至反應空間中，以與由先前脈衝留在基板表面上之含有金屬的分子起反應。在一些實施例中，第二源化學物質為氮源化合物（較佳為 NH_3 ），且藉由第二源化學物質與金屬源材料所留下之單層的相互作用，將氮併入膜中。在較佳實施例中，第二源化學物質與所化學吸附之金屬物質之間的反應在基板上產生金屬氮化物膜。

【0015】 藉由沖洗氣體脈衝及/或抽汲系統所產生之真空，自反應

空間移除任何過量的第二源化學物質及反應副產物（若存在）。沖洗氣體可為任何惰性氣體，諸如（但不限於）氬（Ar）或氦（He）。

【0016】 重複第一及第二階段，以在介電層上形成具有所要厚度之電漿障壁。電漿障壁層可包括（例如）非晶 TaCN，如在金屬反應物為 TBTDET 的情況下；或 TiN，其中金屬反應物為 TiCl₄ 的情況下。在一些實施例中，電漿障壁層之厚度約為 2 nm 至 5 nm。

【0017】 隨後藉由 PEALD 製程將導電層沈積於電漿障壁上。在 PEALD 製程之第一階段中，使包括電漿障壁之基板暴露於用於形成電漿障壁之 ALD 製程中所使用的相同的金屬源化學物質。舉例而言，若使用 TBTDET 來形成非晶 TaCN 障壁層，則使基板暴露於 TBTDET。類似地，若使用 TiCl₄ 來形成電漿障壁層，則使用 TiCl₄。舉例而言，藉由用惰性氣體沖洗且/或借助於真空泵而自反應空間移除過量的金屬源材料及反應副產物（若存在）。

【0018】 在 PEALD 沈積循環之第二階段中，將電漿反應物提供至反應空間，以與由先前脈衝留在基板表面上之含有金屬的分子起反應。如上文所提及，在一些實施例中，在遠處產生電漿，且將電漿脈衝至反應空間中。在其他實施例中，將反應物提供至反應空間，且在原處形成電漿。第二源化學物質與所化學吸附之金屬物質之間的反應在基板上產生導電膜。重複第一及第二階段以產生具有所要厚度之膜。在一些實施例中，諸如當金屬反應物為 TBTDET 時，電漿反應物可為氫電漿。在其他實施例中，諸如當金屬反應物為 TiCl₄ 時，電漿反應物可為 NH*、NH₂*、NH₃* 或 N*

+ H*電漿。

【0019】 電漿障壁保護下伏介電質免受 PEALD 製程之影響，使得介電層之品質不會在 PEALD 製程期間顯著改變。

【0020】 圖 1 說明例示性製程流程。藉由將介電材料沈積於基板上來形成介電層（步驟 110）。在一些實施例中，介電材料為金屬氧化物。舉例而言，在一些實施例中，介電材料可包括 Ta_2O_5 、 TiO_2 、 HfO_2 、 ZrO_2 、 Al_2O_3 、 La_2O_3 、 $HfSiO_x$ 、 $HfZrO_x$ 、 $HfAlO_x$ 及 $LnAlO_x$ 中之一或多者。亦可使用其他已知介電材料，且熟習此項技術者可基於特定情況來選擇介電材料。在一些特定實施例中，介電層為 Al_2O_3 層。可藉由任何沈積製程（諸如藉由 ALD 或藉由化學氣相沈積（chemical vapor deposition, CVD）來形成介電層。在一些實施例中，可提供上面已形成有介電層之基板，且可省略步驟 110。

【0021】 接下來，將電漿障壁層直接沈積於介電材料上（步驟 120）。如介電層一樣，電漿障壁層亦可藉由任何製程來沈積。然而，所述沈積製程通常不會負面地影響介電層之性質。在一些實施例中，藉由非電漿原子層沈積（ALD）製程沈積電漿障壁層（步驟 120）。非電漿 ALD 製程為一種不使用電漿反應物之製程。

【0022】 隨後，藉由 PEALD 製程將導電材料（或耐火金屬）直接沈積於電漿障壁上（步驟 130）。以此方式，減小或避免至少最初若干個 PEALD 循環期間之電漿的潛在有害影響，且導電材料與下伏介電材料之間可維持良好的黏合。

【0023】 基板通常為上面需要沈積之工件，且可包括多種材料及結構。舉例而言且並無限制，基板可包括矽、矽石、經塗覆之矽、金屬（諸如銅或鋁）、介電材料、氮化物、氧化物及/或材料之組合。

【0024】 反應空間通常為反應器中條件可調節以影響藉由 ALD 製程之膜生長的體積。在較佳實施例中，電漿障壁層及上覆導電材料之沈積在同一反應空間中發生。反應空間可包含經歷所有反應氣體脈衝之表面，在正常操作期間，氣體或微粒可藉由挾帶流動或擴散，自所述表面流動至基板。反應空間可為（例如）單晶圓 ALD 反應器中之反應腔室，或批次（batch）ALD 反應器之反應腔室（其中多個基板上之沈積同時發生）。另外，化學氣相沈積反應器可適合於在所述方法中使用。所述反應器可經組態以用於電漿產生（在原處或遠處）。例示性反應器包含可自美國的 ASM（亞利桑那州，鳳凰城）購得的 EmerALD™ 及 Pulsar™ 反應器。

【0025】 在某些實施例中，基板在被引入至反應空間之前可能已包括介電材料。可藉由任何標準沈積製程（包含但不限於物理氣相沈積（PVD，亦即濺鍍）、化學氣相沈積（CVD）及 ALD）來沈積介電材料。在一些實施例中，在與隨後沈積電漿障壁層及/或導電材料之相同反應空間中，將介電材料沈積至基板上。在其他實施例中，在不同反應空間中沈積介電材料。

【0026】 如上文所論述，在反應空間中使用非電漿 ALD 製程來將電漿障壁層沈積於介電材料上。ALD 為自限制製程，藉此使用循序且交替之反應物脈衝在每沈積循環沈積不超過一原子（或分

子)單層之材料。選擇沈積條件及前驅體以確保自飽和反應，使得在一脈衝中所吸附之層留下不與同一脈衝之氣相反應物起反應的表面終止物。隨後之不同反應物脈衝與先前終止物起反應，以允許持續之沈積。因此，交替脈衝之每一循環留下不超過約一單層之所要材料。歸因於所化學吸附物質之大小及反應位點之數目，每一循環中可沈積稍小於一單層。舉例而言，ALD 型製程之原理已由 T. Suntola 在(例如) Handbook of Crystal Growth 3, Thin Films and Epitaxy, 部分 B: Growth Mechanisms and Dynamics, 第 14 章, Atomic Layer Epitaxy 第 601 至 663 頁 (Elsevier Science B.V., 1994) 中呈現，其揭示內容以引用之方式併入本文中。

【0027】 在用於沈積電漿障壁層之典型 ALD 型製程中，一沈積循環包括：使基板暴露於第一反應物；自反應空間移除任何未經反應之第一反應物及反應副產物；使基板暴露於第二反應物；接以第二移除步驟。第一反應物較佳為金屬前驅體，且第二反應物較佳為非電漿反應物，其與金屬反應物反應以形成所要膜。熟習此項技術者將了解，ALD 型製程可以提供任一反應物開始。視正沈積之特定材料而定，可在 ALD 製程中交替且循序地提供額外的非電漿反應物，以提供所要組合物之材料。

【0028】 藉由惰性氣體(諸如 Ar)分離反應物防止反應物之間的氣相反應，且允許自飽和表面反應。因為反應自飽和，因此不需要對基板之嚴格的溫度控制以及對前驅體之精確的劑量控制。然而，基板溫度較佳為使得入射之氣體物質不會凝結成單層，亦不

會在表面上分解。在將下一反應化學物質脈衝引入腔室中之前，自反應空間移除剩餘的化學物質及反應副產物（若存在）。可借助於惰性沖洗氣體有效地使不合需要之氣態分子自反應空間排出。沖洗氣體將多餘的分子自腔室引導出來。可使用真空泵來輔助沖洗。

【0029】 選擇電漿障壁之材料及厚度，使得用於沈積上覆導電材料之 PEALD 製程不會顯著改變下伏介電層之特徵。

【0030】 電漿障壁層通常包括金屬，且可為（例如）元素金屬、導電金屬氮化物、金屬碳化物-氮化物、金屬碳化物、金屬矽氮化物（metal silicon nitride）或金屬矽碳化物（metal silicon carbide）。用於沈積電漿障壁層之 ALD 製程較佳使用與隨後之用於沈積上覆導電層之 PEALD 製程相同的金屬前驅體。因此，在一些實施例中，電漿障壁及上覆導電層包括相同的金屬。電漿障壁可包括（例如）選自由以下各項組成之群組的一或多種金屬：鈦（Ti）、鋯（Zr）、鈪（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鉬（Mo）、鎢（W）、錳（Mn）、錒（Re）、鐵（Fe）、鈷（Co）、鎳（Ni）、鈀（Pd）、鉑（Pt）、銠（Rh）、銱（Ir）、鈷（Ru）及銱（Os）。熟習此項技術者將了解，在本發明之範疇內，可使用其他材料。

【0031】 可用於 ALD 及 PEALD 製程中之金屬前驅體是此項技術中已知的，且包含有機及無機金屬化合物兩者。在一些實施例中，使用金屬鹵化物反應物（諸如 $TaCl_5$ 及 $HfCl_4$ ）作為電漿障壁之 ALD 沈積中（及/或上覆導電層之沈積中）之金屬前驅體。此等前驅體

通常較便宜且相對較穩定，但同時與不同類型之表面群起反應。在其他實施例中，金屬前驅體為包括 Ti、Hf、Zr、Si、Al、Ta、Sr、Ba、Sc、Y、La、Eu 及 Dy 中之至少一者的氣相物質。

【0032】 在一些特定實施例中，金屬反應物為鈦反應物。鈦反應物可為（例如） TiCl_4 。在其他特定實施例中，金屬反應物為鉭反應物。在一些實施例中，鉭反應物為鉭鹵化物。在其他實施例中，鉭反應物為叔丁基醯亞胺基 - 三（二乙基醯胺基）鉭（*tert*-butylimido-tris(diethylamido)tantalum, TBTDET）。

【0033】 在一些實施例中，電漿障壁為導電金屬氮化物，且非電漿反應物包括氮源，其與所吸附之金屬反應物起反應，以形成金屬氮化物。在其他實施例中，電漿障壁為導電金屬碳化物，且非電漿反應物包括碳源，其與所吸附之金屬反應物起反應，以形成金屬碳化物。在其他實施例中，電漿障壁為導電金屬氮化物-碳化物，且亦利用碳源。碳源及氮源可為同一化合物，或可為不同化合物。

【0034】 氮源化合物可為（例如）以下各項中之一或多者：氨（ NH_3 ）及其鹽；疊氮化氫（hydrogen azide, HN_3 ）及其烷基衍生物；肼（hydrazine, N_2H_4 ）及肼之鹽、肼之烷基衍生物；一級、二級及三級胺（primary, secondary and tertiary amines）；叔戊基胺（*terbutylamide*）； CH_3N_3 ；氫氯化肼（hydrazine hydrochloride）；二甲基肼（dimethyl hydrazine）；羥胺鹽酸鹽（hydroxylamine hydrochloride）；甲胺（methylamine）；二乙胺（diethylamine）及

三乙胺 (triethylamine)。熟習此項技術者將了解，在本發明之範疇內，可使用其他材料。

【0035】 在其他實施例中，非電漿反應物為還原劑，其使金屬反應物還原為元素金屬。

【0036】 簡要而言，在典型的非電漿 ALD 製程中，將金屬反應物提供至反應腔室中。在供金屬反應物吸附於基板表面上的充足時間之後，自反應空間移除過量的金屬反應物及反應副產物（若存在）。此情形可（例如）藉由沖洗且/或借助於真空泵藉由排空反應空間來完成。在前驅體是借助於惰性載氣而提供之實施例中，可使用相同氣體，藉由停止前驅體進入載氣流中之流動，同時繼續流動載氣，來沖洗反應空間。接著將第二非電漿反應物引入反應空間中，且在供非電漿反應物與先前吸附之金屬反應物起反應的充足時間之後，以類似方式移除。可在 ALD 製程中提供額外的非電漿反應物，以達成所要組合物。

【0037】 圖 2A 說明具有上覆介電層 200 之基板 210。如圖 2B 中所說明，電漿障壁 220 藉由非電漿 ALD 製程直接沈積於介電層 200 上。

【0038】 熟習此項技術者將理解，將電漿障壁沈積至一厚度，其防止電漿與下伏介電層起反應達顯著程度。電漿障壁通常可為約 0.1 nm 至約 50 nm。對於一些實施例而言，電漿障壁可為約 0.5 nm 至約 5 nm。在其他實施例中，電漿障壁可為約 0.5 nm 至約 3.5 nm。

【0039】 在一些實施例中，使用於沈積電漿障壁材料之 ALD 循

環重複大於 120 次，較佳至少 200 次，以在導電材料之 PEALD 之前，形成電漿障壁。

【0040】 在沈積電漿障壁層之後，使用 PEALD 製程來將導電材料或耐火金屬直接沈積於電漿障壁上。在一些實施例中，在上覆導電材料之沈積中使用電漿障壁之沈積中所使用之相同金屬反應物。可在 PEALD 循環中使用非電漿 ALD 循環中所使用之相同金屬反應物。在其他實施例中，使用不同的金屬反應物。

【0041】 在一些實施例中，在最初幾個 PEALD 循環中，電漿反應物可與電漿障壁起反應。在一些實施例中，電漿反應物在約最初約 10 至 100 個 PEALD 循環中與電漿障壁起反應。

【0042】 在一些實施例中，電漿反應物改變電漿障壁之至少一部分的性質，例如經由化學計量改變、結晶、增加之密度及降低之電阻率中之一或多者。舉例而言，若電漿障壁由非晶金屬形成，則在 PEALD 期間，可將非晶金屬之一部分轉換成結晶金屬相。在一些實施例中，改變電漿障壁之約 1 nm 至 5 nm（更佳約 3 nm 至 4 nm）之性質。電漿障壁之其餘部分較佳足夠薄，使得其不設定可用功能（work function）或不利地影響元件特徵。在一些實施例中，在上覆導電材料之 PEALD 沈積之後，電漿障壁之僅約 1 nm 至 5 nm（更佳約 1 nm 至 2 nm）保持不變。在一些實施例中，在上覆導電材料之 PEALD 沈積之後，電漿障壁介於約 0.25 nm 與約 1.75 nm 之間保持不變。在其他實施例中，電漿障壁介於約 0.125 nm 與約 0.875 nm 之間或介於約 0.05 nm 與約 0.35 nm 之間保持不變。

【0043】 在某些實施例中，電漿障壁包括非晶材料，其一部分在上覆導電材料之 PEALD 期間轉換為結晶形式。自電漿障壁轉換之結晶材料在材料及結構上可與 PEALD 沈積之導電材料相同，且可實質上與 PEALD 沈積之導電材料對準。熟習此項技術者因此將在判定導電材料之所要厚度的過程中考慮電漿障壁之經轉換的部分。舉例而言，可將電漿障壁沈積為非晶金屬氮化物。在上覆導電金屬氮化物之 PEALD 之後，將障壁層之非晶金屬氮化物之一部分轉換為與上覆導電層相同之結晶金屬氮化物。

【0044】 上覆導電材料可為此項技術中已知的任何導電材料，包含導電金屬合金。舉例而言，導電材料可為 TaCN 或 TiN。在其他實施例中，導電材料為耐火金屬。

【0045】 一般而言，交替且循序地將金屬前驅體及一或多種電漿反應物引入反應腔室中。金屬反應物可大體上如上文相對於電漿障壁所描述。在一些實施例中，電漿反應物可為由（例如）原處或遠處電漿產生器產生之氫或氫-氮電漿之電漿激發之物質。如熟習此項技術者將了解，可利用額外反應物來達成所要組合物。

【0046】 氫之電漿激發之物質可包含（但不限於）氫自由基（ H^* ）及氫陽離子（例如 H^+ 、 H_2^+ ）、電漿，或熟習此項技術者已知的其他電漿激發之物質。可原處或在遠處（例如自分子氫（ H_2 ）或含有氫之化合物（例如矽烷、二硼烷等））形成氫之電漿激發之物質。在其他實施例中，電漿反應物為氫-氮電漿（例如， NH^* 、 NH_2^* 、 NH_3^* 或 $N^* + H^*$ ）或氫-碳電漿（ CH^* ）。在一些實施例中，使用一

種以上電漿反應物來以所要組合產生導電材料。

【0047】 簡要而言，將金屬反應物提供至反應腔室中。在一些實施例中，金屬反應物為用於沈積電漿障壁層之相同反應物。在供金屬前驅體吸附於基板表面上的充足時間之後，自反應空間移除過量的金屬反應物及反應副產物（若存在）。此情形可（例如）藉由沖洗且/或借助於真空泵藉由排空反應空間來完成。在前驅體借助於惰性載氣而提供之實施例中，可使用相同氣體，藉由停止前驅體進入載氣流中之流動，同時繼續流動載氣，來沖洗反應空間。接著將第二前驅體引入反應空間中，且在供第二前驅體吸附至基板表面上之充足時間之後以類似方式移除。如上文所述，通常，電漿反應物在最初約 10 至約 100 個 PEALD 循環中可與電漿障壁 220 起反應。隨著導電層 230 之厚度在沈積期間增加，較少的電漿與電漿障壁 220 起反應。

【0048】 圖 2C 繪示根據一些實施例之在沈積上覆導電層之後圖 2B 之結構。所述結構包括位於基板 210 上之介電材料 200（諸如金屬氧化物）。電漿障壁 220 形成於介電材料 200 上。PEALD 製程在介電材料 200 上形成導電材料 230（例如結晶導電金屬氮化物）。當來自 PEALD 製程之電漿反應物與電漿障壁 220 起反應時，電漿障壁 220 之至少一部分 240 轉換為不同相，而一部分保留於未經轉換之相 250。在某些實施例中，未經轉換之相 250 為非晶材料，諸如金屬，且經轉換之相 240 為相同材料，但處於結晶相。在一些實施例中，經轉換之金屬相 240 與上覆導電材料 230 相同。

在其他實施例中，經轉換之結晶材料 240 及導電材料 230 之結晶結構大體上對準，以形成固結之導電層 260。

【0049】 在一些實施例中，經轉換之電漿障壁 240 介於約 1 nm 與約 5 nm 之間，更佳介於約 3 nm 與約 4 nm 之間。在一些實施例中，未經轉換之電漿障壁 250 介於約 1 nm 與約 5 nm 之間，更佳介於約 1 nm 與約 2 nm 之間。在其他實施例中，未經轉換之電漿障壁 250 介於約 0.25 nm 與約 1.75 nm 之間。在其他實施例中，未經轉換之電漿障壁 250 介於約 0.125 nm 與約 0.875 nm 之間，或介於約 0.05 nm 與約 0.35 nm 之間。

【0050】 實例 1

在藉由 PEALD 沈積 TiN 導電層之前，沈積 TiN 電漿障壁層作為 Al_2O_3 介電層上之電漿障壁層。

【0051】 電漿障壁

藉由 ALD 型製程將氮化鈦 (TiN) 障壁層沈積於基板上之氧化鋁 (Al_2O_3) 介電材料上。所述製程中的步驟序列包含在約 375 °C 之反應溫度下，交替且循序地將金屬化合物 (TiCl_4)、氮源化合物 (NH_3) 及沖洗氣體 (Ar) 脈衝至含有基板之反應空間中。氣體脈衝及沖洗之序列如下：

- (1) TiCl_4 脈衝；
- (2) Ar 沖洗；
- (3) NH_3 脈衝；以及
- (4) Ar 沖洗。

重複步驟(1)至(4)，以形成約 5 nm 之均勻的 TiN 障壁層。

【0052】 導電層

接著，在同一反應腔室中，藉由電漿加強 ALD 型製程將 TiN 導電層直接沈積於 TiN 障壁層上。在約 375°C 之反應溫度下，交替且循序地將金屬化合物 (TiCl₄)、氫-氮 (NH*) 電漿及沖洗氣體 (Ar) 脈衝至含有基板之反應空間中。氣體脈衝及沖洗之序列如下：

- (1) TiCl₄ 脈衝；
- (2) Ar 沖洗；
- (3) NH*脈衝；以及
- (4) Ar 沖洗。

重複步驟(1)至(4)，以形成約 10 nm 之均勻的 TiN 導電層。NH*電漿將多達 4 nm 之非晶 TiN 轉換為結晶 TiN，從而在 Al₂O₃ 介電材料與結晶 TiN 導電層之間留下約 1 nm 至 2 nm 之非晶 TiN。

【0053】 實例 2

在藉由 PEALD 沈積 TaCN 導電層之前，藉由熱 ALD 沈積 TaCN 電漿障壁層作為 Al₂O₃ 介電層上之電漿障壁層。

【0054】 電漿障壁

藉由 ALD 型製程沈積非晶 TaCN 層，作為基板上之非晶氧化鋁 (Al₂O₃) 介電材料上之電漿障壁層。所述製程中的步驟序列包含在約 300°C 之反應溫度、約 1.5 托之反應壓力及約 275 W 之功率下，交替且循序地將鉭化合物 (TBTDET)、氮源化合物 (NH₃) 及沖洗氣體 (Ar) 脈衝至含有基板之反應空間中。氣體脈衝及沖

洗之序列如下：

- (1) TBTDET 脈衝；
- (2) Ar 沖洗；
- (3) NH₃ 脈衝；以及
- (4) Ar 沖洗。

重複步驟 (1) 至 (4)，以形成具有約 30 mΩcm 至 2 Ωcm 之電阻率且密度為約 9.5 g/cc 至 10.5 g/cc 之約 15 Å 的均勻的 TaCN 障壁層。

【0055】 導電層

接著，在同一反應腔室中，藉由電漿加強 ALD 型製程將 TaCN 導電層直接沈積於電漿障壁層上。在約 375°C 之反應溫度下，交替且循序地將 TBTDET、氫 (H*) 電漿及沖洗氣體 (Ar) 提供至含有基板之反應空間中。氣體脈衝及沖洗之序列如下：

- (1) TBTDET 脈衝；
- (2) Ar 沖洗；
- (3) H* 脈衝；以及
- (4) Ar 沖洗。

重複步驟 (1) 至 (4)，以形成具有約 240 μΩcm 至 2000 μΩcm 之可控電阻率且具有約 11 g/cc 至 12.5 g/cc 之密度及可變晶格常數之約 10 nm 的均勻的 TaCN 導電層。H* 將多達 4 nm 之非晶 TaCN 轉換為結晶 TaCN，從而在 Al₂O₃ 介電材料與結晶 TiN 導電層之間留下約 1 nm 至 2 nm 之非晶 TaCN。

【0056】 實例 3

在藉由 PEALD 沈積 TaC 導電層之前，藉由熱 ALD 沈積 TaCN 電漿障壁層作為 Al₂O₃ 介電層上之電漿障壁層。

【0057】 電漿障壁

藉由 ALD 型製程沈積非晶 TaCN 層，作為基板上之伽馬相 (gamma phase) 氧化鋁 (Al₂O₃) 介電材料上之電漿障壁層。所述製程中的步驟序列包含在約 300°C 之反應溫度、約 1.5 托之反應壓力及約 275 W 之功率下，交替且循序地將鉭化合物 (TBTDET)、氮源化合物 (NH₃) 及沖洗氣體 (Ar) 脈衝至含有基板之反應空間中。氣體脈衝及沖洗之序列如下：

- (1) TBTDET 脈衝；
- (2) Ar 沖洗；
- (3) NH₃ 脈衝；以及
- (4) Ar 沖洗。

使步驟(1)至(4)重複約 120 個循環，以形成具有約 30 mΩcm 至 2 Ωcm 之電阻率且密度為約 9.5 g/cc 至 10.5 g/cc 之均勻的 TaCN 障壁層。

【0058】 導電層

接著，在同一反應腔室中，藉由電漿加強 ALD 型製程將 TaC 導電層直接沈積於電漿障壁層上。在約 375°C 之反應溫度下，交替且循序地將 TBTDET、氫 (H*) 電漿及沖洗氣體 (Ar) 提供至含有基板之反應空間中。氣體脈衝及沖洗之序列如下：

(1) TBTDET 脈衝；

(2) Ar 沖洗；

(3) H*脈衝；以及

(4) Ar 沖洗。

重複步驟(1)至(4)，以形成具有約 $240 \mu\Omega\text{cm}$ 至 $2000 \mu\Omega\text{cm}$ 之可控電阻率且具有約 11 g/cc 至 12.5 g/cc 之密度及可變晶格常數之約 10 nm 的均勻的 TaC 導電層。H*將多達 4 nm 之非晶 TaCN 轉換為結晶 TaCN，從而在 Al_2O_3 介電材料與結晶 TaCN 導電層之間留下約 1 nm 至 2 nm 之非晶 TaCN。

【0059】 如熟習此項技術者將明白，可在不脫離本發明之範疇之情況下，對上文所述之方法及結構作出各種修改、省略及添加。所有此類修改及改變既定屬於如由附加之申請專利範圍界定之本發明之範疇內。

【符號說明】

【0060】

110、120、130：步驟

200：下伏介電層/介電層/介電材料

210：基板

220：電漿障壁

230：導電材料/上覆導電材料

240：電漿障壁之至少一部分/經轉換之相/經轉換之金屬相/

經轉換之結晶材料/經轉換之電漿障壁

250：未經轉換之相

260：固結之導電層

【發明申請專利範圍】

【第 1 項】一種積體電路元件，其包括：

介電層；

非晶電漿障壁，其位於所述介電層上，且包括第一金屬，其中所述非晶電漿障壁之厚度介於 0.25 nm 與 1.75 nm 之間；以及

結晶導電層，其位於所述非晶電漿障壁上，且包括第二金屬。

【第 2 項】如申請專利範圍第 1 項所述之積體電路元件，其中所述第一金屬及所述第二金屬是相同的。

【第 3 項】如申請專利範圍第 1 項所述之積體電路元件，其中所述第一金屬具有第一結構，且所述第二金屬具有第二結構，且其中所述第一結構與所述第二結構實質上對準。

【第 4 項】如申請專利範圍第 1 項所述之積體電路元件，其中所述介電層選自由 Ta₂O₅、TiO₂、HfO₂、ZrO₂、Al₂O₃、La₂O₃、HfSiO_x、HfZrO_x、HfAlO_x 及 LnAlO_x 組成之群組。

【第 5 項】如申請專利範圍第 4 項所述之積體電路元件，其中所述介電層為 Al₂O₃。

【第 6 項】如申請專利範圍第 1 項所述之積體電路元件，其中所述非晶電漿障壁包括元素金屬、導電金屬氮化物、金屬碳化物-氮化物、金屬碳化物、金屬矽氮化物或金屬矽碳化物。

【第 7 項】如申請專利範圍第 1 項所述之積體電路元件，其中所述非晶電漿障壁包括由 Ti、Zr、Hf、V、Nb、Ta、Cr、Mo、W、Mn、Re、Fe、Co、Ni、Pd、Pt、Rh、Ir、Ru 及 Os 組成之群組中

的至少一者。

【第 8 項】如申請專利範圍第 7 項所述之積體電路元件，其中所述非晶電漿障壁包括 TaCN。

【第 9 項】如申請專利範圍第 1 項所述之積體電路元件，其中所述結晶導電層選自由 TaCN 及 TiN 組成之群組。

【第 10 項】如申請專利範圍第 9 項所述之積體電路元件，其中所述結晶導電層包括 TaCN。

【第 11 項】一種積體電路元件，其包括：

介電層；

非晶電漿障壁，其位於所述介電層上，且包括第一金屬，其中所述非晶電漿障壁之厚度介於 0.125 nm 與 0.875 nm 之間；以及

結晶導電層，其位於所述非晶電漿障壁上，且包括第二金屬。

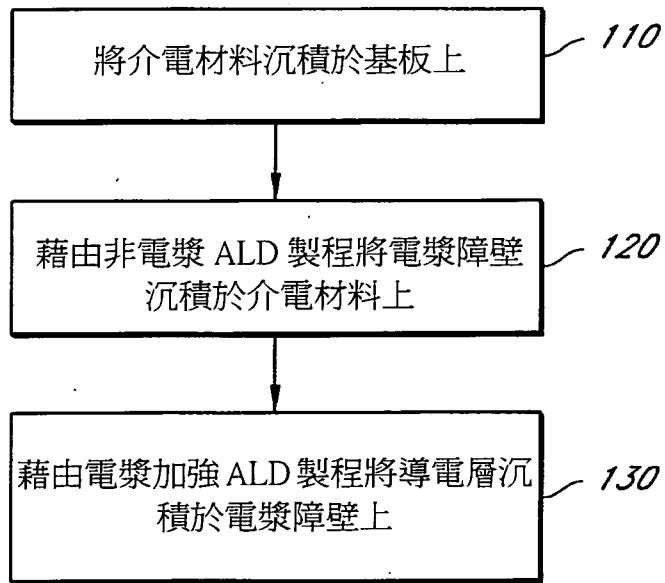
【第 12 項】一種積體電路元件，其包括：

介電層；

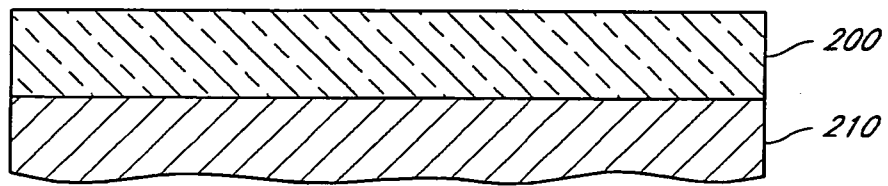
非晶電漿障壁，其位於所述介電層上，且包括第一金屬，其中所述非晶電漿障壁之厚度介於 0.05 nm 與 0.35 nm 之間；以及

結晶導電層，其位於所述非晶電漿障壁上，且包括第二金屬。

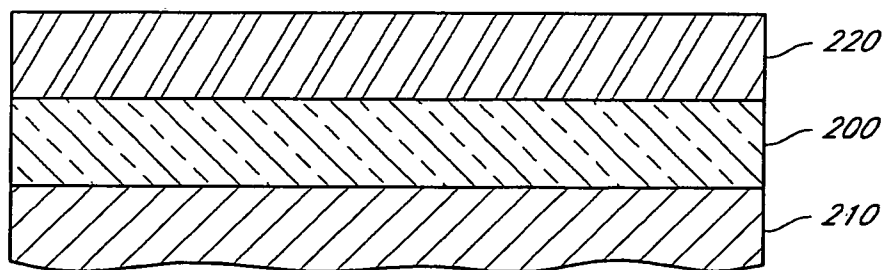
【發明圖式】



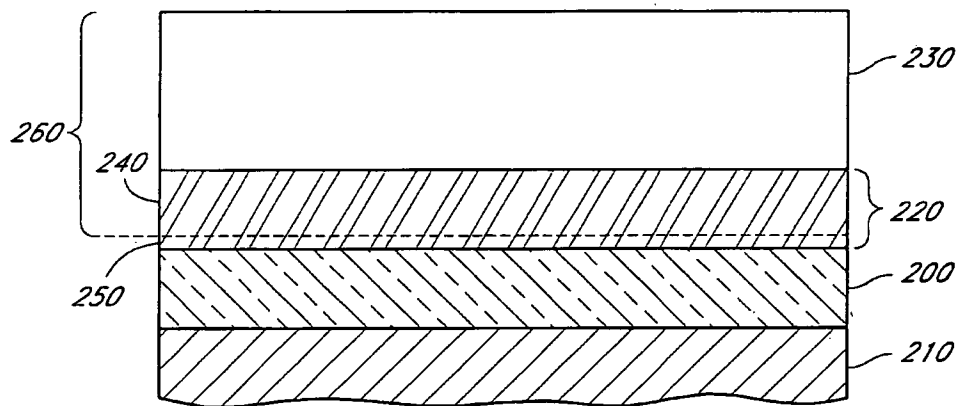
【圖1】



【圖2A】



【圖2B】



【圖2C】