

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

57880

Patent dodatkowy
do patentu

Kl. 21 a¹, 36/04

Zgłoszono: 2.VI.1966 (P 114 873)

Pierwszeństwo:

MKP H 03 k

6/04

Opublikowano: 25.VIII.1969

UKD

Współtwórcy wynalazku: mgr inż. Andrzej Frankowski, mgr inż. Henryk Mroczek

Właściciel patentu: Politechnika Łódzka (Katedra Techniki Sterowania), Łódź (Polska)

Tranzystorowy, cyfrowy układ opóźniający

1

Przedmiotem wynalazku jest tranzystorowy, cyfrowy układ opóźniający, który służy do realizacji opóźnień czasowych sygnałów elektrycznych w układach logicznych.

Znane konstrukcje tranzystorowych układów opóźniających sygnał elektryczny wykorzystują zjawisko utrzymywania się napięcia między okładkami kondensatora wchodzącego w skład obwodu elektrycznego zawierającego oporniki o wystarczająco dużych wartościach oporności.

Praktyczne zastosowanie znalazł układ uniwibratora złożony z typowego tranzystorowego członu negacji sumy, do którego wyjścia przyłączony jest kondensator. Jedna z okładek tegoż kondensatora przyłączona jest do bazy tranzystora następnego członu negacji, którego wejście przyłączone jest na stałe do źródła sygnału stałego — najczęściej bieżącego napięcia kolektorowego. Wyjście drugiego członu negacji stanowi wyjście elementu. Zazwyczaj wyjście to przyłączone jest do jednego z wejść pierwszego członu negacji sumy tworząc obwód sprzężenia zwrotnego.

Opisany wyżej znany układ zawierający prosty obwód RC nie posiada elementów nastawialnych, w związku z czym czas rozładowania kondensatora, a zatem i czas trwania impulsu z niego uzyskiwanego jest zawsze jednakowy, jeśli pominąć wpływ zakłóceń. Jego wartość jest przypadkowa, gdyż pojemność kondensatora elektrolitycznego nie da się z góry określić w sposób wystarczająco dokład-

2

ny. Mimo zastosowania kondensatora elektrolitycznego nie umożliwia on uzyskania opóźnień sygnałów elektrycznych dłuższych od kilku sekund.

Celem wynalazku jest konstrukcja takiego układu, który zmniejsza niedogodności znanych układów.

Zgodnie z wynalazkiem cel ten osiągnięto w ten sposób, że układ według wynalazku wyposażono w wejściowy człon negacji sumy zawierający w obwodzie kolektorowym tranzystora opornik z nastawnym odczepem stanowiący w układzie potencjometr, którego suwak sprzężony jest poprzez obwód oporowo-pojemnościowy, zawierający co najmniej jeden inny opornik nastawny i człon negacji, z wejściem wtórnika emiterowego do wyjścia którego przyłączony jest człon wyjściowy negacji sumy.

W wejściowym członie negacji sumy umieszczony jest potencjometr umożliwiający nastawianie wartości napięcia, do której rozładowuje się kondensator w czasie pracy elementu, zaś w obwodzie oporowo-pojemnościowym znajduje się opornik nastawialny, umożliwiający z kolei regulację stałej czasu rozładowania kondensatora. Powyższe zezwala na uzyskanie żadanego czasu znamionowego elementu oraz nastawianie potrzebnego czasu nie większego od znamionowego bez względu na rozrzut wartości pojemności użytego kondensatora elektrolitycznego.

Układ według wynalazku zostanie dokładnie

wyjaśniony na przykładzie wykonania z powołaniem się na rysunek, na którym fig. 1 przedstawia schemat uniwibratora zaopatrzonego w obwód sprzęgający RC powodujący powstawanie opóźnień, zaś fig. 2 schemat logiczny układu.

Układ uniwibratora składa się z wejściowego członu negacji sumy 1 połączonego poprzez obwód oporowo-pojemnościowy 2 z członem negacji 3 obciążony wtórnikiem emiterowym 4, do którego jest przyłączony jednym z wejść człon negacji sumy 5. Człon wejściowy negacji sumy posiada dwa wejścia 6 i 7, które są jednocześnie wejściami układu. Wyjściami układu są wyjście 8 z wtórnika emiterowego 4 oraz wyjście 9 wyjściowego członu negacji sumy 5. Wyjście 8 jest połączone pętlą sprzężenia zwrotnego z wejściowym członem negacji sumy 1, nadto człon wejściowy negacji sumy 1 jest połączony swoim wyjściem negacyjnym z członem wyjściowym negacji sumy 5. Wejściowy człon negacji sumy 1 składa się z tranzystora 10, do którego bazy są przyłączone dwa oporniki wejściowe 11 i 12 dla wejść 6 i 7 układu, oraz opornik 13 sprzężenia zwrotnego. Opornik 14 przyłączony między bazą tranzystora 10 a biegun napięcia pomocniczego 15 służy do polaryzacji bazy tranzystora 10. Z kolektorem tranzystora 10, wejściowego członu negacji 1 połączono szeregowo opornik 16 oraz potencjometr regulacyjny 17, przyłączony z drugiej strony do bieguna 18 źródła zasilającego.

Człon oporowo-pojemnościowy 2 połączony jest z członem negacji sumy 1 poprzez suwak potencjometru 17. Człon 2 składa się z kondensatora 19 oraz połączonych w szereg: opornika stałego 20 i opornika jednorazowo nastawialnego 21, oporniki te włączone są między kondensator 19 a biegun 18 źródła zasilającego. Z kondensatorem 19 i opornikiem 20 połączona jest dioda separująca 22, która łączy człon 2 z członem negacji 3. Człon negacji 3 składa się z tranzystora 23 i przyłączonego do jego bazy, stanowiącej wejście członu, opornika polaryzującego 24. Między kolektor tranzystora 23 a biegun 18 włączony jest opornik 25.

Wtórnik emiterowy 4 połączony jest z członem negacji 3 poprzez bazę tranzystora 26, którego emiter stanowi wyjście 8 układu, połączony jest opornikiem 27 z biegunem 15 źródła pomocniczego. Wyjściowy człon negacji sumy 5 składa się z tranzystora 28, do bazy którego są przyłączone oporniki 29 i 30 stanowiące wejście członu, przy czym opornik 29 połączony jest z wyjściem 8 układu, a opornik 30 połączony jest z kolektorem tranzystora 10 wejściowego członu negacji sumy 1. Między bazą tranzystora 28 wyjściowego członu

negacji sumy 5 a biegunem 15 źródła pomocniczego, przyłączony jest opornik 31 polaryzujący bazę tego tranzystora 28. Opornik 32 połączony jest między biegun 18 źródła zasilania a kolektor tranzystora 28 stanowiący wyjście 9 układu. W wyniku działania układu, sygnał podany na wejście 6 lub 7 albo na oba wejścia jednocześnie pojawi się na wyjściu 8. Czas trwania tego sygnału, na wyjściu 8 zależny jest od położenia suwaka nastawnego potencjometru 17. Na wyjściu 9 pojawi się sygnał dopiero wtedy, gdy upłynie czas określony położeniem suwaka nastawnego potencjometru 17, o ile do tej chwili nie zniknie sygnał na wyjściach 6 i 7 układu.

Opisane wyżej działanie układu jest możliwe dzięki wprowadzeniu do wejściowego członu negacji sumy 1, sygnału z wyjścia 8 układu przez obwód sprzężenia zwrotnego. Sygnał na wyjściu 8 trwa tak długo aż w wyniku rozładowania się kondensatora 19 poprzez oporniki 20 i 21 dioda 22 nie zostanie odetkana, powodując ponowne wystąpienie sygnału na wejściu członu negacji 3 i zanik sygnału na jego wyjściu, a więc i połączonym z nim poprzez wtórnik 4 wyjściu 8. Jednocześnie z pojawieniem się sygnału na wyjściu 8 znika sygnał wyjściowy, wejściowego członu negacji sumy 1. W ten sposób w czasie rozładowania kondensatora 19 mimo zniknięcia sygnału pochodzącego z wejściowego członu negacji sumy 1 pojawia się na innym wejściu wyjściowego członu negacji sumy 5 sygnał z wyjścia 8 układu, tak więc na wyjściu tego członu będącego jednocześnie wyjściem 9 układu pojawi się sygnał dopiero po zniknięciu sygnału z wyjścia 8, o ile nie zniknął wszystkie sygnały na wejściach 6 i 7 układu.

Zastrzeżenie patentowe

Tranzystorowy, cyfrowy układ opóźniający wyposażony w wejściowy człon negacji sumy, sprzężony przez obwód oporowo-pojemnościowy i człon negacji z wejściem wtórnika emiterowego, do którego wyjścia przyłączony jest człon negacji sumy, **znamienny tym**, że kondensator (19) z obwodu oporowo-pojemnościowego (2) połączony jest z kolektorem tranzystora (10), wejściowego członu negacji sumy (1), przez suwak nastawialnego potencjometru (17) i opornik (16) a drugi koniec potencjometru (17) połączony jest ze źródłem zasilania układu zaś w obwodzie rozładowania kondensatora (19), obwodu pojemnościowo-oporowego (2), znajduje się szereg oporników, z których co najmniej jeden jest nastawialny jednorazowo.

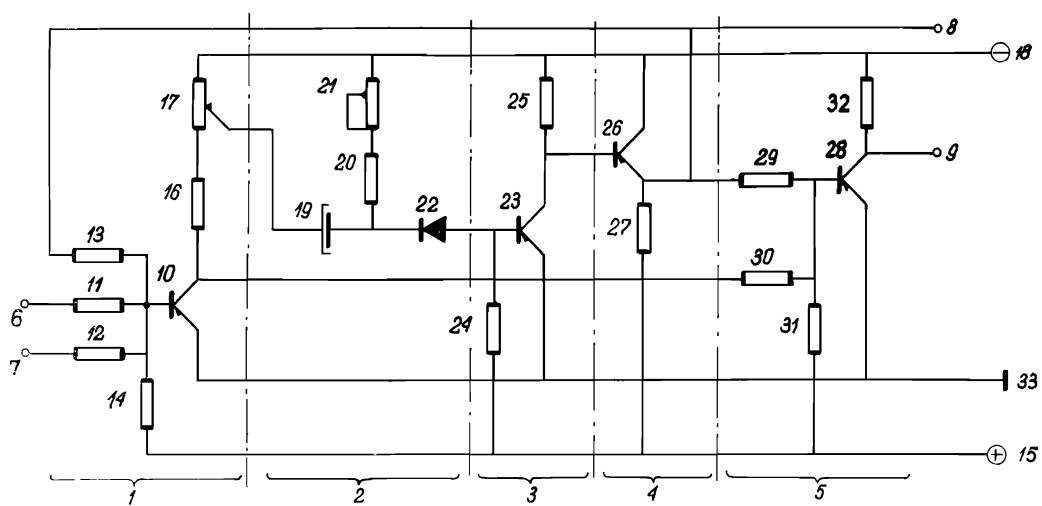


Fig. 1

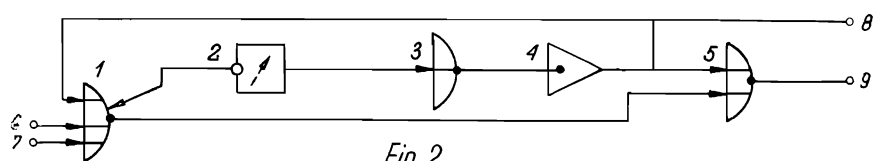


Fig. 2