

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月27日(27.09.2018)



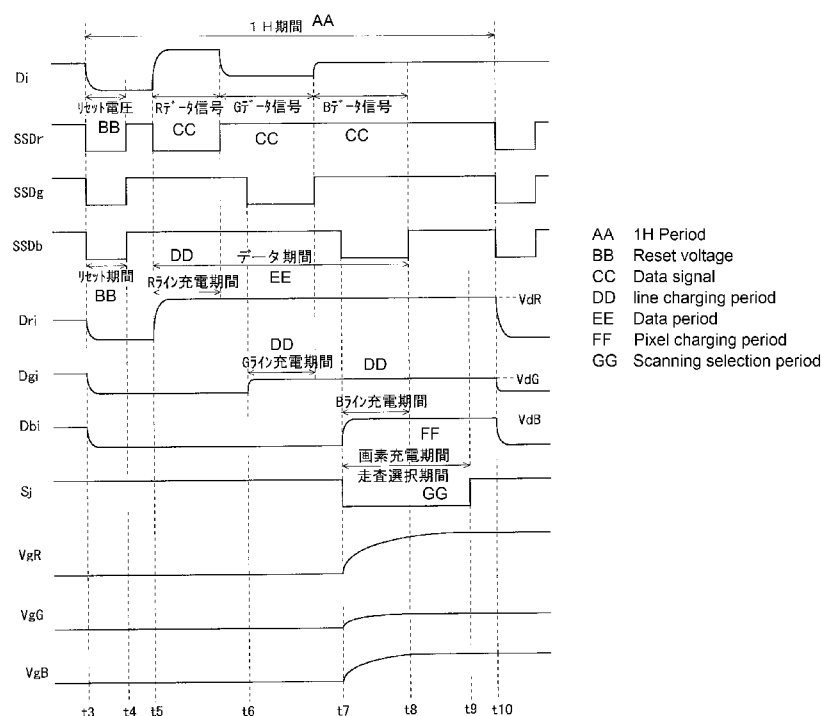
(10) 国際公開番号

WO 2018/173280 A1

- (51) 国際特許分類:
G09G 3/3233 (2016.01) *G09G 3/3291* (2016.01)
- (21) 国際出願番号: PCT/JP2017/012122
- (22) 国際出願日: 2017年3月24日(24.03.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 上野 哲也 (UENO, Tetsuya). 大和朝日(YAMATO, Asahi).
- (74) 代理人: 島田 明宏, 外 (SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町1丁目10番3号 葛盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,

(54) Title: DISPLAY DEVICE AND DRIVING METHOD THEREOF

(54) 発明の名称: 表示装置およびその駆動方法



(57) **Abstract:** The present application discloses an organic EL display device driven by a source shared driving (SSD) method that is capable of sufficient charging and internal compensation at the data voltage for a pixel circuit even with the advancement of high definition in a display image. The display device includes m demultiplexers corresponding respectively to m data signal line groups with each group made up of k data signal lines (here, k = 3). Each demultiplexer sets selection control signals SSDr, SSDg, SSDb to a low level (active) during a reset period before a scanning signal

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

line S_j is selected. At the same time, each data signal line is supplied with a white voltage as a reset voltage through each demultiplexer from a data side drive circuit. After that, each demultiplexer sequentially activates the selection control signals SSD_r, SSD_g, and SSD_b for each prescribed period so that the selection control signal SSD_b becomes active during a period when a scanning signal line S_j is selected, thereby sequentially supplying the k data signal lines with a data signal from the data side drive circuit.

(57) 要約: 本願は、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行えるSSD方式の有機EL表示装置を開示する。k本のデータ信号線(ここではk=3)を1組とするm組のデータ信号線群にそれぞれ対応するm個のデマルチプレクサが設けられる。各デマルチプレクサは、走査信号線S_jが選択される前のリセット期間に選択制御信号SSD_r, SSD_g, SSD_bをローレベル(アクティブ)とする。このとき、データ側駆動回路から白電圧がリセット電圧として各デマルチプレクサを介して各データ信号線に供給される。その後、各デマルチプレクサは、選択制御信号SSD_bが走査信号線S_jの選択期間にアクティブとなるように選択制御信号SSD_r, SSD_g, SSD_bを所定期間ずつ順次アクティブとすることで、データ側駆動回路からのデータ信号をk本のデータ信号線に順次に供給する。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は表示装置に関し、より詳しくは、有機EL (Electro Luminescence) 表示装置等の電流で駆動される表示素子を備えた表示装置およびその駆動方法に関する。

背景技術

[0002] 薄型、高画質、低消費電力の表示装置として、有機EL表示装置が知られている。有機EL表示装置には、電流で駆動される自発光型表示素子である有機EL素子および駆動トランジスタ等を含む複数の画素回路がマトリクス状に配置されている。

[0003] ところで、有機EL表示装置等の各種表示装置の駆動方式の1つとして、データ側駆動回路（以下「データドライバ」ともいう）で生成された各駆動信号を逆多重化して表示部における2以上の所定数のデータ信号線（ソースライン）に与える駆動方式（以下「SSD (Source Shared Driving) 方式」と呼ぶ）が知られている。図12は、特許文献1に開示された、SSD方式を採用した有機EL表示装置（以下「第1従来例」という）における画素回路と各種配線との接続関係を示す回路図である。このSSD方式を採用した有機EL表示装置では、RGB3原色によるカラー表示が行われる。 $m \times k$ (m, k は2以上の整数)本のデータ線と n (n は2以上の整数)本の走査線との交差点に対応して、 $m \times k \times n$ 個の画素回路11が設けられている。本明細書では、R（赤）に対応する画素回路を「R画素回路」といい、符号「11r」で表す。また、G（緑）に対応する画素回路を「G画素回路」といい、符号「11g」で表す。また、B（青）に対応する画素回路を「B画素回路」といい、符号「11b」で表す。

[0004] 図示しないデータドライバの出力端子に接続された m 本の出力線 D_i ($i = 1 \sim m$) は、 m 個のデマルチプレクサ41にそれぞれ対応している。各デ

マルチプレクサ41に対応する出力線D_iは、当該デマルチプレクサ41に含まれる3個の選択トランジスタM_r、M_g、M_bを介して、3本のデータ線D_{r i}、D_{g i}、D_{b i}にそれぞれ接続されている。選択トランジスタM_r、M_g、M_bは、いずれも、スイッチング素子として機能するPチャネル型のトランジスタである。選択トランジスタM_r、M_g、M_bはそれぞれR、G、Bに対応している。選択トランジスタM_rは、Rに対応するデータ信号（以下「Rデータ信号」という。）をデータ線D_{r i}に供給すべきときに選択制御信号SSD_rに応じてオン状態になる。選択トランジスタM_gは、Gに対応するデータ信号（以下「Gデータ信号」という。）をデータ線D_{g i}に供給すべきときに選択制御信号SSD_gに応じてオン状態になる。選択トランジスタM_bは、Bに対応するデータ信号（以下「Bデータ信号」という。）をデータ線D_{b i}に供給すべきときに選択制御信号SSD_bに応じてオン状態になる。以下では、選択トランジスタM_r、M_g、M_bをそれぞれ「R選択トランジスタ」、「G選択トランジスタ」、および「B選択トランジスタ」という。また、選択制御信号SSD_r、SSD_g、SSD_bをそれぞれ「R選択制御信号」、「G選択制御信号」、「B選択制御信号」という。また、データ線D_{r i}、D_{g i}、D_{b i}をそれぞれ「Rデータ線」、「Gデータ線」、および「Bデータ線」という。データドライバから出力されるデータ信号は、各デマルチプレクサ41により時分割されて当該デマルチプレクサ41に接続されたRデータ線D_{r i}、Gデータ線D_{g i}、およびBデータ線D_{b i}に順に与えられる。このようなSSD方式を採用することにより、データドライバの回路規模を縮小することができる。

[0005] 第1従来例（特許文献1に開示された有機EL表示装置）では、図12に示すように、Rデータ線D_{r i}、Gデータ線D_{g i}、およびBデータ線D_{b i}に、データ信号の電圧（以下「データ電圧」ともいう）を保持するためのデータキャパシタC_{d r i}、C_{d g i}、C_{d b i}がそれぞれ接続されている。以下では、データキャパシタC_{d r i}、C_{d g i}、C_{d b i}をそれぞれ「Rデータキャパシタ」、「Gデータキャパシタ」、「Bデータキャパシタ」という。

という。各画素回路 11 は、1 個の有機 EL 素子 OLED、6 個のトランジスタ M1 ~ M6、2 個のキャパシタ C1, C2 を含んでいる。トランジスタ M1 ~ M6 はすべて P チャネル型である。トランジスタ M1 は、有機 EL 素子 OLED に供給すべき電流を制御するための駆動トランジスタである。トランジスタ M2 は、データ信号の電圧（データ電圧）を画素回路に書き込むための書込用トランジスタである。トランジスタ M3 は、輝度ムラの原因となる駆動トランジスタ M1 のしきい値電圧のばらつきを補償するための補償用トランジスタである。トランジスタ M4 は、駆動トランジスタ M1 のゲート電圧 V_g を初期化するための初期化用トランジスタである。トランジスタ M5 は、画素回路 11 へのハイレベル電源電圧 $ELVDD$ の供給を制御するための電源供給用トランジスタである。トランジスタ M6 は、有機 EL 素子 OLED の発光期間を制御するための発光制御用トランジスタである。キャパシタ C1, C2 は、駆動トランジスタ M1 のソースゲート間電圧 V_{gs} を保持するためのキャパシタである。R 画素回路 11r、G 画素回路 11g、および B 画素回路 11b のそれぞれで、書込用トランジスタ M2 のゲート端子は、これらの R 画素回路 11r、G 画素回路 11g、および B 画素回路 11b に沿った走査線 S_j に接続されている。

[0006] 図 13 は、図 12 に示す画素回路の駆動方法を示すタイミングチャートである。時刻 $t_1 \sim t_2$ では、初期化用トランジスタ M4 がオン状態になることにより駆動トランジスタ M1 のゲート電圧 V_g が初期化される。時刻 $t_2 \sim t_3$ では、R データ線 D_{ri} に R データ信号が供給され、R データキャパシタ C_{dri} に当該 R データ信号の電圧が保持される。時刻 $t_3 \sim t_4$ では、G データ線 D_{gi} に G データ信号が供給され、G データキャパシタ C_{dgi} に当該 G データ信号の電圧が保持される。時刻 $t_4 \sim t_5$ では、B データ線 D_{bi} に B データ信号が供給され、B データキャパシタ C_{dbi} に当該 B データ信号の電圧が保持される。時刻 t_5 になると、R 画素回路 11r、G 画素回路 11g、および B 画素回路 11b のそれぞれで書込用トランジスタ M2 および補償用トランジスタ M3 がオン状態になることにより、書込用ト

ランジスタM2、駆動ランジスタM1、および補償用ランジスタM3を介して、データ電圧が駆動ランジスタM1のゲート端子に与えられる。このとき、駆動ランジスタM1はダイオード接続状態となり、駆動ランジスタM1のゲート電圧 V_g は、次式(1)で与えられる。

$$V_g = V_{data} - V_{th} \quad \dots (1)$$

ここで、 V_{data} はデータ電圧であり、 V_{th} は駆動ランジスタM1のしきい値電圧である。

[0007] 時刻 t_6 になると、書込用ランジスタM2および補償用ランジスタM3がオフ状態になり、電源供給用ランジスタM5および発光制御用ランジスタM6がオン状態になる。このため、次式(2)で与えられる駆動電流 I が有機EL素子OLEDに供給され、駆動電流 I の電流値に応じて有機EL素子OLEDが発光する。

$$I = (\beta / 2) \cdot (V_{gs} - V_{th})^2 \quad \dots (2)$$

ここで、 β は定数、 V_{gs} は駆動ランジスタM1のソースゲート間電圧を表す。駆動ランジスタM1のソースゲート間電圧 V_{gs} は、次式(3)で与えられる。

$$\begin{aligned} V_{gs} &= ELV_{DD} - V_g \\ &= ELV_{DD} - V_{data} + V_{th} \quad \dots (3) \end{aligned}$$

[0008] 式(2)および式(3)から、次式(4)が導かれる。

$$I = \beta / 2 \cdot (ELV_{DD} - V_{data})^2 \quad \dots (4)$$

式(4)では、しきい値電圧 V_{th} の項がなくなっている。このため、駆動ランジスタM1のしきい値電圧 V_{th} のばらつきが補償される。このようにして第1従来例では、画素回路内の構成によって駆動ランジスタのしきい値電圧のばらつきが補償される(以下、このようにして駆動ランジスタのしきい値電圧を補償することを「内部補償」という)。なお、駆動ランジスタM1のしきい値電圧 V_{th} のばらつきは、駆動ランジスタM1をダイオード接続状態とすることによりしきい値電圧 V_{th} の補償を行う期間 T_{comp} を長く設けるほど抑制されることが従来から知られている。

先行技術文献

特許文献

[0009] 特許文献1：日本国特開2007-79580号公報

特許文献2：日本国特開2008-158475号公報

特許文献3：日本国特開2007-286572号公報

発明の概要

発明が解決しようとする課題

[0010] 上記第1従来例（特許文献1に開示された有機EL表示装置）では、Rデータ信号、Gデータ信号、およびBデータ信号を順にRデータ線D_{ri}、Gデータ線D_{gi}、およびBデータ線D_{bi}にそれぞれ供給している。また、図12に示すように、書込用トランジスタM2のゲート端子の接続先は、R画素回路11_r、G画素回路11_g、およびB画素回路11_bのいずれにおいても走査線S_jとなっている。このため、Rデータ線D_{ri}へのRデータ信号の供給、Gデータ線D_{gi}へのGデータ信号の供給、および、Bデータ線D_{bi}へのBデータ信号の供給のいずれかが開始される前に走査線S_jが選択状態になると、Rデータ線D_{ri}、Gデータ線D_{gi}、および、Bデータ線D_{bi}の電圧のいずれかを、キャパシタC1に書き込めないことがある。

[0011] 例えば図14に示すように、Rデータ線D_{ri}へのRデータ信号の供給が開始される前に走査線S_jが選択状態になると（走査信号がローレベルになると）、先行の走査線S_{j-1}の選択時にRデータ線D_{ri}に供給されたRデータ信号の電圧（以下「直前走査時のRデータ電圧」という）が駆動トランジスタM1を介してキャパシタC1に書き込まれる。図12からわかるように、走査線S_jが選択状態のときには、Rデータ線D_{ri}は、ダイオード接続状態の駆動トランジスタM1を介してキャパシタC1に電氣的に接続されている。このため、走査線S_jの選択状態のときにRデータ線D_rに供給されるRデータ信号の電圧（以下「現走査時のRデータ電圧」という）が直前走査時のRデータ電圧よりも低い場合には、現走査時のRデータ電圧をキ

ャパシタC 1に書き込むことができない。例えば、直前走査時のRデータ電圧が最低輝度（黒表示）に近い輝度に相当する電圧である場合、図14に示すように、走査線S_jが選択されてからデマルチプレクサ41における選択トランジスタM_rがオンするまでの間（走査線S_jの信号がローレベルに変化してから選択制御信号SSD_rがローレベルに変化するまでの間）に最低輝度に近い輝度に相当する電圧すなわち最大値に近い電圧がR画素回路11_r内のキャパシタC 1に書き込まれる。このため、比較的高い輝度の電圧すなわち最大値V_{d1}よりも十分に小さい電圧V_{d2}が現走査時のRデータ電圧として画素回路11_rに与えられると、その画素回路11_rの駆動トランジスタM₁はオフ状態となり、その結果、そのキャパシタC 1の電圧（駆動トランジスタM₁のゲート端子の電圧V_g）は最大値に近い電圧V_{ng2}のまま維持される。

[0012] このような問題（以下「ダイオード接続に起因するデータ書込不良の問題」という）を回避すべく、上記第1従来例は、図13に示すように、R、G、およびBデータ信号がR、G、およびBデータ線D_{rj}、D_{gj}、D_{bj}にそれぞれ供給されている期間であるデータ書込期間では走査線S_jは非選択状態であり、このデータ書込期間後に走査線S_jが選択状態（図13の例ではローレベル）となるように構成されている。

[0013] このようにして上記第1従来例では、R、G、およびBデータ信号は、SSD方式に基づきR、G、およびBデータ線D_{rj}、D_{gj}、D_{bj}に順次書き込まれた後に走査線S_jが選択状態とされることによりR、G、およびB画素回路に書き込まれる。すなわち、この第1従来例のようにダイオード接続を利用して内部補償を行うSSD方式の有機EL表示装置では、R、G、およびBデータ線D_{rj}、D_{gj}、D_{bj}のような1組のデータ信号線群へのデータ信号の順次的な書き込みが完了した後でなければ、それらデータ信号の示す階調データ（データ電圧）を画素回路に書き込むことができない。このため、画素回路への階調データの書き込み、すなわち画素回路内のデータ保持用のキャパシタC 1へのデータ電圧による充電を十分に行えない

おそれがある。近年における表示画像の高精細化に伴って水平期間が短くなると、各水平期間におけるデータ信号線へのデータ書込期間や走査線の選択期間も短くなることから、このような充電不足は特に問題となる。また、走査線の選択期間が短くなると、各画素回路内の駆動トランジスタのしきい値電圧のばらつきの補償による輝度ムラの抑制も十分に行えない。

[0014] これに対し、例えば特許文献2に記載された有機EL表示装置（有機電界発光表示装置）（以下「第2従来例」という）は、図12に示した第1従来例と同様にSSD方式を採用しつつ内部補償を行うように構成されており、図15に示すような駆動方法が使用されている。この駆動方法では、データプログラミング段階で、データ線 D_{ri} 、 D_{gi} 、 D_{bi} の電圧を低下させてデータ線を初期化するデータライン初期化段階 S_{di} を含む。すなわち、図12に示した回路構成を前提とすると、図15に示すように、デマルチプレクサ41の選択トランジスタ（スイッチング素子） M_r 、 M_g 、 M_b が選択制御信号 SSD_r 、 SSD_g 、 SSD_b に応じて順次オンすることによりデータ線 D_{ri} 、 D_{gi} 、 D_{bi} を介して画素回路11 r 、11 g 、11 b にデータ信号 R_{dn} 、 G_{dn} 、 B_{dn} がそれぞれ供給された後、時点 t_s においてデータライン初期化段階 S_{di} が開始される。この駆動方法によれば、現在走査線 S_j の選択期間（図15ではローレベルの期間）でデータ線 D_{ri} 、 D_{gi} 、 D_{bi} にデータ信号 R_{dn} 、 G_{dn} 、 B_{dn} がそれぞれ供給される前の前回走査線 S_{j-1} の選択期間において、選択トランジスタ M_r 、 M_g 、 M_b がオフされる前にデータ線 D_{ri} 、 D_{gi} 、 D_{bi} が初期化データ信号 R_i 、 G_i 、 B_i によってそれぞれ初期化される。

[0015] 上記第2従来例によれば、図14に示される問題すなわちダイオード接続に起因するデータ書込不良の問題を回避しつつ画素回路へのデータ電圧の書込や駆動トランジスタのしきい値電圧 V_{th} の補償を行うための期間を上記第1従来例よりも長くすることができる（図13、図15参照）。しかし図15に示すように、各水平期間（1H期間）において走査線が選択状態である間に3つのデータライン初期化段階 S_{di} が含まれる。このため、表示画

像の高精細化が進むと、上記第2従来例においても、画素回路におけるデータ電圧の充電不足や内部補償における時間不足を十分に解消することができなくなる。

[0016] そこで、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行えるSSD方式の有機EL表示装置を提供することが望まれている。

課題を解決するための手段

[0017] 本発明のいくつかの実施形態に係る表示装置は、表示すべき画像を表す複数のアナログ電圧信号を伝達するための複数のデータ信号線と、前記複数のデータ線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

2以上の所定数のデータ信号線を1組として前記複数のデータ信号線をグループ化することにより得られる複数組のデータ信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子から、当該出力端子に対応する組の所定数のデータ信号線によりそれぞれ伝達すべき所定数のアナログ電圧信号を時分割的に出力するデータ側駆動回路と、

前記データ側駆動回路の前記複数の出力端子にそれぞれ接続され、前記複数組のデータ信号線群にそれぞれ対応する複数のデマルチプレクサと、

前記複数の走査信号線を選択的に駆動する走査側駆動回路と、

前記複数のデマルチプレクサ、前記データ側駆動回路、および、前記走査側駆動回路を制御する表示制御回路とを備え、

各デマルチプレクサは、対応する組の所定数のデータ信号線にそれぞれ対応する所定数のスイッチング素子を含み、各スイッチング素子は、対応するデータ信号線に接続された第1導通端子と、当該デマルチプレクサに接続された出力端子から前記データ側駆動回路が出力するアナログ電圧信号を受け取るための第2導通端子と、オン／オフを制御する選択制御信号を受け取るための制御端子とを有し、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか 1 つに対応するとともに前記複数の走査信号線のいずれか 1 つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子の駆動電流を制御する電圧を保持するための保持容量と、前記保持容量に保持された電圧に応じた駆動電流を前記表示素子に与えるための駆動トランジスタとを含み、対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が前記駆動トランジスタを介して前記保持容量に与えられるように構成されており、

前記表示制御回路は、

各走査信号線につき、当該走査信号線が選択される直前に選択された他の走査信号線である先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたりセット期間において、各デマルチプレクサにおける前記所定数のスイッチング素子のうち 1 つ以上のスイッチング素子をオン状態とし、

前記 1 つ以上のスイッチング素子のうち少なくとも 1 つのスイッチング素子が各走査信号線の選択期間においてオン状態となるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を所定期間ずつ順次にオン状態とし、

前記データ側駆動回路は、

前記リセット期間に、各データ信号線を初期化するための電圧をリセット電圧として各出力端子から出力し、

前記リセット期間後に、前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする前記表示制御回路による制御に応じて、各出力端子から前記所定数のアナログ電圧信号を時分割的に出力する。

[0018] 本発明の他のいくつかの実施形態に係る駆動方法は、表示すべき画像を表す複数のアナログ電圧信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素

回路とを有する表示装置の駆動方法であって、

前記表示装置は、

2以上の所定数のデータ信号線を1組として前記複数のデータ信号線をグループ化することにより得られる複数のデータ信号線群にそれぞれ対応する複数の出力端子を有するデータ側駆動回路と、

前記データ側駆動回路の前記複数の出力端子にそれぞれ接続され、前記複数のデータ信号線群にそれぞれ対応する複数のデマルチプレクサとを備え、

各デマルチプレクサは、対応する組の所定数のデータ信号線にそれぞれ対応する所定数のスイッチング素子を含み、各スイッチング素子は、対応するデータ信号線に接続された第1導通端子と、当該デマルチプレクサに接続された出力端子から前記データ側駆動回路が出力するアナログ電圧信号を受け取るための第2導通端子と、オン／オフを制御する選択制御信号を受け取るための制御端子とを有し、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応するとともに前記複数の走査信号線のいずれか1つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子の駆動電流を制御する電圧を保持するための保持容量と、前記保持容量に保持された電圧に応じた駆動電流を前記表示素子に与えるための駆動トランジスタとを含み、対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が前記駆動トランジスタを介して前記保持容量に与えられるように構成されており、

前記駆動方法は、

前記複数の走査信号線を選択的に駆動する走査側駆動ステップと、

各走査信号線につき、当該走査信号線が選択される直前に選択された他の走査信号線である先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたりセット期間において、各デマルチプレクサにおける前記所定数のスイッチング素子のうち1つ以上のスイッチ

ング素子をオン状態とするリセットステップと、

前記1つ以上のスイッチング素子のうち少なくとも1つのスイッチング素子が各走査信号線の選択期間においてオン状態となるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を所定期間ずつ順次にオン状態とする逆多重化ステップと、

前記リセット期間に、各データ信号線を初期化するための電圧をリセット電圧として前記データ側駆動回路の各出力端子から出力するリセット電圧出力ステップと、

前記リセット期間後に、前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする前記逆多重化ステップに応じて、前記データ側駆動回路の各出力端子から、当該出力端子に対応する組の所定数のデータ信号線によりそれぞれ伝達すべき所定数のアナログ電圧信号を時分割的に出力するデータ信号出力ステップとを備える。

発明の効果

- [0019] 本発明の上記いくつかの実施形態では、SSD方式が採用されていて、各走査信号線につき、当該走査信号線が選択される直前に選択された先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたりセット期間において各デマルチプレクサにおける所定数のスイッチング素子のうち1つ以上のスイッチング素子がオン状態となる。これにより、このリセット期間にリセット電圧が各デマルチプレクサを介して、当該1つ以上のスイッチング素子に接続されたデータ信号線に供給される。その後、当該1つ以上のスイッチング素子のうち少なくとも1つのスイッチング素子が各走査信号線の選択期間においてオン状態となるように、このリセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に各デマルチプレクサにおける所定数のスイッチング素子が所定期間ずつ順次にオン状態となる。これにより、データ側駆動回路の各出力端子から時分割的に出力される所定数のアナログ電圧信号が、対応するデマルチプレクサ

を介して対応する所定数のデータ信号線に順次に供給される。このようにして本発明の上記いくつかの実施形態によれば、各走査信号線の選択期間にオン状態となるスイッチング素子に接続されるデータ信号線はその選択期間の前のリセット期間で初期化される。このため、画素回路内のダイオード接続に起因するデータ書込不良の問題を回避しつつ、データ信号としてのアナログ電圧信号で当該データ信号線を充電する期間と画素回路内の保持容量を当該データ信号線の電圧で充電する期間（走査選択期間）とを重複させることで、各データ信号線の充電期間とそれに対応する画素回路内の保持容量の充電期間とを増大させることができる。これにより、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行うことができる。

図面の簡単な説明

- [0020] [図1]第1の実施形態に係る表示装置の全体構成を示すブロック図である。
- [図2]上記第1の実施形態における画素回路と各種配線との接続関係を示す回路図である。
- [図3]上記第1の実施形態に係る表示装置の駆動を説明するための信号波形図である。
- [図4]本実施形態に係る表示装置の動作を説明するための信号波形図である。
- [図5]上記第1の実施形態の第1変形例に係る表示装置の動作を説明するための信号波形図である。
- [図6]上記第1の実施形態の第2変形例に係る表示装置の動作を説明するための信号波形図である。
- [図7]第2の実施形態に係る表示装置の全体構成を示すブロック図である。
- [図8]上記第2の実施形態における画素回路と各種配線との接続関係を示す回路図である。
- [図9]上記第2の実施形態に係る表示装置の駆動を説明するための信号波形図である。
- [図10]上記第2の実施形態に係る表示装置の動作を説明するための信号波形

図である。

[図11]上記第2の実施形態の変形例に係る表示装置の動作を説明するための信号波形図である。

[図12]第1従来例における画素回路と各種配線との接続関係を示す回路図である。課題を説明するための信号波形図である。

[図13]図12に示す画素回路の駆動方法を示すタイミングチャートである。

[図14]従来の有機EL表示装置における課題を説明するための信号波形図である

[図15]第2従来例における駆動方法を説明するための信号波形図である。

発明を実施するための形態

[0021] 以下、添付図面を参照しながら各実施形態について説明する。なお、以下で言及する各トランジスタにおいて、ゲート端子は制御端子に相当し、ドレイン端子およびソース端子の一方は第1導通端子に相当し、他方は第2導通端子に相当する。また、各実施形態におけるトランジスタはすべてPチャネル型であるものとして説明するが、本発明はこれに限定されない。さらに、各実施形態におけるトランジスタは例えば薄膜トランジスタであるが、本発明はこれに限定されない。さらにまた、本明細書における「接続」とは、特に断らない限り「電氣的接続」を意味し、本発明の要旨を逸脱しない範囲において、直接的な接続を意味する場合のみならず、他の素子を介した間接的な接続を意味する場合も含むものとする。

[0022] <1. 第1の実施形態>

<1.1 全体構成>

図1は、第1の実施形態に係る表示装置1の全体構成を示すブロック図である。この表示装置1は、内部補償を行うSSD方式の有機EL表示装置であって、赤、緑、および青の3原色によるカラー表示を行う。図1に示すように、この表示装置1は、表示部10、表示制御回路20、データ側駆動回路（「データドライバ」とも呼ばれる）30、デマルチプレクサ部40、走査側駆動回路（「走査ドライバ」とも呼ばれる）50、および、発光制御線

駆動回路（「エミッションドライバ」とも呼ばれる）60を備えている。本実施形態では、走査側駆動回路50および発光制御線駆動回路60は表示部10と一体的に形成されている（この点は、他の実施形態や変形例においても同様である）。ただし、本発明はこれに限定されない。

[0023] 表示部10には、 $m \times k$ （ m 、 k は2以上の整数であり、本実施形態では $k=3$ である。）本のデータ信号線 D_{r1} 、 D_{g1} 、 D_{b1} 、 D_{r2} 、 D_{g2} 、 D_{b2} 、 $\dots$ 、 D_{rm} 、 D_{gm} 、 D_{bm} と、これらに交差する n 本の走査信号線 $S_1 \sim S_n$ とが配設されており、 n 本の走査信号線 $S_1 \sim S_n$ に沿って n 本の発光制御線（「エミッションライン」とも呼ばれる） $E_1 \sim E_n$ がそれぞれ配設されている。また図1に示すように、表示部10には $3m \times n$ 個の画素回路11が設けられており、これら $3m \times n$ 個の画素回路11は、それぞれが、上記 $m \times k$ （ $=3m$ ）本のデータ信号線 $D_{x1} \sim D_{xm}$ （ $x=r, g, b$ ）のいずれか1つに対応し、かつ、上記 n 本の走査信号線 $S_1 \sim S_n$ のいずれか1つに対応し、かつ、上記 n 本の発光制御線 $E_1 \sim E_n$ のいずれか1つに対応するように、上記 $3m$ 本のデータ信号線 $D_{x1} \sim D_{xm}$ （ $x=r, g, b$ ）および上記 n 本の走査信号線 $S_1 \sim S_n$ に沿ってマトリクス状に配置されている。上記 $3m$ 本のデータ信号線 $D_{x1} \sim D_{xm}$ （ $x=r, g, b$ ）はデマルチプレクサ部40に接続され、上記 n 本の走査信号線 $S_1 \sim S_n$ は走査側駆動回路50に接続され、上記 n 本の発光制御線 $E_1 \sim E_n$ は発光制御線駆動回路60に接続されている。

[0024] また表示部10には、各画素回路11に共通の図示しない電源線が配設されている。より詳細には、後述の有機EL素子を駆動するためのハイレベル電源電圧 $ELVDD$ を供給するための電源線（以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じく符号 $ELVDD$ で表す。）および有機EL素子を駆動するためのローレベル電源電圧 $ELVSS$ を供給するための電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じく符号 $ELVSS$ で表す。）が配設されている。さらに、後述の初期化動作のための初期化電圧 V_{ini} を供給するための初期化線（初期化電圧と同じく符号

V_{i n i}で表す。)が配設されている。これらの電圧は、図示しない電源回路から供給される。

[0025] 図1では、m本のデータ信号線D_{r 1}～D_{r m}(以下「Rデータ信号線D_{r 1}～D_{r m}」ともいう)にそれぞれ形成される配線容量C_{d r 1}～C_{d r m}のそれぞれが1つのキャパシタとして示され、他のm本のデータ信号線D_{g 1}～D_{g m}(以下「Gデータ信号線D_{g 1}～D_{g m}」ともいう)にそれぞれ形成される配線容量C_{d g 1}～C_{d g m}のそれぞれが1つのキャパシタとして示され、さらに他のm本のデータ信号線D_{b 1}～D_{b m}(以下「Bデータ信号線D_{b 1}～D_{b m}」ともいう)にそれぞれ形成される配線容量C_{d b 1}～C_{d b m}のそれぞれが1つのキャパシタとして示されている(以下、これらの配線容量C_{d x i}(x=r, g, b; i=1～m)を「データライン容量」と呼ぶ)。各データライン容量C_{d x i}を示すキャパシタの一端(データ信号線D_{x i}が接続されていない側)には例えば接地電圧が与えられるが、本発明はこれに限定されない。

[0026] 表示制御回路20は、表示すべき画像を表す画像情報および画像表示のためのタイミング制御情報を含む入力信号S_{i n}を表示装置1の外部から受け取り、この入力信号S_{i n}に基づき、データ側駆動回路30、デマルチプレクサ部40、走査側駆動回路50、および、発光制御線駆動回路60に各種制御信号を出力する。より詳細には、表示制御回路20は、データ側駆動回路30にデータスタートパルスD S P、データクロック信号D C K、表示データD A、およびラッチパルスL Pを出力する。表示制御回路20はまた、デマルチプレクサ部40にR選択制御信号S S D_r、G選択制御信号S S D_g、およびB選択制御信号S S D_bを出力する。表示制御回路20はまた、走査側駆動回路50に走査スタートパルスS S Pおよび走査クロック信号S C Kを出力する。表示制御回路20はまた、発光制御線駆動回路60に発光制御スタートパルスE S Pおよび発光制御クロック信号E C Kを出力する。

[0027] データ側駆動回路30は、図示しないmビットのシフトレジスタ、サンプリング回路、ラッチ回路、およびm個のD/Aコンバータ等を含んでいる。

シフトレジスタは、互いに縦続接続された m 個の双安定回路を有し、初段に供給されたデータスタートパルス DSP をデータクロック信号 CLK に同期して転送し、各段からサンプリングパルスを出力する。サンプリングパルスの出力タイミングに合わせて、サンプリング回路には表示データ DA が供給される。サンプリング回路は、サンプリングパルスに従って表示データ DA を記憶する。サンプリング回路に1行分の表示データ DA が記憶されると、表示制御回路20はラッチ回路に対してラッチパルス LP を出力する。ラッチ回路は、ラッチパルス LP を受け取ると、サンプリング回路に記憶された表示データ DA を保持する。 D/A コンバータは、データ側駆動回路30の m 個の出力端子 $Td1 \sim Tdm$ にそれぞれ接続された m 本の出力線 $D1 \sim Dm$ に対応して設けられており、ラッチ回路に保持された表示データ DA をアナログ電圧信号であるデータ信号に変換し、得られたデータ信号を出力線 $D1 \sim Dm$ に供給する。本実施形態に係る表示装置1は、RGB3原色（赤、緑、および青の3原色）によるカラー表示を行い、かつ、多重度が3のSSD方式が採用されていることから、各出力線 Di にはRデータ信号、Gデータ信号、およびBデータ信号が順次に（時分割的に）供給される。ここで、Rデータ信号は、表示部10における $3m$ 本のデータ信号線 $Dx1 \sim Dxm$ （ $x = r, g, b$ ）のうちRデータ信号線 $Dr1 \sim Drm$ に印加すべきデータ信号であり、表示すべき画像の赤色成分を表している。Gデータ信号は、当該 $3m$ 本のデータ信号線 $Dx1 \sim Dxm$ のうちGデータ信号線 $Dg1 \sim Dgm$ に印加すべきデータ信号であり、表示すべき画像の緑色成分を表している。Bデータ信号は、当該 $3m$ 本のデータ信号線 $Dx1 \sim Dxm$ のうちBデータ信号線 $Db1 \sim Dbm$ に印加すべきデータ信号であり、表示すべき画像の青色成分を表している。

[0028] デマルチプレクサ部40は、データ側駆動回路30の m 個の出力端子 $Td1 \sim Tdm$ にそれぞれ対応する第1から第 m デマルチプレクサ41からなる m 個のデマルチプレクサ41を含んでいる。第 i デマルチプレクサの入力端子は、データ側駆動回路30の対応する出力端子 Tdi に出力線 Di を介し

て接続されている ($i = 1 \sim m$)。第 i デマルチプレクサ 41 ($i = 1 \sim m$) は 3 個の出力端子を有し、これら 3 個の出力端はそれぞれ、3 本のデータ信号線 $D r i$ 、 $D g i$ 、 $D b i$ に接続されている。第 i デマルチプレクサ 41 は、データ側駆動回路 30 の出力端子 $T d i$ から出力線 $D i$ を介して順次供給される R データ信号、G データ信号、および B データ信号を R データ信号線 $D r i$ 、G データ信号線 $D g i$ 、および B データ信号線 $D b i$ にそれぞれ供給する。各デマルチプレクサ 41 の動作は、R 選択制御信号 $S S D r$ 、G 選択制御信号 $S S D g$ 、および B 選択制御信号 $S S D b$ により制御される。このような $S S D$ 方式によれば、 $S S D$ 方式を採用しない場合に比べて、データ側駆動回路 30 に接続される出力線の本数を $1/3$ にすることができる。これにより、データ側駆動回路 30 の回路規模が縮小されるので、データ側駆動回路 30 の製造コストを削減できる。

[0029] 走査側駆動回路 50 は、 n 本の走査信号線 $S 1 \sim S n$ を駆動する。より詳細には、走査側駆動回路 50 は、図示しないシフトレジスタおよびバッファ等を含んでいる。シフトレジスタは、走査クロック信号 $S C K$ に同期して走査スタートパルス $S S P$ を順次転送する。シフトレジスタの各段からの出力である走査信号は、バッファを経由して対応する走査信号線 $S j$ ($j = 1 \sim n$) に供給される。アクティブな（本実施形態ではローレベルの）走査信号により、走査信号線 $S j$ に接続された $3 m$ 個の画素回路 11 が一括して選択される。

[0030] 発光制御線駆動回路 60 は、 n 本の発光制御線 $E 1 \sim E n$ を駆動する。より詳細には、発光制御線駆動回路 60 は、図示しないシフトレジスタおよびバッファ等を含んでいる。シフトレジスタは、発光制御クロック信号 $E C K$ に同期して発光制御スタートパルス $E S P$ を順次転送する。シフトレジスタの各段からの出力である発光制御信号は、バッファを経由して対応する発光制御線 $E j$ ($j = 1 \sim n$) に供給される。

[0031] 図 1 に示すように、走査側駆動回路 50 は表示部 10 の一端側（図 1 では表示部 10 に対する左側）に配置され、発光制御線駆動回路 60 は表示部 1

0の他端側（図1では表示部10に対する右側）に配置されている。しかし、これに代えて、走査側駆動回路50および発光制御線駆動回路60の双方または発光制御線駆動回路の機能を備えた走査側駆動回路が、表示部10の一端側または他端側のいずれか一方に配置されていてもよい（この点は、他の実施形態や変形例においても同様である）。

[0032] <1. 2 画素回路と各種配線との接続関係>

図2は、本実施形態における一部の画素回路11r, 11g, 11bと各種配線との接続関係を示す回路図である。これらの画素回路11r, 11g, 11bは、表示部10における3m×n個の画素回路11のうち、同一の走査信号線Sjに接続されるとともに同一のデマルチプレクサ41に3本のデータ信号線Dri, Dgi, Dbiをそれぞれ介して接続されている。ここで、符号“11r”は、Rデータ信号線Driに接続された画素回路（以下「R画素回路」ともいう）11であることを示すために使用し、符号“11g”は、Gデータ信号線Dgiに接続された画素回路（以下「G画素回路」ともいう）11であることを示すために使用し、符号“11b”は、Bデータ信号線Dbiに接続された画素回路（以下「B画素回路」ともいう）11であることを示すために使用するものとする。

[0033] 図2に示すように、各デマルチプレクサ41は、スイッチング素子として、R選択トランジスタMr、G選択トランジスタMg、およびB選択トランジスタMbを含んでいる。R選択トランジスタMrの制御端子としてのゲート端子にはR選択制御信号SSDrが与えられ、G選択トランジスタMgの制御端子としてのゲート端子にはG選択制御信号SSDgが与えられ、B選択トランジスタMbの制御端子としてのゲート端子にはB選択制御信号SSDbが与えられる。したがって、R選択トランジスタMrは、R選択制御信号SSDrがハイレベル（非アクティブ）のときはオフ状態であり、ローレベル（アクティブ）のときはオン状態である。また、G選択トランジスタMgは、G選択制御信号SSDrがハイレベルのときはオフ状態であり、ローレベルのときはオン状態である。また、B選択トランジスタMbは、B選択

制御信号 SSD_b がハイレベルのときはオフ状態であり、ローレベルのときはオン状態である。これら選択トランジスタ M_r 、 M_g 、 M_b の第1導通端子としてのドレイン端子はデータ信号線 D_{ri} 、 D_{gi} 、 D_{bi} にそれぞれ接続され、これら選択トランジスタ M_r 、 M_g 、 M_b の第2導通端子としてのソース端子はいずれも出力線 D_i に接続されている ($i = 1 \sim m$)。したがって各出力線 D_i は、対応するデマルチプレクサ 41において、R選択トランジスタ M_r を介してRデータ信号線 D_{ri} に接続され、G選択トランジスタ M_g を介してGデータ信号線 D_{gi} に接続され、B選択トランジスタ M_b を介してBデータ信号線 D_{bi} に接続されている。

[0034] 図2に示すように、R画素回路11r、G画素回路11g、およびB画素回路11bは、走査信号線の延伸する方向において順に並べて配置されている。なお、R画素回路11r、G画素回路11g、およびB画素回路11bの構成は基本的に同一であるので、以下では、これらの画素回路で互いに共通する部分についてはR画素回路11rの構成を例に挙げて説明し、これらの画素回路で互いに異なる部分については、適宜個別に説明する。

[0035] R画素回路11rは、有機EL素子OLED、駆動トランジスタM1、書込用トランジスタM2、補償用トランジスタM3、第1初期化用トランジスタM4、電源供給用トランジスタM5、発光制御用トランジスタM6、第2初期化用トランジスタM7、および、データ電圧を保持するための保持容量としてのデータ保持キャパシタC1を含んでいる。駆動トランジスタM1は、ゲート端子、第1導通端子、および第2導通端子を有している。本実施形態では、補償用トランジスタM3および第1初期化用トランジスタM4については、オフリーク電流を小さくするためにデュアルゲートトランジスタが使用されているが、通常のシングルゲートトランジスタを使用してもよい。なお、G画素回路11gおよびB画素回路11bもR画素回路11rと同様の素子を含み、それらの素子間の接続関係も同様である。

[0036] R画素回路11rには、それに対応する走査信号線（画素回路に注目した説明において便宜上「対応走査信号線」という） S_j 、対応走査信号線 S_j

の直前の走査信号線（走査信号線 $S_1 \sim S_n$ の走査順における直前の走査信号線であり、画素回路に注目した説明において便宜上「先行走査信号線」という） S_{j-1} 、それに対応する発光制御線（画素回路に注目した説明において便宜上「対応発光制御線」という） E_j 、それに対応する R データ信号線（画素回路に注目した説明において便宜上「対応データ信号線」という） D_{ri} 、ハイレベル電源線 $ELVDD$ 、ローレベル電源線 $ELVSS$ 、および、初期化線 V_{ini} が接続されている。G 画素回路 11g には、R データ信号線 D_{ri} に代えて G データ信号線 D_{gi} が対応データ信号線として接続されている。その他の接続は R 画素回路 11r と同様である。B 画素回路 11b には、R データ信号線 D_{ri} に代えて B データ信号線 D_{bi} が対応データ信号線として接続されている。その他の接続は R 画素回路 11r と同様である。なお上述のように、R データ信号線 D_{ri} にはデータライン容量 C_{dri} が形成され、G データ信号線 D_{gi} にはデータライン容量 C_{dgi} が形成され、B データ信号線 D_{bi} にはデータライン容量 C_{dbi} が形成されている（図 2 参照）。

[0037] R 画素回路 11r では、書込用トランジスタ M2 は、対応走査信号線 S_j にゲート端子が接続され、対応データ信号線としての R データ信号線 D_{ri} にソース端子が接続されている。G 画素回路 11g では、書込用トランジスタ M2 は、対応走査信号線 S_j にゲート端子が接続され、対応データ信号線としての G データ信号線 D_{gi} にソース端子が接続されている。B 画素回路 11b では、書込用トランジスタ M2 は、対応走査信号線 S_j にゲート端子が接続され、対応データ信号線としての B データ信号線 D_{bi} にソース端子が接続されている。

[0038] R 画素回路 11r、G 画素回路 11g、および B 画素回路 11b のそれぞれにおいて、書込用トランジスタ M2 は、対応走査信号線 S_j の選択に応じて、対応データ信号線 D_{xi} の電圧すなわちデータライン容量 C_{dxi} に保持されたデータ電圧を駆動トランジスタ M1 に供給する（ $x = r, g, b$ ）。

- [0039] 駆動トランジスタM1の第1導通端子は、書込用トランジスタM2のドレイン端子に接続されている。駆動トランジスタM1は、ソースゲート間電圧 V_{gs} に応じた駆動電流 I を有機EL素子OLEDに供給する。
- [0040] 補償用トランジスタM3は、駆動トランジスタM1のゲート端子と第2導通端子との間に設けられている。補償用トランジスタM3のゲート端子は対応走査信号線 S_j に接続されている。補償用トランジスタM3は、対応走査信号線 S_j の選択に応じて、駆動トランジスタM1をダイオード接続状態にする。
- [0041] 第1初期化用トランジスタM4は、先行走査信号線 S_{j-1} にゲート端子が接続され、駆動トランジスタM1のゲート端子と初期化線 V_{ini} との間に設けられている。第1初期化用トランジスタM4は、先行走査信号線 S_{j-1} の選択に応じて駆動トランジスタM1のゲート電圧 V_g を初期化する。また、第2初期化用トランジスタM7は、先行走査信号線 S_{j-1} にゲート端子が接続され、有機EL素子OLEDのアノードと初期化線 V_{ini} との間に設けられている。第2初期化用トランジスタM7は、先行走査信号線 S_{j-1} の選択に応じて、駆動トランジスタM1のゲート端子と有機EL素子OLEDのアノードとの間に存在する寄生容量の電圧を初期化する。これにより、前フレーム画像の影響による輝度の不均一化が抑制される。
- [0042] 電源供給用トランジスタM5は、発光制御線 E_j にゲート端子が接続され、ハイレベル電源線 $ELVDD$ と駆動トランジスタM1の第1導通端子との間に設けられている。電源供給用トランジスタM5は、発光制御線 E_j の選択に応じてハイレベル電源電圧 $ELVDD$ を駆動トランジスタM1の第1導通端子としてのソース端子に供給する。
- [0043] 発光制御用トランジスタM6は、発光制御線 E_j にゲート端子が接続され、駆動トランジスタM1の第2導通端子としてのドレイン端子と有機EL素子OLEDのアノードとの間に設けられている。発光制御用トランジスタM6は、発光制御線 E_j の選択に応じて駆動電流 I を有機EL素子OLEDに伝達する。

[0044] データ保持キャパシタC 1は、その第1端子がハイレベル電源線E L V D Dに接続され、その第2端子が駆動トランジスタM 1のゲート端子に接続されている。このデータ保持キャパシタC 1は、対応走査信号線S jが選択状態であるときに対応データ信号線D x iの電圧（データ電圧）で充電され、この充電によって書き込まれたデータ電圧を保持することで、対応走査信号線S jが非選択状態であるときに駆動トランジスタM 1のゲート電圧V gを維持する。

[0045] 有機E L素子O L E Dは、アノードが発光制御用トランジスタM 6を介して駆動トランジスタM 1の第2導通端子に接続され、カソードがローレベル電源線E L V S Sに接続されている。有機E L素子O L E Dは、駆動電流I に応じた輝度で発光する。

[0046] < 1. 3 駆動方法 >

次に、本実施形態に係る表示装置1の駆動方法につき図2、図3、および図4を参照して説明する。図3は、図1および図2に示す本実施形態に係る表示装置1の駆動を説明するための信号波形図である。図3は、同一の走査信号線S jに接続されるとともに同一のデマルチプレクサ4 1に3本のデータ信号線D r i, D g i, D bをそれぞれ介して接続される3つの画素回路1 1 r, 1 1 g, 1 1 bに着目し、これらの画素回路1 1 r, 1 1 g, 1 1 bを駆動するための信号の波形を示している。図4は、本実施形態に係る表示装置1の動作を説明するための1 H期間についての詳細な信号波形を示している。なお、以下で述べる画素回路1 1 r, 1 1 g, 1 1 bにおけるトランジスタ等の回路素子は、特に断らない限り、これらの画素回路1 1 r, 1 1 g, 1 1 bのいずれにおいても同様に動作するものとする。

[0047] 図3に示す駆動方法では、先行走査信号線S j - 1の電圧がローレベル（アクティブ）である走査選択期間を含む水平期間（1 H期間）において、その先行走査信号線S j - 1がローレベルに変化する前に対応発光制御線E jの電圧がローレベルからハイレベルに変化する。このため、画素回路1 1 r, 1 1 g, 1 1 bにおいて、その先行走査信号線S j - 1がローレベルに変

化する前に電源供給用トランジスタM5および発光制御用トランジスタM6がオフ状態に変化する。これにより、有機EL素子OLEDが非発光状態になる。

[0048] 時刻 t_1 において、先行走査信号線 S_{j-1} の電圧がハイレベルからローレベルに変化することで先行走査信号線 S_{j-1} が選択状態となる。このため、第1初期化用トランジスタM4がオン状態に変化する。これにより、駆動トランジスタM1のゲート電圧 V_g が初期化電圧 V_{ini} に初期化される。初期化電圧 V_{ini} は、画素回路へのデータ電圧の書き込み時に、駆動トランジスタM1をオン状態に維持できる程度の電圧である。より詳細には、初期化電圧 V_{ini} は、次式(5)を満たす。

$$V_{ini} - V_{data} < -V_{th} \quad \dots (5)$$

ここで、 V_{data} はデータ電圧(対応データ信号線 D_{ri} の電圧)であり、 $V_{th} (>0)$ は駆動トランジスタM1のしきい値電圧である。このような初期化動作を行うことにより、画素回路へのデータ電圧の書き込みを確実に行うことができる。なお、時刻 t_1 において、先行走査信号線 S_{j-1} の電圧がハイレベルからローレベルに変化することにより第2初期化用トランジスタM7もオン状態に変化する。その結果、駆動トランジスタM1のゲート端子と有機EL素子OLEDのアノードとの間に存在する寄生容量の電圧が初期化される。この第2初期化用トランジスタM7による初期化動作は、本発明には直接に関係しないので、以下では説明を省略する(他の実施形態や変形例においても同様)。

[0049] 時刻 t_2 において、先行走査信号線 S_{j-1} の電圧がローレベルからハイレベルに変化する。本実施形態では、この時刻 t_2 以降に設けられるデータ期間および走査選択期間の前にリセット期間(図3に示す時刻 $t_3 \sim t_4$ の期間)が設けられている。すなわち、時刻 t_3 において、R選択制御信号 SSD_r 、G選択制御信号 SSD_g 、およびB選択制御信号 SSD_b がいずれも、ハイレベルからローレベルに変化し、時刻 t_4 までローレベルが継続する。このリセット期間では、図4に示すように表示制御回路20は、リセッ

ト電圧が各出力端子 $T d i$ ($i = 1 \sim m$) から出力線 $D i$ に出力されるようにデータ側駆動回路 30 を制御する。ここでリセット電圧は、本実施形態において走査選択期間にデータ信号線が取り得る最低電圧に相当し、白表示（最大輝度階調）に対応する電圧すなわち白電圧である。なお、リセット期間においてデータ側駆動回路 30 の各出力端子 $T d i$ から出力すべきリセット電圧は、白電圧に限定されない。すなわち、リセット電圧は、走査選択期間にデータ信号線 $D x i$ が取り得るどの電圧によっても画素回路 11x においてダイオード接続状態の駆動トランジスタ $M 1$ を介してデータ保持キャパシタ $C 1$ を充電可能なように各データ信号線 $D x i$ を初期化する電圧であれよい ($x = r, g, b$)。

[0050] 図 2 からわかるように本実施形態では、時刻 $t 3 \sim t 4$ のリセット期間において、リセット電圧としての白電圧がデマルチプレクサ 41 を介してデータ信号線 $D r i, D g i, D b i$ に供給され、データライン容量 $C d r i, C d g i, C d b i$ によりそれぞれ保持される。

[0051] リセット期間の終了時点である時刻 $t 4$ において、R 選択制御信号 $S S D r$ 、G 選択制御信号 $S S D g$ 、および B 選択制御信号 $S S D b$ がローレベルからハイレベルに変化し、その後、時刻 $t 5$ において、R 選択制御信号 $S S D r$ のみがハイレベルがローレベル（アクティブ）に変化する。なお、R 選択制御信号 $S S D r$ は、時刻 $t 4$ でハイレベルに変化することなく時刻 $t 4 \sim t 5$ の期間においてもローレベルを維持するようにしてもよい。

[0052] 時刻 $t 5 \sim t 8$ の期間において、R 選択制御信号 $S S D r$ 、G 選択制御信号 $S S D g$ 、および B 選択制御信号 $S S D b$ が所定期間ずつ順次ローレベルとなることにより、デマルチプレクサ 41 における R 選択トランジスタ $M r$ 、G 選択トランジスタ $M g$ 、および B 選択トランジスタ $M b$ が当該所定期間ずつ順次オン状態となる。一方、データ側駆動回路 30 の出力端子 $T d i$ からは、この時刻 $t 5 \sim t 8$ の期間において、図 4 に示すように R 選択制御信号 $S S D r$ 、G 選択制御信号 $S S D g$ 、および B 選択制御信号 $S S D b$ に連動して R データ信号、G データ信号、および B データ信号が出力線 $D i$ に順

次に出力される（以下、このようにしてデータ側駆動回路30の出力端子T_{d i}からデータ信号が出力される期間を「データ期間」という）。これら順次に出されるRデータ信号、Gデータ信号、およびBデータ信号の電圧は、上記デマルチプレクサ41によってデータ信号線D_{r i}、D_{g i}、D_{b i}にそれぞれ供給され、データライン容量C_{d r i}、C_{d g i}、C_{d b i}によりそれぞれ保持される。このようにして時刻t₅～t₈の期間において、各組のデータ信号線D_{r i}、D_{g i}、D_{b i}がそれぞれデータ信号、Gデータ信号、およびBデータ信号の電圧によって順次に充電される。すなわち、データ期間t₅～t₈のうち、R選択制御信号SSD_rがローレベルの所定期間ではRデータ信号の電圧でRデータ信号線D_{r i}の配線容量であるデータライン容量C_{d r i}が充電され（以下、この所定期間を「Rライン充電期間」という）、G選択制御信号SSD_gがローレベルの所定期間ではGデータ信号の電圧でGデータ信号線D_{g i}の配線容量であるデータライン容量C_{d g i}が充電され（以下、この所定期間を「Gライン充電期間」という）、B選択制御信号SSD_bがローレベルの所定期間ではBデータ信号の電圧でBデータ信号線D_{b i}の配線容量であるデータライン容量C_{d b i}が充電される（以下、この所定期間を「Bライン充電期間」という）。図4に示すように、Rライン充電期間の終了時のRデータ信号線D_{r i}の電圧は、次の1H期間（水平期間）におけるリセット期間までRデータ電圧V_{d R}として保持され、Gライン充電期間の終了時のGデータ信号線D_{g i}の電圧は、次の1H期間におけるリセット期間までGデータ電圧V_{d G}として保持され、Bライン充電期間の終了時のBデータ信号線D_{b i}の電圧は、次の1H期間におけるリセット期間までBデータ電圧V_{d B}として保持される。

[0053] 上記データ期間t₅～t₈において、Gライン充電期間の終了後、Bライン充電期間が開始される時点t₇で、対応走査信号線S_jの電圧がハイレベルからローレベルに変化することにより対応走査信号線S_jが選択状態となる。対応走査信号線S_jが選択状態である期間（走査選択期間）では、書込用トランジスタM₂および補償用トランジスタM₃はオン状態である（図2

参照)。

[0054] 上記より、データ期間 $t_5 \sim t_8$ のうち時刻 t_7 以降において、Rデータ信号線 D_{ri} の電圧 (データライン容量 C_{dri} に保持された Rデータ電圧) V_{dR} が、R画素回路 $11r$ においてダイオード接続状態の駆動トランジスタ $M1$ を介してデータ保持キャパシタ $C1$ に供給される。これにより、図4に示すように、この駆動トランジスタ $M1$ のゲート電圧 V_{gR} は上記式 (1) で与えられる値に向かって変化する (ただし、 $V_{data} = V_{dR}$ とする)。また、この時刻 t_7 以降において、Gデータ信号線 D_{gi} の電圧 (データライン容量 C_{dgi} に保持された Gデータ電圧) V_{dG} が、G画素回路 $11g$ においてダイオード接続状態の駆動トランジスタ $M1$ を介してデータ保持キャパシタ $C1$ に供給される。これにより、この駆動トランジスタ $M1$ のゲート電圧 V_{gG} も上記式 (1) で与えられる値に向かって変化する (ただし、 $V_{data} = V_{dG}$ とする)。また、この時刻 t_7 以降において、Bデータ信号の電圧がBデータ信号線 D_{bi} に供給されてデータライン容量 C_{dbi} にBデータ電圧 V_{dB} として保持されるとともに、B画素回路 $11b$ においてダイオード接続状態の駆動トランジスタ $M1$ を介してデータ保持キャパシタ $C1$ に供給される。これにより、この駆動トランジスタ $M1$ のゲート電圧 V_{g} も上記式 (1) で与えられる値に向かって変化する (ただし、 $V_{data} = V_{dB}$ とする)。このようにして走査選択期間 $t_7 \sim t_9$ において画素回路 $11r$, $11g$, $11b$ のそれぞれにおいてデータ保持キャパシタ $C1$ の充電が行われる (以下、この走査選択期間を「画素充電期間」ともいう)。

[0055] その後、時刻 t_9 において、対応走査信号線 S_j の電圧がローレベルからハイレベルに変化し、走査選択期間が終了する。このため、R画素回路 $11r$ 、G画素回路 $11g$ 、およびB画素回路 $11b$ のそれぞれにおいて、書込用トランジスタ $M2$ および補償用トランジスタ $M3$ がオフ状態に変化する。

[0056] また時刻 t_9 において、対応発光制御線 E_j の電圧がハイレベルからローレベル (アクティブ) に変化する (図3参照)。このため、R画素回路 11

r、G画素回路11g、およびB画素回路11bのそれぞれにおいて、電源供給用トランジスタM5および発光制御用トランジスタM6がオン状態に変化する。これにより、駆動トランジスタM1のゲート電圧 V_g およびハイレベル電源線ELVDDに応じた駆動電流 I 、すなわちデータ保持キャパシタC1に保持された電圧に応じた駆動電流 I が有機EL素子OLEDに供給され、駆動電流 I の電流値に応じて有機EL素子OLEDが発光する。このとき、R画素回路11rにおける有機EL素子OLEDは赤色光を、G画素回路11gにおける有機EL素子OLEDは緑色光を、B画素回路11bにおける有機EL素子OLEDは青色光を、それぞれ発する。駆動電流 I は上記式(4)により与えられる。以上のような動作が、1フレーム期間において n 回繰り返されることにより、1フレーム分の画像が表示される。

[0057] <1.4 効果>

上記のような本実施形態によれば、図3および図4に示すように、データ期間 $t_5 \sim t_8$ のうち各デマルチプレクサ41における1つの選択トランジスタMbがオン状態である期間すなわちBライン充電期間 $t_7 \sim t_8$ が走査選択期間(対応走査信号線 S_j の選択期間) $t_7 \sim t_9$ と重なることから、従来に比べ(図13)、データ信号線 D_{ri} 、 D_{gi} 、 D_{bi} の充電期間および画素回路11r、11g、11b内のデータ保持キャパシタC1の充電期間を増大させることができる。

[0058] また本実施形態では、図4に示すように、走査選択期間 $t_7 \sim t_9$ の前に設けられたリセット期間 $t_3 \sim t_4$ において、各データ信号線 D_{xi} ($x = r, g, b$)にリセット電圧として白電圧が供給される。このため、データ期間(におけるBライン充電期間)と走査選択期間とが重複しても、図14に示すようなダイオード接続に起因するデータ書込不良の問題は生じない。

[0059] このようにして本実施形態によれば、ダイオード接続に起因するデータ書込不良の問題を回避しつつデータ期間(におけるBライン充電期間)と走査選択期間とを重複させることで、従来に比べ(図13)、データ信号線 D_{ri} 、 D_{gi} 、 D_{bi} の充電期間および画素回路11r、11g、11b内の

データ保持キャパシタC 1の充電期間を増大させることができる。これにより、SSD方式の有機EL表示装置において、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行うことができる。

[0060] なお、図15に示した第2従来例においても、本実施形態におけるリセット期間の代わりにデータライン初期化段階S d iを設けることで、ダイオード接続に起因するデータ書込不良の問題を回避しつつデータ期間と走査選択期間とを重複させることができるが、各水平期間（1H期間）において走査線が選択状態である間（各走査選択期間）に3つのデータライン初期化段階S d iが含まれる。これに対し本実施形態では、各水平期間（1H期間）において1つのリセット期間が含まれるだけである（図3、図4参照）。したがって本実施形態は、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行うという点に関し、第2従来例に対しても有利である。

[0061] <1. 5 第1の実施形態の第1変形例>

上記第1の実施形態では、図4からわかるように、Rライン充電期間（R選択トランジスタM rがオン状態である期間）およびGライン充電期間（G選択トランジスタM gがオン状態である期間）が対応走査信号線S jの選択期間（走査選択期間）よりも先行している。このため、Rデータ信号線D r iおよびGデータ信号線D g iのいずれについてもリセット電圧を与えなくとも、ダイオード接続に起因するデータ書込不良の問題（図14）は生じない。したがって、例えば図5に示すようなR選択制御信号SSD r、G選択制御信号SSD g、およびB選択制御信号SSD bが生成されるように表示制御回路20が構成されていてもよい。以下、このように構成された上記第1の実施形態の変形例を「第1変形例」という。

[0062] 本変形例では、B選択制御信号SSD bには、上記第1の実施形態と同様、対応走査信号線S jの選択期間（走査選択期間）t 7～t 9の前にリセット期間t 3～t 4が設けられ、このリセット期間では、データ側駆動回路3

0の各出力端子T d i からリセット電圧として白電圧（データ信号線の取り得る最低電圧）が出力されるが、図5に示すように、R選択制御信号SSD_rおよびG選択制御信号SSD_gのいずれにおいてもリセット期間は設けられていない。本変形例における他の構成は上記第1の実施形態と同様である。このような本変形例によれば、上記第1の実施形態と同様の効果が得られるとともに、リセット電圧を与えるべきデータ信号線の本数が1／3に減るので、ダイオード接続に起因するデータ書込不良の問題（図14）を回避するためにデータ信号線にリセット電圧を与える動作（以下「ライン初期化」という）に必要な電力が低減される。

[0063] <1. 6 第1の実施形態の第2変形例>

上記第1の実施形態では、各デマルチプレクサ41における3つの選択トランジスタM_r、M_g、M_bのうち1つの選択トランジスタM_bがオン状態である期間（B選択制御信号SSD_bがローレベルである期間すなわちBライン充電期間）t₇～t₈のみが走査選択期間t₇～t₉と重複するが、図6に示すように、2つの選択トランジスタM_g、M_bがそれぞれオン状態である期間（Gライン充電期間およびBライン充電期間）の双方が走査選択期間t₇～t₉と重複する構成であってもよい。以下、このように構成された上記第1の実施形態の変形例を「第2変形例」という。

[0064] 本変形例では、Bライン充電期間（B選択トランジスタM_bがオン状態である期間）だけでなくGライン充電期間（G選択トランジスタM_gがオン状態である期間）も走査選択期間と重複しているが、B選択制御信号SSD_bおよびG選択制御信号SSD_gのいずれにおいてもリセット期間が設けられている。このため、ダイオード接続に起因するデータ書込不良の問題（図14）は生じない。本変形例における他の構成は上記第1の実施形態と同様である。このような本変形例によれば、ダイオード接続に起因するデータ書込不良の問題を回避しつつ、データ信号線D_{r i}、D_{g i}、D_{b i}の充電期間および画素回路11_r、11_g、11_b内のデータ保持キャパシタC1の充電期間を上記第1の実施形態よりも増大させることができる。また、上記第

1の実施形態に比べ、リセット電圧を与えるべきデータ信号線の本数が2／3に減るので、ライン初期化に必要な電力も低減される。

[0065] なお、より一般的には、各デマルチプレクサ41におけるR、G、およびB選択トランジスタ M_r 、 M_g 、 M_b のうち、先行走査信号線 S_{j-1} が非選択状態に変化した後であって対応走査信号線 S_j が選択状態に変化する前にアクティブとなるリセット期間が設けられている選択制御信号 SSD_x （ x は r 、 g 、 b のいずれか）によりオン／オフが制御される選択トランジスタ M_x については、ダイオード接続に起因するデータ書込不良の問題を生じさせることなく、そのオン期間に相当するライン充電期間を対応走査信号線 S_j の選択期間と重複させることができる。すなわち、走査選択期間においてオン状態となる選択トランジスタ M_x （ x は r 、 g 、 b のいずれか）が、上記リセット期間においてオン状態となる選択トランジスタ M_y （ y は r 、 g 、 b のいずれか）に含まれる場合には、ダイオード接続に起因するデータ書込不良の問題は生じない。例えば上記第1の実施形態および上記第1変形例では、選択トランジスタ M_b のみが走査選択期間においてオン状態となっているが（図3、図5）、上記第1の実施形態では全ての選択トランジスタ M_r 、 M_g 、 M_b がリセット期間でオン状態であり（図3）、上記第1変形例では当該選択トランジスタ M_b がリセット期間でオン状態であるので（図5）、ダイオード接続に起因するデータ書込不良の問題は生じない。また、例えば上記第2変形例では、選択トランジスタ M_g 、 M_b が走査選択期間においてオン状態となっているが、これらの選択トランジスタ M_g 、 M_b はいずれもリセット期間でオン状態であるので（図6）、ダイオード接続に起因するデータ書込不良の問題は生じない。なお、上記第1の実施形態のように全ての選択トランジスタ M_r 、 M_g 、 M_b がリセット期間でオン状態となる場合には、全ての選択トランジスタ M_r 、 M_g 、 M_b が走査選択期間においてオン状態となってもよい。しかし、図3に示すように1つの選択トランジスタ M_b のみを走査選択期間においてオン状態とする構成によれば、画素回路11 r 、11 g 、11 b の間でデータ保持キャパシタ C_1 の充電率に差が

生じにくく輝度ばらつきが小さい。

[0066] <2. 第2の実施形態>

<2. 1 全体構成>

図7は、第2の実施形態に係る表示装置2の全体構成を示すブロック図である。この表示装置2も、内部補償を行うSSD方式の有機EL表示装置であって、図7に示すように、表示部10、表示制御回路20、データ側駆動回路（データドライバ）30、デマルチプレクサ部40、走査側駆動回路（走査ドライバ）50、および、発光制御線駆動回路（エミッションドライバ）60を備えている。

[0067] 表示部10には、 $m \times k$ （ m 、 k は2以上の整数）本のデータ信号線が配設されている。本実施形態では、 $k = 3$ である上記第1の実施形態とは異なり、 $k = 2$ である。すなわち本実施形態では、表示部10には、 $2m$ 本のデータ信号線 D_{a1} 、 D_{b1} 、 D_{a2} 、 D_{b2} 、 $\dots$ 、 D_{am} 、 D_{bm} と、これらに交差する n 本の走査信号線 $S_1 \sim S_n$ とが配設されており、 n 本の走査信号線 $S_1 \sim S_n$ に沿って n 本の発光制御線（エミッションライン） $E_1 \sim E_n$ がそれぞれ配設されている。また図7に示すように、表示部10には $2m \times n$ 個の画素回路11が設けられており、これら $2m \times n$ 個の画素回路11は、それぞれが、上記 $2m$ 本のデータ信号線 $D_{x1} \sim D_{xm}$ （ $x = a, b$ ）のいずれか1つに対応し、かつ、上記 n 本の走査信号線 $S_1 \sim S_n$ のいずれか1つに対応し、かつ、上記 n 本の発光制御線 $E_1 \sim E_n$ のいずれか1つに対応するように、上記 $2m$ 本のデータ信号線 $D_{x1} \sim D_{xm}$ （ $x = a, b$ ）および上記 n 本の走査信号線 $S_1 \sim S_n$ に沿ってマトリクス状に配置されている。上記 $2m$ 本のデータ信号線 $D_{x1} \sim D_{xm}$ （ $x = a, b$ ）はデマルチプレクサ部40に接続され、上記 n 本の走査信号線 $S_1 \sim S_n$ は走査側駆動回路50に接続され、上記 n 本の発光制御線 $E_1 \sim E_n$ は発光制御線駆動回路60に接続されている。

[0068] また表示部10には、上記第1の実施形態と同様、各画素回路11に共通の図示しない電源線として、ハイレベル電源線 L_{VDD} およびローレベル電

源線 $E L V S S$ が配設されるとともに、初期化電圧 $V i n i$ を供給する初期化線 $V i n i$ が配設されている。これらの電圧は、図示しない電源回路から供給される。

[0069] 図 7 では、 m 本のデータ信号線 $D a 1 \sim D a m$ （以下「A データ信号線 $D a 1 \sim D a m$ 」ともいう）にそれぞれ形成される配線容量 $C d a 1 \sim C d a m$ のそれぞれが 1 つのキャパシタとして示され、他の m 本のデータ信号線 $D b 1 \sim D b m$ （以下「B データ信号線 $D b 1 \sim D b m$ 」ともいう）にそれぞれ形成される配線容量 $C d b 1 \sim C d b m$ のそれぞれが 1 つのキャパシタとして示されている（以下、これらの配線容量 $C d x i$ （ $x = a, b ; i = 1 \sim m$ ）を「データライン容量」と呼ぶ）。各データライン容量 $C d x i$ を示すキャパシタの一端（データ信号線 $D x i$ が接続されていない側）には例えば接地電圧が与えられるが、本発明はこれに限定されない。

[0070] 表示制御回路 20 は、表示すべき画像を表す画像情報および画像表示のためのタイミング制御情報を含む入力信号 $S i n$ を表示装置 2 の外部から受け取り、この入力信号 $S i n$ に基づき、データ側駆動回路 30、デマルチプレクサ部 40、走査側駆動回路 50、および、発光制御線駆動回路 60 に各種制御信号を出力する。より詳細には、表示制御回路 20 は、データ側駆動回路 30 にデータスタートパルス $D S P$ 、データクロック信号 $D C K$ 、表示データ $D A$ 、およびラッチパルス $L P$ を出力する。表示制御回路 20 はまた、デマルチプレクサ部 40 に A 選択制御信号 $S S D a$ および B 選択制御信号 $S S D b$ を出力する。表示制御回路 20 はまた、走査側駆動回路 50 に走査スタートパルス $S S P$ および走査クロック信号 $S C K$ を出力する。表示制御回路 20 はまた、発光制御線駆動回路 60 に発光制御スタートパルス $E S P$ および発光制御クロック信号 $E C K$ を出力する。

[0071] データ側駆動回路 30 は、上記第 1 の実施形態と同様、図示しない m ビットのシフトレジスタ、サンプリング回路、ラッチ回路、および m 個の D / A コンバータ等を含んでいる。 m 個の D / A コンバータは、データ側駆動回路 30 の m 個の出力端子 $T d 1 \sim T d m$ にそれぞれ接続された m 本の出力線 D

1～D_mに対応しており、表示データD_Aに基づくアナログ形式のデータ信号を出力線D₁～D_mに供給する。本実施形態に係る表示装置2では、SSD方式が採用されていることから、各出力線D_iにはAデータ信号およびBデータ信号が順次に（時分割的に）供給される。ここで、Aデータ信号は、表示部10における2m本のデータ信号線D_{x1}～D_{xm}（x=a, b）のうち奇数番目のデータ信号線であるAデータ信号線D_{a1}～D_{am}に印加すべきデータ信号であり、Bデータ信号は、偶数番目のデータ信号線であるBデータ信号線D_{b1}～D_{bm}に印加すべきデータ信号である。

[0072] デマルチプレクサ部40は、データ側駆動回路30のm個の出力端子T_{d1}～T_{dm}にそれぞれ対応する第1から第mデマルチプレクサ41からなるm個のデマルチプレクサ41を含んでいる。第iデマルチプレクサの入力端子は、データ側駆動回路30の対応する出力端子T_{di}に出力線D_iを介して接続されている（i=1～m）。上記第1の実施形態とは異なり、第iデマルチプレクサ41は2個の出力端子を有し、これら2個の出力端はそれぞれ、2本のデータ信号線D_{ai}, D_{bi}に接続されている。第iデマルチプレクサ41は、データ側駆動回路30の出力端子T_{di}から出力線D_iを介して順次供給されるAデータ信号およびBデータ信号をAデータ信号線D_{ai}およびBデータ信号線D_{bi}にそれぞれ供給する。各デマルチプレクサ41の動作は、A選択制御信号SSD_aおよびB選択制御信号SSD_bにより制御される。

[0073] 走査側駆動回路50は、上記第1の実施形態と同様にしてn本の走査信号線S₁～S_nを駆動する。より詳細には、走査側駆動回路50は、図示しないシフトレジスタおよびバッファ等を含んでいる。シフトレジスタは、走査クロック信号SCKに同期して走査スタートパルスSSPを順次転送する。シフトレジスタの各段からの出力である走査信号は、バッファを経由して対応する走査信号線S_j（j=1～n）に供給される。アクティブな（ローレベルの）走査信号により、走査信号線S_jに接続された2m個の画素回路11が一括して選択される。

[0074] 発光制御線駆動回路60は、 n 本の発光制御線 $E_1 \sim E_n$ を駆動する。より詳細には、発光制御線駆動回路60は、図示しないシフトレジスタおよびバッファ等を含んでいる。シフトレジスタは、発光制御クロック信号 ECK に同期して発光制御スタートパルス ESP を順次転送する。シフトレジスタの各段からの出力である発光制御信号は、バッファを経由して対応する発光制御線 E_j ($j = 1 \sim n$) に供給される。

[0075] 図7に示すように走査側駆動回路50は、上記第1の実施形態と同様、発光制御線駆動回路60とは分離されていて、表示部10の一端側（図7では表示部10に対する左側）に配置され、発光制御線駆動回路60は表示部10の他端側（図7では表示部10に対する右側）に配置されているが、このような配置や構成に限定されない。

[0076] <2. 2 画素回路と各種配線との接続関係>

図8は、本実施形態における一部の画素回路11a, 11bと各種配線との接続関係を示す回路図である。これらの画素回路11a, 11bは、表示部10における $2m \times n$ 個の画素回路11のうち、同一の走査信号線 S_j に接続されるとともに同一のデマルチプレクサ41に2本のデータ信号線 Da_i , $D b_i$ をそれぞれ介して接続されている。ここで、符号“11a”は、Aデータ信号線 Da_i に接続された画素回路（以下「A画素回路」ともいう）11であることを示すために使用し、符号“11b”は、Bデータ信号線 $D b_i$ に接続された画素回路（以下「B画素回路」ともいう）11であることを示すために使用するものとする。

[0077] 図8に示すように、各デマルチプレクサ41は、A選択トランジスタ M_a およびB選択トランジスタ M_b を含んでいる。A選択トランジスタ M_a の制御端子としてのゲート端子にはA選択制御信号 SSD_a が与えられ、B選択トランジスタ M_b の制御端子としてのゲート端子にはB選択制御信号 SSD_b が与えられる。これら選択トランジスタ M_a , M_b の第1導通端子としてのドレイン端子はデータ信号線 Da_i , $D b_i$ にそれぞれ接続され、これら選択トランジスタ M_a , M_b の第2導通端子としてのソース端子はいずれも

出力線 D_i に接続されている ($i = 1 \sim m$)。したがって各出力線 D_i は、対応するデマルチプレクサ 41 において、A 選択トランジスタ M_a を介して A データ信号線 D_{a_i} に接続され、B 選択トランジスタ M_b を介して B データ信号線 D_{b_i} に接続されている。

[0078] 図 8 に示すように、A 画素回路 11a および B 画素回路 11b は、走査信号線の延伸する方向において順に並べて配置されている。なお、A 画素回路 11a および B 画素回路 11b の構成は基本的に同一であるので、以下では、これらの画素回路で互いに共通する部分については A 画素回路 11a の構成を例に挙げて説明し、これらの画素回路で互いに異なる部分については、適宜個別に説明する。

[0079] A 画素回路 11a は、上記第 1 の実施形態における R 画素回路 11r、G 画素回路 11g、および B 画素回路 11b と同様、有機 EL 素子 OLED、駆動トランジスタ M_1 、書込用トランジスタ M_2 、補償用トランジスタ M_3 、第 1 初期化用トランジスタ M_4 、電源供給用トランジスタ M_5 、発光制御用トランジスタ M_6 、第 2 初期化用トランジスタ M_7 、および、データ電圧を保持するための保持容量としてのデータ保持キャパシタ C_1 を含んでおり、これらの素子間の接続関係も同様である (図 2、図 8 参照)。B 画素回路 11b も、A 画素回路 11a と同様の素子を含み、それらの素子間の接続関係も同様である (図 8 参照)。

[0080] A 画素回路 11a には、それに対応する走査信号線 (対応走査信号線) S_j 、対応走査信号線 S_j の直前の走査信号線 (先行走査信号線) S_{j-1} 、それに対応する発光制御線 (対応発光制御線) E_j 、それに対応する A データ信号線 (対応データ信号線) D_{a_i} 、ハイレベル電源線 $ELVDD$ 、ローレベル電源線 $ELVSS$ 、および、初期化線 V_{ini} が接続されている。B 画素回路 11b には、A データ信号線 D_{a_i} に代えて B データ信号線 D_{b_i} が対応データ信号線として接続されている。その他の接続は A 画素回路 11a と同様である。なお、A データ信号線 D_{a_i} にはデータライン容量 C_{da_i} が形成され、B データ信号線 D_{b_i} にはデータライン容量 C_{db_i} が形成

されている（図8参照）。

[0081] A画素回路11aでは、書込用トランジスタM2は、対応走査信号線S_jにゲート端子が接続され、対応データ信号線D_{a i}にソース端子が接続されている。B画素回路11bでは、書込用トランジスタM2は、対応走査信号線S_jにゲート端子が接続され、対応データ信号線D_{b i}にソース端子が接続されている。

[0082] A画素回路11aおよびB画素回路11bのそれぞれにおいて、書込用トランジスタM2は、対応走査信号線S_jの選択に応じて、対応データ信号線D_{x i}の電圧すなわちデータライン容量C_{d x i}に保持されたデータ電圧を駆動トランジスタM1に供給する（x = a, b）。

[0083] A画素回路11aおよびB画素回路11bのそれぞれにおける上記以外の構成（配線および接続関係）は、上記第1の実施形態におけるR画素回路11r、G画素回路11g、およびB画素回路11bの構成と同様であるので、その説明を省略する（図2、図8参照）。

[0084] <2.3 駆動方法>

図9は、図7および図8に示す本実施形態に係る表示装置2の駆動を説明するための信号波形図である。図9は、同一の走査信号線S_jに接続されるとともに同一のデマルチプレクサ41に2本のデータ信号線D_{a i}, D_{b i}をそれぞれ介して接続される2つの画素回路11a, 11bに着目し、これらの画素回路11a, 11bを駆動するための信号の波形を示している。図10は、本実施形態に係る表示装置2の動作を説明するための1H期間についての詳細な信号波形を示している。なお、以下で述べる画素回路11a, 11bにおけるトランジスタ等の回路素子は、特に断らない限り、これらの画素回路11a, 11bのいずれにおいても同様に動作するものとする。

[0085] 図9は、上記第1の実施形態に係る表示装置2（図1、図2）の駆動を説明するための信号波形を示す図3に対応し、図10は、上記第1の実施形態に係る表示装置2の動作を説明するための1H期間についての詳細な信号波形を示す図4に対応する。本実施形態では多重度が2のSSD方式が採用さ

れていることから、図9では、図3に示すR選択制御信号SSD_r、G選択制御信号SSD_g、およびB選択制御信号SSD_bの信号波形が、A選択制御信号SSD_aおよびB選択制御信号SSD_bの信号波形に置き換わっている。また同様に、図10では、図4に示すR選択制御信号SSD_r、G選択制御信号SSD_g、およびB選択制御信号SSD_bの信号波形が、A選択制御信号SSD_aおよびB選択制御信号SSD_bの信号波形に置き換わるとともに、図4に示すRデータ信号線D_{ri}、Gデータ信号線D_{gi}、およびBデータ信号線D_{bi}の信号波形（電圧波形）が、Aデータ信号線D_{ai}およびBデータ信号線D_{bi}の信号波形（電圧波形）に置き換わり、図4に示すR画素回路11_r内の駆動トランジスタM1のゲート電圧V_{gR}、G画素回路11_g内の駆動トランジスタM1のゲート電圧V_{gG}、およびB画素回路11_b内の駆動トランジスタM1のゲート電圧V_{gB}の波形が、A画素回路11_a内の駆動トランジスタM1のゲート電圧V_{gA}およびB画素回路11_b内の駆動トランジスタM1のゲート電圧V_{gB}の波形に置き換わっている。さらに図4では、データ側駆動回路30の出力端子T_{di}に接続される出力線D_iの信号波形として、リセット電圧の出力後にRデータ信号、Gデータ信号、およびBデータ信号が順次出力される信号波形が示されているが、図9では、出力線D_iの信号波形として、リセット電圧の出力後にAデータ信号およびBデータ信号が順次出力される信号波形が示されている。本実施形態に係る表示装置2の駆動および動作は、上記第1の実施形態に対しこのような相違を有するものの、基本的には、上記第1の実施形態に係る表示装置1の駆動および動作と同様である。したがって、本実施形態における駆動方法については、図8～図10と上記第1の実施形態における既述の駆動方法の説明から当業者には明らかであり、詳しい説明を省略する。

[0086] <2. 4 効果>

本実施形態によれば、上記第1の実施形態と同様、図9および図10に示すように、時刻t₅～t₇の期間であるデータ期間のうち各デマルチプレクサ41における1つの選択トランジスタM_bがオン状態である期間（Bライ

ン充電期間) $t_6 \sim t_7$ が走査選択期間 (画素充電期間) $t_6 \sim t_8$ と重なることから、従来に比べ (図 13)、データ信号線 D_{ai} , D_{bi} の充電期間および画素回路 11a, 11b 内のデータ保持キャパシタ C_1 の充電期間を増大させることができる。

[0087] また本実施形態によれば、上記第 1 の実施形態と同様、図 10 に示すように、走査選択期間 $t_6 \sim t_8$ の前にリセット期間 $t_3 \sim t_4$ が設けられ、このリセット期間 $t_3 \sim t_4$ において各データ信号線 D_{xi} ($x = a, b$) にリセット電圧として白電圧が供給されるので、データ期間 $t_5 \sim t_7$ (における B ライン充電期間) と走査選択期間 $t_6 \sim t_8$ とが重複しても、図 14 に示すようなダイオード接続に起因するデータ書込不良の問題は生じない。

[0088] したがって本実施形態においても、ダイオード接続に起因するデータ書込不良の問題を回避しつつデータ期間と走査選択期間とを重複させることで、データ信号線 D_{ai} , D_{bi} の充電期間および画素回路 11a, 11b 内のデータ保持キャパシタ C_1 の充電期間を増大させることができる。これにより、SSD 方式の有機 EL 表示装置において、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行うことができる。

[0089] < 2. 5 第 2 の実施形態の変形例 >

本実施形態においても、上記第 1 の実施形態の第 1 変形例 (図 5) と同様の変形が可能である。図 11 は、本実施形態のこのような変形例に係る表示装置の動作を説明するための信号波形図である。

[0090] 本変形例では、B 選択制御信号 SSD_b には、上記第 2 の実施形態と同様、対応走査信号線 S_j の選択期間 (走査選択期間) $t_6 \sim t_8$ の前にリセット期間 $t_3 \sim t_4$ が設けられ、このリセット期間 $t_3 \sim t_4$ では、データ側駆動回路 30 の各出力端子 T_{di} からリセット電圧として白電圧 (データ信号線の取り得る最低電圧) が出力されるが、図 11 に示すように、A 選択制御信号 SSD_a にはリセット期間は設けられていない。本変形例における他の構成は上記第 2 の実施形態と同様である。このような本変形例によれば、

上記第2の実施形態と同様の効果が得られるとともに、リセット電圧を与えるべきデータ信号線の本数が1/2に減るので、ダイオード接続に起因するデータ書込不良の問題（図14）を回避するためのライン初期化に必要な電力が低減される。

[0091] <3. 他の変形例>

本発明は上記各実施形態および上記各変形例に限定されるものではなく、本発明の範囲を逸脱しない限りにおいてさらに種々の変形を施すことができる。

[0092] 例えば、上記各実施形態では、ダイオード接続に起因するデータ書込不良の問題（図14）を回避すべく設けられたリセット期間において各データ信号線 $D \times i$ （ $x = r, g, b$ または $x = a, b$ ）にリセット電圧として白電圧が与えられるが、このリセット電圧は、白電圧に限定されるものではなく、走査選択期間においてデータ信号線 $D \times i$ が取り得る最低電圧または当該最低電圧よりも低い電圧であればよい。また上記各実施形態では、対応データ信号線 $D \times i$ がダイオード接続状態の駆動トランジスタM1におけるアノード側に相当するが、対応データ信号線 $D \times i$ がダイオード接続状態の駆動トランジスタM1におけるカソード側に相当する場合（画素回路11xにつき例えば駆動トランジスタM1としてNチャネル型トランジスタを使用する他の構成を採用することにより、ダイオード接続状態の駆動トランジスタM1で仮想的に実現されるダイオードの向きが上記各実施形態と逆になる場合）には、このリセット電圧は、走査選択期間においてデータ信号線が取り得る最高電圧または当該最高電圧よりも高い電圧であればよい。より一般的には、このリセット電圧は、走査選択期間にデータ信号線 $D \times i$ が取り得るどの電圧によっても画素回路11xでダイオード接続状態の駆動トランジスタM1を介してデータ保持キャパシタC1を充電可能なように各データ信号線 $D \times i$ を初期化する電圧であれよい。したがって、データ保持キャパシタC1の初期化電圧 V_{ini} として使用可能な電圧はリセット電圧としても使用することができる。

[0093] また、上記第1の実施形態では多重度が3のSSD方式が採用され（図2）、上記第2の実施形態では多重度が2のSSD方式が採用されているが（図8）、多重度が4以上のSSD方式を採用してもよい。例えば、R（赤）、G（緑）、B（青）、W（白）の4つの原色に基づきカラー画像を表示する有機EL表示装置において、当該4つの原色に対応する4本のデータ信号線を1組として表示部における複数のデータ信号線をm組のデータ信号線群にグループ化し、多重度が4のSSD方式を採用してもよい。この場合、当該m組のデータ信号線群にそれぞれ対応するm個のデマルチプレクサが設けられ、各デマルチプレクサには、対応する組の4本のデータ信号線にそれぞれ接続された4個の選択トランジスタがスイッチング素子として含まれており、データ側駆動回路30の各出力端子Tdiから時分割的に出力される4つのデータ信号（4つの原色に対応する4つのアナログ電圧信号）は、当該デマルチプレクサ41により当該4本のデータ信号線にそれぞれ与えられる。より一般的には、SSD方式の多重度は、表示部10に配設されるデータ信号線の本数よりも十分に小さい2以上の所定数であればよく、多重度が2以上の所定数であるSSD方式を採用した場合、当該所定数のデータ信号線を1組として表示部における複数のデータ信号線がm組のデータ信号線群にグループ化され、当該m組のデータ信号線群にそれぞれ対応するm個のデマルチプレクサ41が設けられる。この場合、各デマルチプレクサ41には、対応する組の当該所定数のデータ信号線にそれぞれ接続された所定数の選択トランジスタがスイッチング素子として含まれており、データ側駆動回路30の各出力端子Tdiから時分割的に出力される所定数のデータ信号（所定数のアナログ電圧信号）は、当該デマルチプレクサ41により当該所定数のデータ信号線にそれぞれ与えられる。

[0094] 上記各実施形態では、データ側駆動回路30の各出力端子Tdiから時分割的に出力される所定数のデータ信号をデマルチプレクサ41によって所定数のデータ信号線にそれぞれ与えるために、各デマルチプレクサ41における所定数の選択トランジスタは、1H期間内においてリセット期間の終了時

点以降に所定期間ずつ交番的にオン状態となる（図4、図10参照）。この所定期間（リセット期間の終了時点 t_4 以降で選択制御信号 SSD_x がローレベルである期間）は、各データライン容量 C_{dx} をデータ信号の電圧で充電するための期間であり（ $x = r, g, b$ または $x = a, b$ ）、 $1H$ 期間内のリセット期間の終了時点 t_4 以降においてデマルチプレクサ41による逆多重化および画素回路11xにおけるデータ保持キャパシタC1の充電（画素充電）を適正に行える範囲内で長くするのが好ましい。また各実施形態では、この所定期間に相当するオン期間の長さは各デマルチプレクサにおける所定数の選択トランジスタ M_x （ $x = r, g, b$ または $x = a, b$ ）の間で同一とされているが、各画素回路11xにおけるデータ保持キャパシタC1の充電時間や容量値等を考慮して、当該所定数の選択トランジスタ M_x でこの所定期間の長さが異なるようにしてもよい。

[0095] また、上記第1の実施形態において、各デマルチプレクサ41における所定数の選択トランジスタを $1H$ 期間内においてリセット期間の終了時点以降に所定期間ずつオン状態とする順序は、図4に示すように、R選択トランジスタ $M_r \rightarrow G$ 選択トランジスタ $M_g \rightarrow B$ 選択トランジスタ M_b という順序であり、上記第2の実施形態における当該順序は、図10に示すように、A選択トランジスタ $M_a \rightarrow B$ 選択トランジスタ M_b という順序であるが、本発明はこれらの順序に限定されない。例えば、各デマルチプレクサ41に対応する所定数（3本または2本）のデータ信号線にそれぞれ接続される所定数の画素回路（上記第1の実施形態における3個の画素回路11r, 11g, 11bまたは上記第2の実施形態における2個の画素回路11a, 11b）の間でデータ保持キャパシタC1の容量値が異なる場合には、それらの容量値に応じた順序とするのが好ましい。すなわち、各デマルチプレクサに含まれる所定数の選択トランジスタ（3個の選択トランジスタ M_r, M_g, M_b または2個の選択トランジスタ M_a, M_b ）のうち接続されたデータ信号線 D_{xi} に対応する画素回路11xにおけるデータ保持キャパシタC1の容量値が小さい選択トランジスタ M_x ほど遅くオン状態となるような順序とするの

が好ましい（ $x = r, g, b$ または $x = a, b$ ）。このことは、4 本以上のデータ信号線を 1 組として表示部における複数のデータ信号線を m 組のデータ信号線群にグループ化し、多重度が 4 以上の所定数である SSD 方式が採用された構成においても同様である。このような構成によれば、各画素回路におけるデータ保持キャパシタ C_1 の充電率を効率よく向上させることができる。

[0096] なお以上において、有機 EL 表示装置を例に挙げて各実施形態およびその変形例が説明されたが、本発明は、有機 EL 表示装置に限定されるものではなく、電流で駆動される表示素子を用いた SSD 方式の表示装置であれば適用可能である。ここで使用可能な表示素子は、電流によって輝度または透過率等が制御される表示素子であり、例えば、有機 EL 素子すなわち有機発光ダイオード（Organic Light Emitting Diode（OLED））の他、無機発光ダイオードや量子ドット発光ダイオード（Quantum dot Light Emitting Diode（QLED））等が使用可能である。

[0097] <4. 付記>

<付記 1>

表示すべき画像を表す複数のアナログ電圧信号を伝達するための複数のデータ信号線と、前記複数のデータ線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

2 以上の所定数のデータ信号線を 1 組として前記複数のデータ信号線をグループ化することにより得られる複数組のデータ信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子から、当該出力端子に対応する組の所定数のデータ信号線によりそれぞれ伝達すべき所定数のアナログ電圧信号を時分割的に出力するデータ側駆動回路と、

前記データ側駆動回路の前記複数の出力端子にそれぞれ接続され、前記複数組のデータ信号線群にそれぞれ対応する複数のデマルチプレクサと、

前記複数の走査信号線を選択的に駆動する走査側駆動回路と、

前記複数のデマルチプレクサ、前記データ側駆動回路、および、前記走査側駆動回路を制御する表示制御回路とを備え、

各デマルチプレクサは、対応する組の所定数のデータ信号線にそれぞれ対応する所定数のスイッチング素子を含み、各スイッチング素子は、対応するデータ信号線に接続された第1導通端子と、当該デマルチプレクサに接続された出力端子から前記データ側駆動回路が出力するアナログ電圧信号を受け取るための第2導通端子と、オン／オフを制御する選択制御信号を受け取るための制御端子とを有し、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応するとともに前記複数の走査信号線のいずれか1つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子の駆動電流を制御する電圧を保持するための保持容量と、前記保持容量に保持された電圧に応じた駆動電流を前記表示素子に与えるための駆動トランジスタとを含み、対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が前記駆動トランジスタを介して前記保持容量に与えられるように構成されており、

前記表示制御回路は、

各走査信号線につき、当該走査信号線が選択される直前に選択された他の走査信号線である先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたりセット期間において、各デマルチプレクサにおける前記所定数のスイッチング素子のうち1つ以上のスイッチング素子をオン状態とし、

前記1つ以上のスイッチング素子のうち少なくとも1つのスイッチング素子が各走査信号線の選択期間においてオン状態となるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を所定期間ずつ順次にオン状態とし、

前記データ側駆動回路は、

前記リセット期間に、各データ信号線を初期化するための電圧をリセッ

ト電圧として各出力端子から出力し、

前記リセット期間後に、前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする前記表示制御回路による制御に応じて、各出力端子から前記所定数のアナログ電圧信号を時分割的に出力する、表示装置。

[0098] <付記 2>

付記 1 に記載の表示装置において、

前記表示制御回路は、各走査信号線につき、前記所定数のスイッチング素子のうち前記少なくとも 1 つのスイッチング素子以外の他の少なくとも 1 つのスイッチング素子は前記リセット期間後であって当該走査信号線が選択状態に変化する前にオン状態であるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とするように構成されていてもよい。

[0099] このような付記 2 に記載の表示装置においても、各走査信号線につき、リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に各デマルチプレクサにおける所定数のスイッチング素子が所定期間ずつ順次にオン状態となる。このとき、当該所定数のスイッチング素子のうち当該走査信号線の選択期間にオン状態となるスイッチング素子以外の少なくとも 1 つのスイッチング素子は、リセット期間後であってその選択期間の前にオン状態となる。このような付記 2 に記載の表示装置も、付記 1 に記載の表示装置と同様の特徴に基づき同様の効果を奏する。

[0100] <付記 3>

付記 1 に記載の表示装置において、

前記表示制御回路は、前記 1 つ以上のスイッチング素子のうち 1 つのスイッチング素子のみが各走査信号線の選択期間にオン状態となるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とするように構成されていてもよい。

[0101] このような付記 3 に記載の表示装置においても、各走査信号線につき、リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に各デマルチプレクサにおける所定数のスイッチング素子が所定期間ずつ順次にオン状態となる。このとき、各デマルチプレクサにおいてリセット期間にオン状態となる 1 つ以上のスイッチング素子のうち 1 つのスイッチング素子のみが各走査信号線の選択期間にオン状態となる。各デマルチプレクサにおける他のスイッチング素子は当該走査信号線の選択期間の前に所定期間ずつオン状態となり、当該他のスイッチング素子に接続されるデータ信号線は対応するデータ信号としてのアナログ電圧信号で充電される。したがって、付記 3 に記載の表示装置によれば、各走査信号線の選択期間に各デマルチプレクサの 2 つ以上のスイッチング素子がオン状態となる場合に比べ、画素回路間で保持容量の充電率に差が生じにくい。その結果、充電率の相違による輝度差の発生が抑えられて表示品質が向上する。

[0102] <付記 4>

付記 3 に記載の表示装置において、

前記表示制御回路は、前記リセット期間に前記 1 つのスイッチング素子のみをオン状態とするように構成されていてもよい。

[0103] このような付記 4 に記載の表示装置では、リセット期間に各デマルチプレクサにおける所定数のスイッチング素子のうち 1 つのスイッチング素子のみがオン状態となり、そのリセット期間後、各デマルチプレクサにおける他のスイッチング素子は、各走査信号線の選択期間の前に所定期間ずつオン状態となり、当該 1 つのスイッチング素子はその選択期間にオン状態となる。したがって、付記 4 に記載の表示装置によれば、付記 3 に記載の表示装置と同様の効果に加えて、リセット電圧を与えて初期化すべきデータ信号線の数削減されるので、データ信号線の初期化のために必要な電力が低減される。

[0104] <付記 5>

付記 1 または 2 に記載の表示装置において、

前記複数のデータ信号線は、3 以上の所定数の原色に基づくカラー画像を

表す複数のアナログ電圧信号を伝達し、各データ信号線は前記所定数の原色のいずれかに対応し、

前記複数組のデータ信号線群は、前記所定数の原色に対応する所定数のデータ信号線を1組として前記複数のデータ信号線をグループ化することにより得られるものであり、

前記複数の画素回路は、前記複数のアナログ電圧信号に基づき前記カラー画像を表示するように構成されていてもよい。

[0105] このような付記5に記載の表示装置によれば、表示部における複数のデータ信号線は、3以上の所定数の原色に基づくカラー画像を表す複数のアナログ電圧信号を伝達し、当該所定数の原色に対応する所定数のデータ信号線を1組として複数組のデータ信号線群にグループ化されている。データ側駆動回路の各出力端子から時分割的に出力されるアナログ電圧信号は、当該出力端子に対応する組の所定数のデータ信号線に順次供給される。このようなSSD方式によりカラー画像を表示する表示装置において、付記1または2に記載の表示装置と同様の特徴に基づき同様の効果が得られる。

[0106] <付記6>

付記1または2に記載の表示装置において、

前記表示制御回路は、前記所定数のスイッチング素子のうち接続されたデータ信号線に対応する画素回路における保持容量の値が小さいスイッチング素子ほど遅くオン状態となるように、前記リセット期間後に前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とするよう構成されていてもよい。

[0107] このような付記6に記載の表示装置によれば、各画素回路における保持容量の充電率を効率よく向上させることができる。

[0108] <付記7>

付記1から6のいずれかに記載の表示装置において、

各画素回路は、対応するデータ信号線が当該画素回路内のダイオード接続状態の駆動トランジスタにおけるアノード側に相当するように構成されてお

り、

前記データ側駆動回路は、前記複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最低電圧または当該最低電圧よりも低い電圧をリセット電圧として各出力端子から前記リセット期間に出力するように構成されていてもよい。

[0109] このような付記 7 に記載の表示装置によれば、各画素回路は、それに対応するデータ信号線が当該画素回路内のダイオード接続状態の駆動トランジスタにおけるアノード側に相当するように構成されており、表示部における複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最低電圧または当該最低電圧よりも低い電圧がリセット電圧としてリセット期間にデータ信号線に与えられることで、そのデータ信号線が初期化される。これにより、リセット電圧で初期化されたデータ信号線をデータ信号としてのアナログ電圧信号で充電する期間と画素回路内の保持容量を当該データ信号線の電圧で充電する期間（走査選択期間）とが重複しても、画素回路内のダイオード接続に起因するデータ書込不良の問題は生じない。したがって、リセット電圧で初期化されたデータ信号線の充電期間と画素回路内の保持容量の充電期間（走査選択期間）とを重複させることで、上記データ書込不良の問題を回避しつつ各データ信号線の充電期間と各画素回路内の保持容量の充電期間とを増大させることができる。

[0110] <付記 8>

付記 1 から 6 のいずれかに記載の表示装置において、

各画素回路は、対応するデータ信号線が当該画素回路内のダイオード接続状態の駆動トランジスタにおけるカソード側に相当するように構成されており、

前記データ側駆動回路は、前記複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最高電圧または当該最高電圧よりも高い電圧をリセット電圧として各出力端子から前記リセット期間に出力するように構成されていてもよい。

[0111] このような付記 8 に記載の表示装置によれば、各画素回路は、それに対応するデータ信号線が当該画素回路内のダイオード接続状態の駆動トランジスタにおけるカソード側に相当するように構成されており、表示部における複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最高電圧または当該最高電圧よりも高い電圧がリセット電圧としてリセット期間にデータ信号線に与えられることで、そのデータ信号線が初期化される。これにより、リセット電圧で初期化されたデータ信号線をデータ信号としてのアナログ電圧信号で充電する期間と画素回路内の保持容量を当該データ信号線の電圧で充電する期間（走査選択期間）とが重複しても、画素回路内のダイオード接続に起因するデータ書込不良の問題は生じない。したがって、リセット電圧で初期化されたデータ信号線の充電期間と画素回路内の保持容量の充電期間（走査選択期間）とを重複させることで、上記データ書込不良の問題を回避しつつ各データ信号線の充電期間と各画素回路内の保持容量の充電期間とを増大させることができる。

符号の説明

- [0112] 1, 2 …表示装置
- 10 …表示部
- 11, 11x …画素回路（ $x = r, g, b$ または $x = a, b$ ）
- 20 …表示制御回路
- 30 …データ側駆動回路
- 40 …デマルチプレクサ部
- 41 …デマルチプレクサ
- 50 …走査側駆動回路
- 60 …発光制御線駆動回路
- Tdi …出力端子（ $i = 1 \sim m$ ）
- Di …出力線（ $i = 1 \sim m$ ）
- Dr_i, Dg_i, Db_i …データ信号線
- Da_i, Db_i …データ信号線

S_j …走査信号線 ($j = 1 \sim n$)

E_j …発光制御線 ($j = 1 \sim n$)

$C_{dri}, C_{dgi}, C_{dbi}$ …データライン容量 ($i = 1 \sim m$)

C_{dai}, C_{dbi} …データライン容量 ($i = 1 \sim m$)

M_r, M_g, M_b …選択トランジスタ (スイッチング素子)

M_a, M_b …選択トランジスタ (スイッチング素子)

M_1 …駆動トランジスタ

M_2 …書込用トランジスタ

M_3 …補償込用トランジスタ

M_4, M_7 …初期化用トランジスタ

M_5 …電源供給用トランジスタ

M_6 …発光制御用トランジスタ

C_1 …データ保持キャパシタ (保持容量)

SSD_x …選択制御信号 ($x = r, g, b$ または $x = a, b$)

請求の範囲

[請求項1]

表示すべき画像を表す複数のアナログ電圧信号を伝達するための複数のデータ信号線と、前記複数のデータ線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

2以上の所定数のデータ信号線を1組として前記複数のデータ信号線をグループ化することにより得られる複数のデータ信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子から、当該出力端子に対応する組の所定数のデータ信号線によりそれぞれ伝達すべき所定数のアナログ電圧信号を時分割的に出力するデータ側駆動回路と、

前記データ側駆動回路の前記複数の出力端子にそれぞれ接続され、前記複数のデータ信号線群にそれぞれ対応する複数のデマルチプレクサと、

前記複数の走査信号線を選択的に駆動する走査側駆動回路と、

前記複数のデマルチプレクサ、前記データ側駆動回路、および、前記走査側駆動回路を制御する表示制御回路とを備え、

各デマルチプレクサは、対応する組の所定数のデータ信号線にそれぞれ対応する所定数のスイッチング素子を含み、各スイッチング素子は、対応するデータ信号線に接続された第1導通端子と、当該デマルチプレクサに接続された出力端子から前記データ側駆動回路が出力するアナログ電圧信号を受け取るための第2導通端子と、オン／オフを制御する選択制御信号を受け取るための制御端子とを有し、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応するとともに前記複数の走査信号線のいずれか1つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子の駆動電流を制御する電圧を保持するための保持容量と、前記保持容

量に保持された電圧に応じた駆動電流を前記表示素子に与えるための駆動トランジスタとを含み、対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が前記駆動トランジスタを介して前記保持容量に与えられるように構成されており、

前記表示制御回路は、

各走査信号線につき、当該走査信号線が選択される直前に選択された他の走査信号線である先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたりセット期間において、各デマルチプレクサにおける前記所定数のスイッチング素子のうち1つ以上のスイッチング素子をオン状態とし、

前記1つ以上のスイッチング素子のうち少なくとも1つのスイッチング素子が各走査信号線の選択期間においてオン状態となるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を所定期間ずつ順次にオン状態とし、

前記データ側駆動回路は、

前記リセット期間に、各データ信号線を初期化するための電圧をリセット電圧として各出力端子から出力し、

前記リセット期間後に、前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする前記表示制御回路による制御に応じて、各出力端子から前記所定数のアナログ電圧信号を時分割的に出力する、表示装置。

[請求項2]

前記表示制御回路は、各走査信号線につき、前記所定数のスイッチング素子のうち前記少なくとも1つのスイッチング素子以外の他の少なくとも1つのスイッチング素子は前記リセット期間後であって当該走査信号線が選択状態に変化する前にオン状態であるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変

化する前に前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする、請求項 1 に記載の表示装置。

[請求項3] 前記表示制御回路は、前記 1 つ以上のスイッチング素子のうち 1 つのスイッチング素子のみが各走査信号線の選択期間にオン状態となるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする、請求項 1 に記載の表示装置。

[請求項4] 前記表示制御回路は、前記リセット期間に前記 1 つのスイッチング素子のみをオン状態とする、請求項 3 に記載の表示装置。

[請求項5] 前記複数のデータ信号線は、3 以上の所定数の原色に基づくカラー画像を表す複数のアナログ電圧信号を伝達し、各データ信号線は前記所定数の原色のいずれかに対応し、

前記複数のデータ信号線群は、前記所定数の原色に対応する所定数のデータ信号線を 1 組として前記複数のデータ信号線をグループ化することにより得られるものであり、

前記複数の画素回路は、前記複数のアナログ電圧信号に基づき前記カラー画像を表示する、請求項 1 または 2 に記載の表示装置。

[請求項6] 前記表示制御回路は、前記所定数のスイッチング素子のうち接続されたデータ信号線に対応する画素回路における保持容量の値が小さいスイッチング素子ほど遅くオン状態となるように、前記リセット期間後に前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする、請求項 1 または 2 に記載の表示装置。

[請求項7] 各画素回路は、対応するデータ信号線が当該画素回路内のダイオード接続状態の駆動トランジスタにおけるアノード側に相当するように構成されており、

前記データ側駆動回路は、前記複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最低電圧または当該最低電圧よりも低い電圧をリセット電圧として各出力端子から前記リセッ

ト期間に出力する、請求項 1 から 6 のいずれか 1 項に記載の表示装置。

[請求項8] 各画素回路は、対応するデータ信号線が当該画素回路内のダイオード接続状態の駆動トランジスタにおけるカソード側に相当するように構成されており、

前記データ側駆動回路は、前記複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最高電圧または当該最高電圧よりも高い電圧をリセット電圧として各出力端子から前記リセット期間に出力する、請求項 1 から 6 のいずれか 1 項に記載の表示装置。

[請求項9] 表示すべき画像を表す複数のアナログ電圧信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置の駆動方法であって、

前記表示装置は、

2 以上の所定数のデータ信号線を 1 組として前記複数のデータ信号線をグループ化することにより得られる複数組のデータ信号線群にそれぞれ対応する複数の出力端子を有するデータ側駆動回路と、

前記データ側駆動回路の前記複数の出力端子にそれぞれ接続され、前記複数組のデータ信号線群にそれぞれ対応する複数のデマルチプレクサとを備え、

各デマルチプレクサは、対応する組の所定数のデータ信号線にそれぞれ対応する所定数のスイッチング素子を含み、各スイッチング素子は、対応するデータ信号線に接続された第 1 導通端子と、当該デマルチプレクサに接続された出力端子から前記データ側駆動回路が出力するアナログ電圧信号を受け取るための第 2 導通端子と、オン／オフを制御する選択制御信号を受け取るための制御端子とを有し、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応するとともに前記複数の走査信号線のいずれか1つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子の駆動電流を制御する電圧を保持するための保持容量と、前記保持容量に保持された電圧に応じた駆動電流を前記表示素子に与えるための駆動トランジスタとを含み、対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線から前記駆動トランジスタを介して前記保持容量に電圧が与えられるように構成されており、

前記駆動方法は、

前記複数の走査信号線を選択的に駆動する走査側駆動ステップと、

各走査信号線につき、当該走査信号線が選択される直前に選択された他の走査信号線である先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたりセット期間において、各デマルチプレクサにおける前記所定数のスイッチング素子のうち1つ以上のスイッチング素子をオン状態とするリセットステップと、

前記1つ以上のスイッチング素子のうち少なくとも1つのスイッチング素子が各走査信号線の選択期間においてオン状態となるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を所定期間ずつ順次にオン状態とする逆多重化ステップと、

前記リセット期間に、各データ信号線を初期化するための電圧をリセット電圧として前記データ側駆動回路の各出力端子から出力するリセット電圧出力ステップと、

前記リセット期間後に、前記所定数のスイッチング素子を前記所

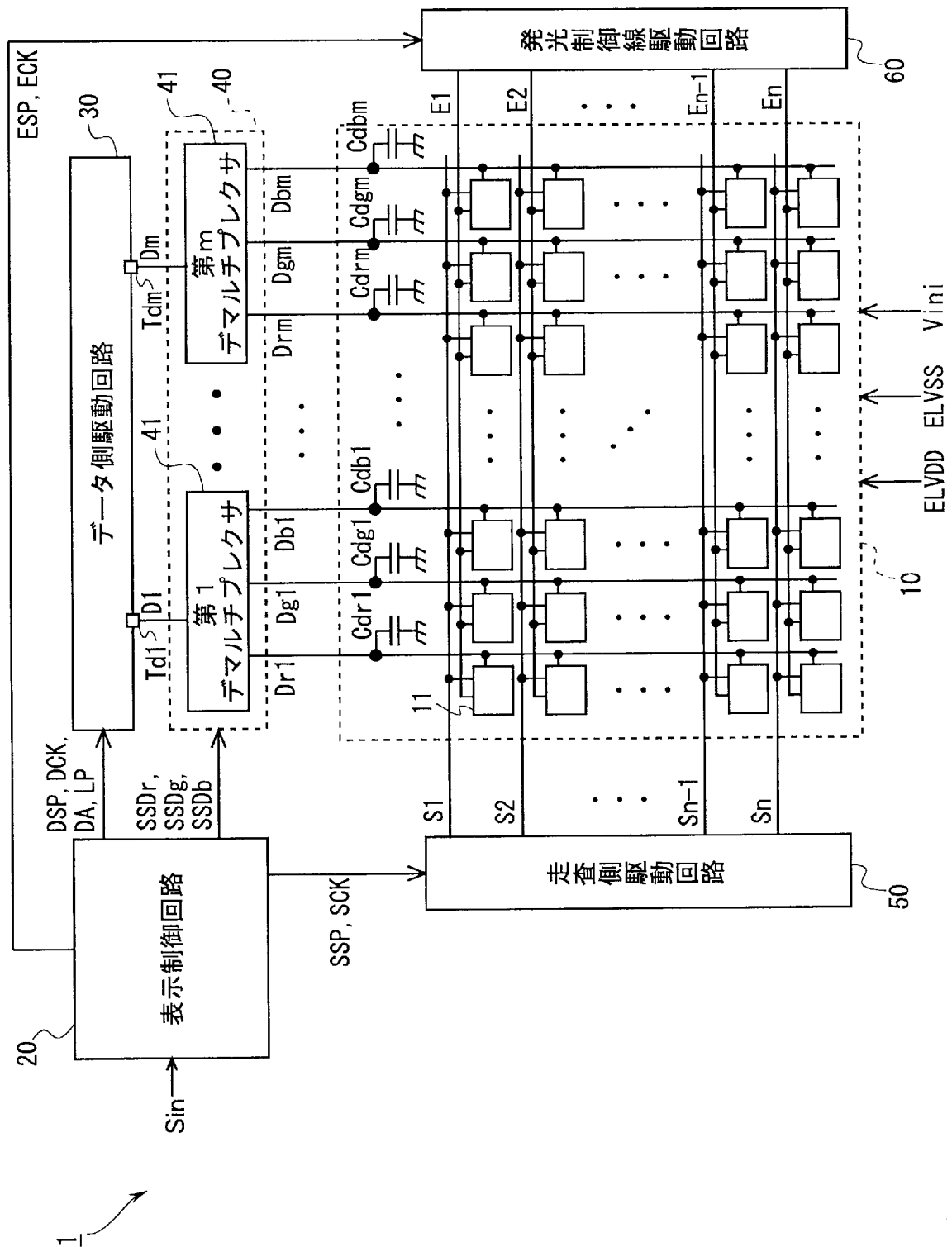
定期間ずつ順次にオン状態とする前記逆多重化ステップに応じて、前記データ側駆動回路の各出力端子から、当該出力端子に対応する組の所定数のデータ信号線によりそれぞれ伝達すべき所定数のアナログ電圧信号を時分割的に出力するデータ信号出力ステップとを備える、駆動方法。

[請求項10] 前記逆多重化ステップでは、各走査信号線につき、前記少なくとも1つのスイッチング素子以外の他の少なくとも1つのスイッチング素子は前記リセット期間後であって当該走査信号線が選択状態に変化する前にオン状態であるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子が前記所定期間ずつ順次にオン状態とされる、請求項9に記載の駆動方法。

[請求項11] 前記逆多重化ステップでは、前記1つ以上のスイッチング素子のうち1つのスイッチング素子のみが各走査信号線の選択期間においてオン状態となるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子が前記所定期間ずつ順次にオン状態とされる、請求項10に記載の駆動方法。

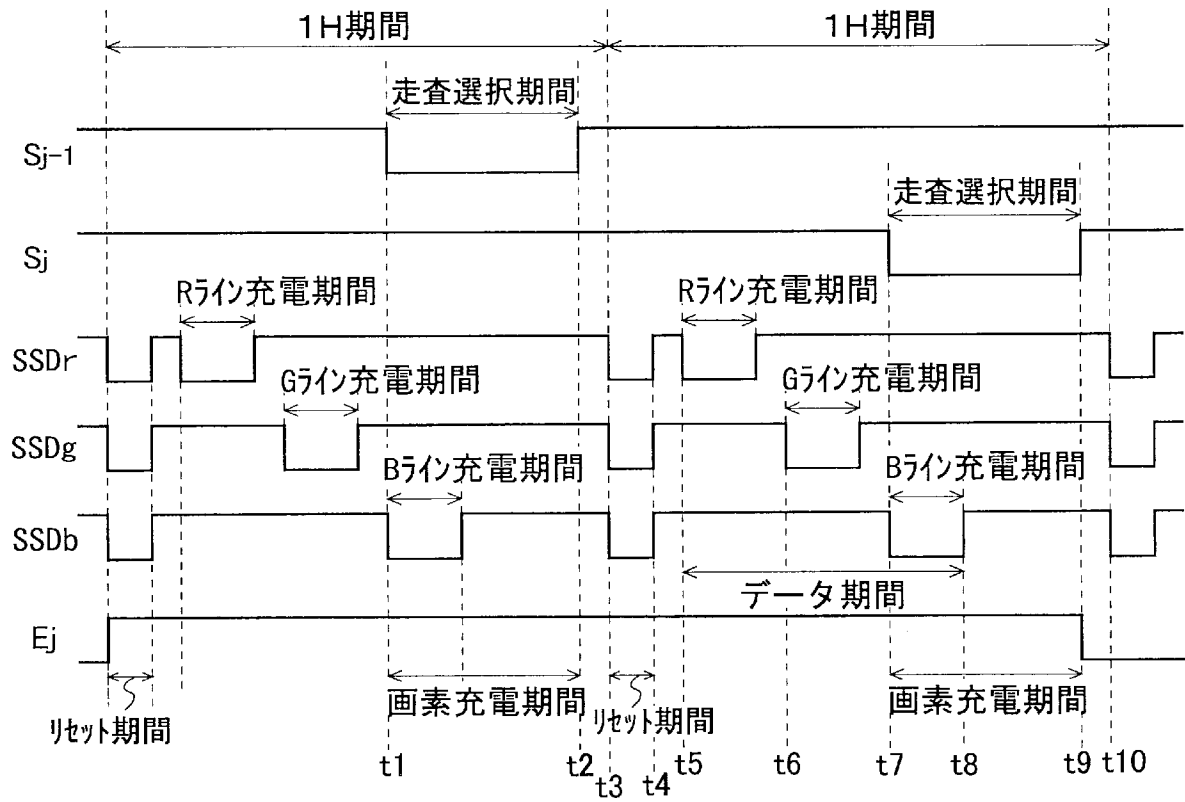
[請求項12] 前記リセットステップでは、前記リセット期間に前記1つのスイッチング素子のみがオン状態とされる、請求項11に記載の駆動方法。

[図1]

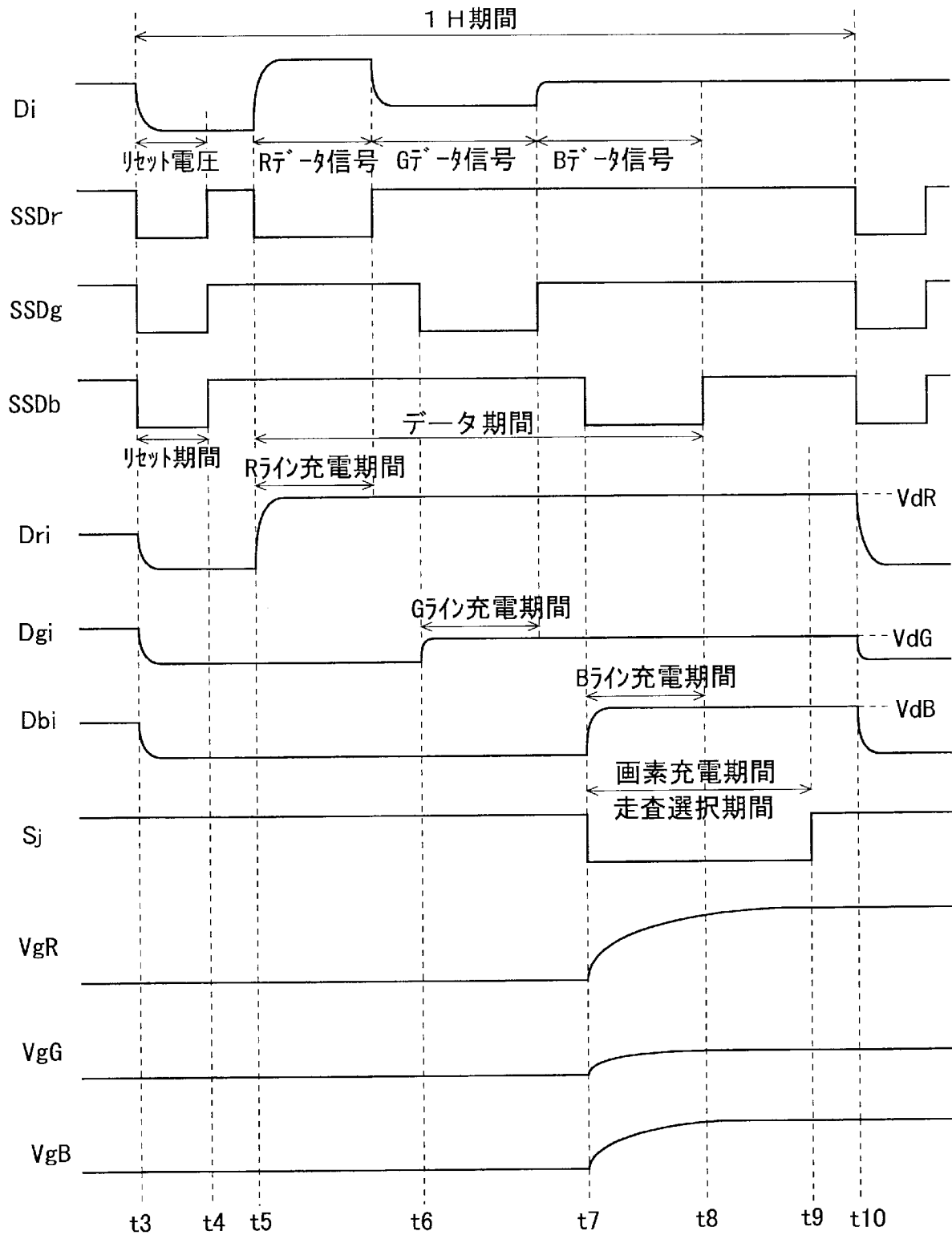


The diagram illustrates a pixel array 41, which is a portion of a display device. It consists of three identical pixel units, labeled 11r, 11g, and 11b, arranged horizontally. Each pixel unit is connected to a common data line D and individual gate lines Dri, Dgi, and Dbi. The input signals Tdi, Ssj-1, Sj, and Ej are also shown. Each pixel unit contains a network of transistors (M1-M7), a capacitor C1, and an OLED. The gate lines Dri, Dgi, and Dbi are connected to the gates of the transistors in each unit. The data line D is connected to the sources of the transistors in each unit. The input signals Tdi, Ssj-1, Sj, and Ej are connected to the gates of the transistors in each unit. The transistors M1-M7 are connected in a specific configuration to drive the OLED. The capacitor C1 is connected to the gate of transistor M1. The OLED is connected to the drain of transistor M6. The pixel units 11r, 11g, and 11b are connected to the common data line D and the individual gate lines Dri, Dgi, and Dbi. The input signals Tdi, Ssj-1, Sj, and Ej are connected to the gates of the transistors in each unit.

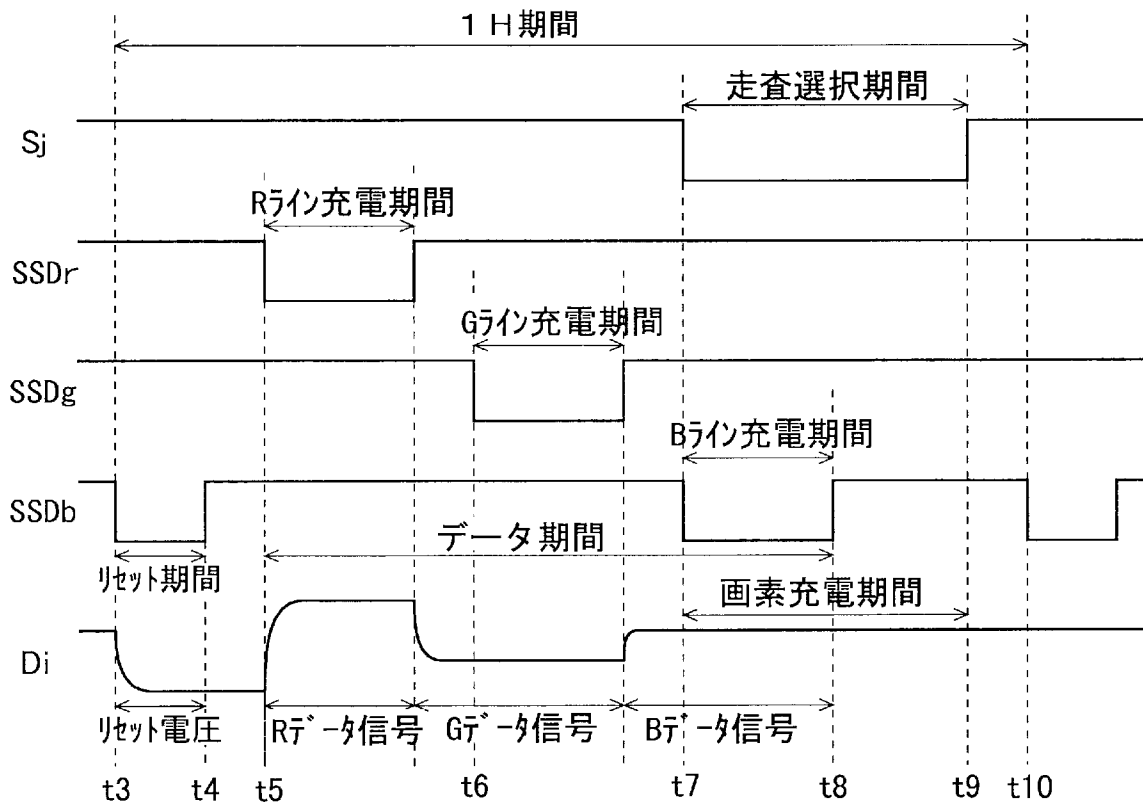
[図3]



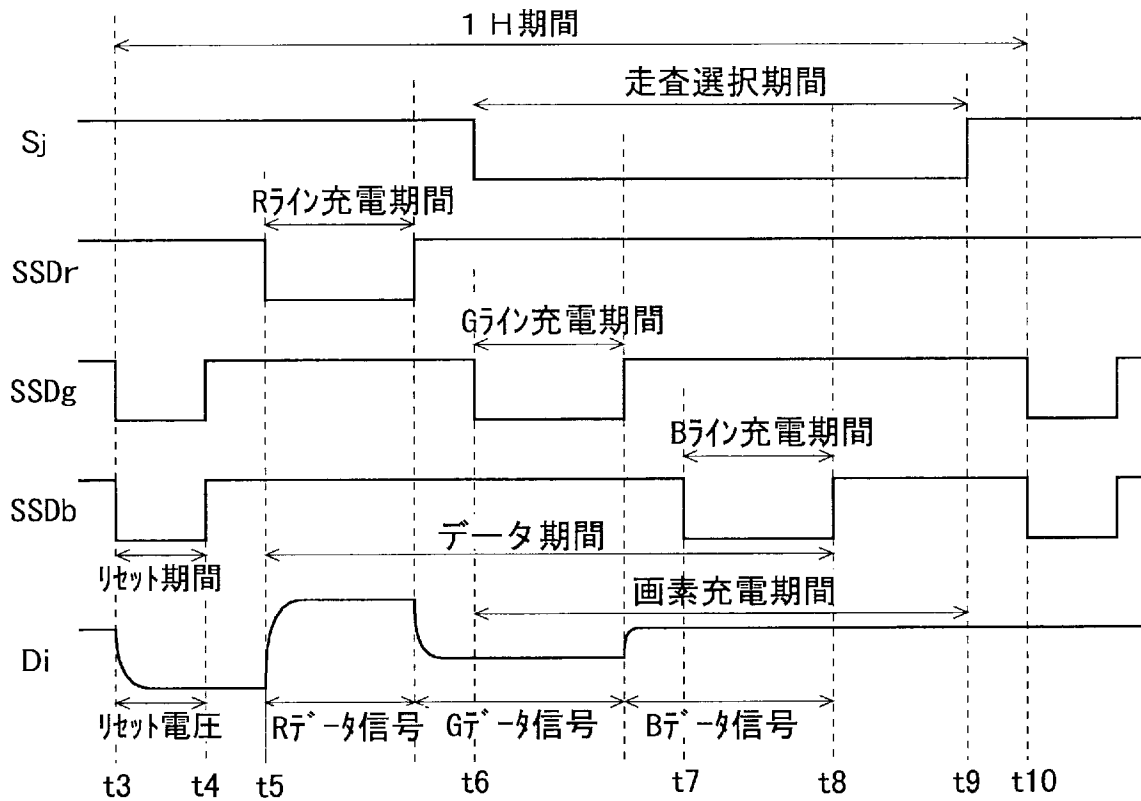
[図4]



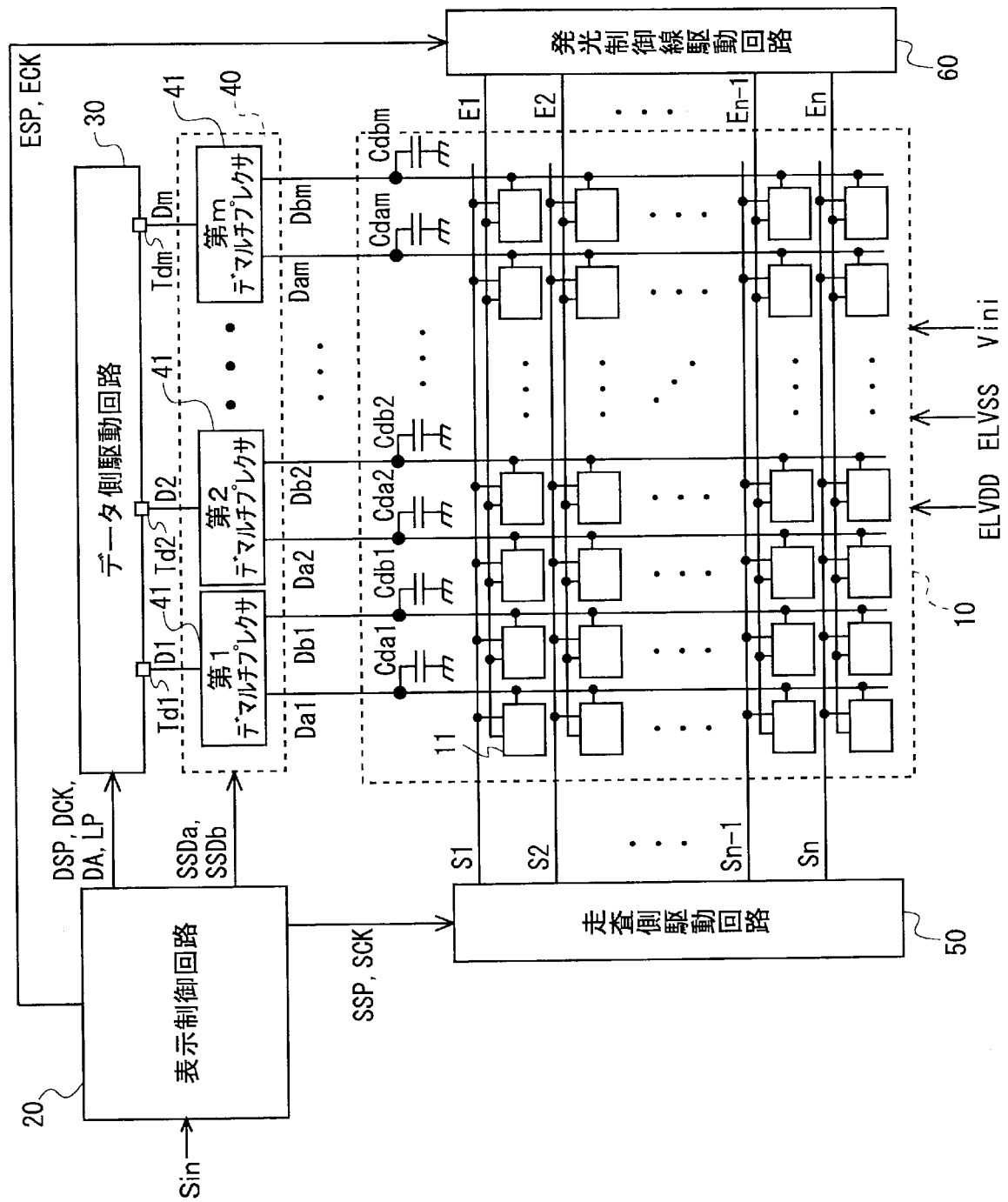
[図5]



[図6]

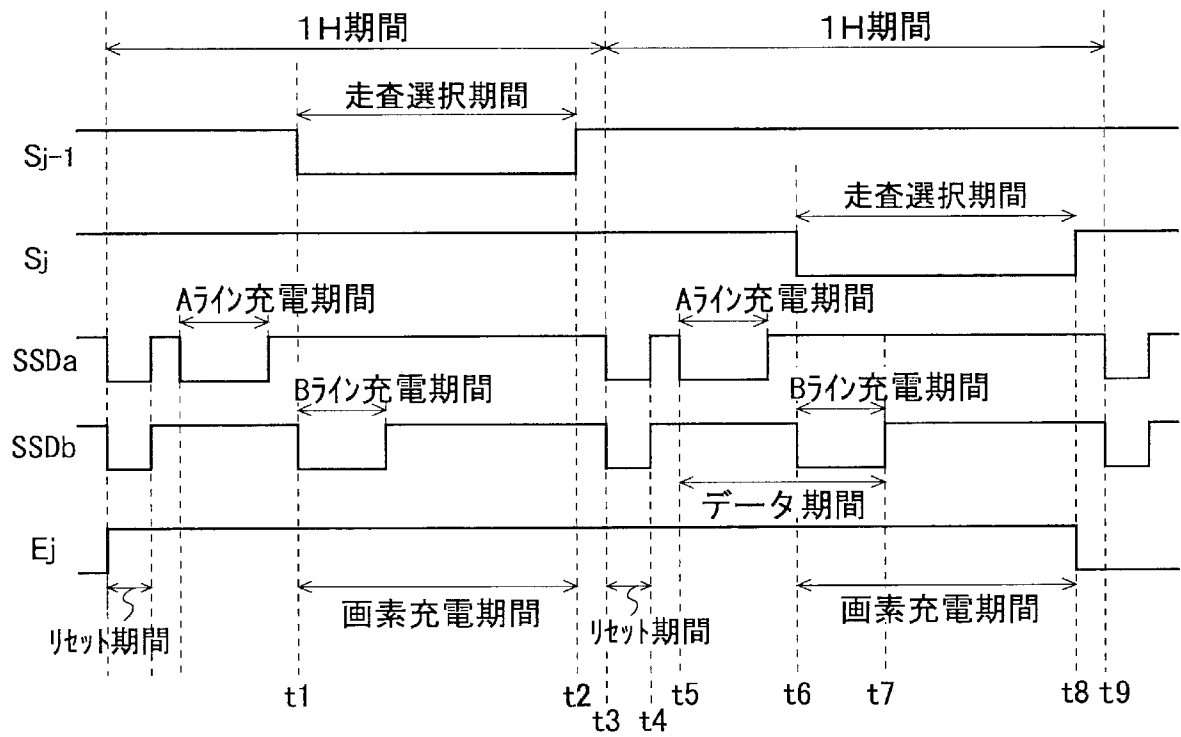


[図7]

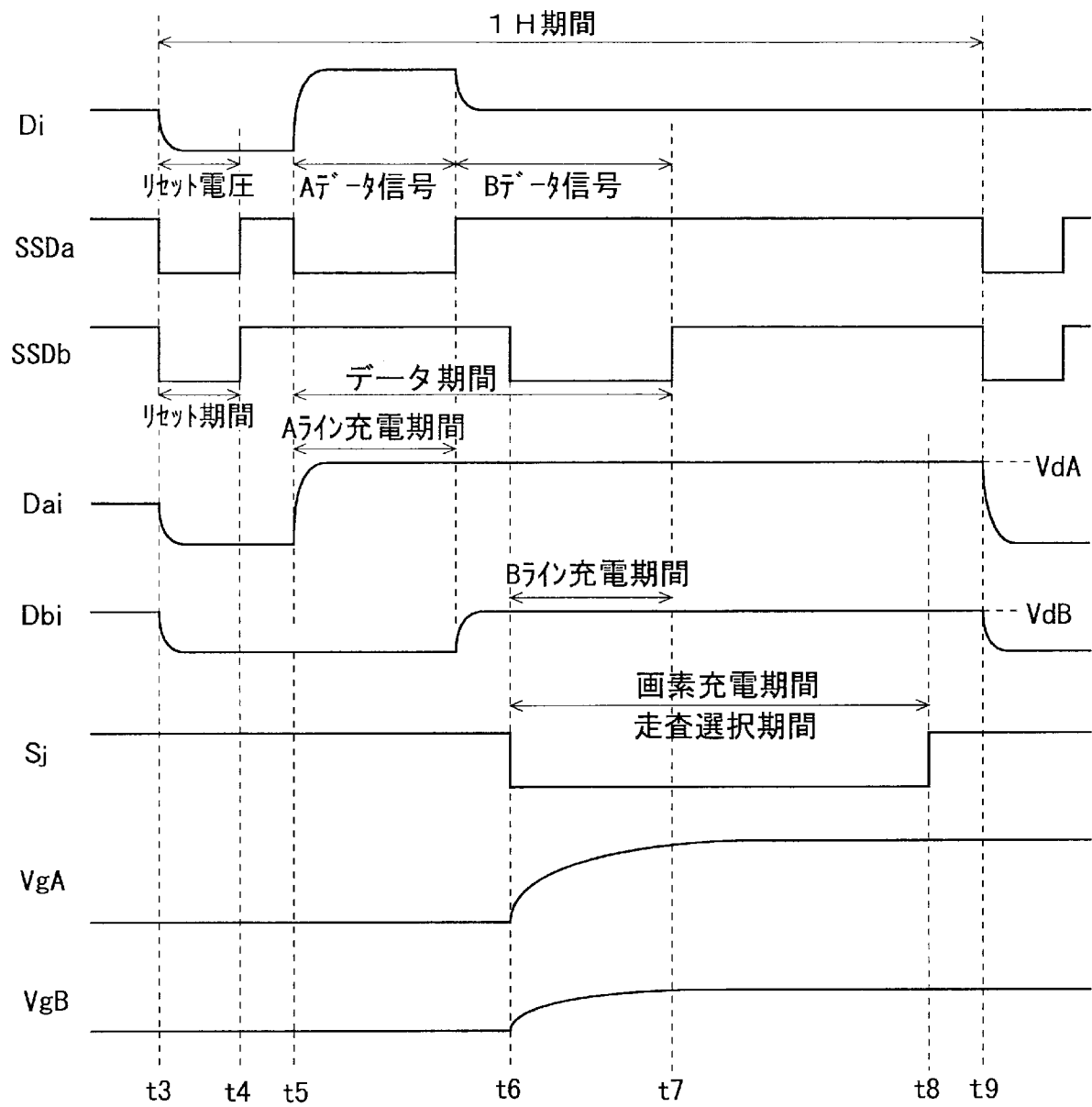


The diagram illustrates a pixel circuit 41, which is composed of two identical sub-circuits, 11a and 11b. Each sub-circuit contains a network of transistors (M1-M7), capacitors (C1, Cda), and an OLED. The circuit is connected to a series of horizontal signal lines: S_{j-1}, S_j, E_j, D_{bi}, D_{ai}, and M_b. A data input T_{di} is also connected to the circuit. The sub-circuits are labeled 11a and 11b, and the entire pixel circuit is labeled 41.

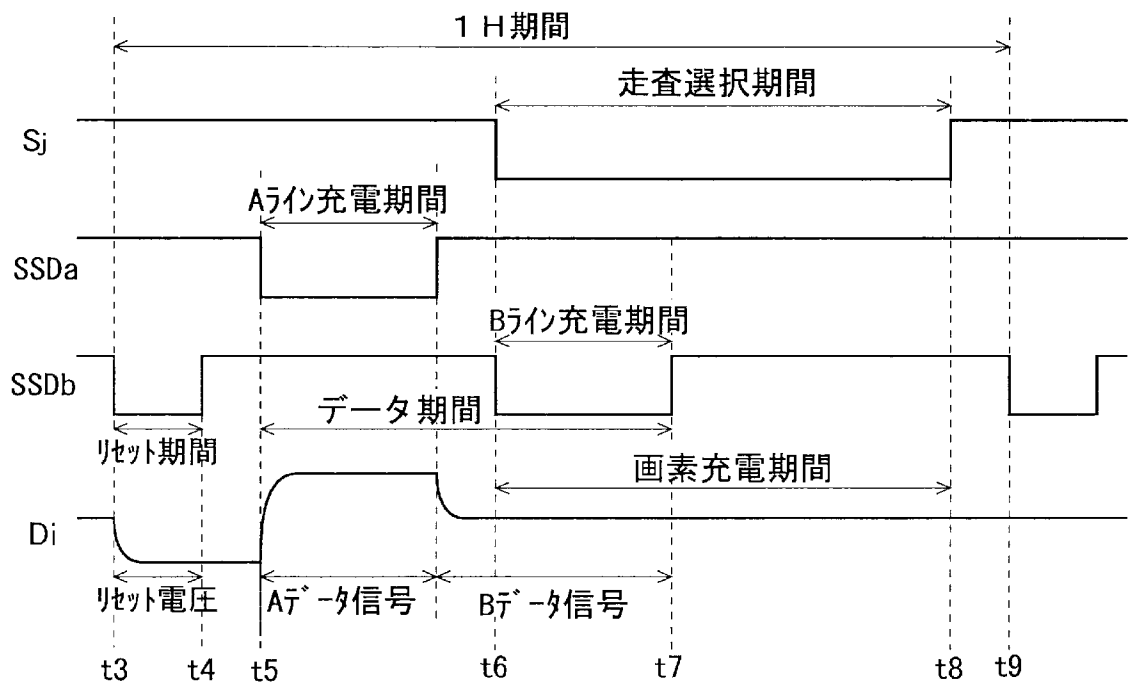
[図9]



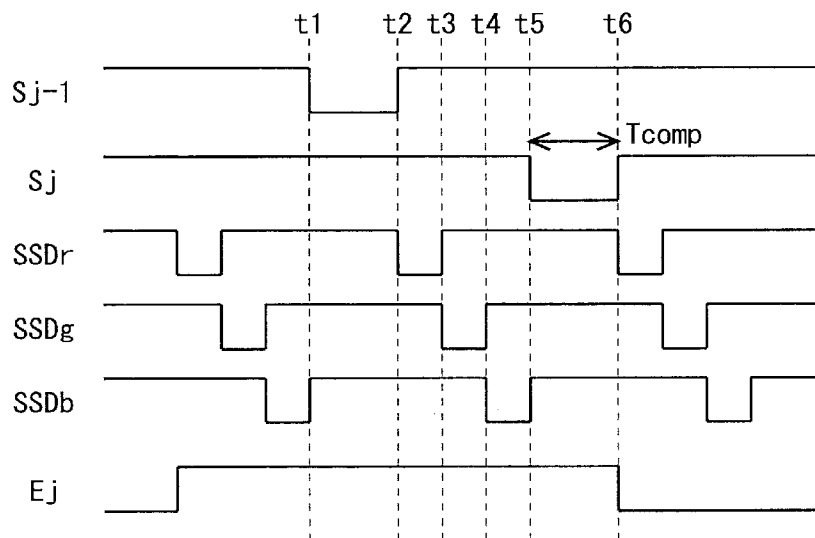
[図10]



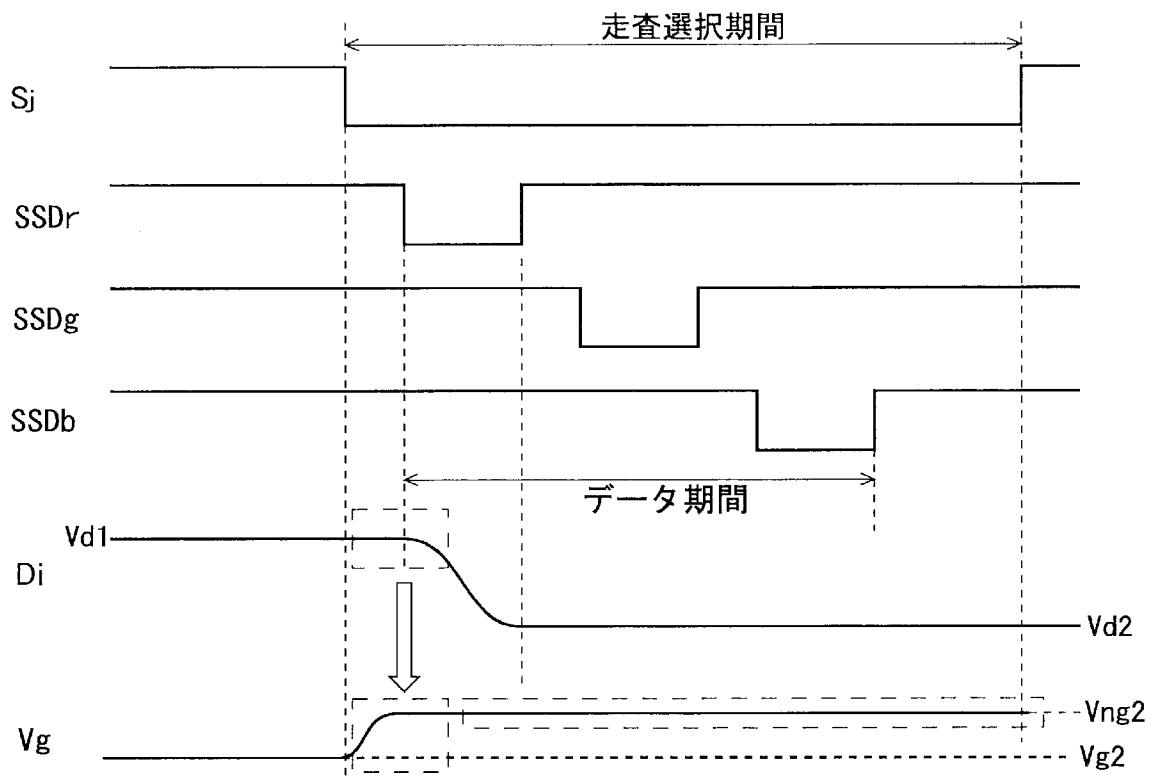
[図11]



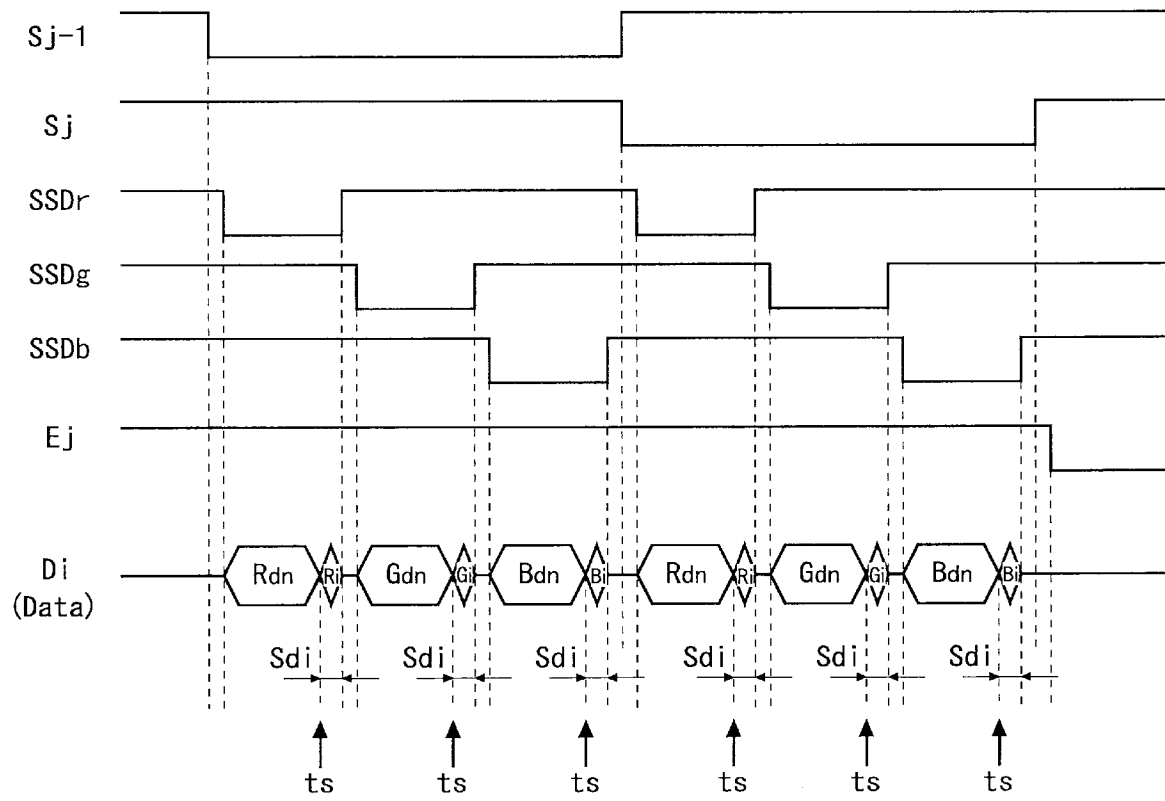
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/012122

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/3233(2016.01)i, G09G3/3291(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/3233, G09G3/3291

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2011/0025678 A1 (Samsung Mobile Display Co., Ltd.), 03 February 2011 (03.02.2011), paragraphs [0021] to [0082]; fig. 1 to 5 & KR 10-2011-0011940 A	1, 5, 7-9 2-4, 6, 10-12
Y	JP 2013-190526 A (Sharp Corp.), 26 September 2013 (26.09.2013), paragraphs [0043] to [0103]; fig. 1 to 11 (Family: none)	2-4, 6, 10-12
Y	JP 2010-2736 A (Toshiba Mobile Display Co., Ltd.), 07 January 2010 (07.01.2010), paragraph [0165] (Family: none)	6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 June 2017 (12.06.17)

Date of mailing of the international search report
20 June 2017 (20.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/012122

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-39544 A (Samsung SDI Co., Ltd.), 09 February 2006 (09.02.2006), entire text; all drawings & US 2006/0038754 A1 & KR 10-2006-0010353 A & CN 1728219 A	1-12
A	JP 2010-26488 A (Samsung Mobile Display Co., Ltd.), 04 February 2010 (04.02.2010), entire text; all drawings & US 2010/0013816 A1 & EP 2146337 A1 & KR 10-2010-0009219 A & CN 101630481 A	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/3233(2016.01)i, G09G3/3291(2016.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/3233, G09G3/3291

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	US 2011/0025678 A1 (SAMSUNG MOBILE DISPLAY CO., LTD.) 2011.02.03, 段落 [0021]-[0082], 図 1-5 & KR 10-2011-0011940 A	1, 5, 7-9 2-4, 6, 10-12
Y	JP 2013-190526 A (シャープ株式会社) 2013.09.26, 段落[0043]-[0103], 図 1-11 (ファミリーなし)	2-4, 6, 10-12
Y	JP 2010-2736 A (東芝モバイルディスプレイ株式会社) 2010.01.07, 段落[0165] (ファミリーなし)	6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.06.2017

国際調査報告の発送日

20.06.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

越川 康弘

21

9605

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-39544 A (三星エスディアイ株式会社) 2006.02.09, 全文全図 & US 2006/0038754 A1 & KR 10-2006-0010353 A & CN 1728219 A	1-12
A	JP 2010-26488 A (三星モバイルディスプレイ株式会社) 2010.02.04, 全文全図 & US 2010/0013816 A1 & EP 2146337 A1 & KR 10-2010-0009219 A & CN 101630481 A	1-12