



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 691 33 316 T2** 2004.07.22

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 0 442 718 B1**

(21) Deutsches Aktenzeichen: **691 33 316.5**

(96) Europäisches Aktenzeichen: **91 301 156.5**

(96) Europäischer Anmeldetag: **13.02.1991**

(97) Erstveröffentlichung durch das EPA: **21.08.1991**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **24.09.2003**

(47) Veröffentlichungstag im Patentblatt: **22.07.2004**

(51) Int Cl.7: **H01L 21/768**

H01L 21/316, H01L 21/76

(30) Unionspriorität:

3268990 **14.02.1990** **JP**

1658691 **07.02.1991** **JP**

(73) Patentinhaber:

**Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa,
JP**

(74) Vertreter:

Henkel, Feiler & Hänzel, 81675 München

(84) Benannte Vertragsstaaten:

DE, FR, GB

(72) Erfinder:

**Suguro, Kyoichi, Minato-ku, Tokyo 105, JP;
Okano, Haruo, Minato-ku, Tokyo 105, JP**

(54) Bezeichnung: **Verfahren zum Herstellen einer Halbleitervorrichtung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Halbleiterverfahren zur Herstellung von z. B. einem Transistor oder einer Mehrlagenverdrahtungsstruktur mit einer Größe der Größenordnung von Submikrometern und im besonderen eine Halbleitervorrichtung unter Verwendung eines Selbstausrichtungsverfahrens und ein Verfahren zur Herstellung derselben.

[0002] Die JP-1 194 440 beschreibt ein Verfahren zur Bildung einer Verdrahtungsschicht und im besonderen zur Erleichterung einer Mehrlagenverdrahtung durch die Bildung eines Isolierfilmes zwischen Schichten dadurch, dass eine Rille für die Verdrahtungsschicht im Isolierfilm gebildet wird, das Verdrahtungsmaterial selektiv in die Rille eingebettet wird und dann die Gestalt der Oberfläche des Zwischenschichtenisolierfilmes abgeflacht wird.

[0003] In den letzten Jahren wurde ein hochintegrierter Schaltkreis (LSI), der durch Integrieren einer großen Zahl von Transistoren oder Widerständen auf einem einzigen Chip gebildet wird, oft in dem Hauptbauteil eines Computers oder einer Kommunikationseinrichtung verwendet. Um eine hohe Leistungsfähigkeit des gesamten Gerätes zu erreichen, ist es ganz wesentlich, die Leistungsfähigkeit des LSI zu verbessern. Daher ist es wichtig, die Leistungsfähigkeit einer Halbleitervorrichtung, z. B. eines Feldefekttransistors, der ein grundlegendes Element des LSI darstellt, zu erhöhen.

[0004] Ferner wurde der Integrationsgrad eines Speicher- oder Logikelementes alle drei Jahre auf das Vierfache erhöht und die Entwurfsnorm ist in eine neue Ära der Submikrometer eingetreten. Heutzutage haben eine Massenherstellung von 4-Mbit dRAMs mit einer Entwurfsnorm von 0,8 µm (Mikrometern) und die Forschung und Entwicklung von Geräten mit einer Norm von 0,3 bis 0,6 µm begonnen.

[0005] Um ein Mikroelement mit einer niedrigen Submikrometergröße auszubilden, sind folgende fünf Punkte wichtig.

- (1) Ein Lithographieverfahren
- (2) Ein Oxidationsverfahren (Elementisoliervverfahren)
- (3) Ein Diffusionsverfahren (Bildung von Source-Drain eines MOSFET, Grabenrandschicht und Emitter-Basis-Kollektor eines bipolaren Transistors)
- (4) Ein Planmachungsverfahren (Metallkontaktbildung, Isolierfilmbildung und Planmachen)
- (5) Ein Verdrahtungsbearbeitungsverfahren (neues Material, hochselektives Ätzen)

[0006] Die obigen Punkte werden detailliert unten beschrieben.

(1) Lithographieverfahren

[0007] Wenn die Entwurfsnorm bei einer Größe von ungefähr 0,2 µm liegt, ist die erforderliche Genauig-

keit sehr hoch bei 10 bis 20 nm, was nahe an der physikalischen Grenze der Lithographie ist. Z. B. wenn befriedigende Ausrichtungsänderungen zwischen Kontaktlöchern und Verdrahtungsmustern eingehalten werden, ist der Raum zwischen benachbarten Leitungsmustern durch einen Abstand zwischen den Kontaktlöchern beschränkt.

[0008] Wenn die Verdrahtungsmuster 41, 43 und 46 mit Ausrichtungsänderungen in Bezug auf die Kontaktlöcher 42, 44 bzw. 45 wie in **Fig. 5B** gezeigt, gebildet werden, wird der minimale Raum zwischen benachbarten Verdrahtungsmustern im Bereich des Kontaktloches verengt. Als Ergebnis kommt leicht ein Kurzschluss aufgrund eines Ätzrückstandes vor. Weiter führt eine Verengung des Raumes zu einem Anstieg der Kapazität zwischen der Verdrahtung. Zusätzlich müssen die Kontaktlöcher 44 und 45 mit Ausrichtungsänderungen in Bezug auf die Elementbildungsregion 40 im Hinblick auf eine Maskenfehlausrichtung gebildet werden.

[0009] Wenn keine Fehlausrichtung auftritt, können daher die Breiten der Elementbildungsregion, des Kontaktloches und der Verdrahtung die gleichen sein, und somit wird der Raum zwischen der Verdrahtung nicht örtlich verengt, wobei effektiv die Kapazität zwischen der Verdrahtung verringert wird. Zusätzlich kann der Raum in einem Gebiet verkleinert werden, in dem die Kapazität zwischen der Verdrahtung nicht bedacht werden muss. Infolgedessen kann die Zelengröße verkleinert werden, wobei eine Elementintegration mit höherer Dichte realisiert werden kann. Kein praktisches Herstellungsverfahren wurde jedoch bisher vorgeschlagen.

(2) Oxidationsverfahren (Elementisoliervverfahren)

[0010] Wenn die Mikrobemusterung eines Elementes fortschreitet, muss die Breite der Elementisolierung unvermeidbar verkleinert werden. Es ist wohl bekannt, dass in dem herkömmlichen LOCOS-Verfahren ein Oxidfilm in einer Isolierregion durch Austreten in Richtung eines Elementes wächst und Vogelschnäbel gebildet werden. Das bedeutet, dass ungeachtet der Tatsache, dass ein Elementgebiet mit einer Nitridfilmmaske bedeckt ist, ein Oxidationsmittel unter der Maske austritt, wobei die Oxidation fortschreitet, obwohl die Oxidationsrate verringert ist.

[0011] Um diesen Nachteil zu beseitigen, wird polykristallines Si zwischen dem Nitridfilm und einem Pufferoxidfilm eingelagert, wodurch der Grad der Vogelschnäbel verringert wird. Obwohl die Forderung nach einer drastischen Maßnahme gestellt wurde, ist jedoch keine derartige Maßnahme vorhanden und ein Oxidationsverfahren, das gerichtete Oxidation genannt wird, ist erwünscht.

(3) Diffusionsverfahren

[0012] Ein Mikroelement mit einer Submikrometer-

größe, z. B. ein Mikrofeldeffekttransistor (FET) mit einer Submikrometergröße, weist eine flache Diffusionsschicht wie eine Source-Drain-Region auf. In diesem Fall beträgt eine für ein Gerät der 0,5- μm -Generation erforderliche Sperrschichttiefe von 0,15 bis 0,2 μm , und jene für ein Gerät der 0,2- μm -Generation beträgt 0,1 μm oder weniger. Das bedeutet, dass ein Diffusionsverfahren mit einer höheren Genauigkeit erforderlich ist.

[0013] Als Verfahren zur Bildung einer flachen Diffusionsschicht wird ein Ionenimplantationsverfahren mit niedriger Beschleunigung üblicherweise in weitem Umfang verwendet und ein Fremdatomfestphasendiffusionsverfahren seit kurzem verwendet. Bei diesem Festphasendiffusionsverfahren kann eine flache Source-Drain-Region mit einer Dicke von ungefähr 0,1 μm gebildet werden und eine Tiefe von ungefähr 0,1 μm kann für eine n⁺-p-Übergangszonewirklich werden. Zusätzlich kann unter Verwendung eines Verfahrens der Ionenimplantation von Si⁺, Ge⁺ und Sn⁺ zur Bildung einer Oberflächenschicht einer Si-Einkristallschicht in eine amorphe Schicht und der anschließenden BF₂-Ionenimplantation mit geringer Beschleunigung eine Tiefe von ungefähr 0,1 μm für eine p⁺-n-Übergangszonewirklich werden auch nach einem Glühen zur Aktivierung erreicht werden.

[0014] Der Widerstand einer Diffusionsschicht mit einer Dicke von 0,1 μm ist jedoch gleich einem Flächenwiderstand von 100 Ω/Sq oder mehr. Daher muss die Oberfläche eines Diffusionsgebietes zur Verringerung ihres Widerstandes metallisiert werden, um die Arbeitsgeschwindigkeit einer Halbleitervorrichtung zu erhöhen. Daher wurde in den letzten Jahren ein selektives Silicidierungsverfahren, die sogenannte selbstausgerichtete Silicid, untersucht.

[0015] Ein herkömmliches Beispiel, in dem ein selbstausgerichtetes Silicid auf einer flachen p-n-Übergangszonewirklich wird, wird unten in Bezug auf die **Fig. 1A bis 1E** beschrieben. Unter Bezug auf **Fig. 1A** werden die Feldoxidfilm 1a und der Gateisolierfilm 2 durch thermische Oxidation auf einem Siliciumsubstrat 1 mit (100)-Kristallausrichtung gebildet, die Gateelektroden 3a und 3b, die Isolierfilmhaube 4 und der Seitenwandisolierfilm 5 gebildet und der aus Ti oder Co bestehende Metallfilm 6 auf der gesamten Oberfläche des Substrates abgeschieden. Nachfolgend wird die Silicidschicht 7 nur auf dem Si durch Lampen glühen gebildet und ein nicht abreagierter Metallfilm wird durch Ätzen entfernt, wobei selektiv die Silicidschicht 7 nur auf dem Si hinterbleibt, wie es in **Fig. 1B** gezeigt ist. Anschließend wird ein Fremdstoff 8 mit einer gegenüber dem Substrat 1 unterschiedlichen Leitfähigkeit ionenimplantiert, wie in **Fig. 1C** gezeigt, und ein Diffusionsgebiet 9 wird, wie in **Fig. 1D** gezeigt, unter der Silicidschicht 7 gebildet. Bei diesem Verfahren kann durch Bilden der Silicidschicht 7 mit einer Dicke von z. B. 50 nm der Flächenwiderstand auf 3 bis 5 Ω/Sq verringert werden. Dieses Verfahren hat jedoch folgende Probleme. Wenn ein na-

türlicher Oxidfilm oder eine Oberflächenverunreinigungsschicht, die durch Trockenätzen gebildet wurde, auf der Si-Oberfläche vorhanden ist, ist es schwierig, eine gleichförmige Reaktion zwischen einem Metall und Si auszuführen, und es wird eine ungleichförmige Grenzstruktur an der Zwischenfläche gebildet. In diesem Fall erfolgt örtlich eine Konzentration des elektrischen Feldes, wobei der p-n-Übergangszonenleckstrom vergrößert und eine p-n-Übergangszonewirklich zerstört werden kann. Daher ist es sehr schwierig, mit diesem Verfahren eine p-n-Übergangszonewirklich mit einer Tiefe von 0,1 μm oder weniger herzustellen. Zusätzlich ist eine Gesamtdicke von 0,1 μm oder weniger für einen Mikrotransistor mit einer Entwurfsnorm von 0,3 μm oder weniger erforderlich. Daher muss die Gesamtdicke verringert werden, um eine Diffusionsschicht mit einer Dicke von mehreren 10 nm zu erhalten. Wenn die Dicke eines Silicidfilms verringert wird, wird der Widerstand einer Source-Drain vergrößert, und die Eigenschaften einer p-n-Übergangszonewirklich werden beeinträchtigt, wenn die Dicke der Diffusionsschicht 50 nm oder weniger wird. Die Gründe für die Beeinträchtigung der Übergangszonewirklich sind wie folgt. Die durch Metaldiffusion einer Metallverbindung verursachte Entstehung eines Rekombinationszentrums beeinflusst ungünstig die Eigenschaften der Übergangszonewirklich und tritt in eine Diffusionsschichtdickenregion ein, an der ein Übergangszonenleckstrom anfängt, sich zu vergrößern. Da die Form einer Diffusionsschicht Vorsprünge und Vertiefungen an der Silicid-Si-Zwischenfläche bei Verringerung der Dicke der Diffusionsschicht widerspiegelt, tritt eine Konzentration des elektrischen Feldes leicht auf.

[0016] Um die Erosion des Siliciumsubstrates während der Silicidbildung, wie oben beschrieben, zu vermeiden, kann, nachdem ein Si-Film selektiv auf einer Source-Drain abgeschieden wurde, um die Si-Dicke zu erhöhen, ein gewöhnliches Silicidverfahren durchgeführt werden. Da eine Dotierung in Abhängigkeit von der Dicke des selektiv abgeschiedenen Si nicht perfekt durchgeführt werden kann, erreicht eine Source-Drain-Fremdstoffdiffusionsschicht nicht die ursprüngliche Substratoberfläche und kann daher nicht als Source-Drain dienen. Um eine flache Übergangszonewirklich mit einer Tiefe von 0,1 μm oder weniger herzustellen, ist es daher erforderlich, ein Metallsilicid zu bilden, das nicht das Si-Substrat erodiert und das einen geringen Widerstand hat, und darunter eine hochkonzentrierte Fremdstoffdiffusionsschicht zu bilden.

(4) Planmachverfahren

[0017] Um eine Mehrlagenverdrahtungsstruktur zu bilden, sind ein Verfahren zur Herstellung von Kontakten, um Kontaktlöcher oder Durchlöcher anzuschließen, und ein Verfahren zur Bildung eines SiO₂-Films mit einer Bedeckung einer hohen Stufe erforderlich, da Vorsprünge und Vertiefungen beim

Aufeinanderstapeln der Verdrahtungsschichten vergrößert werden. Zusätzlich muss eine Verdrahtungsschicht mit geringem Widerstand und hoher Zuverlässigkeit verwendet werden.

[0018] Die derzeitigen Probleme beim Verfahren zur Herstellung eines Isolierfilms als ein wichtiges Verfahren von Mehrlagenverdrahtungsverfahren werden unten beschrieben. Plasma-TEOS-CVD wird seit kurzem allgemein als Verfahren zur Herstellung von Zwischenschichtisolierfilmen verwendet, da die Stufenbedeckung höher ist als bei auf SiH_4 basierter Plasma-CVD. Wenn das Seitenverhältnis einer Zwischenverdrahtung 1 oder mehr ist, beinhaltet jedoch eine abgeschiedene Form Leerräume, da die Stufenbedeckung nicht 100% beträgt. Der Grund für die niedrige Stufenbedeckung ist wie folgt. Da ein Reaktionsgas und ein Herstellungsgas nicht befriedigend in den Raumstellen ausgetauscht werden können, ist die Konzentration eines Reaktionsgases an einer Vertiefung verringert im Vergleich mit einem flachen Gebiet oder einem Vorsprung. Als Ergebnis wird die SiO_2 -Wachstumsrate nicht durch eine Reaktionsrate auf der Oberfläche, sondern durch die Versorgungs- oder Diffusionsrate des Reaktionsgases bestimmt.

[0019] Um die Stufenbedeckung oder die Oberflächenform des Plasma-TEOS-Films zu verbessern, kann entweder Ozon zugesetzt werden oder ein Temperaturrahmen von 300°C bis 350°C gewählt werden. Diese Verfahren sind jedoch keine drastischen Maßnahmen. Daher ist ein neues Oxidfilmabscheidungsverfahren für ein Gerät in einem niedrigem Submikrometerbereich erforderlich.

(5) Verdrahtungsbearbeitungsverfahren

[0020] Unter den Mehrlagenverdrahtungsverfahren werden verschiedene Arten von Verfahren zur Bildung von Metallverdrahtungsmustern zukünftig problematisch sein. Z. B. ist es beim W-Verdrahtungsverfahren schwierig, ein hochselektives Ätzen auf einem Gateoxidfilm durchzuführen. Der Grund hierfür liegt in der unbefriedigenden Ätzrate bei einem Ätzen auf der Grundlage von Cl_2 , das ein hochselektives Ätzen von SiO_2 erleichtert, da der Dampfdruck von WCl_6 niedrig ist. Daher ist die Selektivität mit SiO_2 auf höchstens 7 bis 8 verringert. In einem Verfahren, bei dem 200 nm dickes W auf 5 nm dickem SiO_2 geätzt werden muss, wird bei einem 30%-igen Überätzen in Bezug auf ein exaktes Ätzen der 5 nm dicke SiO_2 -Film auf einer Source-Drain durch das Ätzen vollständig entfernt und das zugrundeliegende Si-Substrat ebenso geätzt. Wenn ein Gas auf F-Basis, wie SF_6 , verwendet wird, ist es schwierig, die Selektivität in Bezug auf SiO_2 auf 7 oder mehr zu erhöhen, obwohl das Ätzen mit einer hohen Rate durchgeführt werden kann, da der Dampfdruck von WF_6 als Fluorid von W sehr hoch ist. Daher ist es schwierig, ein Mikroverdrahtungsmuster mit W zu bilden.

[0021] Es ist weit schwieriger, ein Ätzen von Kupfer ($1,68 \mu\Omega\cdot\text{cm}$) mit einem niedrigeren Widerstand als

der von Al ($2,5$ bis $3 \text{ m}\Omega\cdot\text{cm}$) durchzuführen. Z. B. verdampft selbst Kupferchlorid mit dem höchsten Dampfdruck nicht, bis die Temperatur auf ungefähr 300°C bis 350°C aufgeheizt ist. Dieses Hochtemperaturätzen bringt die folgenden zwei Probleme mit sich. Erstens muss, da nur wenige Kupferätzmasken einer solchen $\text{Cl}_2(\text{BCl}_3)$ -Atmosphäre bei einer so hohen Temperatur widerstehen können, eine neue Maske entwickelt werden. Wenn zweitens ein Niedrigtemperaturteil in einer Ätzkammer behandelt wird, wird vom Wafer verdampftes Kupferchlorid kondensiert und dient dann als Abscheidungsquelle für Teilchen. Daher muss ein Verfahren zur Herstellung von Metallverdrahtungsmustern ohne Erfordernis einer Metallbemusterung entwickelt werden.

[0022] Wie oben beschrieben ist es sehr schwierig, verschiedene Mustertypen, wie eine Elementisolierregion, z. B. eine Reihe von Mikromustern, wie ein niedriges p-n-Übergangszonengebiet, ein silicidiertes Gebiet einer Source-Drain und Metall/Poly-Si-Gates, eine Verdrahtung mit niedrigem Widerstand, eine Mehrlagenverdrahtung ohne Ausschwitzen zu bilden, sofern herkömmliche Verfahren angewandt werden. Zusätzlich ist in der Lithographie eine Maskenausrichtungsgenauigkeit über einer physikalischen Grenze erforderlich, um ein Muster ohne Ausschwitzen zu bilden. Daher ist die Freiheit der Materialauswahl deutlich eingeschränkt, wenn beim Ätzen ein Verfahren mit hoher Genauigkeit erforderlich ist. Die vorliegende Erfindung wurde in Anbetracht der obigen Situation gemacht und hat zur Aufgabe, ein Verfahren zur Herstellung einer Halbleitervorrichtung bereitzustellen, mit dem man eine Verdrahtungsschicht oder einen Isolierfilm durch ein Selbstausrichtungsverfahren, ohne auf eine Maskenausrichtung oder ein Metallätzverfahren angewiesen zu sein, bilden kann, wodurch eine Halbleitervorrichtung mit einem Mikromuster ohne Ausschwitzen hergestellt werden kann.

[0023] Um die obige Aufgabe der vorliegenden Erfindung zu erreichen, haben die Erfinder der vorliegenden Erfindung festgestellt, dass ein Mikromuster, wie eine Verdrahtung, mit hoher Genauigkeit durch Verwendung eines selektiven oder anisotropen (gerichteten) Verfahrens, wie einer anisotropen (gerichteten) selektiven CVD von SiO_2 , anisotropen (gerichteten) oder selektiven Bildung eines Metallfilms, erhalten werden kann.

[0024] Entsprechend der vorliegenden Erfindung wird ein Verfahren zur Herstellung einer Halbleitervorrichtung bereitgestellt, das die Schritte umfasst: Bildung einer ersten Isolierschicht mit einem Loch auf einem Substrat; selektive Bildung einer leitfähigen Schicht in diesem Loch; selektive Bildung einer zweiten Isolierschicht mit einem Loch, das in einer Linie mit dem Loch der ersten Isolierschicht liegt; Bemusterung der zweiten Isolierschicht, um eine Öffnung zu bilden;

Bildung einer Verdrahtungsschicht in dem Loch und der Öffnung der bemusterten zweiten Isolierschicht, um eine elektrische Verbindung mit der leitfähigen Schicht herzustellen;

das dadurch gekennzeichnet ist, dass die selektive Bildung der zweiten Isolierschicht ohne Maskenausrichtung durch selektive chemische Gasphasenabscheidung unter Verwendung einer gasförmigen polaren Siliciumverbindung als Speisegas durchgeführt wird, und dadurch, dass die erste und zweite Isolierschicht aus SiO_2 bestehen.

[0025] Diese Erfindung kann besser aufgrund der folgenden genauen Beschreibung zusammen mit den begleitenden Zeichnungen verstanden werden:

[0026] **Fig. 1A bis 1D** sind Schnittdarstellungen, die die gewöhnlichen MOSFET-Herstellungsschritte zeigen;

[0027] **Fig. 2** ist eine schematische Schnittdarstellung, die eine Anordnung einer mit einem Verfahren entsprechend der ersten Ausführungsform der vorliegenden Erfindung hergestellten Halbleitervorrichtung (Mehrlagenverdrahtungsstruktur) zeigt;

[0028] **Fig. 3A bis 3K** sind Schnittdarstellungen, die die Herstellschritte der Vorrichtung in **Fig. 2** zeigen;

[0029] **Fig. 4A und 4B** sind perspektivische Zeichnungen, die die Verdrahtungsmusterformen zeigen;

[0030] **Fig. 5A und 5B** sind Draufsichtdarstellungen, die jede Verdrahtungsgestalt in einer Elementbildungsregion zeigen;

[0031] **Fig. 6** ist eine schematische Schnittdarstellung, die einen MOSFET zeigt, der nicht in Übereinstimmung mit der vorliegenden Erfindung ist; und

[0032] die **Fig. 7A bis 7N** sind Schnittdarstellungen, die die Schritte für die Herstellung eines CMOS-Transistors zeigen, um eine Ausführungsform der vorliegenden Erfindung zu erklären.

[0033] Bevorzugte Ausführungsformen der vorliegenden Erfindung werden unten unter Bezug auf die Begleitzeichnungen beschrieben.

[0034] **Fig. 2** ist eine schematische Schnittdarstellung, die eine Anordnung der Halbleitervorrichtung (Mehrlagenverdrahtungsstruktur) zeigt, die mit einem Verfahren entsprechend einer Ausführungsform der vorliegenden Erfindung hergestellt ist. Unter Bezugnahme auf **Fig. 2** werden die Si nicht erodierenden Metallsilicidschichten 12 in den Öffnungsbereichen des ersten Isolierfilms 11, der sich auf einem Halbleitersubstrat 10 befindet, gebildet und eine erste vertikale Metalleingrabungungsverdrahtungsschicht 13 wird auf jeder Schicht 12 gebildet. Ein zweiter Isolierfilm 14 wird auf der resultierenden Struktur gebildet, und die Kupferverdrahtungsschichten 15 mit niedrigem Widerstand werden z. B. in den Öffnungen des Films 14 gebildet. Ein dritter Isolierfilm 16 wird auf der resultierenden Struktur gebildet, und eine zweite vertikale Metalleingrabungungsverdrahtungsschicht 17 wird in den Öffnungen des Isolierfilms 16 gebildet. Ein vierter Isolierfilm 18 wird auf der resultierenden Struktur gebildet, und eine zweite Verdrahtungsschicht 19 mit niedrigem Widerstand wird auf einem Teil gebil-

det, von dem der Isolierfilm 18 entfernt wird.

[0035] Ähnlich zu den Schichten 16 bis 19 werden ein fünfter Isolierfilm 21, eine dritte vertikale Metalleingrabungungsverdrahtungsschicht 22, ein sechster Isolierfilm 23 und eine dritte Verdrahtungsschicht 24 mit niedrigem Widerstand auf der obigen Struktur gebildet, wodurch eine dreischichtige Verdrahtungsstruktur abgeschlossen wird. Eine 5- bis 10-schichtige Verdrahtungsstruktur kann durch wiederholte Bildung dieser Struktur gebildet werden.

[0036] **Fig. 3A bis 3K** sind Schnittdarstellungen, die die Verfahrensschritte der vorliegenden Erfindung zur Herstellung der obigen vielschichtigen Verdrahtungsstruktur zeigen. Wie in **Fig. 3A** dargestellt, wird ein erster Isolierfilm 11 auf einem Halbleitersubstrat 10, das darin ein Element hat, gebildet, und Kontaktbereiche des Films 11 werden geöffnet. Die Metallsilicidschicht 12 wird in jedem Öffnungsbereich mit einem selektiven CVD-Verfahren gebildet, und die erste vertikale Metalleingrabungungsverdrahtungsschicht 13, die aus z. B. W oder Cu besteht, wird darauf durch selektive CVD gebildet. Anschließend wird, wie in **Fig. 3B** gezeigt, der SiO_2 -Film (der zweite Isolierfilm) 14 nur auf dem Isolierfilm 11 gebildet. Danach werden, wie in **Fig. 3C** gezeigt, Fenster durch Lithographie und Ätzen in Bereichen des Isolierfilms 14 gebildet, die eine Verdrahtung erfordern.

[0037] Danach wird, wie in **Fig. 3D** gezeigt, die erste Verdrahtungsschicht 15 mit niedrigem Widerstand, wie in einer gestapelten Struktur eines Sperrmetalls (z. B. TiN) und Cu, durch ein anisotropes CVD-Verfahren unter Verwendung von Metallatom- oder Molekülonen auf der gesamten Oberfläche, aus denen die Verdrahtung besteht, gebildet. Danach werden, wie in **Fig. 3E** gezeigt, unnötige Anteile der Verdrahtungsschicht 15 durch ein Rückätzverfahren (ein Spiegelglanzpolierverfahren, Reaktivionenätzen unter Verwendung eines Einebnungsmittels wie eines Resists) oder ein Abhebeverfahren entfernt, wobei die Verdrahtung nur im gewünschten Bereich belassen wird. Wie in **Fig. 3F** gezeigt, wird der SiO_2 -Film (der dritte Isolierfilm) 16 selektiv nur auf dem Isolierfilm 14 durch ein selektives CVD-Verfahren gebildet. Anschließend werden, wie in **Fig. 3G** gezeigt, die aus W oder Cu bestehenden Metalleingrabungungsverdrahtungsschichten 17a, 17b und 17c durch ein selektives CVD-Verfahren gebildet. Danach werden die Oberfläche der Metalleingrabungungsverdrahtungsschichten, auf die SiO_2 abgeschieden werden muss, d. h. die Oberflächen der Verdrahtungsschichten 17b und 17c, in einer Dicke von 10 bis 20 nm oxidiert. Diese Oxidation kann durch Abfahren mit einem Sauerstoffionenstrahl, der Sauerstoffionen implantiert, durchgeführt werden. Alternativ kann die Oxidation unter Verwendung einer oxidationsbeständigen Maske durchgeführt werden.

[0038] Danach wird, wie in **Fig. 3H** gezeigt, der SiO_2 -Film (der vierte Isolierfilm) 18 selektiv nur auf dem Isolierfilm 16 und den oxidierten Verdrahtungsschichten durch ein selektives CVD-Verfahren gebil-

det. Danach werden, wie in **Fig. 3I**, unnötige Bereiche des Isolierfilms 18 durch Lithographie und Ätzen entfernt. Danach wird wie in **Fig. 3J** die zweite Verdrahtungsschicht mit niedrigem Widerstand 19, die aus z. B. Cu besteht, durch das anisotrope oder gerichtete CVD-Verfahren gebildet. Wie in **Fig. 3K** gezeigt, wird die Verdrahtung nur in gewünschten Bereichen durch Ätzen oder Abheben wie in Schritt 3E belassen.

[0039] Danach können die Bildungsschritte für die Schichten 21 bis 24 wie in **Fig. 2** ähnlich wie diejenigen für die Schichten 16 bis 19 durchgeführt werden. Zusätzlich kann das anisotrope CVD-Verfahren durch ein selektives CVD-Verfahren in Abhängigkeit von der Form eines Musters ersetzt werden.

[0040] **Fig. 4A** zeigt die Form eines 0,1 μm breiten Verdrahtungsmusters, das erhalten wird, wenn die Verdrahtung entsprechend der vorliegenden Erfindung in einem Öffnungsbereich mit einer Führung eines Isolierfilms durch das anisotrope oder selektive CVD-Verfahren gebildet wird. Unter Bezug auf **Fig. 4A** sind nicht nur eine obere Oberfläche 31 und eine untere Oberfläche 32, sondern auch eine Seitenfläche 33 der Verdrahtung plan, da sie mit dem Isolierfilm bedeckt sind. **Fig. 4B** zeigt eine 0,1 μm breite Musterform, die durch übliche Elektronenstrahlphotolithographie und Metall-RIE oder Ionenfräsen hergestellt wurde. Unter Bezugnahme auf **Fig. 4B** ist die Seitenfläche 33 nicht eben, sondern sie weist Wellen von 0,01 bis 0,03 μm durch ungleichmäßiges Ätzen auf. Zusätzlich wird eine Kerbe, wie durch die Referenzzahl 35 angezeigt ist, leicht gebildet. Das Verdrahtungsmuster, das in einem Öffnungsbereich des Isolierfilms enthalten ist, hat eine flachere Gestalt als diejenige des durch Ätzen gebildeten Verdrahtungsmusters, da der Isolierfilm besser als ein Metall geätzt werden kann.

[0041] **Fig. 5A** zeigt eine Struktur, in der die Verdrahtung durch ein selbstausgerichtetes Verfahren auf einem Elementbildungsgebiet gebildet wurde. Im Unterschied zu einer in **Fig. 5B** gezeigten Struktur ist die Verdrahtungsbreite nicht örtlich vergrößert, da kein Ausrichtungsrand in den Bereichen der Kontaktlöcher 42, 44 und 45 erforderlich ist. Eine Verdrahtungsverzögerungszeit ist daher effektiv verkürzt und ein Übersprechen zwischen der Verdrahtung kann unterdrückt werden, da der Raum zwischen der Verdrahtung verbreitert und die Kapazität zwischen der Verdrahtung reduziert ist. Wenn diese Effekte nicht in Betracht gezogen werden müssen, kann der Raum zwischen der Verdrahtung zu einer Vergrößerung der Verdrahtungsbreite verkleinert werden, wobei eine große Verdrahtungsbreite realisiert wird. Als Ergebnis können eine hohe Leistungsfähigkeit und eine hohe Dichte verwirklicht werden, da der Widerstand der Verdrahtung verkleinert ist, wobei eine durch Mikrobemusterung, wie eine Beanspruchungsmigration, verursachte Verringerung der Zuverlässigkeit unterdrückt wird.

[0042] **Fig. 6** ist eine Schnittdarstellung zur Erklärung

eines Verfahrens, das nicht in Übereinstimmung mit der vorliegenden Erfindung ist, bei dem ein durch selektive Abscheidung eines Metallsilicids auf einem Si-Substrat ohne Erosion des Si gebildeter MOSFET dargestellt ist. Um diesen MOSFET herzustellen, werden ein Elementisolierfilm 51 und ein Gateoxidfilm 52 auf einem Halbleitersubstrat 50 gebildet, und eine Gateelektrode 53, die aus einer Schicht von polykristallinem Si 53a, einer TiN-Schicht 53b und einer W- oder Cu-Schicht 53c besteht, und ein haubenförmiger Isolierfilm 54 darauf gebildet. Danach wird ein Fremdatomdiffusionsgebiet 55 mit einer Dicke von 50 nm oder weniger, ein Seitenwandisolierfilm 57 und eine Metallsilicidschicht 59 selektiv auf dem Si gebildet. Danach ist ein hochkonzentriertes Fremdatomdiffusionsgebiet 56 gebildet.

[0043] In dem MOSFET mit der obigen Struktur werden der Elementisolierfilm 51 und die Diffusionsgebiete 55 und 56 ohne zweidimensionales Ausschwitzen des Musters gebildet und die Metallsilicidschicht 59 wird ohne Erosion des Si-Substrates gebildet. Dementsprechend kann eine sehr flache p⁺-n- oder n⁺-p-Übergangszone gebildet werden. Die Oxidation der Diffusionsgebiete und des Elementisolieregebietes wird durch Anwendung von Wärme und Anlegen einer Vorspannung an dem Substrat verwirklicht, wobei ein Dotierungsmittelfremdion oder ein Oxidationskeimion mit einer niedrigen Energie von ungefähr 1 bis 100 eV verwendet wird.

[0044] Eine Ausführungsform, in der die vorliegende Erfindung zur Herstellung eines CMOS-Transistors angewendet wird, wird unten beschrieben.

[0045] Wie in **Fig. 7A** gezeigt, wird ein 300 nm dicker SiO₂-Film 61 auf einem Si(100)-p-Typ-5- bis 10- $\Omega\cdot\text{cm}$ -Substrat 60 gebildet. Danach wird, wie in **Fig. 7B** gezeigt, ein Startöffnungsteil gebildet, und ein natürlicher Oxidfilm auf einer freigelegten Si-Oberfläche im Öffnungsbereich wird durch eine Nass- oder Trockenbehandlung entfernt. Zur selben Zeit wird die Si-Oberfläche H-gebunden, um einen Film hoher Qualität zu erhalten, und ein 100 nm dicker amorpher Si-Film 62 mit Bedeckung einer hohen Stufe wird durch ein LPCVD-Verfahren unter Verwendung von SiH₄ gebildet, wie in **Fig. 7C** gezeigt. Bei der Bildung des amorphen Si-Films wird die Temperatur zwischen 500°C und 550°C eingestellt, so dass die Dichte des Films maximiert wird. Unter dieser Bedingung kann ein epitaxiales Wachstum im Startteil vorkommen. Eine Wärmebehandlung in einer Ar-Atmosphäre von 2 ppb oder weniger bei einer Temperatur von 500°C bis 550°C wird während 8 h durchgeführt, um ein laterales Wachstum auf SiO₂ zu erhalten. Danach wird ein Hochtemperaturglühen bei 900°C bis 1000°C durchgeführt, um eine hohe Dichte zu erreichen.

[0046] Danach werden, wie in **Fig. 7D** gezeigt, ein 10 nm dicker SiO₂-Film 63 und ein 90 nm dicker Si₃N₄-Film 64 durch das LPCVD-Verfahren gebildet, und ein Resistmuster 64a gebildet. Hier erfordert die Maskenausrichtung keine hohe Ausrichtungsgenau-

igkeit. **Fig. 7E** zeigt eine Struktur, bei der der Si_3N_4 -Film 64 weggeätzt ist und der Resist durch RIE entfernt ist. Danach werden Phosphor und Bor in eine p-Kanaltransistorbildungsregion bzw. eine n-Kanaltransistorbildungsregion mit einer Konzentration von 10^{17} cm^{-3} durch Feldionenimplantation dotiert.

[0047] Danach wird die Substrattemperatur auf 900°C eingestellt, die Substratvorspannung auf $+50 \text{ V}$ eingestellt, und durch Bestrahlung mit einem gemischten Ionenstrahl (1 bis 100 eV) von O_2^- oder H_2O^- und O^- oder O_2^- eine anisotrope Oxidation durchgeführt, wobei der SiO_2 -Film 65, wie in **Fig. 7F** angegeben, gebildet wird. Wenn ein Alkalimetall (z. B. Rb, Cs, Li oder dgl.) im Extraktionsteil eines Sauerstoffplasmas verdampft wird, gibt das Alkalimetall Elektronen an Sauerstoff ab, da das Alkalimetall leicht positive Ionen bildet, und O_1^- , O_2^- und H_2O^- -Ionen nehmen zu. Wenn ein Gas, wie F, das negativ geladene Ionen einfacher als Sauerstoff bildet, in dem Sauerstoff-Plasma-Extraktionsteil verdampft wird, nimmt das Gas Elektronen von Sauerstoff auf und O^- , O_2^+ und H_2O^+ -Ionen nehmen zu. Daher kann ein gemischter Ionenstrahl von positiv geladenem H_2O^+ und O^+ oder O_2^+ verwendet werden, um eine negative Spannung an das Substrat anzulegen. In dieser Ausführungsform wird ein SiO_2 -Film 65 durch anisotrope Oxidation gebildet, um eine Elementisolierung zu bilden. Eine anisotrope Nitridierung kann zur Bildung einer Elementisolierung durchgeführt werden. Hierzu wird ein Gas wie NH_3 verwendet, und die Moleküle des Gases werden positiv oder negativ geladen. Dann wird an das Substrat eine Spannung angelegt. Somit kann ein Siliciumnitridfilm anisotrop gebildet werden. Danach werden Phosphor und Bor in ein p-Kanalgebiet 62a bzw. ein n-Kanalgebiet 62b mit einer Konzentration von 10^{17} cm^{-3} durch Kanalienimplantation dotiert. In diesem Fall kann eine anisotrope Dotierung in gleicher Weise durch Anlegen einer positiven oder negativen Vorspannung an das Substrat durchgeführt werden, und die Störstellen können zuerst durch vertikale Diffusion vor den anderen Richtungen wandern.

[0048] Wie in **Fig. 7G** gezeigt, wird eine (nicht gezeigte) Resistmaske mit einem komplementären Muster der Gateelektrode verwendet, um den Siliciumnitridfilm 64 in dem Gateelektrodenbildungsgebiet zu entfernen. Danach werden, wie in **Fig. 7H** gezeigt, ein 50 nm dicker amorpher oder polykristalliner Si(Phosphorkonzentration = $1 \times 10^{20} \text{ cm}^{-3}$)-Film 66, ein 10 nm dicker TiN-Film 67 und ein 100 nm dicker W-Film 68 durch anisotrope CVD gebildet. In diesem Fall sind die Bedingungen für die anisotrope CVD wie folgt.

- (1) Amorpher oder polykristalliner Si(Phosphorkonzentration: $1 \times 10^{20} \text{ cm}^{-3}$)-Film 66
Druck: $27\text{--}53 \times 10^{-3} \text{ Pa}$ ($2\text{--}4 \times 10^{-4} \text{ Torr}$)
Temperatur: 100 bis 200°C
Substratvorspannung: -60 bis -80 V
Verwendete Gase:
Eine Gasmischung aus SiH_4 (30 SCCM) und PH_3

(5 bis 10 SCCM)

(2) TiN-Film 67

Druck: $27\text{--}53 \times 10^{-3} \text{ Pa}$ ($2\text{--}4 \times 10^{-9} \text{ Torr}$)

Temperatur: 250°C

Substratspannung: -60 bis -80 V

Verwendete Gase:

$\text{Ti}[\text{N}(\text{C}_2\text{H}_5)]_4$ (von 10-SCCM N_2 durch ein Blasenventil bei 90°C) zugeführt; oder

eine Gasmischung von TiCl_4 (3 bis 5 SCCM), N_2 (5 bis 10 SCCM) und H_2 (10 bis 20 SCCM), TiCl_4 wird auf 80 bis 90°C aufgeheizt.

(3) W-Film 68

Druck: $27\text{--}53 \times 10^{-3} \text{ Pa}$ ($2\text{--}4 \times 10^{-4} \text{ Torr}$)

Temperatur: Raumtemperatur bis 100°C

Substratvorspannung: -60 bis -80 V

Verwendete Gase:

Eine Gasmischung aus WF_6 (10 SCCM) und H_2 (30 bis 40 SCCM)

[0049] Unter diesen Bedingungen wird ein Ladungsraum, in dem Elektronen und Ionen zur selben Zeit vorhanden sind, gebildet.

[0050] Um eine Sourcespannung niedriger Energie zu verwirklichen, wird polykristallines Si undotiert gebildet (ohne Dotierung durch Fremdatome), und Bor, Phosphor oder Arsen werden in die p-Kanalregion bzw. die n-Kanalregion mit einer Konzentration von 10^{17} cm^{-3} dotiert. Die Dotierung kann mit einem Ionenstrahl wie B^+ , As^+ oder P^+ mit 10 bis 100 eV oder durch Gasphasendiffusion unter Verwendung einer Maske, wie einem Resist, oder durch eine direkte Ionenstrahlabtastung ohne die Verwendung einer Maske durchgeführt werden.

[0051] Der Siliciumnitridfilm 64 wird durch Trockenätzen entfernt. Das Ätzen des Siliciumnitridfilmes 64 kann durch Feuchtätzen, unter Verwendung von z. B. einer gemischten Säure auf der Basis von Phosphorsäure, durchgeführt werden. In diesem Fall werden die polykristallinen Si-, TiN- und W-Filme gleichzeitig abgehoben, wie in **Fig. 7I** gezeigt. In Bezug auf **Fig. 7I** wird ein hochkonzentriertes Bordiffusionsgebiet 69 (10^{18} bis 10^{19} cm^{-3}) mit einer Dicke von 20 bis 30 nm auf der p-Kanalregion gebildet und ein hochkonzentriertes Arsendiffusionsgebiet 70 (10^{18} bis 10^{19} cm^{-3}) mit einer Dicke von 20 bis 30 nm auf der n-Kanalregion gebildet. In diesem Fall wird ebenso wie oben die Dotierung durch Verwendung eines anisotropen Diffusionsverfahrens erreicht.

[0052] Eine Nachoxidation wird in Sauerstoff bei 800°C 20 bis 30 min , um einen SiO_2 -Film 71 zu bilden, wie in **Fig. 7J** gezeigt, durchgeführt. Falls hier die Oxidation in einer Atmosphäre, in der eine $\text{H}_2/\text{H}_2\text{O}$ -Gasmischung durch Stickstoff verdünnt ist, um nicht W zu oxidieren, durchgeführt wird, wird TiN nicht zersetzt und W nicht oxidiert. Danach wird ein 60 nm dicker Si-Nitridfilm durch LPCVD gebildet und ein Si-Nitridfilm (Si_3N_4) 72 wird durch Rückätzen nur auf der Gateseitenwand belassen.

[0053] Wie in **Fig. 7K** gezeigt, wird der SiO_2 -Film 71 auf den Source- und Draingebieten entfernt und eine

100 nm dicke Metallsilicidschicht 73 durch selektives Wachstum gebildet. Als Metallsilicid können Ni-Silicid (NiSi oder NiSi_2), TiSi_2 oder CoSi_2 selektiv gebildet werden. Bei diesem selektiven Wachstum ist es sehr wichtig, die Oberfläche des Si-Substrates zu reinigen. Unmittelbar bevor das selektive Wachstum durchgeführt wird, muss daher SiO_2 des natürlichen Oxidfilms durch Ätzen auf $\text{SF}_6/\text{H}_2\text{O}$ - oder $\text{NF}_2/\text{H}_2\text{O}$ -Basis entfernt werden.

[0054] Eine Kammer (Vorkammer) zur Oberflächenreinigung des Si-Substrates ist direkt vor der Silicidfilmabscheidungskammer angeordnet und $\text{SF}_6/\text{H}_2\text{O}$ wird zu der Vorkammer mit einem Partialdruckverhältnis von 1 und einem Gesamtdruck von 13–1300 Pa (0,1 bis 10 Torr) gegeben. Eine Plasmaentladung wird unter Verwendung einer 2,4-GHz-Mikrowelle und bei einer Position oberhalb des Halbleitersubstrates getrennt vom Entladungsbereich durchgeführt. Bei diesem Plasmaätzen kann SiO_2 auf dem Halbleitersubstrat selektiv geätzt werden. Die Ätzrate war 5 nm/min. Das Substrat wird zu einer Silicid-CVD-Kammer gebracht. Als Gase werden für das selektive Silicidwachstum ein Si-Speisegas, ein Metallquellen-gas und ein Trägergas verwendet.

[0055] Beispiele für das Siliciumspeisegas sind SiH_4 , Si_2H_6 , Si_3H_8 und SiCl_4 . Beispiele für ein Gas als Metallquelle von Ni sind $\text{Ni}(\text{CO})_4$, NiF_2 , NiBr_2 und NiCl_2 . Beispiele für ein Gas als Metallquelle von Co sind $\text{Co}(\text{Co})_4$, CoF_2 , CoBr_2 und CoCl_2 . Beispiele eines Metallgases von Ti sind TiCl_4 , TiBr_4 und TiF_4 . Obwohl ein Gas auf Carbonylbasis einen hohen Dampfdruck hat, muss es aufgrund seiner hohen Toxizität vorsichtig gehandhabt werden. Da ein Gas auf der Grundlage eines Halogenids einen niedrigen Dampfdruck hat, muss es durch ein Heizgerät aufgeheizt werden, damit es sich nicht in einem Rohr oder einer Kammer verfestigt. In dieser Ausführungsform wurden $\text{Co}_2(\text{CO})_8$ oder $\text{Ni}_2(\text{CO})_8$ (0,01 bis 10 SCCM) und SiH_4 (0,1 bis 10 SCCM) als Quellgase verwendet, und Ar (10 bis 100 SCCM) wurde als Trägergas verwendet. Zusätzlich wurde H_2 (10 bis 100 SCCM) als Verdünnungsgas verwendet. Die Substrattemperatur war 200°C bis 400°C und der Gesamtdruck war 1 bis 100 Pa. Unter diesen Bedingungen war die Abscheidungsrate von CoSi_2 oder NiSi_2 ungefähr 10 nm/min. Die abzuschneidende Dicke war 100 bis 200 nm. Der nach dem Glühen bei 700°C bis 800°C erhaltene Flächenwiderstand war 0,75 bis 1,5 Ω/sq und 1,8 bis 3,5 Ω/sq . Danach werden Bor und Phosphor oder Arsen in das Silicid der p-Kanalregion bzw. in das Silicid der n-Kanalregion dotiert und zur selben Zeit wird eine Diffusion von Fremdatomen im Si-Substrat mit einer Konzentration von 10^{20} bis 10^{21} cm^{-3} durch Bestrahlung mit einer Energiequelle, wie einem Laserstrahl oder einem Elektronenstrahl, oder einer Lampenbeheizung durchgeführt, wodurch eine Diffusionsregion 69a des p⁺-Typs und eine Diffusionsregion 70a des n⁺-Typs gebildet werden. Die Dotierung muss durch einen Ionenstrahl oder durch eine Gasphasendiffusion unter Verwendung einer Maske oder eines direk-

ten Ionenstrahls ohne Maske durchgeführt werden.

[0056] Danach wird der 1 μm dicke Isolierfilm 74 durch CVD abgeschieden, Öffnungsbereiche werden gebildet, und ein W-Kontakt 75 wird selektiv in jedem Öffnungsbereich gebildet. Der W-Kontakt 75 kann selektiv durch das LPCVD-Verfahren unter Verwendung von WF_6 , H_2 und SiH_4 bei einem Gesamtdruck von 13–1300 Pa (0,1 bis 10 Torr) gebildet werden. Bei einer Struktur, in der Kontaktlöcher mit verschiedenen Tiefen in einer Unterschicht vorhanden sind, können niedrige Bereiche der Kontaktlöcher bei Überfüllung überlaufen, wenn die tiefen Bereiche zu einer Einebnung vollständig begraben werden sollen. Daher wird in diesem Fall eine aus einem Gas, das F enthält, wie CF_4 , NF_4 , oder SF_6 , und O_2 bestehende Gasmischung verwendet, um ein Plasma zu bilden, und ein Substrat wird an eine Position gesetzt, die getrennt vom Plasma ist.

[0057] Danach wird Sauerstoff im Überschuss zugeführt oder eine Verdünnung mit N_2 , Ar oder dgl. durchgeführt, so dass die Ätzrate von W durch die Reaktionsgaszufuhr bestimmt wird, wobei W mit einem Druck von 40–1300 Pa (0,3 bis 10 Torr) geätzt wird. Als Ergebnis wird der überfüllte W-Bereich, mit einem großen Raumwinkel in Bezug auf das Reaktionsgas, mit hoher Geschwindigkeit geätzt und die Oberfläche geglättet. Danach wird auf der Oberfläche des W-Kontaktes 75 ein Nitridfilm mit einer Dicke von ungefähr 5 nm in einem N_2 -Plasma unter Verwendung einer RF von 500 W gebildet.

[0058] Danach wird gemäß dem Verfahren dieser Erfindung ein Isolierfilm 76 selektiv auf dem Isolierfilm 74 gebildet und die Oberfläche des Isolierfilms 76 unter Bildung eines Isolierfilms 77 inaktiviert. Wenn der Isolierfilm 74 aus SiO_2 besteht, ist er polar, da der Elektronegativitätsunterschied groß ist. Daher können in einem polare Moleküle enthaltenden Gas Gasmoleküle in der SiO_2 -Schicht adsorbiert werden. In der vorliegenden Erfindung wurden SiH_3Cl und N_2O als Gase verwendet und mit einem Gesamtdruck von 13–1300 Pa (0,1 bis 1 Torr), einer Substrattemperatur von 400°C bis 500°C und einem Gasflussratenverhältnis von 1 : 2 als Strom eingesetzt. Als Ergebnis wurde SiO_2 nicht auf dem freiliegenden Bereich von W_2N , sondern auf der SiO_2 -Schicht gebildet. Die Abscheidungsrate war 50 nm/min. Es ist anzumerken, dass ein selektives Wachstum in ähnlicher Weise bei Verwendung von stark polaren Molekülen, wie SiCl_2 , SiCl_3 oder $\text{Si}(\text{CH}_3)_3$ anstelle von SiH_3Cl , wie oben beschrieben, verwirklicht werden kann. Alternativ können Sauerstoffradikale anstelle von N_2O eingeführt werden. Ein selektives Wachstum der SiO_2 -Schicht kann ebenso durch Flüssigphasenabscheidung durchgeführt werden. Z. B. kann, wenn das obige Substrat in eine 1 mol SiH_2F_6 enthaltende wässrige Lösung eingetaucht wird, SiO_2 nur auf der SiO_2 -Schicht gebildet werden. Die Abscheidungsrate beträgt nur 10 nm/min.

[0059] Ein Verdrahtungsbereich des Isolierfilms 76 wird durch Lithographie und Ätzen entfernt.

Hier erfordert eine Maskenausrichtung keine hohe Ausrichtungsgenauigkeit, da ein einem Kontaktloch entsprechender Rand vorhanden ist. Da es schwierig ist, eine Maskenausrichtung durchzuführen, wenn eine Einebnung der unterliegenden Schicht befriedigend bei der Maskenausrichtung durchgeführt wird, wird nach der Einebnung zusätzlich eine weitere Maske verwendet, und ein Muster wird durch Entfernung des Isolierfilmes durch Ätzen in einem Gebiet einer Ausrichtungsmarke gebildet. Danach werden eine 30 nm dicke TiN-Schicht 78 und eine 400 nm dicke Cu-Schicht 79 durch anisotrope CVD gebildet.

[0060] TiN wird wie folgt abgeschieden. Ein aus Elektronen und Ionen bestehender Ladungsraum wird durch Verwendung von Wasserstoff als Trägergas und Diethylaminotitan $Ti[N(C_2H_5)_2]_4$ -Gas und N_2 -Gas gebildet und dem Substrat zugeführt. Die Flussrate des Wasserstoffträgergases ist 30 SCCM und diejenige des Stickstoffträgergases ist 10 SCCM. Eine negative Vorspannung (z. B. -60 bis -80 V) wird als Schwebepotential an das Substrat angelegt. Die Substrattemperatur ist 100°C bis 250°C. Zur Abscheidung von Cu wird HFA-Cu(Hexafluoracetylaceton-Kupfer)-Gas zur Bildung eines Ladungsraumes mit H_2 verwendet und Cu wird bei einer Substrattemperatur von 300°C abgeschieden. Die Bedingungen für die Vorspannung am Substrat sind dieselben wie für TiN. TiN und Cu werden in dieser Weise mit (111)-Kristallorientierung abgeschieden.

[0061] Danach wird das Substrat in eine verdünnte Flusssäurelösung ($HF : H_2O = 1 : 100$) eingetaucht. In diesem Fall wird die Sauerstoffkonzentration in der wässrigen Lösung auf 1 ppm oder weniger verringert, um Cu nicht zu oxidieren. Wenn das Substrat in die verdünnte Flusssäurelösung getaucht wird, werden, da die Ätzrate der Schicht 77 hoch ist, die darauf gebildete TiN-Schicht 78 und Cu-Schicht 79 gleichzeitig abgehoben. Als Ergebnis wird eine Endstruktur, wie in **Fig. 7N** gezeigt, erhalten. Eine Mehrlagenverdrahtungsstruktur aus zwei oder mehr Schichten kann durch Wiederholung der Schritte in **Abb. 7L** bis **7N** gebildet werden.

[0062] Wenn ein Transistor unter Verwendung des obigen Verfahrens hergestellt wird, kann die Zahl der Herstellungsschritte um 10 Schritte verringert werden. Wenn eine fünfschichtige Verdrahtungsstruktur mit dem Verfahren der vorliegenden Erfindung gebildet wird, können 20 oder mehr Herstellungsschritte eingespart werden, was zu einer großen Kostenverringerung führt. Zusätzlich können nicht nur Cu oder W, sondern auch Ag, Au oder eine supraleitende Schicht, die alle schwierig durch herkömmliche Verfahren zu ätzen sind, für ein Ultramikroverdrahtungsmuster verwendet werden. Ferner kann, da ein Verdrahtungsmuster ohne Spiel auf einem Kontakt selbst ausgerichtet werden kann, der Raum zwischen der Verdrahtung verringert werden, um den Integrationsgrad zu erhöhen. Wenn der Raum zwischen der Verdrahtung nicht verringert werden muss, kann, da die Kapazität zwischen benachbarten Ver-

drahtungsschichten verringert werden kann, die Verdrahtungsverzögerungszeit verkürzt werden, um die Arbeitsgeschwindigkeit zu erhöhen.

[0063] In dieser Ausführungsform wird eine Elektrode oder ein Verdrahtungsmuster durch anisotrope CVD und Abheben gebildet. Die Musterbildung kann jedoch in ähnlicher Weise unter Verwendung eines selektiven Wachstumsverfahrens durchgeführt werden.

[0064] Wie oben genau beschrieben, verwendet die vorliegenden Erfindung verschiedene selektive oder anisotrope Verfahren, wie anisotrope selektive CVD von SiO_2 , anisotrope oder selektive Bildung eines Metallfilms. Als Ergebnis kann die Zahl der Herstellungsschritte verringert werden, wobei eine Kostenreduktion erreicht wird, eine hochgenaue Maskenausrichtung muss nicht durchgeführt werden, ein von Ausschwitzen freies Muster kann gebildet werden, ein schwierig zu ätzendes Material kann verwendet werden, und die Arbeitsgeschwindigkeit, die Dichte und Zuverlässigkeit eines Elementes können dementsprechend verbessert werden.

Patentansprüche

1. Verfahren zur Herstellung einer Halbleitervorrichtung, das die folgenden Stufen umfasst:
Bilden einer ersten Isolierschicht (11) mit einem Loch auf einem Substrat (10);
selektives Bilden einer leitenden Schicht (13) in dem Loch;
selektives Bilden einer zweiten Isolierschicht (14) mit einem mit dem Loch ausgerichtetem Loch auf der ersten Isolierschicht (11);
Bemustern der zweiten Isolierschicht unter Bildung eines Öffnungsteils; und
Bilden einer Verdrahtungsschicht (15) in dem Loch und dem Öffnungsteil der bemusterten zweiten Isolierschicht (14) derart, dass eine elektrische Verbindung mit der leitenden Schicht (13) besteht;
dadurch gekennzeichnet, dass die selektive Bildung der zweiten Isolierschicht (14) ohne Maskenausrichtung durch selektive chemische Gasphasenabscheidung unter Verwendung einer gasförmigen polaren Siliciumverbindung als Speisegas durchgeführt wird und die erste und zweite Isolierschicht (11, 14) aus SiO_2 bestehen.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Bildung der zweiten Isolierschicht (14) durch gerichtete selektive chemische Gasphasenabscheidung durchgeführt wird.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die gasförmige polare Siliciumverbindung aus der aus SiH_3Cl , $SiCl_2$, $SiCl_3$ und $Si(CH_3)_3$ bestehenden Gruppe ausgewählt ist.
4. Verfahren nach Anspruch 1, das ferner vor der Stufe des Bildens der zweiten Isolierschicht (14) die

Stufe des Behandeln der Oberflächen der ersten Isolierschicht (11) und der leitenden Schicht (13) durch ein H_2 -Plasma umfasst.

5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Stufe des Bildens der leitenden Schicht (13) durch selektive chemische Gasphasenabscheidung durchgeführt wird.

6. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Stufe des Bildens der leitenden Schicht (13) die Teilstufen des Durchführens einer gerichteten chemischen Gasphasenabscheidung auf der gesamten Oberfläche und des Durchführens eines Spiegelglanzpolierens umfasst.

7. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Stufe des Bildens der leitenden Schicht (13) die Teilstufen des Durchführens einer gerichteten chemischen Gasphasenabscheidung auf der gesamten Oberfläche, des Abscheidens eines planmachenden Materials auf der gesamten Oberfläche zum Einebnen der Oberfläche und des Durchführens von Rückätzen umfasst.

8. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass die gerichtete chemische Gasphasenabscheidung unter Anlegen einer Vorspannung an das Substrat durchgeführt wird.

9. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Stufe des Bildens der leitenden Schicht (13) die Teilstufen des Bildens einer Abstandsschicht auf der ersten Isolierschicht (11), des Durchführens einer gerichteten chemischen Gasphasenabscheidung auf der gesamten Oberfläche und des Entferns der Abstandsschicht unter Hochheben eines Teils der leitenden Schicht (13) auf der Abstandsschicht umfasst.

10. Verfahren nach Anspruch 1, das durch die folgenden Stufen gekennzeichnet ist:
 Bilden einer dritten Schicht (16) aus SiO_2 mit einer Vielzahl von Löchern, die mit dem Loch und dem Öffnungsteil ausgerichtet sind, durch selektive chemische Gasphasenabscheidung unter Verwendung einer gasförmigen polaren Siliciumverbindung als Speisegas auf der bemusterten zweiten Isolierschicht (14);
 selektives Bilden von Teilen einer leitenden Schicht (17a, 17b, 17c) in den Löchern;
 Oxidieren der Oberfläche von einigen der Teile der leitenden Schicht (17b, 17c) mit Ausnahme eines Teils einer leitenden Schicht (17a), auf dem eine Verdrahtungsschicht (19) gebildet werden soll;
 selektives Bilden einer vierten Schicht (18) aus SiO_2 auf der dritten Isolierschicht (16) und den einigen Teilen der leitenden Schicht (17b, 17c), die eine oxidierte Oberfläche aufweisen, unter Verwendung der gleichen selektiven chemischen Gasphasenabscheidung

wie für die dritte Schicht aus SiO_2 ;
 Bemustern der vierten Schicht aus SiO_2 unter Bildung eines Öffnungsteils; und
 Bilden einer Verdrahtungsschicht (19) in dem Öffnungsteil der bemusterten vierten Schicht (18) aus SiO_2 derart, dass eine elektrische Verbindung mit dem Teil der leitenden Schicht (17a), der eine nicht-oxidierte Oberfläche aufweist, besteht.

11. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die Stufe des Oxidierens der Oberfläche von einigen der Teile der leitenden Schicht (17b, 17c) durch Bestrahlen und Rastern der Oberfläche der leitenden Schicht (17b, 17c) mit einem Sauerstoffionenstrahl durchgeführt wird.

12. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die Stufe des Oxidierens der Oberfläche von einigen der Teile der leitenden Schicht (17b, 17c) durch Implantieren von Sauerstoffionen in die leitende Schicht (17b, 17c) durch eine Maskierungsschicht durchgeführt wird.

13. Verfahren nach Anspruch 10, dadurch gekennzeichnet, dass die Stufe des Oxidierens der Oberfläche von einigen der Teile der einer leitenden Schicht (17b, 17c) durch thermische Oxidation der Oberfläche der leitenden Schicht (17b, 17c) durch eine Antioxidationsmaske durchgeführt wird.

Es folgt kein Blatt Zeichnungen