(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3974286号
(P3974286)
(45)発行日　平成19年9月12日(2007.9.12)　(24)登録日　平成19年6月22日(2007.6.22)

(51)Int.Cl.　F I
H01L 21/76 (2006.01)　H01L 21/76 L
H01L 21/76 E

請求項の数 10　(全 9 頁)

(21)出願番号　特願平11-80482
(22)出願日　平成11年3月24日(1999.3.24)
(65)公開番号　特開平11-330226
(43)公開日　平成11年11月30日(1999.11.30)
審査請求日　平成14年10月9日(2002.10.9)
(31)優先権主張番号　1998 10256
(32)優先日　平成10年3月25日(1998.3.25)
(33)優先権主張国　韓国(KR)

前置審査

(73)特許権者　390019839
三星電子株式会社
Ｓａｍｓｕｎｇ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｃｏ．，Ｌｔｄ．
大韓民国京畿道水原市八達区梅灘洞４１６番地
(74)代理人　100064908
弁理士　志賀　正武
(74)代理人　100089037
弁理士　渡邊　隆
(74)代理人　100108453
弁理士　村山　靖彦
(74)代理人　100110364
弁理士　実広　信哉

最終頁に続く

(54)【発明の名称】浅いトレンチアイソレーション方法

(57)【特許請求の範囲】
【請求項１】
単結晶からなる半導体基板のアクティブ領域に最初の浅いトレンチのためのエッチングマスク用絶縁膜のパターンを形成する段階と、
前記絶縁膜のパターンをエッチングマスクとして利用して前記半導体基板のフィールド領域の単結晶半導体をエッチングして最初の浅いトレンチを形成する段階と、
前記最初の浅いトレンチにのみ所定高さの浅いトレンチアイソレーション用絶縁膜を形成させ、前記半導体基板のアクティブ領域を露出させる段階と、
前記露出されたアクティブ領域にエピタキシャル層を成長させ、最終の浅いトレンチを形成する段階とを含むことを特徴とする半導体装置の浅いトレンチアイソレーション方法。
【請求項２】
前記アクティブ領域を露出させる段階は、前記最初の浅いトレンチを前記浅いトレンチアイソレーション用絶縁膜で充填するために前記半導体基板上に前記浅いトレンチアイソレーション用絶縁膜を積層する段階と、前記浅いトレンチアイソレーション用絶縁膜と前記マスク用絶縁膜のパターンを平坦化させる段階と、前記平坦化されたマスク用絶縁膜のパターンを除去して前記最初の浅いトレンチにのみ前記浅いトレンチアイソレーション用絶縁膜を残して前記アクティブ領域を露出させる段階とを含むことを特徴とする請求項１記載の半導体装置の浅いトレンチアイソレーション方法。
【請求項３】

前記最初の浅いトレンチにのみ前記最終の浅いトレンチの深さに該当する高さの浅いトレンチアイソレーション用絶縁膜を残すことを特徴とする請求項１または請求項２記載の浅いトレンチアイソレーション方法。

【請求項４】

前記浅いトレンチアイソレーション用絶縁膜を形成する段階は、前記マスク用絶縁膜のパターン上に前記浅いトレンチアイソレーション用絶縁膜を積層する段階と、前記浅いトレンチアイソレーション用絶縁膜を保護するために前記絶縁膜上に保護膜を積層する段階と、そして前記保護された絶縁膜を緻密化させる段階とを含むことを特徴とする請求項２記載の浅いトレンチアイソレーション方法。

【請求項５】

前記保護膜を酸化膜で形成することを特徴とする請求項４記載の浅いトレンチアイソレーション方法。

【請求項６】

前記浅いトレンチアイソレーション用絶縁膜を積層する前に前記最初の浅いトレンチの基底面と内側面にエッチング損傷防止膜を形成して前記最初の浅いトレンチの形成時生成されたエッチング損傷を除去することを特徴とする請求項４記載の浅いトレンチアイソレーション方法。

【請求項７】

前記エッチング損傷防止膜は熱的成長された酸化膜であることを特徴とする請求項６記載の浅いトレンチアイソレーション方法。

【請求項８】

前記浅いトレンチアイソレーション用絶縁膜と前記マスク用絶縁膜のパターンを化学機械研磨工程により平坦化させることを特徴とする請求項２記載の浅いトレンチアイソレーション方法。

【請求項９】

前記浅いトレンチアイソレーション用絶縁膜をＵＳＧ膜で形成することを特徴とする請求項１記載の浅いトレンチアイソレーション方法。

【請求項１０】

前記半導体基板が単結晶シリコン基板であり、前記エピタキシャル層が不純物のドーピングされた単結晶シリコン層であることを特徴とする請求項１記載の浅いトレンチアイソレーション方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は半導体装置の浅いトレンチアイソレーション方法に係り、さらに詳しくは、大縦横比の浅いトレンチを工程条件の難しさなしに絶縁膜で充填させ素子間のアイソレーションを確保するようにした浅いトレンチアイソレーション方法に関するものである。

【０００２】

【従来の技術】

一般に広く知られたように、高集積メモリデバイスでは素子絶縁領域のサイズがメモリセルサイズを決定する大きな要素になるため素子絶縁領域サイズの縮少のための素子絶縁技術が活発に研究、開発されてきた。

【０００３】

現在使われている素子絶縁技術としてはＬＯＣＯＳ（local oxidation of silicon）、ＳＥＰＯＸ（selective polysilicon oxidation）、ＲＰＳＬ（recessed polysilicon spacer ＬＯＣＯＳ）などがある。この中でＬＯＣＯＳ方法が最も広く使われているがこれは構造の単純さと工程の容易性及び集積度の向上等ＶＬＳＩ回路の能動素子を絶縁するのに多くの長所を持っているためであった。

【０００４】

しかし、ＬＯＣＯＳ方法はフィールド酸化膜の成長時バーズビーク（bird's beak）がパ

ッド酸化膜と窒化膜、または、シリコン基板とパッド酸化膜の境界面で生じてアクティブ領域を蚕食することによってアクティブ領域の回路信頼性を悪化させて集積度を低下させる問題点を持っている。
これにより、超高集積ＤＲＡＭ開発にＬＯＣＯＳ方法をこれ以上適用するのは難しくなりＬＯＣＯＳ方法を置き換える新しい方案が提案され始めた。このような方案中の注目されているものが浅いトレンチアイソレーション（shallow trench isolation）工程である。
【０００５】
浅いトレンチアイソレーション工程では設計ルールの縮少に伴って浅いトレンチの幅が狭くなるが、浅いトレンチの深さが素子絶縁信頼性を確保するために最小限の深さである２５００　を保持する必要があるので、浅いトレンチの縦横比（aspect ratio）が大きくなり浅いトレンチを絶縁物で完全に充填させられず、これによってシーム（seam）の生成が誘発される。
【０００６】
それで、これを解決するために浅いトレンチの深さを浅く形成する方法が提案されることもあったが、これは素子間の絶縁を十分に確保できないという限界があった。以外にも浅いトレンチに絶縁膜を完全に充填させられる物質として高密度低圧プラズマＣＶＤ酸化膜やＳＡＣＶＤ（sub atmosphere ＣＶＤ）酸化膜が開発されたが現在の半導体製造工程で生じる問題を解消できる程の水準に至っていない。
【０００７】
最近に至り浅いトレンチに絶縁物を完全に充填できる技術として注目されるものがあってこれを図７ないし図１２を参照して説明する。
図７に示すように、まず、半導体基板１１、例えば、単結晶シリコン基板の上部面に１００　厚さのパッド酸化膜１３と、化学機械研磨（chemical mechanical polishing）ストッピング膜である２０００　厚さの窒化膜１５を積層した後、窒化膜１５上にトレンチエッチングマスクである高温酸化膜１７を積層する。
【０００８】
その次に、フォトエッチング工程を利用して半導体基板１１のフィールド領域に浅いトレンチ１９を形成するための高温酸化膜１７のパターンを形成する。すなわち、高温酸化膜１７の表面に半導体基板１１のアクティブ領域に該当する感光膜（図示せず）のパターンを形成して前記感光膜のパターンをエッチングマスクとして利用して高温酸化膜１７を窒化膜１５の表面が露出される時までエッチングして高温酸化膜１７のパターンを形成した後前記感光膜のパターンを除去する。
【０００９】
以後、高温酸化膜１７のパターンをトレンチエッチングマスクとして利用して窒化膜１５とパッド酸化膜１３を順次にエッチングした後半導体基板１１を２５００　の深さほどエッチングして浅いトレンチ１９を形成する。
図８に示すように、続いて、浅いトレンチ１９の基底面と内側面に同じ厚さのエッチング損傷防止膜、例えば、酸化膜２１を１００～５００　厚さで熱的成長させるがこれは浅いトレンチ１９の形成時浅いトレンチ１９の基底面及び内側面に生成されたエッチング損傷を減少させるためである。
【００１０】
図９に示すように、その次に、酸化膜２１をプラズマ処理した後、オゾンＴＥＯＳ（tetra－ethyl－ortho－silicate）ＣＶＤ工程により前記構造の半導体基板１１の表面に第１ＵＳＧ（undoped silicate glass）膜２３を１５００　の厚さで蒸着する。
ここで、酸化膜２１をプラズマ処理することは、下地膜である酸化膜２１の表面状態に依存性を持っている第１ＵＳＧ膜２３が、浅いトレンチ１９の他の部分より浅いトレンチ１９の入口部分でさらに厚く蒸着することを防止するためである。
【００１１】
図１０に示すように、以後、第１ＵＳＧ膜２３をアルゴン（Ａｒ）スパッタリング工程によりエッチバックして酸化膜２１の表面上に第１ＵＳＧ膜２３を残してこれと共に浅いト

レンチ１９の入口近くの第１ＵＳＧ膜２３に所定角度のスロープ（ｓｌｏｐｅ）を提供する。
ここで、浅いトレンチ１９の入口近くの第１ＵＳＧ膜２３をエッチバックすることは浅いトレンチ１９の縦横比が大きかったり、浅いトレンチ１９の深さが深い場合、酸化膜２１をプラズマ処理のみでは浅いトレンチ１９に絶縁膜を完全に充填させることが難しいためである。
【００１２】
図１１に示すように、続けて、前記構造の半導体基板１１の表面に５０００～７０００厚さの第２ＵＳＧ膜２５を蒸着して浅いトレンチ１９内に第２ＵＳＧ膜２５を完全に充填する。
続いて、ＰＥＴＥＯＳ（plasma enhanced ＴＥＯＳ）ＣＶＤ工程により第２ＵＳＧ膜２５の表面上に平坦化膜である酸化膜２７を蒸着した後、第１ＵＳＧ膜２３及び第２ＵＳＧ膜２５を窒素雰囲気で約１０００℃の温度で１時間熱処理して緻密化（densification）させる。
【００１３】
図１２に示すように、最後に、ＣＭＰ（chemical mechanical polishing）工程により前記構造の半導体基板１１を平坦化してパッド酸化膜１３の表面を露出させる。
続いて、パッド酸化膜１３を湿式エッチングして半導体基板１１のアクティブ領域表面を露出させることによって浅いトレンチアイソレーション工程を完了する。もちろん、パッド酸化膜１３のエッチング時第１ＵＳＧ膜２３の上側部も一部除去されることは当然である。
【００１４】
【発明が解決しようとする課題】
しかし、従来の浅いトレンチアイソレーション工程は半導体基板に最終の浅いトレンチを形成した後、浅いトレンチを絶縁膜で充填するので浅いトレンチの縦横比が大きくなるため素子間のアイソレーション信頼性の確保が難しかった。また、浅いトレンチを絶縁膜で完全に充填してもこのための工程条件が次第に難しくなった。
【００１５】
すなわち、大縦横比の浅いトレンチを半導体基板に形成して浅いトレンチの基底面及び内側面に酸化膜を熱的成長させた後、酸化膜に薄厚の第１ＵＳＧ膜を積層する時、第１ＵＳＧ膜が下地膜である酸化膜の表面状態に大きい依存性を有するので、酸化膜をプラズマ処理して酸化膜に対する第１ＵＳＧ膜の依存性を除去するのに工程条件が極めて難しくなることしかなかった。
【００１６】
これによって、工程条件のマージンを十分に確保されない場合、素子間のアイソレーション信頼性確保が難しかった。
したがって、本発明の目的は大縦横比の浅いトレンチにおいても素子間のアイソレーションの信頼性を確保するようにしたことにある。
本発明の他の目的は工程条件を難しさなしにしながらも大縦横比の浅いトレンチに絶縁膜を完全に充填するようにしたことにある。
本発明の他の目的は次の詳細な説明と添付された図面からより明確になることである。
【００１７】
【課題を解決するための手段】
前記の目的を達成するための本発明による浅いトレンチアイソレーション方法は、半導体基板のアクティブ領域に最初の浅いトレンチのためのマスク用絶縁膜のパターンを形成して半導体基板のフィールド領域に最初の浅いトレンチを形成する。以後、最初の浅いトレンチにのみ所定高さの浅いトレンチアイソレーション用絶縁膜を形成させて前記半導体基板のアクティブ領域を露出させる。その次に、アクティブ領域にエピタキシャル層を成長させて最終の浅いトレンチを形成することを特徴とする。
【００１８】

前記アクティブ領域の露出は最初の浅いトレンチを前記浅いトレンチアイソレーション用絶縁膜で充填するために半導体基板上に浅いトレンチアイソレーション用絶縁膜を積層して浅いトレンチアイソレーション用絶縁膜とマスク用絶縁膜のパターンを平坦化させ、平坦化されたマスク用絶縁膜のパターンを除去して最初の浅いトレンチにのみに前記浅いトレンチ用絶縁膜を残すことによって果たされる。前記最初の浅いトレンチにのみ最終の浅いトレンチの深さに該当する高さの浅いトレンチアイソレーション用絶縁膜を残す。

【００１９】

前記エピタキシャル層が不純物ドーピングされた単結晶シリコン層である。したがって、本発明は工程条件の難しさなしに大縦横比の浅いトレンチに絶縁膜を完全に充填させ素子間のアイソレーション信頼性を確保することができる。

【００２０】

【発明の実施の形態】

以下、添付図面を参照して本発明による好ましい実施形態について詳細に説明する。

図１を参照すれば、まず、半導体基板３１、例えば、単結晶シリコン基板の上部面に多層の絶縁膜を積層する。これをさらに詳しく説明すれば、半導体基板３１の上部面に１００　厚さのパッド酸化膜３３と化学機械研磨（chemical mechanical polishing）ストッピング膜である２０００　厚さの窒化膜３５を順次に積層する。続いて、窒化膜３５の表面にトレンチエッチングマスクとして使用する所定厚さの高温酸化膜３７を積層する。

【００２１】

その次に、フォトエッチング工程を利用して半導体基板３１のフィールド領域に浅いトレンチ３９を形成するための開口部を有する高温酸化膜３７のパターンを形成する。すなわち、高温酸化膜３７の表面に半導体基板３１のアクティブ領域に該当する感光膜（図示せず）のパターンを形成して前記感光膜のパターンをエッチングマスクとして利用して高温酸化膜３７を窒化膜３５の表面が露出される時までエッチングして高温酸化膜３７のパターンを形成した後前記感光膜のパターンを除去する。

【００２２】

以後、高温酸化膜３７のパターンをトレンチエッチングマスクとして利用して窒化膜３５とパッド酸化膜３３を順次にエッチングした後半導体基板３１を後述する最終の浅いトレンチ３９ａの深さＤより浅い深さＤ１ほどエッチングして最初の浅いトレンチ３９を形成する。したがって、最初の浅いトレンチ３９の縦横比は最終の浅いトレンチ３９ａの縦横比より低い。

【００２３】

ここで、例えば、最初の浅いトレンチ３９の深さＤ１が１５００　とすれば、最終の浅いトレンチ３９ａの深さＤは２５００　が望ましい。

図２に示すように、続いて、浅いトレンチ３９の基底面と内側面にエッチング損傷防止膜、例えば、酸化膜４１を所定の厚さ、例えば、２４０　の厚さほど熱的成長させるが、これは浅いトレンチ３９の形成時浅いトレンチ３９の基底面及び内側面に既生成されたエッチング損傷を減少させるためである。

【００２４】

図３に示すように、オゾンＴＥＯＳ　ＣＶＤ工程により前記構造の半導体基板３１の表面に浅いトレンチを充填するための絶縁膜、例えば、ＵＳＧ膜４３を所定の厚さ、例えば、５０００　の厚さで蒸着して浅いトレンチ３９を完全に充填する。ここで、前記絶縁膜は前記化学機械研磨工程ストッピング膜である窒化膜３５に対して大きいエッチング選択比を持っている。

【００２５】

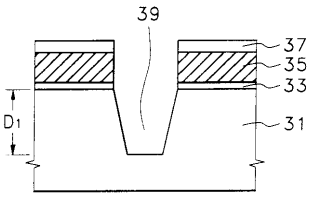
そして、ＰＥＣＶＤ工程によりＵＳＧ膜４３上に保護膜用酸化膜４５を、例えば、５００　の厚さで蒸着してＵＳＧ膜４３を窒素雰囲気で約１０００℃の温度で１時間熱処理して緻密化（densification）させる。

図４に示されたように、化学機械研磨工程により酸化膜４５とＵＳＧ膜４３及び高温酸化膜３７を窒化膜３５の表面が露出される時まで研磨してＵＳＧ膜４３と窒化膜３５の表面

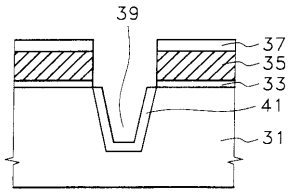
を平坦化させる。この際、ＵＳＧ膜４３がフィールド領域にのみ存在する。
【００２６】
続けて、化学機械研磨工程を実施してＵＳＧ膜４３を３０００　の厚さ程度に残す。この際、窒化膜３５も共にエッチングされる。
図５に示すように、以後、窒化膜３５を除去した後湿式エッチング工程によりパッド酸化膜３３を完全に除去して半導体基板３１のアクティブ領域の表面を露出させる。これと共に、ＵＳＧ膜４３をエッチングしてフィールド領域の絶縁膜を後述する最終の浅いトレンチ３９ａの深さＤに該当する２５００　の厚さで残す。したがって、フィールド領域の絶縁膜が半導体基板３１の表面で１０００　の高さを有する。
【００２７】
図６に示すように、半導体基板３１のアクティブ領域表面にエピタキシャル層４７を前記フィールド領域の絶縁膜の高さに該当する１０００　の厚さほど成長させて２５００　の深さを有する浅いトレンチ３９ａを完成する。ここで、エピタキシャル層４７は不純物ドーピングされた単結晶シリコン層が望ましい。
したがって、本発明は最終の浅いトレンチに絶縁層を完全に充填させることができるのみならず浅いトレンチアイソレーション用絶縁膜とアクティブ領域の表面を平坦化も果たされる。
【００２８】
【発明の効果】
以上のように本発明によると、浅いトレンチアイソレーション方法は、半導体基板のフィールド領域に最終の浅いトレンチより浅い最初の浅いトレンチを形成し、最初の浅いトレンチを完全に充填するように半導体基板に絶縁膜を積層し、半導体基板のアクティブ領域を露出させると共にフィールド領域にのみ最終の浅いトレンチの深さに該当する厚さで残した後、前記露出されたアクティブ領域にエピタキシャル層を成長させる。
【００２９】
したがって、本発明は大縦横比の浅いトレンチに絶縁膜を完全に充填させ浅いトレンチアイソレーション工程の信頼性を確保する。
以上、本発明の好ましい実施形態について詳細に記述したが、本発明が属する技術分野において通常の知識を持つ者であれば、添付された請求範囲に定義された本発明の精神及び範囲を離脱しなく本発明を多様に変形または変更して実施できる。
【図面の簡単な説明】
【図１】　本発明による浅いトレンチアイソレーション方法を示す断面図である。
【図２】　本発明による浅いトレンチアイソレーション方法を示す断面図である。
【図３】　本発明による浅いトレンチアイソレーション方法を示す断面図である。
【図４】　本発明による浅いトレンチアイソレーション方法を示す断面図である。
【図５】　本発明による浅いトレンチアイソレーション方法を示す断面図である。
【図６】　本発明による浅いトレンチアイソレーション方法を示す断面図である。
【図７】　従来技術による浅いトレンチアイソレーション方法を示す断面図である。
【図８】　従来技術による浅いトレンチアイソレーション方法を示す断面図である。
【図９】　従来技術による浅いトレンチアイソレーション方法を示す断面図である。
【図１０】　従来技術による浅いトレンチアイソレーション方法を示す断面図である。
【図１１】　従来技術による浅いトレンチアイソレーション方法を示す断面図である。
【図１２】　従来技術による浅いトレンチアイソレーション方法を示す断面図である。
【符号の説明】
３１　半導体基板
３３　パット酸化膜
３５　窒化膜
３７　高温酸化膜
３９　最初の浅いトレンチ
３９ａ　最終の浅いトレンチ

４１　酸化膜
４３　ＵＳＧ膜
４７　エピタキシャル層

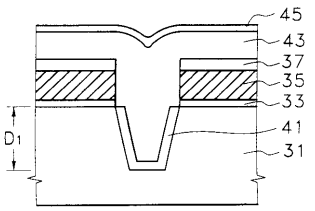
【図１】



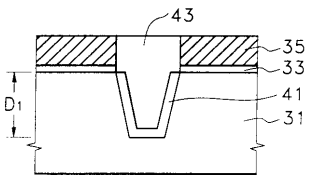
【図２】



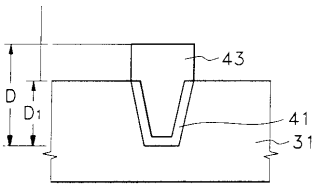
【図３】



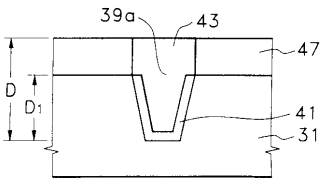
【図４】



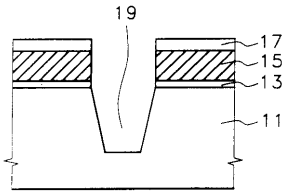
【図５】



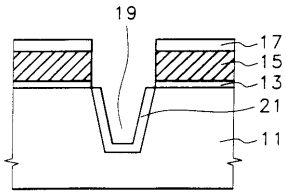
【図６】



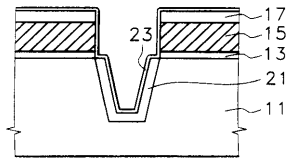
【図７】



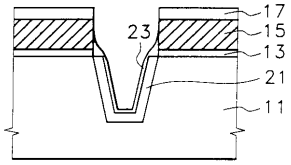
【図８】



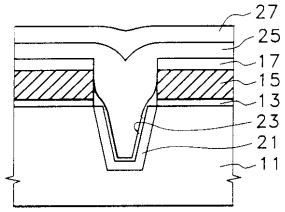
【図９】



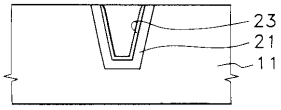
【図１０】



【図１１】



【図１２】



フロントページの続き

(72)発明者　康　佑鐸
大韓民国京畿道城南市盆唐區野塔洞（番地なし）梅花マウル２０８棟２０４号

審査官　加藤　浩一

(56)参考文献　特開平０８－２６４６３４（ＪＰ，Ａ）
特開昭６４－０５０４３９（ＪＰ，Ａ）
特開昭６３－０８１９４３（ＪＰ，Ａ）
特開平０９－２０５１３８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/76