



(12) 发明专利

(10) 授权公告号 CN 1993687 B

(45) 授权公告日 2010.05.26

(21) 申请号 200580026371.6

(22) 申请日 2005.06.29

(30) 优先权数据

102004038211.5 2004.08.05 DE

(85) PCT申请进入国家阶段日

2007.02.05

(86) PCT申请的申请数据

PCT/EP2005/053074 2005.06.29

(87) PCT申请的公布数据

W02006/015910 DE 2006.02.16

(73) 专利权人 罗伯特·博世有限公司

地址 德国斯图加特

(72) 发明人 F·哈特维希 C·霍尔斯特

F·拜勒 M·伊勒

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

代理人 卢江 魏军

(51) Int. Cl.

G06F 13/16(2006.01)

(56) 对比文件

US 5471588 A, 1995.11.28, 说明书摘要、图 1.

US 5983327 A, 1999.11.09, 说明书第 3 栏第 66 行至第 4 栏第 10 行, 第 6 栏第 1-10 行, 第 7 栏第 6-7 行, 18-20 行, 45-51 行, 第 7 栏第 65 行至第 8 栏第 1 行, 第 8 栏第 4-16 行、图 2, 图 3, 图 4, 图 5.

US 5765036 A, 1998.06.09, 全文.

审查员 李昕宇

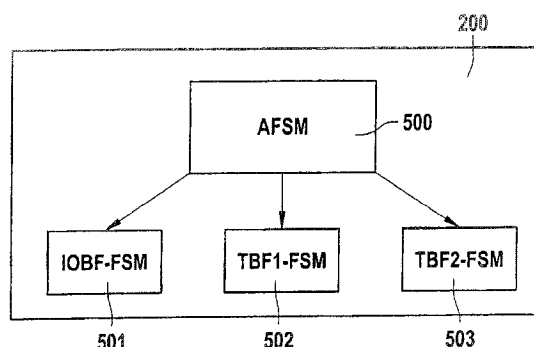
权利要求书 2 页 说明书 11 页 附图 11 页

(54) 发明名称

用于控制数据访问的消息管理器和方法以及通信组件

(57) 摘要

用于控制对消息存储器的数据的访问的方法和具有在访问时数据被输入或输出的消息存储器(300)的通信组件(100)的消息管理器(200), 其中所述消息存储器(300)与第一缓冲存储器装置(205,206)和第二缓冲存储器装置(201,202)相连接, 并且对数据的访问通过所述第一或所述第二缓冲存储器装置来进行, 其中在所述消息管理器(200)中设置有至少一个第一有限状态机(502,503), 该第一有限状态机控制通过所述第一缓冲存储器装置(205,206)对消息存储器的访问, 并且至少设置有第二有限状态机(501), 该第二有限状态机控制通过所述第二缓冲存储器装置(201,202)的访问, 其中所述至少一个第一有限状态机和所述第二有限状态机提出访问请求, 并且设置有第三有限状态机, 该第三有限状态机根据所述至少一个第一和第二有限状态机的访问请求给所述至少一个第一和第二有限状态机分配对消息存储器的访问。



1. 通信组件 (100) 的消息管理器 (200), 该通信组件 (100) 具有消息存储器 (300), 其中在访问所述消息存储器 (300) 时数据输入或输出到所述消息存储器 (300) 中, 其中所述消息存储器 (300) 与第一缓冲存储器装置 (205, 206) 和第二缓冲存储器装置 (201, 202) 相连接, 并且对数据的访问通过所述第一或所述第二缓冲存储器装置来进行, 其特征在于, 在所述消息管理器 (200) 中,

设置有至少一个第一有限状态机 (502, 503), 所述至少一个第一有限状态机控制通过所述第一缓冲存储器装置 (205, 206) 对所述消息存储器的访问, 并且至少

设置有第二有限状态机 (501), 所述第二有限状态机控制通过所述第二缓冲存储器装置 (201, 202) 的访问, 其中所述至少一个第一有限状态机和所述第二有限状态机提出访问请求, 并且

设置有第三有限状态机, 所述第三有限状态机根据所述至少一个第一有限状态机和所述第二有限状态机的访问请求给所述至少一个第一有限状态机和所述第二有限状态机分配对所述消息存储器的访问。

2. 根据权利要求 1 所述的消息管理器 (200), 其特征在于, 所述数据通过所述第一缓冲存储器装置 (205, 206) 在两个数据路径中被传输, 每个数据路径分别具有两个数据方向, 并且所述第一缓冲存储器装置 (205, 206) 包含用于第一数据路径的第一缓冲存储器和用于第二数据路径的第二缓冲存储器, 并且每个数据路径分别设置有第一有限状态机 (502, 503), 其中两个第一有限状态机 (502, 503) 中的第一个控制通过第二缓冲存储器对所述消息存储器 (300) 的访问, 而两个第一有限状态机 (502, 503) 中的第二个控制通过第一缓冲存储器对所述消息存储器 (300) 的访问。

3. 根据权利要求 1 或 2 所述的消息管理器 (200), 其特征在于, 设置有时钟装置, 通过该时钟装置在可预先给定的时钟周期 (T) 中传输数据, 并且所述第三有限状态机 (500) 根据每个第一有限状态机 (502, 503) 和所述第二有限状态机 (501) 的访问请求给每个第一有限状态机 (502, 503) 和所述第二有限状态机 (501) 依次分配时钟周期 (T1-T17), 使得在第一和第二有限状态机 (501, 502, 503) 中多于一个有限状态机发出访问请求的情况下, 将访问按照时钟地和交替地分配给提出请求的有限状态机 (501, 502, 503)。

4. 根据权利要求 1 或 2 所述的消息管理器 (200), 其特征在于, 整个访问时间由所述第三有限状态机 (500) 根据同时的访问请求的数量均匀地对应于该数量进行分配, 其中针对每个有限状态机总是同时仅允许一个访问请求。

5. 一种具有根据权利要求 1 所述的消息管理器的通信组件, 该通信组件是通信控制器。

6. 用于通过消息管理器 (200) 来控制对通信组件的消息存储器 (300) 的数据访问的方法, 其中在访问时数据被输入或被输出到该消息存储器 (300) 中, 其中所述消息存储器 (300) 与第一缓冲存储器装置 (205, 206) 和第二缓冲存储器装置 (201, 202) 相连接, 并且对所述数据的访问通过所述第一缓冲存储器装置 (205, 206) 或所述第二缓冲存储器装置 (201, 202) 来进行, 其特征在于, 在所述消息管理器 (200) 中,

设置有至少一个第一有限状态机 (502, 503), 所述至少一个第一有限状态机 (502, 503) 控制通过作为第一访问路径 (Z2, Z3) 的所述第一缓冲存储器装置 (205, 206) 对所述消息存储器 (300) 的访问, 并且

设置有第二有限状态机 (501), 该第二有限状态机 (501) 控制通过作为第二访问路径 (Z1A, Z1B) 的所述第二缓冲存储器装置 (201, 202) 的访问, 其中在同一时间仅在所述访问路径之一上访问所述数据, 以及

设置有第三有限状态机, 所述第三有限状态机根据所述至少一个第一有限状态机和所述第二有限状态机的访问请求给所述至少一个第一有限状态机和所述第二有限状态机分配对所述消息存储器的访问。

7. 根据权利要求 6 所述的方法, 其特征在于, 所述数据通过所述第一缓冲存储器装置 (205, 206) 在两个数据路径 (Z2, Z3) 中被传输, 每个数据路径分别具有两个数据方向, 并且所述第一缓冲存储器装置 (205, 206) 包含用于第一数据路径 (Z2) 的第一缓冲存储器和用于第二数据路径 (Z3) 的第二缓冲存储器, 并且每个数据路径分别设置有第一有限状态机 (502, 503), 以及数据通过第二缓冲存储器装置 (201, 202) 在分成两部分的第三数据路径 (Z1A, Z1B) 中传输, 该第三数据路径的两部分分别具有一个数据方向, 所述第二缓冲存储器装置 (201, 202) 具有用于第一数据方向的第一缓冲存储器以及用于第二数据方向的第二缓冲存储器, 其中第二有限状态机 (501) 控制所述通过第二缓冲存储器装置 (201, 202) 对消息存储器 (300) 的访问, 以及在同一时间仅在所述访问路径 (Z2, Z3, Z1A, Z1B) 之一上访问所述数据。

用于控制数据访问的消息管理器和方法以及通信组件

技术领域

[0001] 本发明从用于控制对通信组件的消息存储器的数据访问的消息管理器和方法出发。

背景技术

[0002] 近年来在现代汽车的制造中或者在机械制造中、尤其是在机床领域以及在自动化中借助通信系统和总线系统、也即借助通信连接使控制设备、传感器和执行机构联网已显著增加。在此情况下能够实现通过使功能分布到多个控制设备上而产生的协同效应。在此情况下称为分布式系统。不同站之间的通信越来越多地通过总线系统、也即通信系统来进行。总线系统上的通信业务量、访问和接收机制以及错误处理通过协议来进行调节。用于此的已知协议为 CAN 协议或 TTCAN 协议以及 FlexRay 协议,其中目前基于 FlexRay 协议规范 V2.0。在此, FlexRay 是一种快速的、确定性的和容错的总线系统,尤其用于应用在汽车中。FlexRay 协议按照时分多址 (TDMA) 方法工作,其中固定的时隙被分配给部件、也即用户或要传输的消息,在这些时隙中它们可以专有地访问通信连接。可比较地,这在 TTCAN 的情况下也被实现。在此,所述时隙以规定的周期重复,使得可以精确地预言消息通过总线被传输的时间点并确定性地进行总线访问。为了最佳地利用总线系统上用于消息传输的带宽, FlexRay 把周期划分为静止部分和动态部分。固定的时隙在此位于总线周期开头的静止部分。在动态部分中,时隙被动态地分配。其中现在能够分别仅仅在短的时间、所谓的微时隙内实现专有的总线访问。只有当在一个微时隙内进行总线访问时,该时隙才被延长所需要的时间。因此也只有当带宽实际被需要时它才被消耗。在此, FlexRay 通过两个物理上分开的线路以分别最大为每秒 10MB 的数据速率来通信。这两个信道在此对应于尤其是 OSI (Open System Architecture, 开放系统体系结构) 层模型的物理层。这些物理层现在主要用于消息的冗余的并且因此容错的传输,但也可以传输不同的消息,由此数据速率于是将加倍。但是 FlexRay 也可以以较低的数据速率运行。

[0003] 为了实现同步功能并且为了通过两个消息之间的小的间隔来优化带宽,分布在通信网络中的部件、也即用户需要共同的时间基准、即所谓的全球时间。为了时钟同步,同步消息在周期的静止部分中被传输,其中借助特殊的算法按照 FlexRay 规范如此来校正部件的本地时间,使得所有的本地时钟与全球时钟同步运行。这种同步可比较地也在 TTCAN 网络中进行。

[0004] FlexRay 网络节点或 FlexRay 用户或主机包含用户处理器、也即主机处理器、FlexRay 控制器或通信控制器、以及在总线监控的情况下包括总线监护器。在此,该主机处理器、也即用户处理器提供并处理通过 FlexRay 通信控制器所传输的数据。为了在 FlexRay 网络中进行通信,消息或消息对象可以配置有例如最多 254 个数据字节。为了现在在物理层、也即通信连接和主机处理器之间传输这些消息或消息对象,采用通信组件、尤其是通信控制器。

发明内容

[0005] 现在本发明的任务在于,如此控制数据传输,使得保证数据完整性并优化传输速度。

[0006] 本发明从具有消息存储器的通信组件的消息管理器和用于控制对消息存储器的数据访问的方法出发,在该消息存储器中在访问时数据被输入或输出。在此,该消息存储器与第一缓冲存储器装置和第二缓冲存储器装置相连接,其中通过该第一或第二缓冲存储器装置来进行对数据的访问,其中该消息管理器有利地包含至少一个第一状态机或有限状态机,该第一状态机或有限状态机控制通过该第一缓冲存储器装置对消息存储器的访问,并且该消息管理器包含至少一个第二有限状态机或状态机,该第二有限状态机或状态机控制通过第二缓冲存储器装置的访问,其中该至少一个第一有限状态机和至少一个第二有限状态机提出访问请求,并且设置有第三有限状态机或状态机,该第三有限状态机或状态机根据该至少一个第一和第二状态机或有限状态机的访问请求给该至少一个第一和第二状态机或有限状态机分配对消息存储器的访问。

[0007] 也即,本发明描述了一种方法和一种装置,用于如此来控制消息存储器、也即消息 RAM 与输入和输出缓冲器之间以及消息存储器与通向通信总线的发送和接收单元之间的数据传输,使得保证要存储的消息的所要求的数据完整性和高传输速度。

[0008] 合宜地,所述数据受消息管理器控制通过第一缓冲存储器装置在分别具有两个数据方向的两个数据路径中被传输,其中第一缓冲存储器装置包含用于第一数据路径的第一缓冲存储器和用于第二数据路径的第二缓冲存储器,并且这些数据路径分别设置有第一状态机或有限状态机,使得产生用于第一缓冲存储器装置的两个状态机,其中这两个第一状态机或有限状态机中的每一个都控制通过各一个缓冲存储器对消息存储器的访问。

[0009] 合宜地,设置有时钟装置,通过该时钟装置在可预先给定的时钟周期内传输数据,其中所述第三状态机或有限状态机根据每个第一有限状态机和每个第二有限状态机的访问请求依次给每个第一有限状态机和每个第二有限状态机相应地分配时钟周期。

[0010] 整个访问时间有利地由第三有限状态机或状态机根据同时的访问请求的数量均匀地对应于该数量进行分配,其中针对被分配时钟周期的每个有限状态机、也即状态机总是同时只允许一个访问请求。

[0011] 所述的方法和所述的消息管理器以及具有这种消息管理器的相应的通信组件能够使主机 CPU 在持续运行中读或写每个任意的消息对象、也即消息存储器中的每个任意的消息,而所选择的消息对象在主机 CPU 的访问的持续时间内不会由于参与诸如 FlexRay 总线的两个信道上的数据交换、也即物理层上的数据交换而被阻断。同时通过逐时钟的交替来保证存放在消息存储器中的数据的完整性并保证高的传输速率。

[0012] 其它优点和有利的扩展参见说明以及权利要求的特征。

附图说明

[0013] 本发明借助附图中的下列图来更详细地阐述。其中：

[0014] 图 1 以示意图示出通信组件及其到物理层的连接、也即通信连接以及通信用户或主机用户。

[0015] 图 2 更详细地示出在一种特殊的实施形式中图 1 的通信组件及其连接。

[0016] 在图 3 中示出了消息存储器的结构。

[0017] 图 4 至 6 示意性地示出在从用户到消息存储器的方向上数据访问的结构及过程。

[0018] 图 7 至 9 示意性地示出在从消息存储器到用户的方向上数据访问的结构和过程。

[0019] 在图 10 中示意性地示出了消息管理器和其中所包含的有限状态机。

[0020] 图 11 再次示意性地示出了通信组件的元件以及用户和相应的通过消息管理器所控制的数据路径。

[0021] 图 12 描述与图 11 中的数据路径有关的访问分配。

具体实施方式

[0022] 下面借助实施例来更详细地描述本发明。

[0023] 图 1 示意性地示出用于把用户或主机 102 连接到 FlexRay 通信连接 101、也即 FlexRay 的物理层上的 FlexRay 通信组件 100。为此 FlexRay 通信组件 100 通过连接 107 与用户或用户处理器 102 相连接,并通过连接 106 与通信连接 101 相连接。为了进行一方面就传输时间而言并且另一方面就数据完整性而言无问题的连接,示意性地基本上区分 FlexRay 通信组件中的三个装置。在此,第一装置 105 用于存储、尤其是中间存储要传输的消息的至少一部分。在用户 102 和该第一装置 105 之间通过连接 107 和 108 连接有第二装置 104。同样在用户 101 和该第一装置 105 之间通过连接 106 和 109 连接有第三装置 103,由此可以实现在最佳速度的情况下将数据作为消息、尤其是 FlexRay 消息的一部分非常灵活地输入到第一装置 105 中或从第一装置 105 中输出而同时保证数据完整性。

[0024] 在图 2 中再次更详细在一种优选实施形式中示出了该通信组件 100。同样更详细地示出了各个连接 106 至 109。该第二装置 104 在此包含输入缓冲存储器 201 (Input Buffer IBF)、输出缓冲存储器 202 (Output Buffer OBF) 以及由两部分 203 和 204 组成的接口组件,其中一部分组件 203 不依赖于用户,而第二部分组件 204 是用户特有的。该用户特有的部分组件 204 (Customer CPU Interface CIF) 将用户特有的主机 CPU 102、也即客户特有的用户与 FlexRay 通信组件相连接。为此设置有双向数据线 216、地址线 217 以及控制输入 218。同样以 219 设置有中断输出。用户特有的部分组件 204 与不依赖于用户的部分组件 203 (Generic CPU Interface, GIF) 处于连接中,也即 FlexRay 通信组件或 FlexRay-IP 模块拥有一般的、也即普通的 CPU 接口,其中大量不同的客户特有的主机 CPU 可以通过相应的用户特有的部分组件、也即 Customer CPU Interface CIF 连接到该 CPU 接口上。由此只须根据用户来改变部分组件 204,这意味着明显更少的花费。

[0025] 输入缓冲存储器 201 和输出缓冲存储器 202 可以被构造在存储器组件或分离的存储器组件中。在此,输入缓冲存储器 201 用于中间存储传输至消息存储器 200 的消息。在此,该输入缓冲存储器优选地如此来构造,使得它可以存储两个完整的消息,其中该消息分别由尤其具有配置数据的报头段和数据段或有效载荷段组成。在此,该输入缓冲存储器分两部分(子缓冲存储器和影子存储器)来构造,由此可以通过交替地写输入缓冲存储器的两个部分或通过交替访问来加速用户 CPU 102 和消息存储器 200 之间的传输。同样,该输出存储器 (Output-Buffer OBF) 用于中间存储从消息存储器 200 向用户 CPU 102 传输的消息。在此,该输出缓冲器 202 也如此来设计,使得可以存储两个完整的消息,其中该消息由尤其具有配置数据的报头段和数据段、也即有效载荷段组成。这里该输出缓冲存储器 202

也被分为两个部分、即子缓冲存储器和影子存储器,由此这里也可以通过交替地读这两个部分或者通过交替访问来加速用户或主机 CPU 102 和消息存储器 200 之间的传输。由模块 201 至 204 组成的该第二装置 104 与第一装置 105 如所示的那样相连接。

[0026] 装置 105 由消息管理器 200 (Message Handler MHD) 和消息存储器 300 (Message RAM) 组成。该消息管理器控制输入缓冲存储器 201 以及输出缓冲存储器 202 与消息存储器 300 之间的数据传输。同样地,它控制在另一方向上通过第三装置 103 的数据传输。该消息存储器优选地作为单端口 RAM 来实施。该 RAM 存储器将消息或消息对象、也即真正的数据与配置和状态数据一起进行存储。消息存储器 300 的确切结构在图 3 中更详细地被示出。

[0027] 第三装置由模块 205 至 208 组成。对应于 FlexRay 物理层的两个物理信道,该装置 103 被划分为各具有两个数据方向的两个数据路径。这通过连接 213 和 214 而变得清楚,其中示出了信道 A 的两个数据方向、即用于接收 (RxA) 和发送 (TxA) 的 RxA 和 TxA 以及信道 B 的两个数据方向、即 RxB 和 TxB。用连接 215 来表示可选的双向控制输入。第三装置 103 的连接通过用于信道 B 的第一缓冲存储器 205 和用于信道 A 的第二缓冲存储器 206 来实现。这两个缓冲存储器 (Transient Buffer RAM's: RAM A 和 RAM B) 作用于来自或通向第一装置 105 的数据传输的中间存储器。对应于这两个信道,这两个缓冲存储器 205 和 206 与各一个接口组件 207 和 208 相连接,其中该接口组件包含由发送 / 接收移位寄存器和 FlexRay 协议有限状态机组成的 FlexRay 协议控制器或总线协议控制器。因此,这两个缓冲存储器 205 和 206 用作接口组件或 FlexRay 协议控制器 207 和 208 的移位寄存器与消息存储器 300 之间的数据传输的中间存储器。这里也有利地由每个缓冲存储器 205 或 206 来存储两个 FlexRay 消息的数据区、也即有效载荷段或数据段。

[0028] 此外在通信组件 100 中以 209 示出了全球时间单元 (Global TimeUnit GTU),该全球时间单元负责显示 FlexRay 中的全球时间帧、也即微标记 (Mikrotick) μT 和宏标记 MT。同样通过全球时间单元 209 来调节周期计数器 (Cycle Counter) 的容错时钟同步和对 FlexRay 的静止和动态段中的时间过程的控制。

[0029] 用模块 210 示出了通用系统控制装置 (System Universal ControlSUC),通过该通用系统控制装置来控制 FlexRay 通信控制器的运行模式。属于该运行模式的有唤醒、启动、重新整合或整合、正常运行 (normaloperation) 和被动运行 (passive operation)。

[0030] 模块 211 示出如在 FlexRay 协议规范 v2.0 中所述的网络和差错管理装置 (Network-and Error Management MBM)。最后,模块 212 示出中断控制装置 (Interrupt Control INT),该中断控制装置管理状态和差错中断标志 (status and error interrupt flags) 并控制至用户 CPU102 的中断输出 219。所述模块 212 此外还包含用于产生时间中断或计时器中断的绝对和相对计时器。

[0031] 对于 FlexRay 网络中的通信来说,消息对象或消息 (MessageBuffer) 可以配置有多至 254 个数据字节。消息存储器 300 尤其是消息 RAM 存储器 (Message RAM),该存储器例如可以存储直至最多 64 个消息对象。为消息管理器 200 实现本身涉及消息的处理或管理的所有功能。这例如是在所述两个 FlexRay 协议控制器模块 207 和 208 与消息存储器 300、也即消息 RAM 之间消息的接收过滤、传输以及对发送顺序的控制和配置数据或状态数据的提供。

[0032] 外部 CPU、也即用户处理器 102 的外部处理器可以通过用户接口、利用用户特有的

部分 204 直接访问 FlexRay 通信组件的寄存器。在此使用多个寄存器。这些寄存器被用于配置和控制 FlexRay 协议控制器、也即接口组件 207 和 208、消息管理器 (Message Handler MHD) 200、全球时间单元 (Global Time Unit GTU) 209、通用系统控制器 (SystemUniversal Controller SUC) 210、网络和差错管理单元 (Network undError Management Unit NBM) 211、中断控制器 (Interrupt ControllerINT) 212 以及对消息 RAM、也即消息存储器 300 的访问,并且同样被用于显示相应的状态。在图 4 至 6 和 7 至 9 中至少对这些寄存器的一部分还进行更详细的探讨。这种所描述的、根据本发明的 FlexRay 通信组件使得能够简单地实现 FlexRay 规范 v2.0,由此可以简单地产生具有相应 FlexRay 功能的 ASIC 或微控制器。

[0033] 在图 3 中详细描述了消息存储器 300 的划分。对于 FlexRay 通信控制器的按照 FlexRay 协议规范所要求的功能来说,需要用于提供要发送的消息 (Transmit Buffer) 以及存储无差错地接收的消息 (ReceiveBuffer) 的消息存储器。FlexRay 协议允许具有数据区域、也即 0 至 254 个字节的有限有效载荷区域的消息。如图 2 中所示,该消息存储器是 FlexRay 通信组件 100 的一部分。下面所述的方法以及相应的消息存储器描述尤其在采用随机存取存储器 (RAM) 的情况下要发送的消息以及所接收的消息的存储,其中通过根据本发明的机制可以在预先给定大小的消息存储器中存储数量可变的消息。在此,可存储的消息的数量取决于各个消息的数据区域的大小,由此一方面所需的存储器的大小可以被最小化而无需限制消息的数据区域的大小,另一方面实现存储器的最佳利用。在下文中现在将更详细描述用于 FlexRay 通信控制器的尤其基于 RAM 的消息存储器的可变的划分。

[0034] 为了实施,现在示例性地预先给定具有规定的 n 位、例如 8 位、16 位、32 位等等的字宽以及预先给定的 m 个字的存储器深度 (m 、 n 为自然数) 的消息存储器。在此,该消息存储器 300 被划分为两个段、即报头段 HS 和数据段 DS (有效载荷部分、有效载荷段)。因此为每个消息都设置一个报头区域 HB 和一个数据区域 DB。因此为消息 0、1 至 k (k 为自然数) 设置报头区域 HB0、HB1 至 HB k 和数据区域 DB0、DB1 至 DB k 。因此,在一个消息中,在第一和第二数据之间进行区分,其中第一数据对应于关于 FlexRay 消息的配置数据和 / 或状态数据并分别被存放在报头区域 HB (HB0、HB1、...、HB k) 中。对应于真正的应当被传输的数据的第二数据被相应地存放在数据区域 DB (DB0、DB1、...、DB k) 中。因此为每个消息的第一数据产生第一数据范围 (以位、字节或存储器字来测量),并为消息的第二数据产生第二数据范围 (同样以位、字节或存储器字来测量),其中每个消息的第二数据范围可以是不同的。现在,在消息存储器 300 中,报头段 HS 和数据段 DS 之间的划分是可变的,也即,在所述区域之间不存在预先给定的界限。报头段 HS 和数据段 DS 之间的划分按照本发明取决于消息的数量 k 以及第二数据范围、也即真正数据的、即一个消息或全部 k 个消息共同的范围。现在根据本发明把指针元素或数据指针 DP0、DP1 至 DP k 分别直接分配给各个消息的配置数据 KD0、KD1 至 KD k 。在特殊的扩展方案中,每个报头区域 HB0、HB1 至 HB k 被分配固定数量的存储器字,这里为两个,使得在一个报头区域 HB 中总是共同存放一个配置数据 KD (KD0、KD1、...、KD k) 和一个指针元素 DP (DP0、DP1、...、DP k)。用于存储真正的消息数据 D0、D1 至 D k 的数据段 DS 连接在具有报头区域 HB 的报头段 HS 之后,其中该报头区域的大小或第一数据范围取决于要存储的消息的数量 k 。该数据段 (或数据部分) DS 在其数据范围方面取决于所存储的消息数据的相应的数据范围,这里例如在 DB0 中为六个字,在 DB1 中为一个

字,在 DBk 中为两个字。各个指针元素 DP0、DP1 至 DPk 因此总是指向开头,也即指向各个数据区域 DP0、DB1 至 DBk 的起始地址,其中在所述数据区域中存放有各个消息 0、1、至 k 的数据 D0、D1 至 Dk。因此消息存储器在报头段 HS 和数据段 DS 之间的划分是可变的,并且取决于消息本身的数量以及消息的相应的数据范围,并且因此取决于整个第二数据范围。如果配置较少的消息,那么报头段就变得较小,并且消息存储器中变得空闲的区域可以作为数据段 DS 的补充被用于存储数据。通过这种可变性可以保证最佳的存储器利用,由此也可以采用较小的存储器。同样取决于所存储的消息的数量 k 和消息的相应的第二数据范围的组合的、空闲的数据段 FDS、尤其是其大小因此是最小的并且甚至可以变为 0。

[0035] 除了使用指针元素外,也可以接可预先给定的顺序存放第一和第二数据、也即配置数据 KD(KD0、KD1、...、KDk) 和真正的数据 D(D0、D1、...、Dk),使得报头区域 HB0 至 HBk 在报头段 HS 中的顺序以及数据区域 DB0 至 DBk 在数据段 DS 中的顺序分别是相同的。于是在某些情况下甚至可以舍弃指针元素。

[0036] 在一个特殊的扩展方案中,给消息存储器分配差错标识生成器、尤其是奇偶位生成器单元、和差错标识检验器、尤其是奇偶位检验单元,以便通过以下方式保证在 HS 和 DS 中所存储的数据的正确性,即每个存储器字或每个区域(HB 和 / 或 DB) 可以一起存放正好尤其是作为奇偶位的校验和。其它的控制标识、例如 CRC(Cyclic redundancy check,循环冗余校验)或更强大的标识、例如 ECC(Error Code Correction,误码校正)也是可设想的。因此相对于消息存储器的固定的划分得到以下优点:

[0037] 用户在编程时可以决定他想使用较大数量的具有小的数据区的消息还是想使用较小数量的具有大的数据区的消息。在配置具有不同大小的数据区域的消息时,现有的存储容量被最佳地利用。用户可以为不同的消息共同使用一个数据存储区。

[0038] 在集成电路上实施通信控制器时,可以通过使所使用的存储器的存储器深度匹配于应用的需要来匹配消息存储器的大小,而无需改变通信控制器的另外的功能。

[0039] 此外,现在借助图 4 至 6 以及 7 至 9 来更详细地描述主机 CPU 访问、也即配置数据或状态数据和真正的数据通过缓冲存储器装置 201 和 202 的写和读。在此,目的在于,这样建立就数据传输而言的去耦,使得可以保证数据完整性并同时保证高的传输速度。该过程的控制通过消息管理器 200 来实现,这稍后还要在图 10、11 和 12 中更详细地描述。

[0040] 在图 4、5 和 6 中首先更详细地说明由用户 CPU 102 的主机 CPU 通过输入缓冲存储器 201 对消息存储器 300 的写访问。为此图 4 再次示出通信组件 100,其中出于清楚起见的原因仅示出了通信组件 100 的在此相关的部分。这一方面是负责过程控制的消息管理器 200 以及两个控制寄存器 403 和 404,这两个控制寄存器可以如所示的那样被安置在通信组件 100 中在消息管理器 200 之外,但也可以被包含在消息管理器 200 本身之中。在此,403 是输入请求寄存器(Input Buffer Command Request Register),404 是输入屏蔽寄存器(Input Buffer Command Mask Register)。主机 CPU 102 对消息存储器 300(Message RAM)的写访问因此通过中间连接的输入缓冲存储器 201(Input Buffer)来实现。该输入缓冲存储器 201 现在被设计为分布式的或双重的,并且更确切地说被设计为子缓冲存储器 400 和属于该子缓冲存储器的影子存储器 401。因此可以如下所述进行主机 CPU 102 对消息存储器 300 的消息或消息对象或数据的连续访问,并因此保证数据完整性和加速的传输。通过输入请求寄存器 403 并通过输入屏蔽寄存器 404 来进行对访问的控制。这里示例性地针对

32 位的宽度在寄存器 403 中用数字 0 至 31 来表示 403 中的各个位。同样的内容适用于寄存器 404 以及 404 中的位 0 至 31。

[0041] 根据本发明,现在寄存器 403 的位 0 至 5、15、16 至 21 和 31 示例性地就过程控制而言获得特殊的功能。这样在寄存器 403 的位 0 至 5 中可以录入作为消息标识的标识 IBRH(Input Buffer Request Host)。同样在寄存器 403 的位 16 至 21 中也可以录入标识 IBRS(Input BufferRequest Shaddow)。同样在 403 的寄存器位 15 中录入 IBSYH 并且在 403 的寄存器位 31 中录入 IBSYS 作为访问标识。寄存器 404 的位 0 至 2 也被标记,其中在位 0 和 1 中用 LSH(Load Header Section Host) 和 LDSH(Load Data Section Host) 录入作为数据标识的其它标识。这些数据标识在此以最简单的形式、也即分别作为 1 位被构造。在寄存器 404 的位 2 中用 STXRH(Set Transmission X Request Host) 来写入开始标识。

[0042] 此外,现在描述通过输入缓冲器对消息存储器的写访问过程。

[0043] 主机 CPU 102 把要传输的消息的数据写入输入缓冲存储器 201 中。在此,主机 CPU 102 可以仅仅针对消息存储器的报头段 HS 写入配置和报头数据 KD,或者可以仅仅针对消息存储器的数据段 DS 写入消息的真正的、要传输的数据,或者可以针对两者来进行写入。应当传输消息的哪一部分、也即配置数据和 / 或真正的数据通过输入标记寄存器 404 中的特殊的数据标识 LSH 和 LDSH 来确定。在此,通过 LSH(Load HeaderSection Host) 来确定是否应当传输报头数据、也即配置数据 KD,并通过 LDSH(Load Data Section Host) 来确定是否应当传输数据 D。通过把输入缓冲存储器 201 分成两部分利用缓冲存储器 400 的部分和属于该缓冲存储器 400 的影子存储器 401 来构造并且应当进行交替的访问,作为 LSH 和 LDSH 的配对物设置有另外两个现在与影子存储器 401 有关的数据标识区域。寄存器 404 的位 16 和 17 中的这些数据标识用 LHSS(Load Header Section Shadow) 和 LDSS(Load Data Section Shadow) 来表示。因此通过这些数据标识来对有关影子存储器 401 的传输过程进行控制。

[0044] 如果现在在输入屏蔽寄存器 404 的位 2 中设置开始位或开始标识 STXRH(Set Transmission X Request Host),那么在进行了各个要传输的配置数据和 / 或真正的数据的传输之后在消息存储器 300 中为相应的消息对象自动设置发送请求 (Transmission Request)。也即,通过该开始标识 STXRH 来控制、尤其是开始要传输的消息对象的自动发送。

[0045] 对于影子存储器来说与此相应的配对物是开始标识 STXRS(SetTransmission X Request Shadow),该开始标识示例性地被包含在输入标记寄存器 404 的位 18 中,并且这里在最简单的情况下也正好作为 1 位来构造。STXRS 的功能与 STXRH 的功能相类似,仅仅涉及影子存储器 1。

[0046] 如果主机 CPU 102 把消息标识、尤其是消息存储器 300 中消息对象的编号写入到输入请求寄存器 403 的位 0 至 5 中,也即写向 IBRH,那么输入缓冲存储器 201 的子缓冲存储器 400 和所属的影子存储器 401 被交换或者主机 CPU 102 和消息存储器 300 对这两个子存储器 400 和 401 的相应访问被交换,如通过半圆形箭头来表示的,其中输入缓冲存储器 201 的数据应当被传输到该消息存储器 300 中。同时例如还开始至消息存储器 300 的数据传输。至消息存储器 300 的数据传输本身从影子存储器 401 开始进行。同时寄存器区域 IBRH 和 IBRS 被交换。同样将 LSH 和 LDSH 与 LHSS 和 LDSS 相交换。同样将 STXRH 与 STXRS 交

换。IBRS 因此指示消息的标识、也即正从影子存储器 401 传输的消息对象的编号、或者作为最后的数据 (KD 和 / 或 D) 已经从影子存储器 401 收到哪些消息对象、也即消息存储器中的哪些区域。通过输入请求寄存器 403 的位 31 中的标识 (这里又例如为 1 位) IBSYS (Input Buffer Busy Shadow) 来指示是否恰好进行有影子存储器 401 参与的传输。因此例如在 IBSYS = 1 时恰好从影子存储器传输, 并且在 IBSYS = 0 时正好没有传输。该位 IBSYS 例如通过写 IBRH、也即寄存器 403 中的位 0 至 5 来设置, 以便指示在影子存储器 401 和消息存储器 300 之间正进行传输。在至消息存储器 300 的该数据传输结束之后, IBSYS 又被复位。

[0047] 在正好从影子存储器 401 进行数据传输期间, 主机 CPU 102 可以把下一要传输的消息写入到输入缓冲存储器或子缓冲存储器 400 中。借助例如在寄存器 403 的位 15 中的另一访问标识 IBSYH (Input Buffer BusyHost) 还可以把标识进一步细化。如果在影子存储器 401 和消息存储器 300 之间进行传输、也即 IBSYS = 1 期间主机 CPU 102 正好写 IBRH、也即寄存器 403 的位 0 至 5, 那么在输入请求寄存器 403 中设置 IBSYH。一旦所进行的传输结束, 那么就开始所请求的传输 (通过 STXRH 的请求, 参见上文) 并且位 IBSYH 被复位。该位 IBSYS 在整个时间期间保持被设置, 以便指示向消息存储器传输数据。所有实施例的所有使用的位在此也可以被构造为具有多于 1 位的标识。1 位解决方案由于存储器和处理经济的原因而是有利的。

[0048] 这样所描述的机制允许主机 CPU 102 连续地传输位于消息存储器中的由报头区域 HB 和数据区域 DB 组成的消息对象中的数据, 其前提是主机 CPU 102 对输入缓冲存储器的访问速度小于或等于 FlexRay-IP 模块、也即通信组件 100 的内部数据传输速率。

[0049] 在图 7、8 和 9 中现在更详细解释由主机 CPU 或用户 CPU 102 通过输出缓冲存储器 202 对消息存储器 300 的读访问。为此图 7 再次示出通信组件 100, 其中出于清楚起见的原因这里也仅仅示出了通信组件 100 的相关的部分。这一方面是负责过程控制的消息管理器 200 以及两个控制寄存器 703 和 704, 这两个控制寄存器可以如所示的那样被安置在通信组件 100 中在消息管理器 200 之外, 但也可以被包含在消息管理器 200 本身之中。在此, 703 是输出请求寄存器 (Output Buffer Command Request Register), 而 704 是输出屏蔽寄存器 (Output Buffer Command Mask Register)。主机 CPU 102 对消息存储器 300 的读访问因此通过中间连接的输出缓冲存储器 202 (Output Buffer) 来实现。该输出缓冲存储器 202 现在同样被设计为分布式的或双重的, 并且更确切地说被设计为子缓冲存储器 701 和属于该子缓冲存储器的影子存储器 700。因此这里也可以如下所述进行主机 CPU 102 对消息存储器 300 的消息或消息对象或数据的连续访问, 并且因此现在在从消息存储器到主机的相反方向上保证数据完整性和加速的传输。通过输出请求寄存器 703 并通过输入屏蔽寄存器 704 来进行对访问的控制。这里示例性地针对 32 位的宽度在寄存器 703 中也用数字 0 至 31 来表示 703 中的各个位。同样的内容适用于寄存器 704 以及 704 中的位 0 至 31。

[0050] 根据本发明, 现在寄存器 703 的位 0 至 5、8 和 9、15 和 16 至 21 示例性地就读访问的过程控制而言获得特殊的功能。这样在寄存器 703 的位 0 至 5 中可以录入作为消息标识的标识 OBRS (Output Buffer RequestShadow)。同样在寄存器 703 的位 16 至 21 中也可以录入标识 OBRH (Output Buffer Request Host)。在寄存器 703 的位 15 中可以录入 OBSYS (Output Buffer Busy Shadow) 来作为访问标识。输出屏蔽寄存器 704 的位 0 和 1 也被标记, 其中在位 0 和 1 中用 RDSS (Read Data Section Shadow) 和 RHSS (Read Header

Section Host) 录入作为数据标识的其它标识。其它数据标识例如在位 16 和 17 中用 RDSH(Read Data Section Host) 和 RHSH(Read Header Section Host) 来设置。这些数据标识在此也示例性地以最简单的形式、也即分别作为 1 位来构造。在寄存器 703 的位 9 中录入开始标识 REQ。此外还设置有转换标识 VIEW, 该转换标识示例性地被录入在寄存器 703 的位 8 中。

[0051] 主机 CPU 102 通过以下方式请求消息存储器 300 中的消息对象的数据, 即它把所期望的消息的标识、也即尤其是所期望的消息对象的编号写向 OBRS, 也即写入寄存器 703 的位 0 至 5。在此情况下该主机 CPU 也可以如在相反方向上那样仅仅从报头区域中读取消息的状态或配置数据和报头数据 KD 或者仅仅从数据区域中读取消息的真正要传输的数据 D 或者也可以两者都读取。应当从报头区域和 / 或数据区域中传输数据的哪一部分在此情况下与相反方向可比较地通过 RHSS 和 RDSS 来确定。也即 RHSS 说明是否应当读取报头数据, 而 RDSS 说明是否应当读取真正的数据。

[0052] 开始标识用于开始从消息存储器至影子存储器 700 的传输。也即如果如在最简单的情况下那样使用 1 位来作为标识, 那么通过在输出请求寄存器 703 的位 9 中设置位 REQ 来开始从消息存储器 300 至影子存储器 700 的传输。正进行的传输又通过访问标识、这里又在最简单的情况下通过寄存器 703 中的位 OBSYS 来表示。为了避免冲突, 有利的是, 只有当 OBSYS 没有被设置、也即正好没有进行传输时, 才可以设置位 REQ。在此, 于是也进行消息存储器 300 和影子存储器 700 之间的消息传输。真正的过程现在可以一方面与如按照图 4、5 和 6 所述的相反方向可比较地来控制 (互补的寄存器布局) 和进行, 或者在一个变型方案中通过附加的标识、也即寄存器 703 的位 8 中的转换标识 VIEW 来控制 and 进行。也即在传输结束之后, 位 OBSYS 被复位, 并通过在输出请求寄存器 703 中设置位 VIEW 来交换子缓冲存储器 701 和所属的影子存储器 700 或者交换对其的访问, 并且主机 CPU 102 现在可以从子缓冲存储器 701 中读出向消息存储器请求的消息对象、也即相应的消息。在此情况下, 这里也与图 4 至 6 中的相反传输方向可比较地将寄存器单元 OBRS 和 OBRH 相交换。作为保护机制这里也可以规定: 只有当 OBSYS 没有被设置、也即没有发生正进行的传输时, 才可以设置位 VIEW。

[0053] 因此主机 CPU 102 对消息存储器 300 的读访问通过中间连接的输出缓冲存储器 202 来进行。该输出缓冲存储器与输入缓冲存储器一样是双重地或分两部分来设计, 以便保证主机 CPU 102 对存放在消息存储器 300 中的消息对象的连续访问。这里也获得高数据完整性和加速传输的优点。

[0054] 通过采用上述的输入和输出缓冲器来保证, 尽管存在模块内部的等待时间, 但主机 CPU 能够不中断地访问消息存储器。

[0055] 为了保证这种数据完整性, 数据传输、尤其是转发在通信组件 100 中通过消息管理器 200 (Message Handler MHD) 来进行。为此在图 10 中示出了该消息管理器 200。该消息管理器在其功能方面可以通过多个状态机或状态自动机、也即有限自动机、所谓的有限状态机 (FSM) 来表示。在此设置有至少三个状态机, 并且在一个特殊的实施方案中设置有四个有限状态机。第一有限状态机是 IOBF-FSM 并用 501 来表示 (Input/Output Buffer State Maschine)。该 IOBF-FSM 也可以按照就输入缓冲存储器或输出缓冲存储器而言的传输方向被划分为两个有限状态机、即 IBF-FSM (Input Buffer FSM) 和 OBF-FSM (Output Buffer

FSM),其中最多五个状态自动机 (IBF-FSM、OBF-FSM、TBF1-FSM、TBF2-FSM、AFSM) 是可设想的。但优选地应设置一个共同的 IOBF-FSM。这里在优选的实施例的过程中,至少第二有限状态机被划分为两个模块 502 和 503,并用于与存储器 205 和 206 有关的两个信道 A 和 B,如关于图 2 所描述的。在此可以设置一个有限状态机,以便用于两个信道 A 和 B,或者如在优选形式中那样用于信道 A 的有限状态机 TBF1-FSM 用 502 来表示 (临时缓冲 1 (206, RAM A) 状态机),而用于信道 B 的 TBF2-FSM 用 503 来表示 (临时缓冲 2 (205, RAM B) 状态机)。

[0056] 在优选的实施例中,仲裁器有限状态机、所谓的 AFSM 用于控制三个有限状态机 501-503 的访问,其中该仲裁器有限状态机用 500 来表示。数据 (KD 和 / 或 D) 在由诸如 VCO (压控振荡器)、振荡石英等等的时钟装置所产生的或由该时钟装置所匹配的时钟中在通信组件中被传输。该时钟 T 在此可以在组件中产生,或者从外部、例如作为总线对钟来预先给定。该仲裁器有限状态机 AFSM500 交替地、尤其是分别在时钟周期 T 内向三个有限状态机 501-503 之一提供对消息存储器的访问。也即,可供使用的时间根据各个状态自动机 501、502、503 的访问请求而分配给这些请求的状态自动机。如果由仅仅一个有限状态机进行访问请求,那么该有限状态机获得 100% 的访问时间,也即所有的时钟 T。如果由两个状态自动机进行访问请求,那么每个有限状态机获得 50% 的访问时间。最后,如果由三个状态自动机进行访问请求,那么每个有限状态机获得 1/3 的访问时间。由此,分别可供使用的带宽被最佳地利用。

[0057] 用 501、也即 IOBF-FSM 来表示的第一有限状态机在需要时执行以下动作:

[0058] - 从输入缓冲存储器 201 到消息存储器 300 中的所选择的对象的数据传输。

[0059] - 从消息存储器 300 中的所选择的对象到输出缓冲存储器 202 的数据传输。

[0060] 用于信道 A 的状态机 502、也即 TBF1FSM 执行以下动作:

[0061] - 从消息存储器 300 中的所选择的对象到信道 A 的缓冲存储器 206 的数据传输。

[0062] - 从缓冲存储器 206 到消息存储器 300 中的所选择的对象的数据传输。

[0063] - 在消息存储器中搜索合适的消息对象,其中在接收时在接收过滤的范围内搜索用于存储在信道 A 上所接收的消息的消息对象 (接收缓冲器),并且在发送时搜索下一个要在信道 A 上发送的消息对象 (发送缓冲器)。

[0064] TBF2-FSM、也即模块 503 中的用于信道 B 的有限状态机的动作与此相类似。该 TBF2-FSM 执行从消息存储器 300 中的所选择的对象到信道 B 的缓冲存储器 205 的数据传输,并执行从缓冲存储器 205 到消息存储器 300 中的所选择的对象的数据传输。搜索消息存储器中的合适的对象的功能也与 TBF1-FSM 相类似,其中在接收时在接收过滤的范围内搜索用于存储在信道 B 上所接收的消息的消息对象 (接收缓冲器),并且在发送时搜索下一个要在信道 B 上发送的消息或消息对象 (发送缓冲器)。

[0065] 现在在图 11 中再次示出了该过程和传输路径。所述三个状态机 501-503 控制各个部分之间的相应数据传输。在此又用 102 来表示主机 CPU,用 201 来表示输入缓冲存储器,用 202 来表示输出缓冲存储器。用 300 来表示消息存储器,信道 A 和信道 B 的两个缓冲存储器用 206 和 205 来表示。接口单元 207 和 208 同样被示出。用 501 来表示的第一状态自动机 IOBF-FSM 控制数据传输 Z1A 和 Z1B,也即从输入缓冲存储器 201 至消息存储器 300 和从消息存储器 300 至输出缓冲存储器 202 的数据传输。该数据传输在此通过具有例如 32 位的

字宽的数据总线来进行,其中也可以实现任何其它的位数。同样的内容适用于消息存储器 300 和缓冲存储器 206 之间的数据传输。该数据传输通过 TBF1-FSM、也即用于信道 A 的状态机 502 来控制。消息存储器 300 和缓冲存储器 205 之间的传输 Z3 通过状态自动机 TBF2-FSM、也即 503 来控制。在此,该数据传输也通过具有例如 32 位的字宽的数据总线来进行,其中这里也可以实现任何其它的位数。完整的消息对象通过所述传输路径的传输通常需要多个时钟周期 T。因此通过仲裁器、也即 AFSM 500 来进行就时钟周期 T 而言的传输时间的分配。在图 11 中因此示出了由消息管理器控制的存储器件之间的数据路径。为了保证存储在消息存储器中的消息对象的数据完整性,应当有利地在同一时间仅在所示路径、也即 Z1A 和 Z1B 以及 Z2 和 Z3 之一上同时交换数据。

[0066] 在图 12 中借助例子示出,可供使用的系统时钟 T 如何由仲裁器、也即 AFSM 500 分配给三个请求的状态自动机。在阶段 1 中,由状态自动机 501 和状态自动机 502 进行访问请求,也即整个时间分别二等分地被分配给两个请求的状态自动机。就阶段 1 中的时钟周期而言这意味着:状态自动机 501 在时钟周期 T1 和 T3 中获得访问,而状态自动机 502 在时钟周期 T2 和 T4 中获得访问。在阶段 2 中,仅仅由状态机 501 进行访问,使得所有三个时钟周期、也即从 T5 至 T7 的 100% 的访问时间都分摊到 IOBF-FSM 上。在阶段 3 中,所有三个状态自动机 501 至 503 都进行访问请求,使得进行总访问时间的三等分。于是该仲裁器 AFSM 例如如此分配访问时间,使得在时钟周期 T8 和 T11 中有限状态机 501 获得访问,在时钟周期 T9 和 T12 中有限状态机 502 获得访问,以及在时钟周期 T10 和 T13 中有限状态机 503 获得访问。最后,在阶段 4 中,进行两个状态自动机 502 和 503 对通信组件的两个信道 A 和 B 的访问,使得时钟周期 T14 和 T16 的访问被分配给有限状态机 502,而 T15 和 T17 中的访问被分配给有限状态机 503。

[0067] 仲裁器状态自动机 AFSM 500 因此负责,针对三个状态自动机中有多于一个的状态自动机提出访问消息存储器 300 的请求的情况逐时钟地并且交替地将访问分配给请求的状态机。这种处理方法保证存放在消息存储器中的消息对象的完整性、也即数据完整性。如果例如主机 CPU 102 想在所接收的消息正好被写入消息对象期间通过输出缓冲存储器 202 读出该数据对象,那么根据哪个请求首先开始来读出老的状态或新的状态,而不会使消息存储器中的消息对象的访问本身产生冲突。

[0068] 所述方法能够使主机 CPU 在持续运行中读或写消息存储器中的每个任意的消息对象,而所选择的对象在主机 CPU 的访问的持续时间内不会由于参与 FlexRay 总线的两个信道上的数据交换而被阻断 (BufferLocking)。同时通过访问的逐时钟的交替保证存放在消息存储器中的数据的完整性,并且还通过整个带宽的充分利用来提高传输速度。

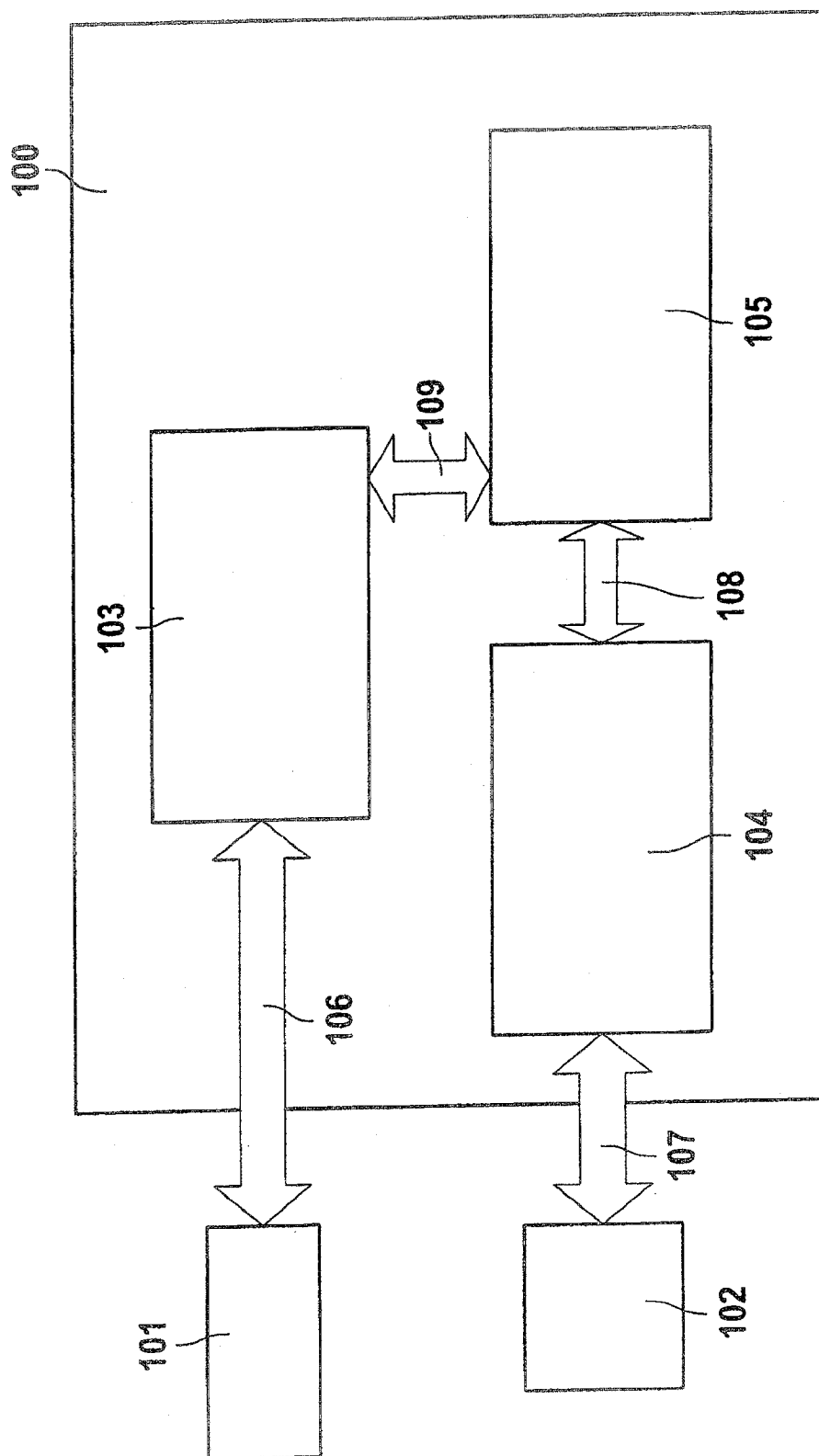


图 1

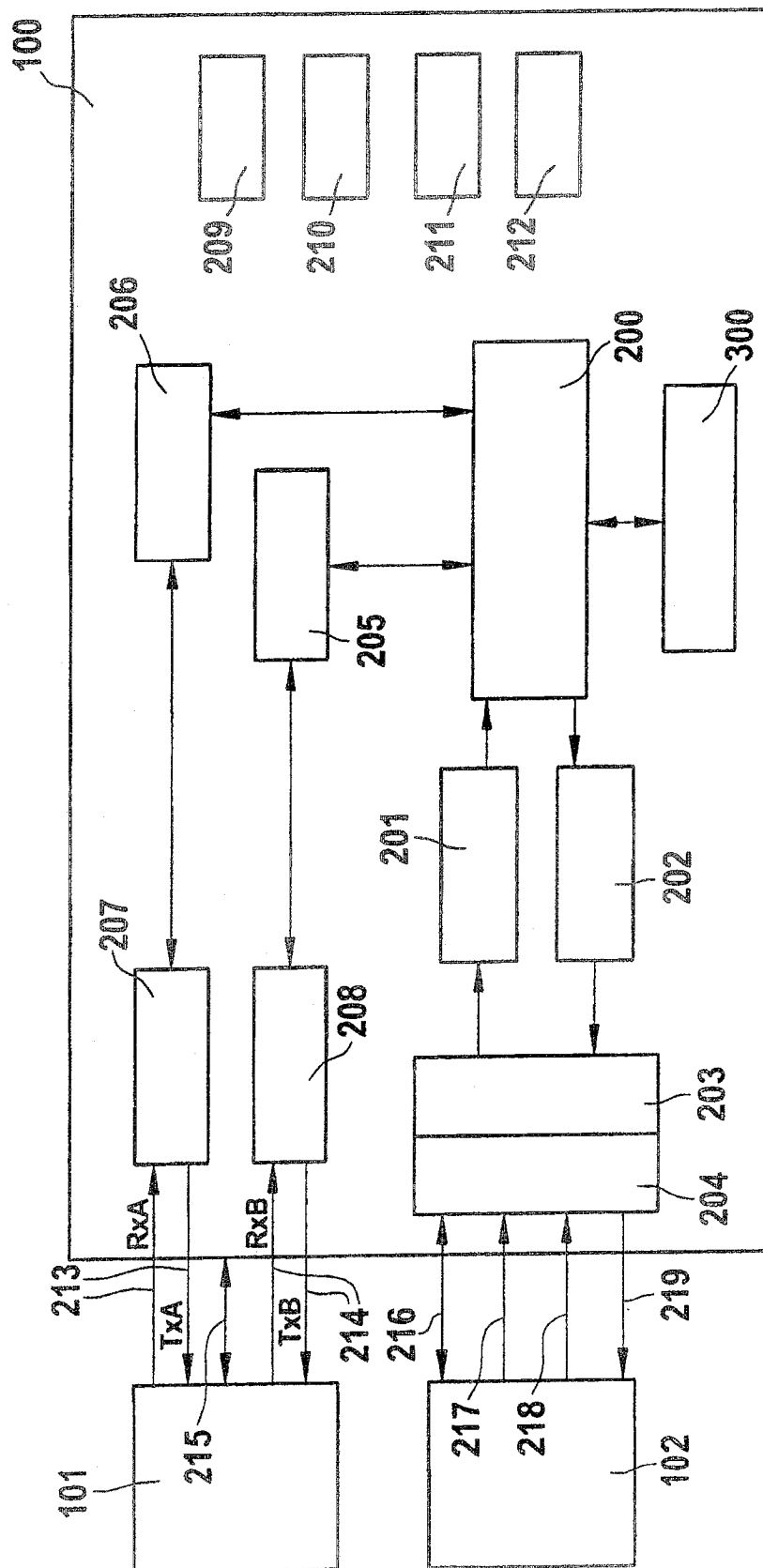


图 2

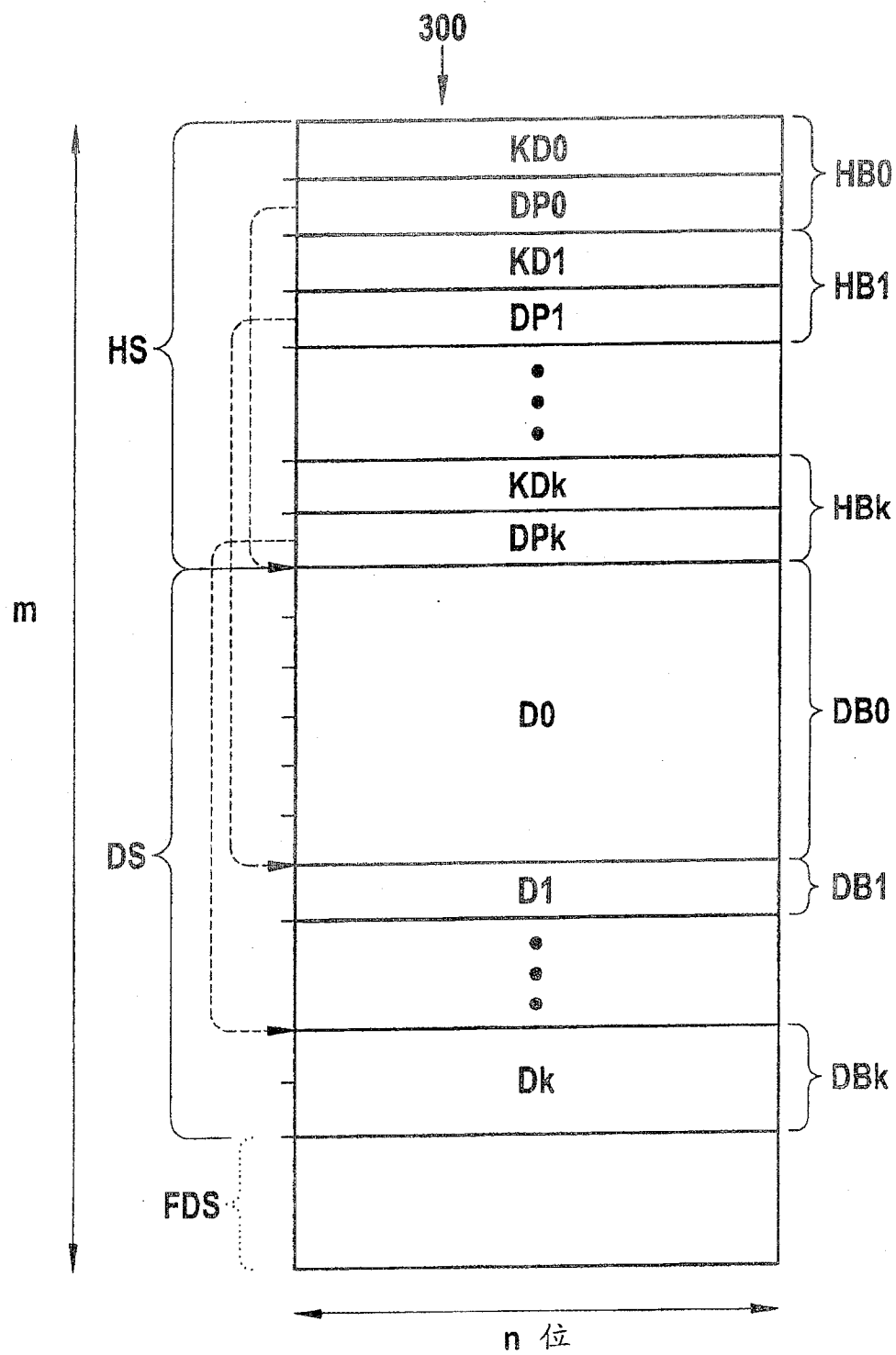


图 3

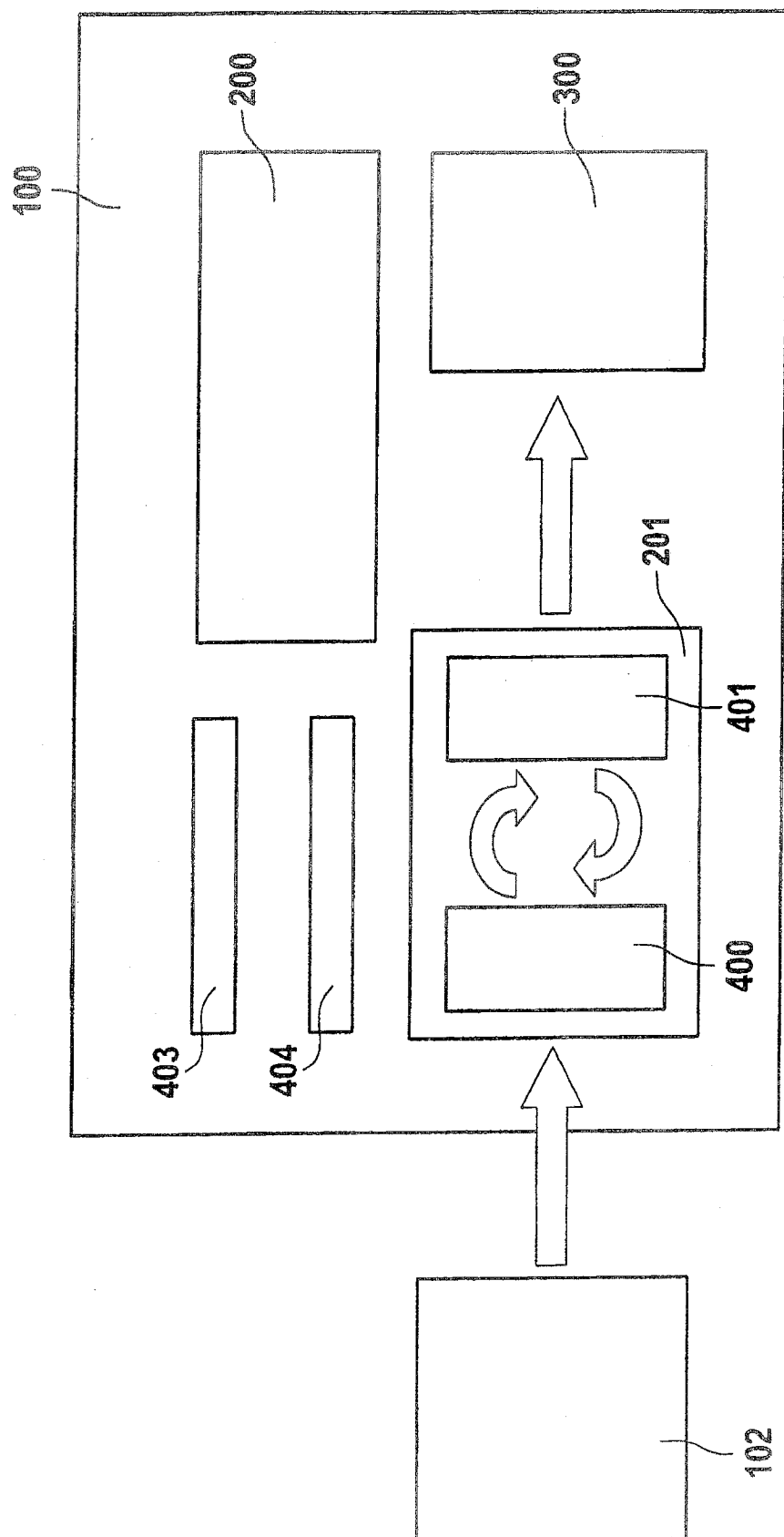


图 4

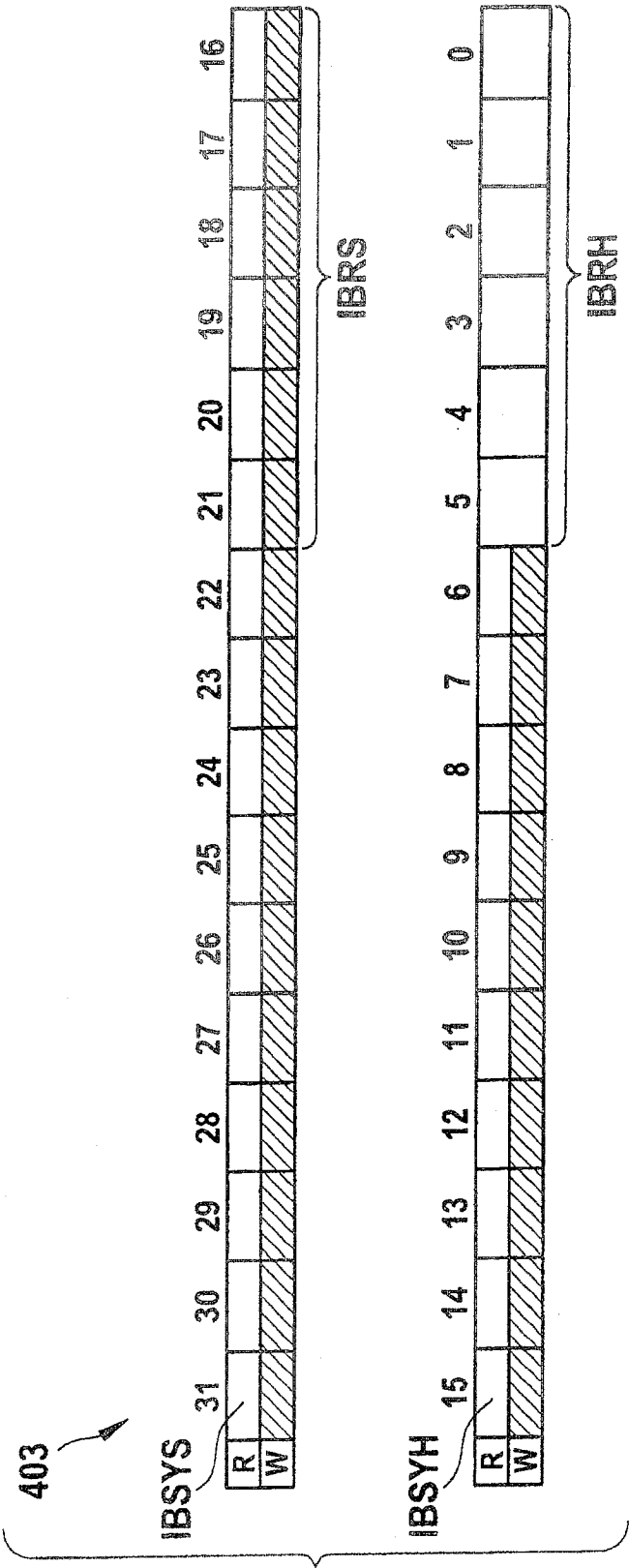


图 5

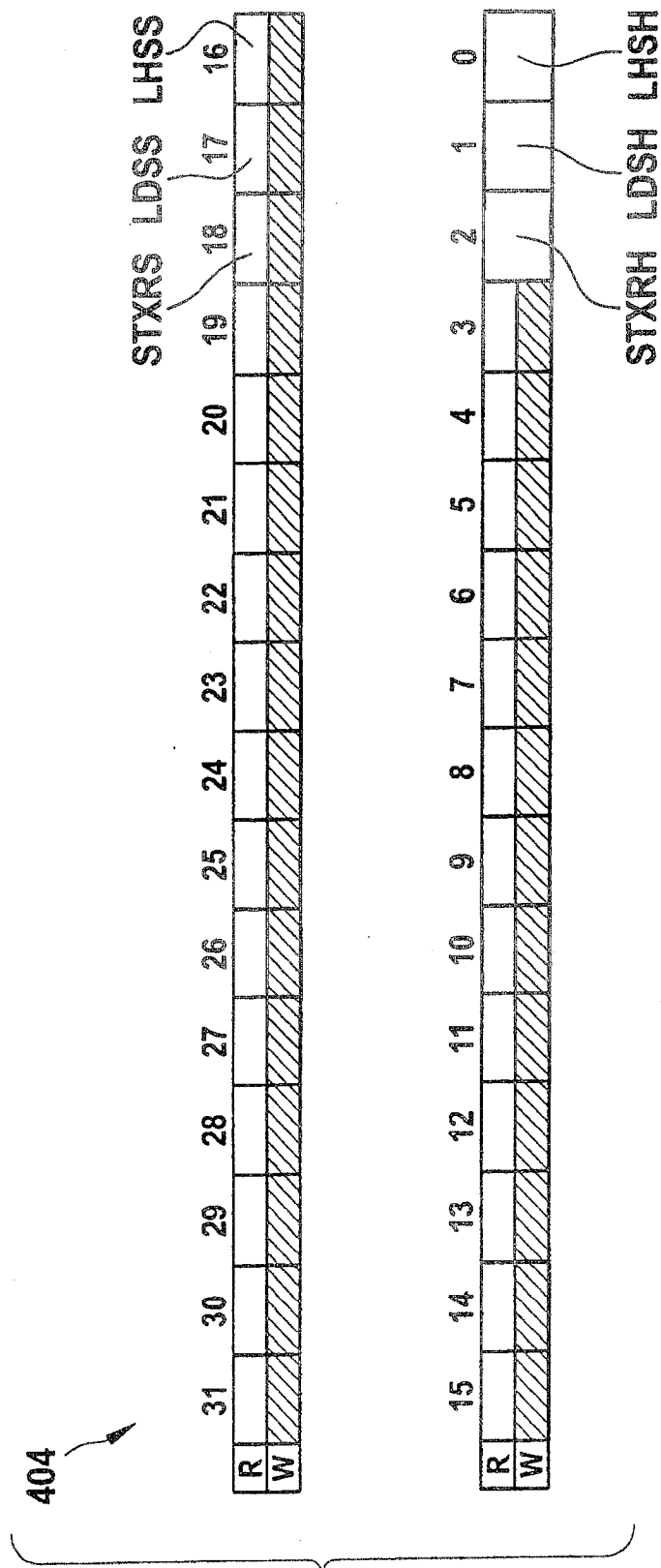


图 6

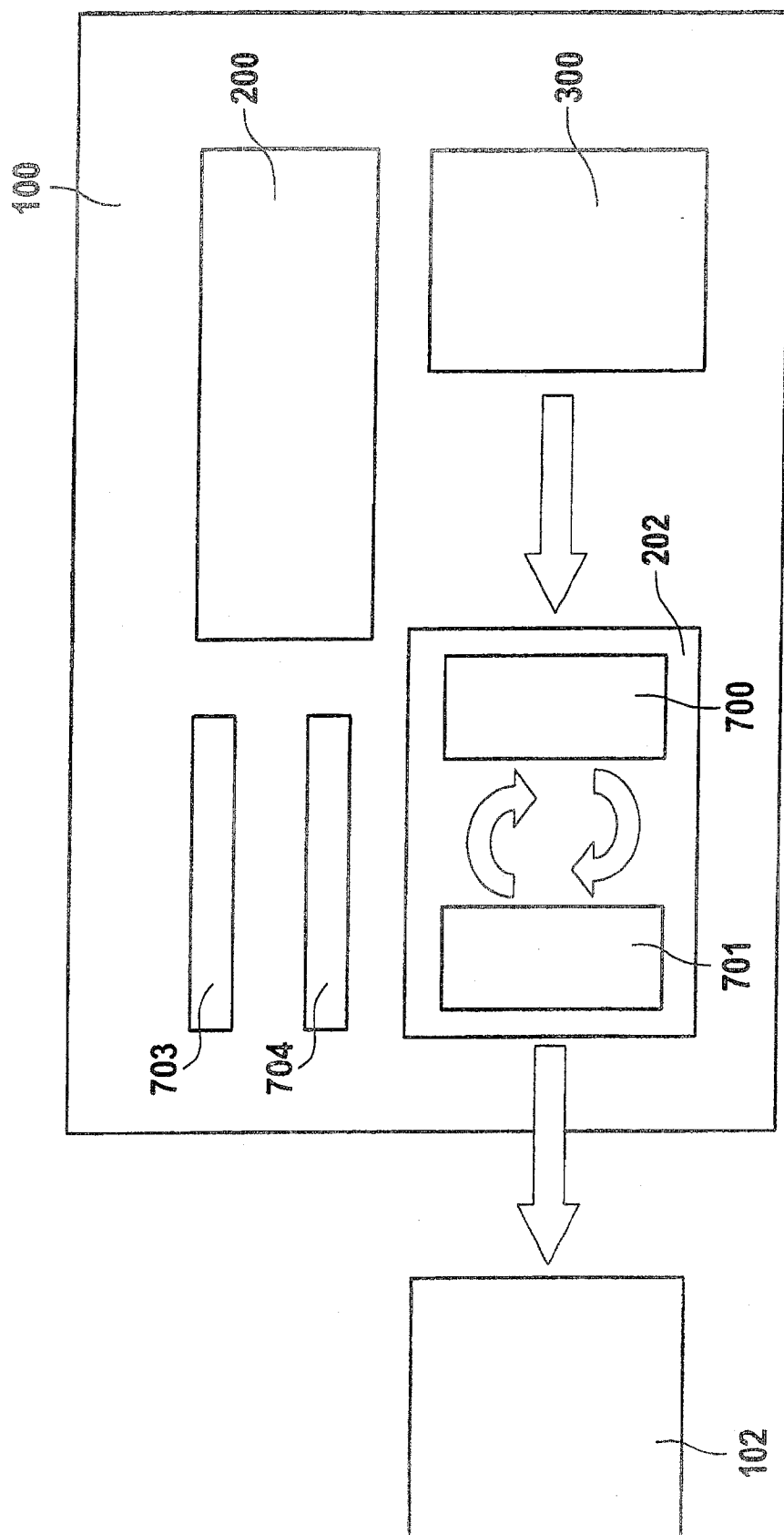


图 7

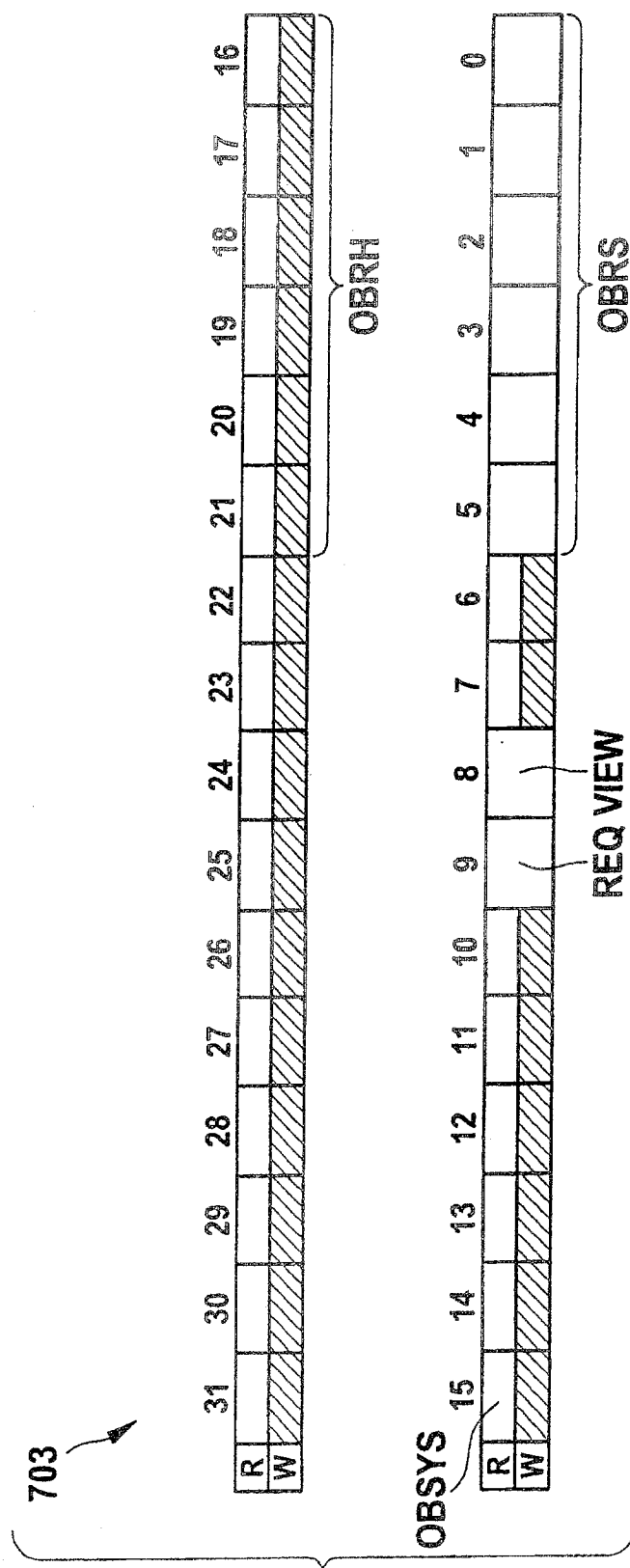


图 8

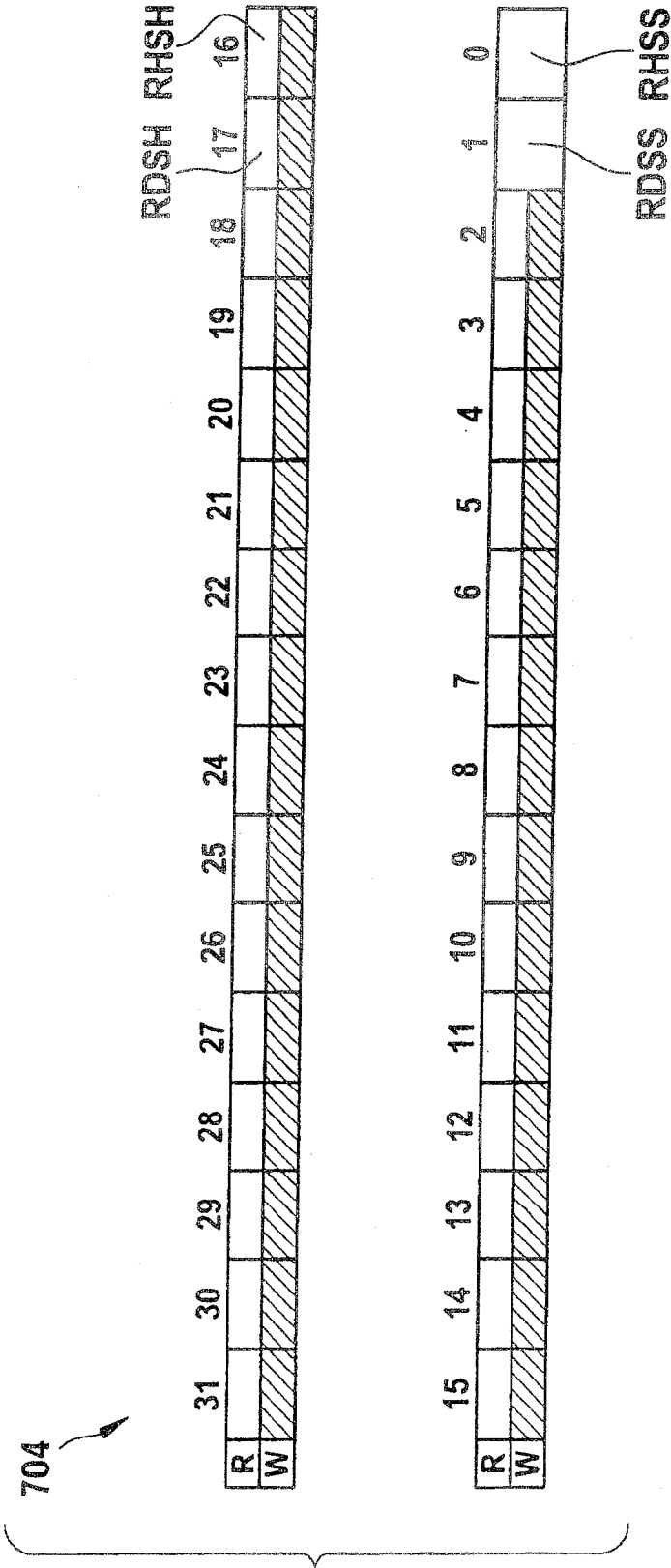


图 9

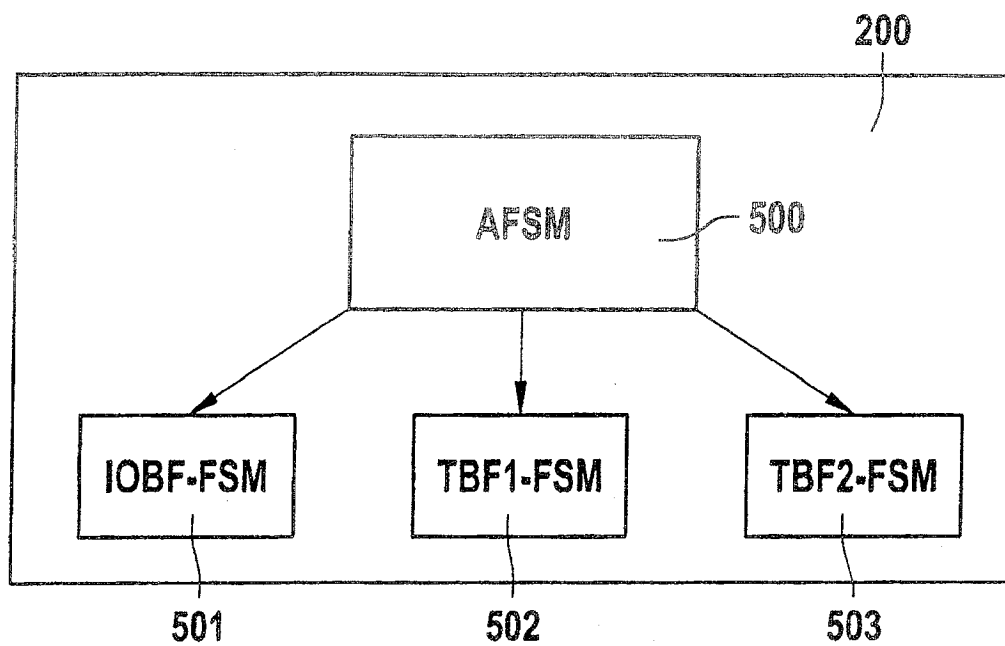


图 10

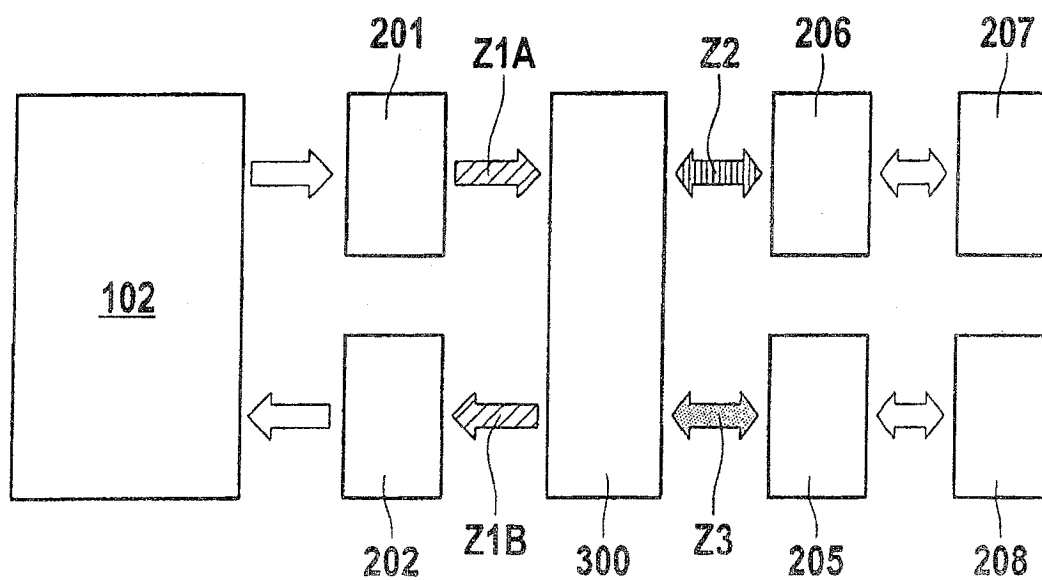


图 11

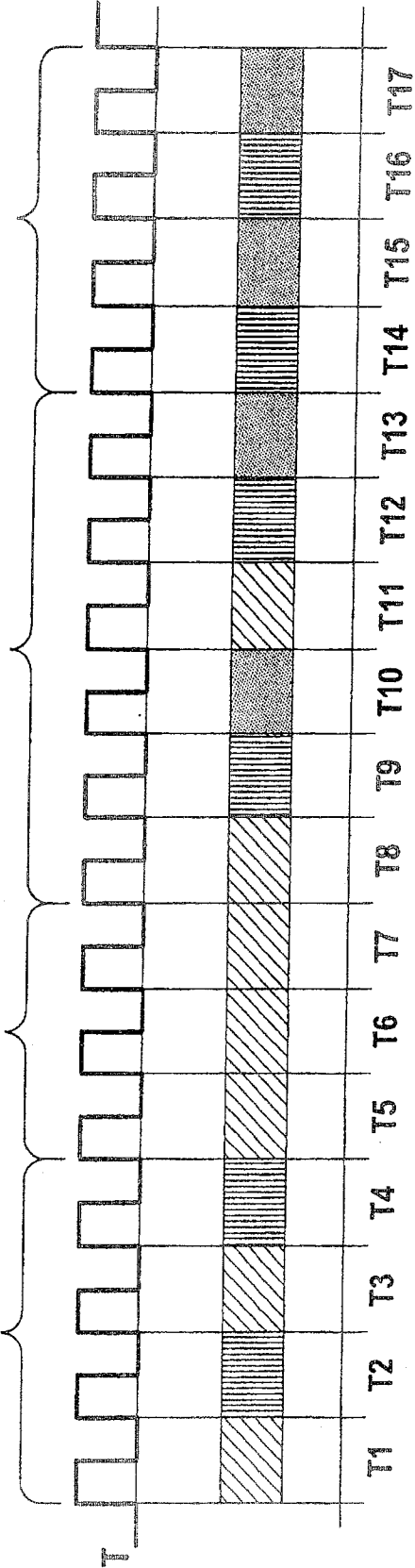


图 12