



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월28일
(11) 등록번호 10-0848797
(24) 등록일자 2008년07월22일

- (51) Int. Cl.
G11B 20/18 (2006.01)
- (21) 출원번호 10-2004-7000894
- (22) 출원일자 2004년01월19일
심사청구일자 2007년03월14일
번역문제출일자 2004년01월19일
- (65) 공개번호 10-2004-0023665
- (43) 공개일자 2004년03월18일
- (86) 국제출원번호 PCT/JP2002/007232
국제출원일자 2002년07월16일
- (87) 국제공개번호 WO 2003/009289
국제공개일자 2003년01월30일
- (30) 우선권주장
JP-P-2001-220510 2001년07월19일 일본(JP)
- (56) 선행기술조사문헌
US 6,112,324
US 4,472,517
US 4,653,051

- (73) 특허권자
마쯔시다덴기산교 가부시기가이샤
일본국 오사카후 가도마시 오아자 가도마 1006반지
- (72) 발명자
타카기유지
일본, 오사카573-0065, 히라카타-시, 테구치, 2-29-1-309
우수이마코토
일본, 오사카536-0014, 오사카-시, 조토-구, 시기노니시, 4-9-17-209
야부노히로유키
일본, 오사카573-0164, 히라카타-시, 나가오타니마치, 3-20-12
- (74) 대리인
장훈

전체 청구항 수 : 총 3 항

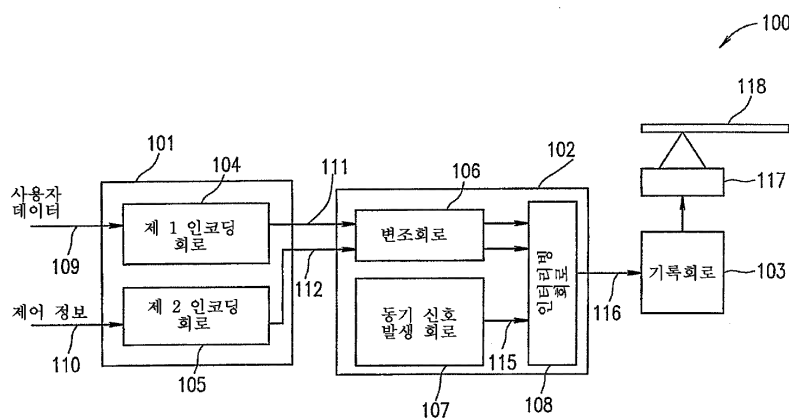
심사관 : 안지현

(54) 기록 매체, 재생 장치 및 기록 장치

(57) 요약

본 발명의 데이터 기록 방법은 제 1 정정 능력을 가진 제 1 에러 정정 코드들로 사용자 데이터를 인코딩하는 단계와, 상기 제 1 정정 능력보다 높은 제 2 정정 능력을 가진 제 2 에러 정정 코드들로 제어 정보를 인코딩하는 단계와, 상기 제 1 에러 정정 코드, 상기 제 2 에러 정정 코드 및 동기 신호들을 포함하는 데이터 스트림을 생성하는 단계로서, 상기 제 2 에러 정정 코드 및 상기 동기 신호들은 상기 제 1 에러 정정 코드들에 교대로 인터리빙되는, 상기 데이터 스트림 생성 단계와, 상기 데이터 스트림을 기록하는 단계를 포함한다.

대표도



특허청구의 범위

청구항 1

삭제

청구항 2

제 1 정보를 인코딩함으로써 획득된 제 1 에러 정정 코드들, 제 2 정보를 인코딩함으로써 획득된 제 2 에러 정정 코드들, 및 동기 신호들을 포함하는 데이터 스트림을 저장하는 기록 매체에 있어서,

상기 제 1 에러 정정 코드들은 제 1 정정 능력을 가지며;

상기 제 2 에러 정정 코드들은 상기 제 1 정정 능력보다 높은 제 2 정정 능력을 가지며;

상기 데이터 스트림에서, 상기 제 2 에러 정정 코드들 및 상기 동기 신호들은 상기 제 1 에러 정정 코드들에 교대로 인터리브되는, 기록 매체.

청구항 3

청구항 2에 따른 기록 매체에 기록된 상기 데이터 스트림을 재생하는 재생 장치.

청구항 4

데이터 스트림을 재생함으로써 청구항 2에 따른 기록 매체에 저장된 상기 데이터 스트림에 포함된 상기 정보에 기초하여 데이터를 기록하는 기록 장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

명세서

기술분야

<1> 본 발명은 DVD와 같은 기록 매체에 AV 데이터 및 컴퓨터 데이터와 같은 데이터가 기록할 때 사용되는 데이터 기록 방법, 데이터를 저장하는 기록 매체, 및 기록 매체로부터 데이터를 재생하는 장치에 관한 것이다.

배경 기술

<2> 종래에, 리드-솔로몬(Reed-Solomon) 코드와 같은 에러 정정 코드는 DVD와 같은 기록 매체에, 매체의 결함, 디스크 표면상의 먼지 또는 스크래치에 기인하는 에러를 정정하기 위하여 사용되었다.

<3> 최근에는, 디지털 비디오 기록 분야에서, 종래의 DVD보다 고밀도 및 고용량을 가진 차세대 DVD쪽으로 연구가 진행되어 왔다. 이러한 연구에서, 기록 매체의 밀도가 증가함에 따라, 먼지 또는 스크래치로 인한 버스트 에러의 영향을 감소시키기 위한 요구가 요망되고 있다.

<4> 이러한 요구를 충족시키기 위한 기록 방법이 예컨대 Kouhei Yamamoto 등의, "디지털 비디오 기록시스템에 대한 에러 정정 코드의 에러 모델링 및 성능 분석(Part of the Joint International Symposium on Optical Memory and Optical Data Storage 1999. Koloa, Hawaii, July 1999 SPIE Vol. 3864, pp. 339-341)"에 개시되어 있다. 이러한 방법에서, 2개의 에러 정정 코드가 버스트 에러의 정정 능력을 개선시키기 위하여 인터리빙된다.

<5> 두개 이상의 에러 정정 코드가 인터리빙된 다른 데이터 기록 방법은 일본 공개 공보 제 2000-40307호에 상세히 개시되어 있다.

<6> 도 9는 Yamamoto 등의 종래의 에러 정정 코드 구성을 도시한 개략도이다.

<7> 도 9에 도시된 바와 같이, 약 64킬로바이트의 사용자 데이터는 정보 부분으로 언급된 216바이트의 304열로 각각 분할된다. 32바이트의 패리티는 각각의 정보 부분에 추가되어 제 1 에러 정정 코드(901)를 형성한다. 제 1 에러 정정 코드(901)는 유한 필드 GF(256)상의 리드-솔로몬 코드를 사용하여 인코딩된다. 구성 심볼은 코드를 구성하는 최소 요소이며 1 바이트의 길이를 가진다.

<8> 제 1 에러 정정 코드(901)의 정정 능력은 다음과 같이 구해진다.

<9> 일반적으로,

<10> $d \geq 2 \times t + 1$ 로 규정되며, 여기서 d는 각 코드 간의 최소 거리를 나타내며, t는 가능한 정정 수를 나타낸다.

<11> 각각의 제 1 에러 정정 코드(901)는 32-바이트 패리티를 포함한다. 두개의 제 1 에러 정정 코드 간의 최소 거리는 33이다. 따라서, 앞서 언급된 관계식에 따르면, 제 1 에러 정정 코드(901)는 248(바이트)의 코드 길이에서 16(바이트) 에러까지의 에러 정정 능력을 가진다.

<12> 정정 처리에서, 에러 위치가 알려지면, 알려진 에러 위치에 대한 정보는 소거 정정을 수행하기 위하여 사용될 수 있다. 소거 정정은 임의의 코드가 정정되고 에러 구성 심볼(코드의 최소 단위)이 이미 알려졌을 때 구성 심볼이 소거되는 것으로 가정되고 소거된 구성 심볼이 나머지 구성 심볼들로부터 계산되는 방법이다. 에러 위치들이 알려질 때, 소거 정정은 최대 2배까지 정정 능력을 강화시킬 수 있다.

<13> 이는 다음과 같은 관계식, 즉 $d \geq 2 \times t + e + 1$ 에 의하여 설명될 수 있으며, 여기서 d는 각 코드 간의 최소 거리를 나타내며, t는 정정 수를 나타내며, e는 소거 정정 수를 나타낸다.

<14> 최소 거리 $d = 33$ 인 제 1 에러 정정 코드(901)의 경우에, 만일 모든 정정이 소거 정정에 의하여 실행되면(즉, $t=0$), 32(바이트) 이하의 구성 심볼은 정정될 수 있다($e=32$).

<15> 도 9에 도시된 바와 같이, 720 바이트의 제어 데이터는 정보 부분으로 언급되는 30바이트의 24열로 각각 분할된다. 32 바이트의 패리티는 각각의 정보 부분에 추가되어 제 2 에러 정정 코드(902)를 형성한다. 제 2 에러 정정 코드(902)는 유한 필드 GF(256)상의 리드-솔로몬 코드를 사용하여 인코딩된다. 구성 심볼은 코드를 구성하는 최소 요소이며 1 바이트의 길이를 가진다. 720-바이트 제어 데이터는, 사용자 데이터가 광 디스크 상에 기록될 때 사용되는 어드레스 정보 등을 포함한다는 것을 유의하라.

<16> 각각의 제 2 에러 정정 코드(902)는 또한 32-바이트 패리티를 포함한다. 두개의 제 2 에러 정정 코드(902) 간의 최소 거리는 제 1 에러 정정 코드(901)에서와 마찬가지로 33이다. 따라서, 제 2 에러 정정 코드(902)는 62(바이트)의 코드 길이에서 16(바이트)까지의 에러 정정 능력을 가진다. 제 2 에러 정정 코드(902)의 정정 수는 제 1 에러 정정 코드(901)(16(바이트))의 정정 수와 동일하다. 그러나, 제 2 에러 정정 코드(902)가 제 1 에러 정정 코드(901)의 코드보다 짧기 때문에, 제 2 에러 정정 코드(902)의 정정 능력은 제 1 에러 정정 코드(901)의

코드보다 높다.

- <17> 이러한 방식에서, 제 1 에러 정정 코드(901) 및 제 2 에러 정정 코드(902)는 구성되고, 그 다음 동기 신호(903)와 함께 인터리빙되어 기록 매체에 차례로 기록되는 데이터 스트림을 생성한다.
- <18> 도 10은 도 9에 도시된 종래의 제 1 에러 정정 코드(901) 및 제 2 에러 정정 코드(902)가 미리 결정된 인터리빙 규칙 하에서 동기 신호와 함께 인터리빙된 데이터 스트림의 구조를 도시한다.
- <19> 도 10에서, 도면 부호 901a 내지 901h는 제 1 에러 정정 코드를 나타내며, 902a 내지 902f는 제 2 에러 정정 코드를 나타내며, 그리고 903a 및 903b는 동기 신호를 나타낸다. 코드를 구성하는 구성 심볼들 및 동기 신호들은 312열 × 248행의 행렬로 배열되고 행방향에서 인터리빙되도록 기록된다. 각각의 코드는 열방향(수직방향)으로 인코딩되고 행방향(수평방향)으로 기록되며, 이에 따라 버스트 에러에 강한 구성을 제공한다. 종래의 예에서는, 1 바이트의 동기 신호가 155바이트(=38+1+38+1+38+1+38 바이트)마다 추가된다. 156 바이트는 1프레임을 구성한다. 데이터 스트림은 프레임 구조라 불린다. 데이터 스트림은 프레임내의 데이터를 바이트 단위로 동기시키고 전체 데이터 스트림(데이터 블록)에서 프레임의 위치를 특정하기 위해 사용된다. 동기 신호는 재생의 시작시 동기를 수행하거나 비트의 슬립 등이 발생할 때 재동기화를 수행하기 위하여 사용된다. 이를 위하여, 동기 신호는 데이터 스트림이 광디스크상에 최종적으로 기록될 때 수행되는 복조에 의하여 발생할 수 없는 패턴, 및 프레임 수 등을 포함하는 미리 결정된 패턴 신호를 가진다. 재생 장치는 재생 장치에 의하여 재생되는 패턴이 기록되었던 대응하는 미리 결정된 패턴과 동일한지의 여부를 결정하며, 이에 따라 동기 신호가 기능을 수행하도록 한다.
- <20> 도 10의 데이터 구성으로부터 알 수 있는 바와 같이, 각각의 제 1 에러 정정 코드의 38 바이트 구성 심볼들은 1 바이트 동기 신호와 제 2 에러 정정 코드의 1 바이트 구성 심볼 사이에, 또는 2개의 제 2 에러 정정 코드의 1 바이트 구성 심볼들 사이에 삽입된다. 동기 신호를 가진 열의 수와 제 2 에러 정정 코드의 구성 심볼을 가진 열의 수의 비는 1:3이다. 동기 신호의 동기 검출 결과 또는 제 1 에러 정정 코드의 능력보다 높은 정정 능력을 가진 제 2 에러 정정 코드를 사용한 에러 정정 결과에 기초하여, 동기 신호 또는 제 2 에러 정정 코드의 구성 심볼에서 에러가 검출되는지의 여부에 따라 소거 정정을 위한 에러 위치 정보를 나타내는 소거 플래그를 생성하는 것이 가능하다.
- <21> 예컨대, 제 2 에러 정정 코드가 에러 정정을 위해 처리될 때, 2개의 연속적인 제 2 에러 정정 코드(902e, 902f)(도 10에서는 902e-x 및 902f-x)의 구성 심볼에서 에러가 검출되고 에러 정정이 실제로 수행된다는 것이 가정된다. 이러한 경우에, 제 2 에러 정정 코드(902e-x, 902f-x)의 구성 심볼 사이에 삽입된 제 1 에러 정정 코드(901g)의 38 바이트 구성 심볼에서 에러가 발생할 확률은 높은 것으로 판단된다(즉, 버스트 에러가 발생할 것으로 가정된다). 이러한 경우에, 소거 플래그(905c)는 제 1 에러 정정 코드(901g)에서 구성 심볼에 발생된다.
- <22> 유사하게, 예컨대, 동기 신호(903a)와 제 2 에러 정정 코드(902a)의 구성 심볼 사이에 삽입된 제 1 에러 정정 코드(901a)의 38바이트 구성 심볼들과 동기 신호(903b)와 제 2 에러 정정 코드(902c)의 구성 심볼 사이에 삽입된 제 1 에러 정정 코드(901d)의 38바이트 구성 심볼에 대하여, 제 2 에러 정정 코드의 에러 정정 결과 또는 동기 신호가 검출되었는지의 여부에 대한 동기 검출 결과에서 에러가 검출되며, 이 결과를 사용하여 제 1 에러 정정 코드(901a, 901d)의 구성 심볼에 소거 플래그가 생성된다. 도 10에서, 소거 플래그(905a)는 903a-x 및 902a-x에서 에러의 검출 결과로서 생성되며, 소거 플래그(905b)는 902c-x 및 903b-x에서 에러의 검출 결과로서 생성된다.
- <23> 전술한 바와 같이, 소거 플래그는 소거 정정을 수행하기 위하여 사용될 수 있으며, 이에 따라 정정 능력(정정의 수)을 최대 2배까지 개선하는 것이 가능하다. 따라서, 스크래치 또는 먼지로 인한 버스트 에러가 양호하게 방지될 수 있다.
- <24> 전술한 종래의 예에서, 제 2 에러 정정 코드의 에러 정정 결과 또는 동기 신호의 검출 결과는 대응하는 소거 플래그를 생성하기 위하여 사용된다.
- <25> 제 2 에러 정정 코드를 사용하는 에러 검출은 동기 신호를 사용하는 에러 검출과 검출 방법간의 차이 때문에 검출 에러 능력이 다르다. 동기 신호를 사용하는 에러 검출은 제 2 에러 정정 코드를 사용하는 에러 검출보다 훨씬 높은 검출 능력을 가진다.
- <26> 종래의 예에서, 제 2 에러 정정 코드는 정정 능력이 62(바이트)에서 16(바이트)로 낮다 할지라도, 제 1 에러 정정 코드의 정정 능력보다 더 높은 정정 능력을 갖는다. 그러므로, 17 또는 그 이상의 (바이트) 에러가 62 (바

이트)에서 발생할 때, 에러를 정정하는 것은 가능하지 않다. 이 경우, 에러 위치를 지정하기 위하여 소거 플래그를 사용하는 것은 가능하지 않다.

- <27> 동기 신호를 사용한 에러 검출은 재생전에 동기 신호와 재생된 동기 신호를 비트 단위로 비교하여 간단히 수행된다. 17 또는 그 이상의 바이트(예를 들어, 62 바이트) 에러가 동기 신호에서 발생할 때 조차, 모든 에러는 검출될 수 있다.
- <28> 그러므로, 통상적인 실시예에서, 동일한 제 1 에러 정정 코드는 데이터 스트림에서 제 1 에러 정정 코드의 위치에 따라, 즉 제 1 에러 정정 코드가 어떻게 제 2 에러 정정 코드(들) 및/또는 동기 신호(들)과 인터리빙되는지에 따라 에러 정정에서 다른 신뢰성을 가진다. 특히, 보다 적은 검출 능력을 가진 두개의 제 2 에러 정정 코드의 구성 심볼 사이에 배치된 제 1 에러 정정 코드는 에러 검출 능력으로 인해 동기 신호 및 제 2 에러 정정 코드 사이에 배치된 다른 제 1 에러 정정 코드보다 덜 신뢰적이다.
- <29> 보다 높고 낮은 신뢰성이 공존할 때, 전체의 신뢰성은 가장 낮은 신뢰성에 의해 제한된다. 종래 예에서, 데이터 재생의 무능력 같은 에러 상태가 낮은 신뢰성 및 낮은 에러 검출 능력을 가진 두개의 제 2 에러 정정 코드의 구성 심볼 사이에 배치된 제 1 에러 정정 코드에서 발생하기 매우 쉽다.
- <30> 본 발명은 상기된 문제를 해결하기 위하여 제공된다. 본 발명의 목적은 전체 정정 능력이 데이터 스트림에서 제 1 에러 정정 코드의 위치, 즉 제 1 에러 정정 코드가 제 2 에러 정정 코드 및 동기 신호와 어떻게 인터리빙되느냐에 따른 에러 검출 신뢰성의 차이를 제거함으로써 개선되는 데이터 기록 방법, 기록 매체 및 재생 장치를 제공하는 것이고, 이에 따라 매우 신뢰적인 재생이 수행될 수 있다.

발명의 상세한 설명

- <31> 본 발명은 데이터 기록 방법을 제공하고, 상기 방법은 제 1 정정 능력을 가진 제 1 에러 정정 코드들로 사용자 데이터를 인코딩하는 단계와, 제 1 정정 능력보다 높은 제 2 정정 능력을 가진 제 2 에러 정정 코드들로 제어 정보를 인코딩하는 단계와, 제 1 에러 정정 코드, 제 2 에러 정정 코드, 및 동기 신호들을 포함하는 데이터 스트림을 생성하는 단계로서, 상기 제 2 에러 정정 코드 및 상기 동기 신호들은 상기 제 1 에러 정정 코드들에 교대로 인터리빙되는, 상기 데이터 스트림 생성 단계와, 데이터 스트림을 기록하는 단계를 포함한다. 따라서, 상기 목적은 달성될 수 있다.
- <32> 본 발명은 사용자 데이터를 인코딩함으로써 획득된 제 1 에러 정정 코드들, 제어 정보를 인코딩함으로써 획득된 제 2 에러 정정 코드들, 및 동기 신호들을 포함하는 데이터 스트림을 저장하는 기록 매체를 제공하고, 여기서 제 1 에러 정정 코드들은 제 1 정정 능력을 가지며, 제 2 에러 정정 코드들은 상기 제 1 정정 능력보다 높은 제 2 정정 능력을 가지며, 상기 데이터 스트림에서, 상기 제 2 에러 정정 코드들 및 동기 신호들은 상기 제 1 에러 정정 코드에 교대로 인터리빙된다. 이에 의해, 상기된 목적은 달성된다.
- <33> 본 발명은 기록 매체에 기록된 데이터 스트림을 재생하는 재생 장치를 제공하며, 상기 장치는, 데이터 스트림으로부터 2진 데이터를 생성하는 재생부와, 상기 2진 데이터를 상기 제 1 에러 정정 코드들 및 상기 제 2 에러 정정 코드들로 복조하는 복조부로서, 동기 신호의 검출 결과를 생성하는 동기 신호 검출부를 포함하는, 상기 복조부와, 상기 복조부로부터 출력된 제 1 에러 정정 코드들 및 상기 제 2 에러 정정 코드들의 에러를 검출하여, 상기 에러를 정정하는 에러 정정부부를 포함하며, 상기 에러 정정부는 상기 제 2 에러 정정 코드의 에러 정정 결과 또는 상기 동기 신호의 검출 결과에 기초하여, 상기 제 1 에러 정정 코드에, 소거 정정을 위해 소거 플래그를 생성하는 소거 플래그 생성부와, 소거 정정을 수행하기 위해 상기 소거 플래그를 사용하는 소거 정정부부를 포함한다. 이것에 의해, 상기된 목적은 달성된다.
- <34> 본 발명의 일실시예에서, 동기 신호 검출부가 예측된 시간과 다른 시간에서 동기 신호를 검출할 때, 소거 플래그 생성부는 동기 신호로부터 상기 데이터 스트림의 상류의 제 1 에러 정정 코드의 구성 심볼에 소거 플래그를 배치한다.
- <35> 본 발명의 일실시예에서, 동기 신호 검출부가 예측된 시간과 다른 시간에서 동기 신호를 검출하고, 상기 동기 신호로부터 그리고 상기 동기 신호에 근접한 데이터 스트림의 상류의 상기 제 2 에러 정정 코드의 구성 심볼에서 에러가 검출될 때, 상기 소거 플래그 생성부는 상기 동기 신호로부터 데이터 스트림의 상류의 상기 제 1 에러 정정 코드의 구성 심볼에 소거 플래그를 배치한다.
- <36> 본 발명의 일실시예에서, 동기 신호 검출부는 예측된 신호와 다른 시간에서 동기 신호를 검출하고 상기 동기 신호로부터 그리고 상기 동기 신호에 근접한 데이터 스트림의 상류의 상기 제 2 에러 정정 코드의 구성 심볼에서

에러가 검출되지 않을 때, 상기 소거 플래그 생성부는 상기 제 2 에러 정정 코드 및 상기 동기 신호 사이의 상기 제 1 에러 정정 코드의 구성 심볼에 소거 플래그를 배치한다.

- <37> 본 발명의 일실시예에서, 상기 동기 신호 검출부는 상기 동기 신호를 검출하는 시간으로부터 클럭들 및 재생 비트들의 수를 카운트하고, 이 카운팅 결과에 기초하여, 다음 동기 신호의 검출 시간을 예측한다.
- <38> 본 발명은 재생 장치에서 사용하기 위한 에러 정정 회로를 제공하며, 상기 장치는, 제 2 에러 정정 코드의 에러 정정 결과 또는 동기 신호의 검출 결과에 기초하여, 제 1 에러 정정 코드에, 소거 정정을 위해 소거 플래그를 생성하는 소거 플래그 생성부와, 소거 정정을 수행하기 위해 상기 소거 플래그를 사용하는 소거 정정부를 포함한다. 이에 따라, 상기된 목적은 달성될 수 있다.
- <39> 본 발명의 일실시예에서, 동기 신호 검출부가 예측된 시간과 다른 시간에서 동기 신호를 검출할 때, 소거 플래그 생성부는 동기 신호로부터 데이터 스트림의 상류의 제 1 에러 정정 코드의 구성 심볼에 소거 플래그를 배치한다.
- <40> 본 발명의 일실시예에서, 동기 신호 검출부가 예측된 시간과 다른 시간에서 동기 신호를 검출하고, 동기 신호로부터 그리고 상기 동기 신호에 근접한 데이터 스트림의 상류의 제 2 에러 정정 코드의 구성 심볼에서 에러가 검출될 때, 소거 플래그 생성부는 동기 신호로부터 데이터 스트림의 상류의 제 1 에러 정정 코드의 구성 심볼에 소거 플래그를 배치한다.
- <41> 본 발명의 일실시예에서, 동기 신호 검출 섹션이 예측된 시간과 다른 시간에서 동기 신호를 검출하고, 동기 신호로부터 그리고 동기 신호에 근접한 데이터 스트림내의 제 2 에러 정정 코드 업스트림의 구성 심볼에서 에러가 검출되지 않을 때, 소거 플래그 생성 섹션은 제 2 에러 정정 코드 및 동기 신호 사이의 제 1 에러 정정 코드의 구성 심볼에 소거 플래그를 배치한다.
- <42> 본 발명의 일실시예에서, 동기 신호 검출부는 동기 신호의 검출 시간으로부터 클럭들 및 재생 비트들의 수를 카운트하고, 상기 카운팅 결과에 기초하여, 다음 동기 신호의 검출 시간을 예측한다.

실시예

- <53> 이후, 본 발명은 첨부 도면을 참조하여 도시적인 실시예를 기술할 것이다.
- <54> 도 1은 기록 매체에 데이터를 기록하는 기록 장치(100)의 구조를 도시한 개략도이다. 기록 매체의 예는 광학 디스크, 자기 디스크 및 자기 광학 디스크를 포함하지만, 이것에 한정되지는 않는다. 본 발명은 임의의 기록 매체에 적용될 수 있다. 광학 디스크는 다음 실시예에 사용된다.
- <55> 기록 장치(100)는 인코더(101), 변조기(102) 및 기록 회로(103)를 포함한다. 인코더(101)는 제 1 인코딩 회로(104) 및 제 2 인코딩 회로(105)를 포함할 수 있다. 변조기(102)는 변조 회로(106), 동기 신호 생성 회로(107) 및 인터리빙 회로(108)를 포함한다.
- <56> 사용자 데이터(109)는 제 1 인코딩 회로(104)에 입력된다. 제어 정보(110)는 제 2 인코딩 회로(105)에 입력된다. 사용자 데이터(109)는 이진 비트 데이터이다. 사용자 데이터(109)의 예는 AV 데이터, 텍스트 데이터 및 애플리케이션 프로그램 데이터를 포함한다. 제어 정보(110)는 사용자 데이터(109)의 제어를 위해 사용된 정보이다. 제어 정보(110)의 예는 어드레스 정보, 및 카피라이트 관리 정보(카피 허용 정보, 암호화 키 정보 등)를 포함한다.
- <57> 제 1 인코딩 회로(104)는 사용자 데이터(109)로부터 제 1 에러 정정 코드(111)를 생성하고, 변조기(102)의 변조 회로(106)에 상기 코드를 보낸다. 유사하게, 제 2 인코딩 회로(105)는 제어 정보(110)로부터 제 2 에러 정정 코드(112)를 생성하고 이를 변조기(102)의 변조 회로(106)에 보낸다. 여기서 제 1 에러 정정 코드(111)는 제 1 정정 능력을 가지며, 제 2 에러 정정 코드(105)는 제 1 정정 능력보다 높은 제 2 정정 능력을 가진다는 것이 가정된다. 변조 회로(106)는 제 1 에러 정정 코드(111) 및 제 2 에러 정정 코드(112)를 선택적으로 변조하고, 그 결과로 얻어진 코드를 인터리빙 회로(108)에 보낸다. 동기 신호 생성 회로(107)는 비트 슬립 등을 정정하기 위한 동기 신호(115)를 생성하고, 상기 동기 신호(115)를 인터리빙 회로(108)에 보낸다. 인터리빙 회로(108)는 제 1 에러 정정 코드(111), 제 2 에러 정정 코드(112) 및 동기 신호(115)를 포함하는 데이터 스트림(116)을 생성하고, 여기서 제 1 에러 정정 코드(111)에는 제 2 에러 정정 코드(112) 및 동기 신호(115)가 교대로 인터리빙되고, 상기 데이터 스트림(116)을 기록 회로(103)에 보낸다. 기록 회로(103)는 인터리빙 회로(108)로부터 데이터 스트림(116)을 받아, 이를 광학 헤드(117)를 사용하여 광학 디스크(118)에 기록한다.

- <58> 상기된 바와 같이, 본 발명의 기록 장치(100)는 제 1 에러 정정 코드(111), 제 2 에러 정정 코드(112) 및 동기 신호(115)를 포함하는 데이터 스트림(116)을 생성하고, 여기서 제 1 에러 정정 코드(111)에는 제 2 에러 정정 코드(112) 및 동기 신호(115)가 교대로 인터리빙되고, 상기 데이터 스트림(116)을 광학 디스크(118)에 기록한다.
- <59> 다음에, 본 발명의 기록 장치(100)에 의해서 생성된 사용자 데이터(109) 및 제어 정보(110)가 광학 디스크(108)에 기록되는 과정에 따른 데이터 구조는 도 2 내지 도 4를 참조하여 기술될 것이다.
- <60> 도 2는 인터리빙되기 전의 제 1 에러 정정 코드(111) 및 제 2 에러 정정 코드(112)를 도시하는 개략도이다.
- <61> 약 64 킬로바이트의 사용자 데이터는 정보 부분이라 불리는 216 바이트의 304 칼럼으로 분할된다. 32 바이트의 패리티가 각 정보 부분에 추가되어 제 1 에러 정정 코드(111)를 생성한다. 제 1 에러 정정 코드(111)는 유한 필드 GF(256) 상의 리드-솔로몬 코드를 사용하여 인코딩된다. 구성 심볼은 코드를 구성하는 최소의 요소이고, 1 바이트의 길이를 가진다. 제 1 에러 정정 코드(111)의 인코딩 방향은 칼럼 방향(수직 방향)이다.
- <62> 제 1 에러 정정 코드(111)의 정정 능력은 다음과 같이 구해진다.
- <63> 일반적으로, $d \geq 2 \times t + 1$ 가 성립되며, 여기서 d는 각 코드 간의 최소 거리이고, t는 가능한 정정 수를 나타낸다.
- <64> 각각의 제 1 에러 정정 코드(111)는 32 바이트 패리티를 포함한다. 두 개의 제 1 에러 정정 코드 간의 최소 거리는 33이다. 따라서, 상기 관계에 따라, 제 1 에러 정정 코드(111)는 248(바이트)의 코드 길이에서 16 바이트 에러까지 정정하는 정정 능력을 가진다.
- <65> 정정 처리에서, 에러 위치가 알려진 경우, 알려진 에러 위치의 정보는 소거 정정을 수행하는데 사용될 수 있다. 소거 정정은 임의의 코드가 정정 동작을 받고, 에러 구성 심볼(코드의 최소 단위)이 미리 알려져 있을 때, 구성 심볼이 소거되고, 나머지 구성 심볼로부터 소거된 구성 심볼이 계산되는 방법이다. 에러 위치가 알려지면, 소거 정정은 최대 2배까지 정정 능력을 향상시킬 수 있다.
- <66> 이것은 다음 관계식
- <67> $d \geq 2 \times t + e + 1$ 에 의해 설명될 수 있으며, 여기서 d는 각 코드 간의 최소 거리이고, t는 정정 수를 나타내고, e는 소거 정정 수를 나타낸다.
- <68> 최소 거리 $d = 33$ 인 제 1 에러 정정 코드(111)의 경우에, 모든 정정이 소거 정정(즉, $t=0$)에 의해 수행되면, 32 바이트까지의 구성 심볼이 정정될 수 있다($e=32$).
- <69> 도 2에 도시된 바와 같이, 480 바이트의 제어 데이터는 정보 부분이라 불리는 30 바이트의 16 칼럼으로 분할된다. 32 바이트의 패리티는 각 정보 부분에 추가되어 제 2 에러 정정 코드(112)를 형성한다. 제 2 에러 정정 코드(112)는 유한 필드 GF(256) 상의 리드-솔로몬 코드를 사용하여 인코딩된다. 구성 심볼은 하나의 코드를 구성하는 최소 요소이고, 1 바이트의 길이를 가진다. 480 바이트 제어 데이터는, 사용자 데이터가 최종적으로 광학 디스크에 기록될 때 사용되는 어드레스 정보 등을 포함함을 유념하라.
- <70> 각각의 제 2 에러 정정 코드(112)는 32 바이트 패리티를 포함한다. 두 개의 제 2 에러 정정 코드(112) 간의 최소 거리는 제 1 에러 정정 코드(111)에서와 마찬가지로 33이다. 따라서, 제 2 에러 정정 코드(112)는 62 바이트의 코드 길이에서 16(바이트) 에러까지를 정정하는 정정 능력을 가진다. 제 2 에러 정정 코드(112)의 정정 수는 제 1 에러 정정 코드(111)(16(바이트))의 정정 수와 동일하다. 그러나, 제 2 에러 정정 코드(112)는 제 1 에러 정정 코드(111)의 길이 보다 짧은 코드 길이를 가지며, 제 2 에러 정정 코드(112)의 정정 능력은 제 1 에러 정정 코드(111)의 정정 능력보다 높다.
- <71> 이와 같이, 제 1 에러 정정 코드(111) 및 제 2 에러 정정 코드(112)가 구성된다. 본 발명에서, 기록 장치(100)는 제 1 에러 정정 코드(111)를 제 2 에러 정정 코드(112) 및 동기 신호(115)에 교대로 인터리빙하여, 광학 디스크(118)에 차례로 기록되는 데이터 스트림(116)을 생성한다.
- <72> 도 3은 인터리빙된 데이터 스트림(116)의 구조를 도시한다.
- <73> 도 3에서, 111a 내지 111h는 제 1 에러 정정 코드를 나타내고, 112a 내지 112d는 제 2 에러 정정 코드를 나타내고, 115a 내지 115d는 동기 신호를 나타낸다. 코드를 구성하는 구성 심볼 및 동기 신호는 312열 \times 248 행의 매트릭스로 배열되고 행방향으로 인터리빙되도록 기록된다. 각 코드는 열방향(수직 방향)으로 인코딩되고 행 방

향(수평 방향)으로 기록되며, 버스트 에러에 강한 구성을 제공한다. 이 실시예에서, 1 바이트의 동기 신호는 77 바이트(=38+1+38 바이트)마다 부가된다. 78 바이트는 1 프레임 구성한다. 이른바 데이터 스트림은 프레임 구조를 가진다. 동기 신호는 프레임내의 데이터를 바이트 단위로 동기화시키고, 전체 데이터 스트림(데이터 블록)에서 프레임의 위치를 특정하는데 사용된다. 동기 신호는 또한 재생 시작시 동기를 끌어들이거나 비트 슬립 등이 발생할 때 재동기화를 수행하기 위하여 사용된다. 이런 목적을 위하여, 동기 신호는 데이터 스트림이 광학 디스크에 최종적으로 기록될 때 수행되는 복조에 의해 발생할 수 없는 패턴과, 프레임 수 등을 포함하는 미리 결정된 패턴 신호를 갖는다. 재생 장치는 재생 장치에 의해 재생된 패턴이 기록되어야 할 대응하는 미리 결정된 패턴과 일치하는지 여부를 결정하여, 동기 신호가 기능하게 한다. 비록 동기 신호의 길이가 이 실시예에서 1 바이트라 하더라도, 동기 신호의 길이는 반드시 1 바이트에 한정되지 않으며 변조 방법 등에 따라 임의의 값이 될 수 있다.

<74> 도 3의 데이터 구성에서 보여지는 바와 같이, 각 제 1 에러 정정 코드의 38 바이트 구성 심볼은 항상 1 바이트 동기 신호 및 제 2 에러 정정 코드의 1 바이트 구성 심볼 사이에 삽입된다. 동기 신호를 갖는 열의 수와 제 2 에러 정정 코드의 구성 심볼을 갖는 열의 수의 비는 1:1이다. 동기 신호의 동기 검출 결과 또는 제 1 에러 정정 코드의 정정 능력보다 높은 정정 능력을 가진 제 2 에러 정정 코드를 사용하는 에러 정정 결과에 기초하여, 제 2 에러 정정 코드의 구성 심볼 또는 동기 신호에서 에러가 검출되는지 아닌지에 따라, 소거 정정을 위한 에러 위치 정보를 나타내는 소거 플래그를 생성하는 것이 가능하다.

<75> 예를 들어, 동기 신호(115d)의 요소인 115d-x가 검출되지 않고, 제 2 에러 정정 코드(112d)의 에러 정정시 제 2 에러 정정 코드(112d)의 구성 심볼(112d-x)에 에러가 검출된다고 가정된다. 이 경우에, 115d-x 및 112d-x 사이에 삽입된 제 1 에러 정정 코드(111g)의 38 바이트 구성 심볼에서 에러가 발생할 가능성이 높다고 판단된다(즉, 버스트 에러가 발생할 것이라 가정된다). 이 경우, 소거 플래그(305b)는 제 1 에러 정정 코드 111g의 구성 심볼에 생성된다.

<76> 유사하게, 예를 들어, 2 에러 정정 코드(112b)의 에러 정정시 제 2 에러 정정 코드(112b)의 구성 심볼(112b-x)에서 에러가 검출되며 동기 신호(115c)의 요소인 (115c-x)가 검출되지 않는다고 가정된다. 이 경우, 112b-x 및 115c-x 사이에 삽입된 제 1 에러 정정 코드(111d)의 38 바이트 구성 심볼에서 에러가 발생할 가능성이 높다고 판단된다(즉, 버스트 에러가 발생할 것이라 가정된다). 이 경우, 소거 플래그(305a)는 제 1 에러 정정 코드(111d)의 구성 심볼에 생성된다.

<77> 상술된 바와 같이, 본 발명에서, 데이터 스트림에서 제 1 에러 정정 코드는 항상 제 2 에러 정정 코드의 1 바이트 구성 심볼 및 1 바이트 동기 신호 사이에 배치된다. 따라서, 모든 제 1 에러 정정 코드는 에러 검출을 등가로 받을 수 있다. 따라서, 본 발명은, 데이터 스트림에서 제 1 에러 정정 코드의 위치에 따라, 즉 제 1 에러 정정 코드가 어떻게 제 2 에러 정정 코드 및 동기 신호와 인터리빙되는지에 따라 에러 검출의 정확도가 변하고 그 결과 데이터 스트림 전체의 신뢰성이 변한다는 점에서 상술된 종래의 문제점을 회피할 수 있다.

<78> 상술된 바와 같이, 소거 플래그들은 소거 정정을 수행하기 위해 사용될 수 있으며, 그것에 의해 최대 2배까지 정정 능력(정정 수)을 개선하는 것이 가능하다. 그러므로, 기록 매체 표면에 스크래치들이나 먼지로 인한 버스트 에러들에 뛰어난 내성이 얻어질 수 있다.

<79> 동기 신호로부터 소거 플래그가 생성되는 경우, 비트 슬립이 발생한 경우의 재동기 기능(동기 신호의 본래의 기능)은 보다 정확도가 높은 소거 플래그를 생성하기 위하여 사용될 수 있다. 예를 들어, 재생시, 동기 신호가 검출되나 정상 위치로부터 수 클럭 시프트된 위치에서 동기 신호가 재생되는 경우, 재동기보다는 오히려, 동기 신호로부터 데이터 스트림을 따라 상류에 기록된 제 1 에러 정정 코드의 구성 심볼에만 소거 플래그가 부가된다. 이는, 재생된 동기 신호로부터 데이터 스트림을 따라 상류의 데이터에는 동기 손실로 인해 에러가 있을 가능성이 높고, 동기 신호로부터 하류의 데이터에는 에러가 있을 가능성이 없기 때문이다.

<80> 용어 "에러 플래그 부가" 또는 "소거 플래그 생성"은 구성 심볼이 소거될 수 있다(즉, 에러가 구성 심볼에서 발생할 수 있다)라는 것을 나타내는 마크를 구성 심볼에 첨부하는 것을 일컫는다. 소거 플래그의 부가는 예를 들어, 다음과 같이 수행된다. 1 비트가 데이터 블록(248 × 304 구성 심볼을 포함)의 모든 제 1 에러 정정 코드의 각 심볼에 할당되는 경우, 248 × 304 비트의 비트 맵이 준비된다. 소거 플래그의 부가는 대응하는 비트가 1이 되도록 함으로써 표현된다. 소거 플래그가 부가되지 않는 경우, 대응하는 비트는 0이 된다.

<81> 본 명세서에서 동기 신호는 1 바이트의 길이이지만, 그 길이는 변조 포맷 등에 기초하여 변할 수 있다.

- <82> 제 1 에러 정정 코드 및 제 2 에러 정정 코드는 각각 임의의 수의 구성 심볼을 포함할 수 있다.
- <83> 동기 신호를 사용한 에러 검출은, 각 바이트에서 에러가 발생하는지 아닌지가 결정되는 에러 검출보다 높은 에러 검출 능력을 가진다. 높은 검출 능력을 가진 동기 신호는 모두 38 바이트의 단위 길이를 갖는 각 제 1 에러 정정 코드의 전 또는 후에 인접하게 배치된다. 그러므로, 높은 신뢰성의 데이터 기록 방법이 달성될 수 있다.
- <84> 상기된 바와 같이, 본 발명의 데이터 기록 방법에서, 기록 장치는 제 1 에러 정정 코드, 제 2 에러 정정 코드 및 동기 신호를 포함하는 데이터 스트림을 생성하고, 제 2 에러 정정 코드 및 동기 신호는 제 1 에러 정정 코드에 선택적으로 인터리브되고, 데이터 스트림은 기록 매체에 기록된다. 따라서, 동일한 에러 검출이 제 1 에러 정정 코드 모두에 적용될 수 있다. 그러므로, 에러 검출의 정확성은, 데이터 스트림에서 제 1 에러 정정 코드의 위치에 따라, 즉 제 1 에러 정정 코드가 어떻게 제 2 에러 정정 코드 및 동기 신호에 인터리브되는지에 따라 변하지 않으며, 그래서 제 1 에러 정정 코드는 데이터 스트림에 걸쳐 높은 신뢰성을 가질 수 있다.
- <85> 도 4는 광학 디스크(118)의 나선형 또는 동심원 트랙(402)에 기록된 데이터(406)를 도시한다. 데이터(406)는 제 1 에러 정정 코드 부분(403), 제 2 에러 정정 코드 부분(405), 및 동기 신호 부분(404)을 포함한다. 데이터(406)는 데이터 스트림(116)(도 3)을 행 방향(수평 방향)을 따라 248 행으로 분할하고 연속적으로 행을 연결함으로써 얻어진다. 이 방식은 도 5를 참조하여 하기에 기술될 것이다.
- <86> 도 5는 데이터 스트림(116)의 기록 순서를 도시하는 도면이다. 행 방향을 따라 248 행으로 분할되는 데이터 스트림(116)은 도 5에 도시된 화살표에 의해 표시된 순서로 광학 디스크(118)에 기록된다. 분할된 데이터 스트림(116)의 기록 순서는 도 5에 도시된 방식에 한정되지 않고, 분할된 데이터 스트림(116)이 임의의 순서로 광학 디스크(118)에 기록될 수 있다.
- <87> 광학 디스크(118)의 기록은 오목 및 볼록 피트, 위상 변화 재료의 가변 밀도 도트 등에 의해 수행된다. 일반적으로 코딩된 데이터는 기록시, 디스크 트랙에 기록되기 전에, 8/16 변조 또는 RLL(1, 7) 코드와 같은 변조 코드를 사용하여 디지털 변조된다. 도 4에서는, 변조 코드를 사용하는 변조의 설명은 간략화를 위해 생략되고, 코드 데이터는 그대로 기록된다.
- <88> 광학 디스크(118)상에서, 데이터(406)는 동기 신호 부분(404)(1 바이트), 제 1 에러 정정 코드 부분(403)(38 바이트), 제 2 에러 정정 코드 부분(405)(1 바이트), 제 1 에러 정정 코드 부분(403) 등의 순서로 기록된다. 다시 말하면, 제 2 에러 정정 코드 부분(405) 및 동기 신호 부분(404)은 제 1 에러 정정 코드 부분(403)에 교대로 인터리브된다.
- <89> 따라서, 본 발명의 광학 디스크의 경우에, 제 2 에러 정정 코드의 구성 심볼 및 동기 신호가 제 1 에러 정정 코드의 구성 심볼에 교대로 인터리브되도록 데이터가 구성되고, 데이터가 광학 디스크상에 기록된다. 이런 이유 때문에, 이러한 광학 디스크가 재생되는 경우, 동일한 에러 검출이 제 1 에러 정정 코드의 모든 구성 심볼에 적용될 수 있다. 따라서, 에러 정정의 정확성은 제 2 에러 정정 코드 및 동기 신호에 인터리브된 데이터 스트림의 제 1 에러 정정 코드의 위치에 따라 변하지 않고, 제 1 에러 정정 코드는 데이터 스트림에 걸쳐 높은 신뢰성을 가질 수 있다.
- <90> 본 발명의 광학 디스크는 본 발명(즉, 도 1에 도시된 기록 장치(100)를 사용하는 방법)의 방법을 사용하여 기록된 광학 디스크에 한정되는 것이 아니라, 광학 디스크에 기록된 데이터가 상기된 데이터 구조를 가지는 한, 임의의 방법에 의해 기록되는 디스크일 수 있다.
- <91> 도 6은 본 발명에 따른 재생 장치(600)의 구조를 도시하는 개략도이다. 재생 장치(600)는 본 발명의 광학 디스크(118)상에 기록된 데이터를 재생한다. 여기서 광학 디스크(118)상에 기록된 데이터는 도 4에 도시된 데이터 구조(406)를 갖는 것으로 예상된다.
- <92> 재생 장치(600)는 광학 디스크(118)에 기록된 데이터를 재생하고, 이진 데이터(611)를 생성하는 재생 회로(재생부(603)), 이진 데이터(611)를 제 1 에러 정정 코드 및 제 2 에러 정정 코드에 복조하는 복조 회로(복조부)(604), 및 복조 회로(604)에 의해 출력된 제 1 에러 정정 코드 및 제 2 에러 정정 코드의 에러를 검출 및 정정하는 에러 정정 회로(에러 정정부(606))를 포함한다.
- <93> 복조 회로(604)는 동기 신호의 검출 결과를 생성하는 동기 신호 검출 회로(동기 신호 검출부)(605)를 포함한다.
- <94> 에러 정정 회로(606)는 제 2 에러 정정 코드의 에러 정정 결과 및 동기 신호의 검출 결과에 기초하여, 제 1 에러 정정 코드에, 소거 정정에 사용되는 소거 플래그를 생성하는 소거 플래그 생성 회로(소거 플래그 생성부)와, 소거 플래그를 사용해 소거 정정을 수행하는 소거 정정 회로(소거 정정부)를 포함한다. 이들 회로는 이하에서

상세히 기술될 것이다. 에러 정정 회로(606)는 기록 매체상의 스크래치, 먼지 등에 의한 에러를 검출한 후 정정하여, 에러가 제거된 정정 데이터(614)를 생성한다.

- <95> 재생 장치(600)는 광디스크(118)로부터 데이터를 판독하는 광헤드(117), 에러 정정 회로(606)의 동작시 사용되는 WORK RAM(607), SCSI 또는 ATAPI와 같이 프로토콜을 제어하는 인터페이스 제어 회로(608), 및 제어 CPU(609)를 더 포함할 수 있다. 광헤드(117)는 반도체 레이저 및 광 소자를 포함할 수 있다. 인터페이스 제어 회로(608)는 재생된 사용자 데이터를 퍼스널 컴퓨터 등에 전송하기 위한 인터페이스 제어를 수행한다. 제어 CPU(609)는 전체 재생 장치(600)를 제어한다.
- <96> 이와 같이 구성된 본 발명의 재생 장치에서, 데이터는 다음과 같은 절차로 광 디스크(118)로부터 재생된다.
- <97> 처음에, 레이저 빔은 광 디스크(118)를 조사하기 위하여 광 디스크(117)의 반도체 레이저로부터 방사된다. 레이저 빔은 광 디스크(118)에 의하여 반사되며, 반사된 광 신호(610)는 재생 회로(603)에서 아날로그 신호로 변환되고, 증폭되고, 2진값으로 변환되어, 2진 데이터(611)로서 복조 회로(604)에 전송된다. 복조 회로(604)는 기록시 변조된 신호 (8/16 변조 또는 RLL(1,7)와 같은 디지털 변조 신호)를 디지털 방식으로 복조한다. 디지털로 복조된 데이터(612)는, 매체상에 스크래치, 먼지 등으로 인한 에러가 검출되고 WORK RAM(607)의 도움으로 정정되는 에러 정정 회로(606)에 전송된다. 여기서, 복조된 데이터(612)는 제 1 에러 정정 코드 및 제 2 에러 정정 코드를 포함한다. 복조 회로(604)에서, 동기 신호 검출 회로(605)는 2진 데이터(611)로부터 동기 신호를 비트마다 검사함으로써 동기 신호를 검출하며, 비트 슬립 등으로 인하여 클럭과의 동기를 데이터가 놓치는 경우에 재동기화를 수행한다. 동기 신호 검출 회로(605)는 다음의 동기 신호의 검출 시간을 클럭들 또는 바이트의 수를 카운트함으로써 현재의 동기 신호로부터 예측하며, 여기서 현재의 동기 신호는 데이터 스트림을 따라서 다음의 동기 신호의 상류에 존재한다. 동기 신호가 예측된 시간과 다른 시간에 검출되어 동기 정정될 때, 동기 정정 신호(613)는 에러 정정 회로(606)에 전송된다. 예측된 시간 근처에서 동기 신호가 검출되지 않으면, 동기 미검출 신호(615)는 에러 정정 회로(606)에 전송된다.
- <98> 에러 정정 회로(606)는 제 1 에러 정정 코드 및 제 2 에러 정정 코드를 디코딩한다. 제 1 에러 정정 코드로 에러 정정을 수행할 때, 제 2 에러 정정 코드의 에러 정정 결과, 동기 정정 신호(613) 및 동기 미검출 신호(615)는 에러 위치 정보를 나타내는 소거 플래그를 생성하기 위하여 사용된다. 소거 플래그는 소거 정정시 사용된다.
- <99> 정정 처리는 예컨대 공지된 리드-솔로몬 코드를 사용하여 수행된다. 에러 정정된 데이터(614)는 인터페이스 제어 회로(608)를 통해 호스트 컴퓨터 등(도시안됨)에 전송된다. 전체 재생 동작은 제어 CPU(609)에 의하여 제어된다.
- <100> 도 7은 도 6에 도시된 에러 정정 회로(606)의 구조를 상세히 도시한 도면이다.
- <101> 도 7에서, 에러 정정 회로(606)는 제 2 에러 정정 코드의 에러 정정 결과 및 동기 신호의 검출 결과에 기초하여 제 1 에러 정정 코드의 소거 정정에 소거 플래그를 생성하는 소거 플래그 생성 회로(소거 플래그 생성부)(618), 및 소거 플래그를 사용하여 에러 정정을 수행하는 소거 정정 회로(소거 정정부)(625)를 포함한다.
- <102> 에러 정정 회로(606)는 WORK RAM(607)의 기록 및 재생 및 내부 버스(619)를 제어하는 버스/메모리 제어 회로(622), 에러 정정 후에 사용자 데이터(614)를 출력하는 출력 IF 제어 회로(623), 사용자 데이터(614)를 인코딩하는 제 1 에러 정정 코드를 디코딩하는 제 1 코드 에러 정정 회로(624), 및 인코딩된 제어 정보를 포함하는 제 2 에러 정정 코드를 디코딩하는 제 2 코드 에러 정정 회로(626)를 더 포함할 수 있다. 출력 IF 제어 회로(623)는 인터페이스 제어 회로(608)와의 핸드셰이킹(handshaking)을 수행한다. 제 1 코드 에러 정정 회로(624)는 216-바이트 데이터 및 추가 32-바이트 패리티를 포함하는 제 1 에러 정정 코드의 각 열에 에러 정정을 수행한다. 에러 정정시, 에러 위치를 나타내는 소거 플래그(620)는 1 코드에 32바이트까지의 에러 정정을 수행하기 위하여 사용될 수 있다. 소거 정정은 소거 정정 회로(625)에 의하여 수행된다. 제 2 코드 에러 정정 회로(626)는 30바이트 데이터 및 추가 32-바이트 패리티를 포함하는 제 2 에러 정정 코드를 포함하며, 여기서 에러 정정은 1 코드에 16바이트까지 수행될 수 있다. 전송한 제 1 코드 에러 정정 회로(624), 제 2 코드 에러 정정 회로(626) 및 소거 정정 회로(625)는 공지된 리드-솔로몬 코드 등을 사용하는 에러 정정 회로로 구성될 수 있다.
- <103> 에러 정정 회로(606)는 복조 회로(604)와 함께 IF 제어를 수행하는 입력 IF 제어 회로(616), 마이크로제어기 등을 포함하는 전체 에러 정정 회로(606)를 제어하는 전체 제어 회로(617)를 포함할 수 있다. 입력 IF 제어 회로(616)에 입력되는 복조 데이터(612)는 버스/메모리 제어 회로(622)를 통해 WORK RAM(607)에 저장된다. 전체 제

어 회로(617)는 제 2 코드 에러 정정 회로(626)로부터의 제 2 에러 정정 코드의 에러 위치(627), 동기 정정 신호(613) 및 동기 미검출 신호(615)에 기초하여 소거 플래그(620)를 생성하고, 이를 소거 정정 회로(625)에 전송한다.

- <104> 다음에, 상기와 같이 구성된 에러 정정 회로(606)의 동작은 이하에 상세히 설명될 것이다.
- <105> 기록 매체로부터 재생 및 복조된 복조 데이터(612)는 입력 IF 제어 회로(616) 및 버스/메모리 제어 회로(622)를 통해 WORK RAM(607)에 저장된다. 저장된 데이터의 제 1 에러 정정 코드 및 제 2 에러 정정 코드는 디코딩된다.
- <106> 디코딩에 관해서, 제 2 에러 정정 코드는 우선 제 2 코드 에러 정정 회로(626)에 의하여 디코딩된다. 제 2 코드 에러 정정 회로(626)는 디코딩에 의하여 에러 위치(627)를 얻은 후 이를 소거 플래그 생성 회로(618)에 전송한다.
- <107> 소거 플래그 생성 회로(618)는 이하에 기술된 미리 결정된 규칙에 따라, 미리 복조 데이터(612)가 복조 회로(604)로부터 입력 IF 제어 회로(616)에 입력될 때 동시에 입력된 동기 미검출 신호(615) 및 동기 정정 신호(613)에 기초하여 소거 플래그(620)를 생성하고, 이 소거 플래그(620)를 제 1 코드 에러 정정 회로(624)의 소거 정정 회로(625)에 전송한다.
- <108> 제 1 코드 에러 정정 회로(624) 및 소거 정정 회로(625)는 소거 플래그(620)에 기초하여 제 1 에러 정정 코드에 대한 소거 정정을 수행한다.
- <109> 에러 정정의 완료 후에, 에러가 제거된 사용자 데이터(614)는 출력 IF 제어 회로(623)를 통해 인터페이스 제어 회로(608)에 전송된다.
- <110> 전술한 전체 에러 정정 회로(606)의 제어 또는 소거 플래그(620)의 생성은 마이크로 제어기 등을 포함하는 소거 플래그 생성 회로(618) 및 전체 제어 회로(617)에 의하여 실행될 수 있다. 상기 실행은 소프트웨어 또는 간단한 논리 회로에 의하여 수행될 수 있다.
- <111> 도 8은 소거 플래그의 생성 규칙을 설명하는 알고리즘을 도시한 도면이다. 도 8에 도시된 생성 규칙에 따르면, 소거 플래그(420)는 소프트웨어 또는 간단한 논리 회로에 의하여 생성된다.
- <112> 도 8에서, 재생된 데이터 시퀀스는 동기 신호의 검출 결과 또는 제 2 에러 정정 코드의 구성 심볼의 에러 존재 및 비존재에 따라 분류된다. 도 8에서, 0는 동기 신호의 정상 검출 또는 에러 정정시 제 2 에러 정정 코드의 구성 심볼에서의 에러의 부재를 나타낸다. ×는 동기 신호의 미검출 또는 에러 정정시 제 2 에러 정정 코드의 구성 심볼에서의 에러의 존재를 나타낸다. △는 동기 신호가 데이터 스트림의 상류의 이전 동기 신호로부터 예측된 시간으로부터 쉬프트된 시간에서 검출되며 동기 정정이 수행됨을 나타낸다.
- <113> 도 8에서, 도면 부호 115e 및 115f는 동기 신호를 나타내며, 111i, 111j, 및 111k는 제 1 에러 정정 코드의 구성 심볼을 나타내며, 112e 및 112f는 제 2 에러 정정 코드의 구성 심볼을 나타낸다. 도 8의 좌측에 있는 (A)은 동기 신호(115e), 제 1 에러 정정 코드의 구성 심볼(111i), 및 제 2 에러 정정 코드의 구성 심볼(112e)이 상기 순서대로 배치될 때 제 1 에러 정정 코드의 구성 심볼(111i)에 소거 플래그를 생성하는 규칙을 도시한다. 도 8의 오른쪽에 있는 (B)은 제 2 에러 정정 코드의 구성 심볼(112f), 제 1 에러 정정 코드의 구성 심볼(111k) 및 동기 신호(115f)가 상기 순서대로 배치될 때 제 1 에러 정정 코드의 구성 심볼(111j, 111k)에 소거 플래그를 생성하는 규칙을 도시한다.
- <114> (도 8의 좌측에 있는 (A)의 경우)
- <115> (a) 동기 신호(115e)가 정상적으로 검출되고 제 2 에러 정정 코드의 구성 심볼(112e)에서 에러가 검출되지 않을 때, 제 1 에러 정정 코드의 구성 심볼(111i)에는 소거 플래그가 부가되지 않는다.
- <116> (b) 동기 신호(115e)가 데이터 스트림의 상류의 이전 동기 신호로부터 예측된 시간으로부터 쉬프트된 시간에서 검출되고, 제 2 에러 정정 코드의 구성 심볼(112e)에서 에러가 검출되지 않을 때, 제 1 에러 정정 코드의 구성 심볼(111i)에는 소거 플래그가 부가되지 않는다.
- <117> (c) 동기 신호(115e)가 검출되지 않고, 제 2 에러 정정 코드의 구성 심볼(112e)에서 에러가 검출되지 않을 때, 제 1 에러 정정 코드의 구성 심볼(111i)에 소거 플래그가 부가되지 않는다.
- <118> (d) 동기 신호(115e)가 정상적으로 검출되고, 제 2 에러 정정 코드의 구성 심볼(112e)에서 에러가 검출될 때, 제 1 에러 정정 코드의 구성 심볼(111i)에는 소거 플래그가 부가되지 않는다.

- <119> (e) 동기 신호(115e)가 데이터 스트림의 상류의 이전 동기 신호로부터 예측된 시간으로부터 쉬프트된 시간에서 검출되고, 제 2 에러 검출 코드의 구성 심볼(112e)에서 에러가 검출될 때, 제 1 에러 검출 코드의 구성 심볼(111i)에는 소거 플래그가 부가되지 않는다.
- <120> (f) 동기 신호(115e)가 검출되지 않고, 제 2 에러 정정 코드의 구성 심볼(112e)에서 에러가 검출될 때, 버스트 에러가 발생했다고 가정하며, 제 1 에러 정정 코드의 구성 심볼(111i)에는 소거 플래그(804)가 부가되지 않는다.
- <121> (도 8의 우측에 있는 (B)의 경우)
- <122> (g) 제 2 에러 정정 코드의 구성 심볼(112f)에서 에러가 검출되지 않고, 동기 신호(115f)가 정상적으로 검출될 때, 제 1 에러 정정 코드의 구성 심볼(111k)에는 소거 플래그가 부가되지 않는다.
- <123> (h) 제 2 에러 정정 코드의 구성 심볼(112f)에서 에러가 검출되지 않고, 데이터 스트림의 상류의 이전 동기 신호로부터 예측된 시간으로부터 쉬프트된 시간에서 동기 신호(115f)가 검출될 때, 비트 슬립으로 인하여 버스트 에러가 발생했다고 가정하며, 제 1 에러 정정 코드의 구성 심볼(111k)에는 소거 플래그(805)가 부가된다.
- <124> (i) 제 2 에러 정정 코드의 구성 심볼(112f)에서 에러가 검출되지 않고, 동기 신호(115f)가 검출되지 않을 때, 제 1 에러 정정 코드의 구성 심볼(111k)에는 소거 플래그가 부가되지 않는다.
- <125> (j) 제 2 에러 정정 코드의 구성 심볼(112f)에서 에러가 검출되고, 동기 신호(115f)가 정상적으로 검출될 때, 제 1 에러 정정 코드의 구성 심볼(111k)에 소거 플래그가 부가되지 않는다.
- <126> (k) 제 2 에러 정정 코드의 구성 심볼(112k)에서 에러가 검출되고, 데이터 스트림의 상류의 이전 동기 신호로부터 예측된 시간으로부터 쉬프트된 시간에서 동기 신호(115f)가 검출될 때, 비트 슬립으로 인하여 버스트 에러가 발생했다고 가정하며, 제 1 에러 정정 코드의 구성 심볼(111k, 111j)에는 소거 플래그(806, 807)가 부가된다.
- <127> (l) 제 2 에러 정정 코드의 구성 심볼(112f)에서 에러가 검출되고, 동기 신호(115f)가 검출되지 않을 때, 버스트 에러가 발생했다고 가정하며, 제 1 에러 정정 코드의 구성 심볼(111k)에는 소거 플래그(808)가 부가된다.
- <128> (A) 및 (B)에서의 전술한 규칙에 따라, 소거 플래그가 생성된다. 생성된 소거 플래그는 제 1 에러 정정 코드를 소거 정정하며, 이에 따라 정정 능력을 최대 2배까지 개선하는 것이 가능하다. 모든 제 1 에러 정정 코드에 대하여, 소거 플래그는 데이터 스트림의 제 1 에러 정정 코드의 위치, 즉 제 2 에러 정정 코드 및 동기 신호에 인터리빙되는 위치에 무관하게, 그러나 동기 신호의 검출 결과 및 제 2 에러 검출 코드의 구성 심볼에 대한 에러 검출 결과에 기초하여 생성된다.
- <129> 전술한 바와 같이, 본 발명의 재생 장치에서, 소거 플래그는 동기 신호 및 제 2 에러 검출 코드의 구성 심볼의 에러 검출에 의하여 모든 제 1 에러 정정 코드에 동일한 방식으로 생성될 수 있다. 따라서, 에러 검출의 정확성은 데이터 스트림의 제 2 에러 정정 코드 및 동기 신호에 인터리빙된 제 1 에러 정정 코드의 위치에 따라 변하지 않으며, 이에 따라 제 1 에러 정정 코드는 데이터 스트림 전체에 걸쳐 높은 신뢰성을 가질 수 있다.

산업상 이용 가능성

<130> 전술한 바와 같이, 본 발명의 데이터 기록 방법, 기록 매체 및 재생 장치에서, 제 1 에러 정정 코드, 제 2 에러 정정 코드 및 동기 신호를 포함하는 데이터 스트림이 생성되며, 여기서 제 2 에러 정정 코드 및 동기 신호는 제 1 에러 정정 코드에 교대로 인터리빙되며 데이터 스트림은 기록 장치에 의하여 기록 매체에 기록된다. 따라서, 버스트 에러의 동일한 에러 검출은 모든 제 1 에러 정정 코드에 적용될 수 있다. 따라서, 신뢰성은 인터리빙 방식에 따라 변하지 않으며 이에 따라 데이터 스트림 전체에 걸쳐 높은 에러 정정 신뢰성이 유지될 수 있다. 따라서, 본 발명에 있어서, 각각이 높은 신뢰성을 가진 데이터 기록 방법, 광 디스크 및 재생 장치가 달성될 수 있다.

도면의 간단한 설명

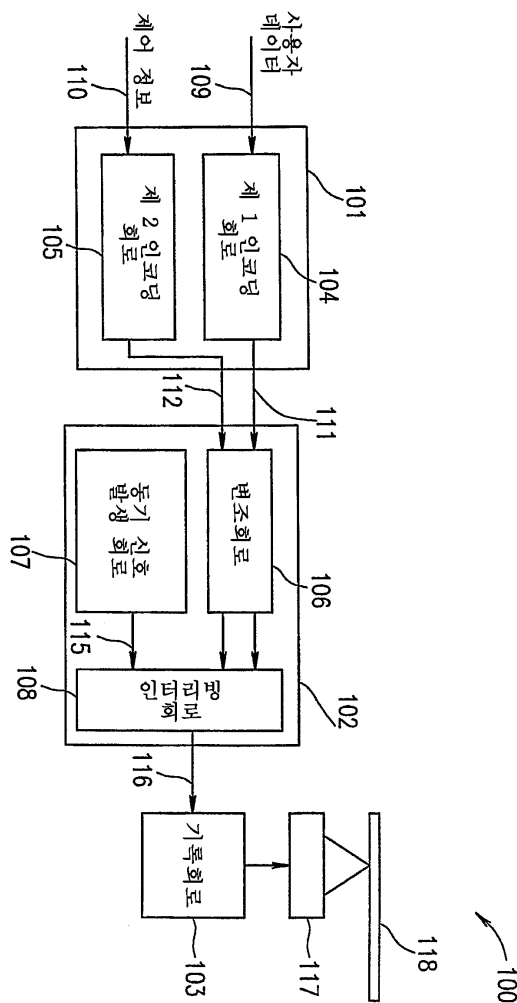
- <43> 도 1은 본 발명에 따른 기록 매체에 데이터를 기록하는 기록 장치의 구조를 도시하는 개략도.
- <44> 도 2는 본 발명에 따른 방법을 사용하여 인터리빙되기 전에 제 1 에러 정정 코드 및 제 2 에러 정정 코드를 도시하는 개략도.
- <45> 도 3은 도 2에 도시된 제 1 에러 정정 코드 및 제 2 에러 정정 코드가 동기 신호와 함께 미리 결정된 인터리빙

규칙에 따라 인터리빙된 데이터 스트림의 데이터 구조를 도시하는 도면.

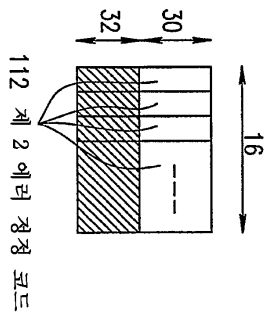
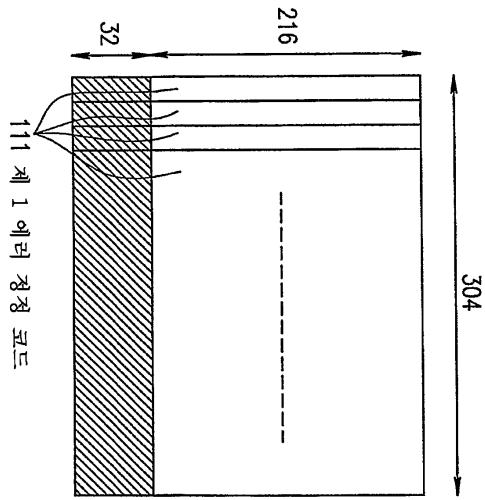
- <46> 도 4는 본 발명에 따른 광학 디스크의 나선형 또는 동심원 트랙에 기록된 데이터 구조를 도시하는 도면.
- <47> 도 5는 본 발명에 따른 데이터 스트림의 기록 순서를 도시하는 도면.
- <48> 도 6은 본 발명에 따른 재생 장치를 도시하는 개략도.
- <49> 도 7은 도 6에 도시된 에러 정정 회로를 상세하게 도시한 도면.
- <50> 도 8은 소거 플래그의 생성 규칙을 설명하는 알고리즘을 도시하는 도면.
- <51> 도 9는 종래의 에러 정정 코드의 구조를 도시하는 개략도.
- <52> 도 10은 도 9에 도시된 제 1 에러 정정 코드 및 제 2 에러 정정 코드가 동기 신호와 함께 미리 결정된 인터리빙 규칙에 따라 인터리빙되는 통상적인 데이터 스트림의 데이터 구조를 도시하는 도면.

도면

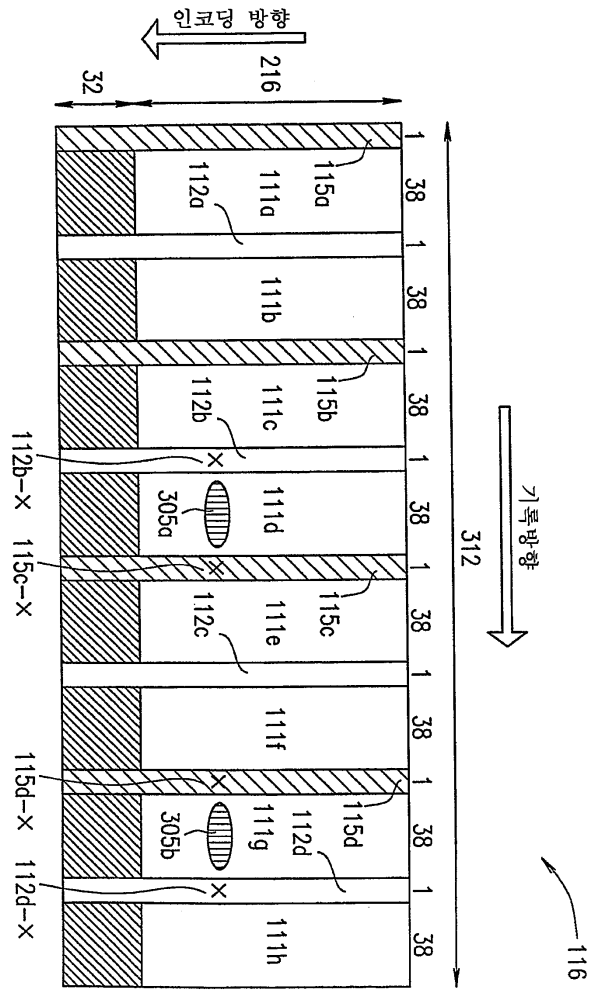
도면1



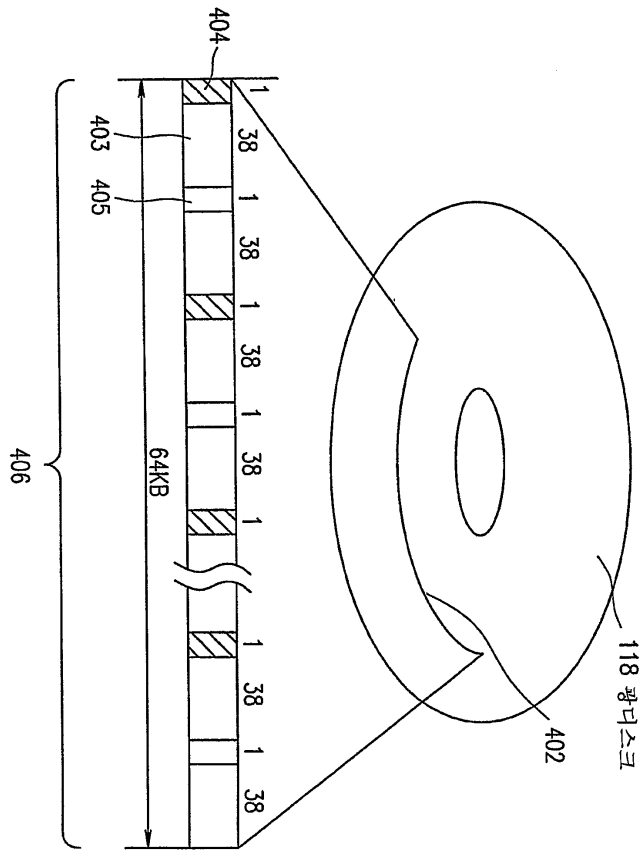
도면2



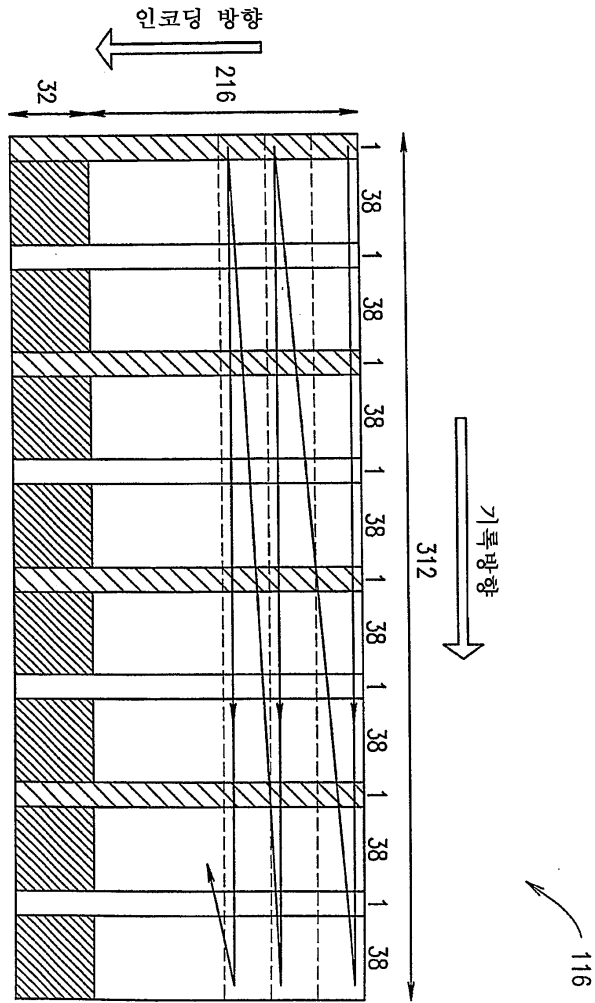
도면3



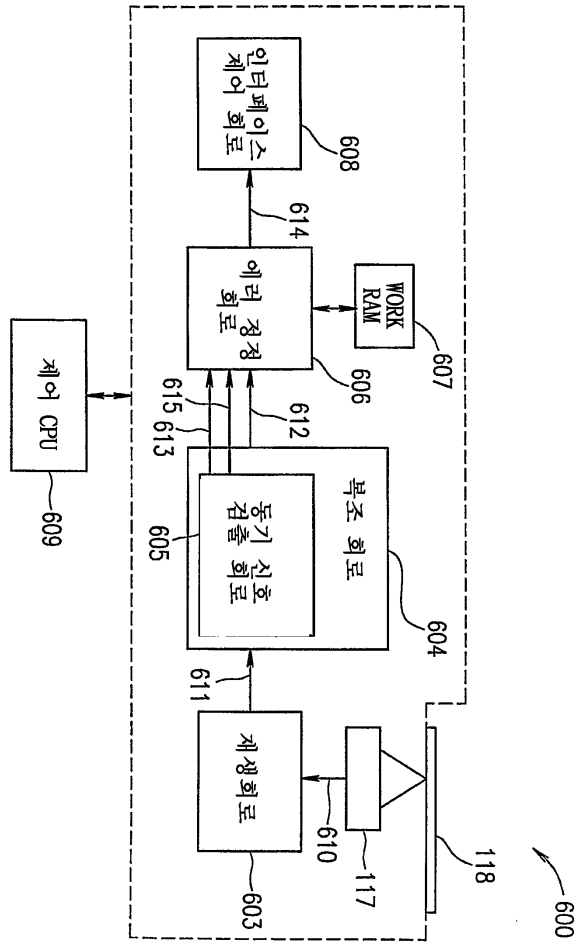
도면4



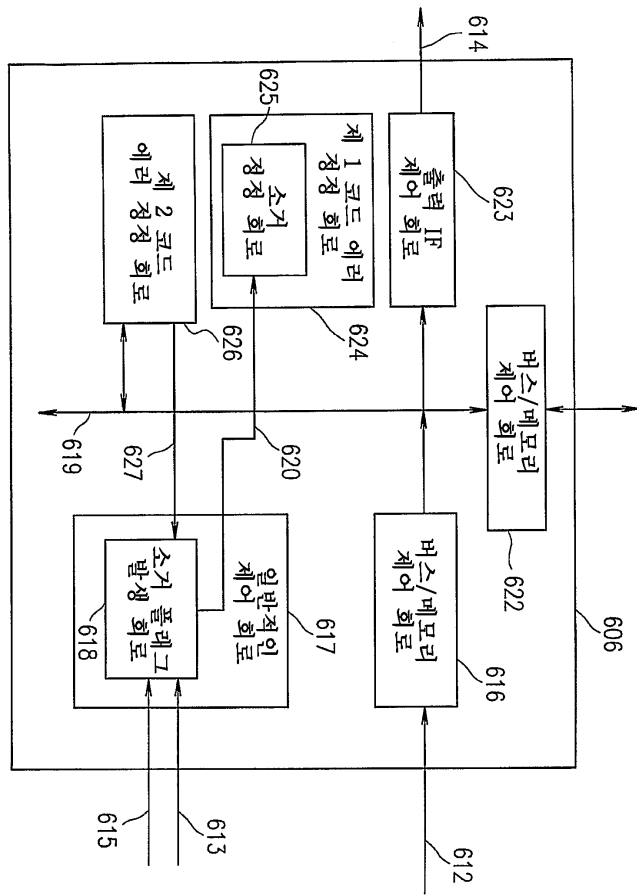
도면5



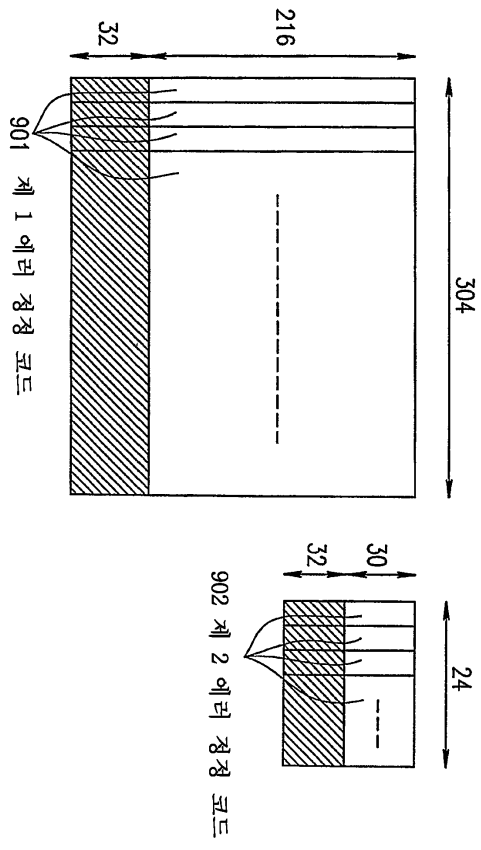
도면6



도면7



도면9



도면10

