(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0035142
(43) 공개일자 2023년03월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) *H01L 27/12* (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
G02F 1/1368 (2013.01)
H01L 27/1225 (2013.01)
(21) 출원번호 10-2023-7006701(분할)
(22) 출원일자(국제) 2012년07월02일
심사청구일자 2023년02월24일
(62) 원출원 특허 10-2021-7030780
원출원일자(국제) 2012년07월02일
심사청구일자 2021년09월24일
(85) 번역문제출일자 2023년02월24일
(86) 국제출원번호 PCT/JP2012/004266
(87) 국제공개번호 WO 2013/008407
국제공개일자 2013년01월17일
(30) 우선권주장
JP-P-2011-152164 2011년07월08일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
양영준, 박충범

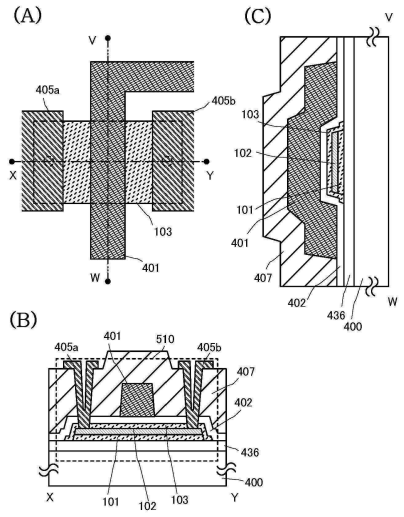
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **디스플레이 장치**

(57) 요 약

산화물 반도체를 포함한 반도체 장치에 안정된 전기적 특성 및 고신뢰성을 제공한다. 산화물 반도체 층을 포함하는 트랜지스터에 있어서, 산화물 반도체 층과 유사한 성분을 포함하는 버퍼층이, 산화물 반도체 층의 상면부 및 하면부에 접하여 제공된다. 이러한 트랜지스터, 및 당해 트랜지스터를 포함하는 반도체 장치를 제공한다. 산화물 반도체 층에 접하는 버퍼층으로서는, 알루미늄, 갈륨, 지르코늄, 하프늄 및 희토류 원소로부터 선택된 하나 이상의 원소의 산화물을 포함하는 막을 사용할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 27/1237 (2013.01)
H01L 29/7869 (2013.01)

명 세 서

청구범위

청구항 1

디스플레이 장치로서,

기판 위에, 제1 트랜지스터 및 발광 소자를 포함하는 화소부와, 제2 트랜지스터를 포함하는 주사선 구동 회로를 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각은, 채널 형성 영역에 In, Ga, 및 Zn을 포함하는 산화물 반도체 막을 포함하고,

상기 제1 트랜지스터는,

상기 기판의 위쪽에 설치된 제1 절연막과,

상기 제1 절연막 위쪽에 설치된 상기 산화물 반도체 막과,

상기 산화물 반도체 막의 위쪽에 설치된 게이트 절연막과,

상기 게이트 절연막의 위쪽에 설치되고, 또한 상기 산화물 반도체 막과 겹치는 영역을 포함하는 게이트 전극과,

상기 게이트 전극의 위쪽에 설치된 제2 절연막과,

상기 제2 절연막의 위쪽에 설치되고, 상기 제2 절연막의 콘택트 홀을 통해 상기 산화물 반도체 막과 각각 접하는 소스 전극 및 드레인 전극을 포함하고,

상기 제1 절연막은, 상기 산화물 반도체 막과 겹치는 제1 영역과, 상기 제1 영역에 인접하고, 또한 상기 산화물 반도체 막과 겹치지 않는 제2 영역을 포함하고,

상기 제1 영역의 두께는, 상기 제2 영역의, 상기 제1 영역에 인접하는 단부의 두께보다 두꺼운, 디스플레이 장치.

청구항 2

디스플레이 장치로서,

기판 위에, 제1 트랜지스터 및 발광 소자를 포함하는 화소부와, 제2 트랜지스터를 포함하는 주사선 구동 회로를 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 각각은, 채널 형성 영역에 In, Ga, 및 Zn을 포함하는 산화물 반도체 막을 포함하고,

상기 제1 트랜지스터는,

상기 기판의 위쪽에 설치된 제1 절연막과,

상기 제1 절연막 위쪽에 설치된 상기 산화물 반도체 막과,

상기 산화물 반도체 막의 위쪽에 설치된 게이트 절연막과,

상기 게이트 절연막의 위쪽에 설치되고, 또한 상기 산화물 반도체 막과 겹치는 영역을 포함하는 게이트 전극과,

상기 게이트 전극의 위쪽에 설치되고, 또한 상기 게이트 절연막의 일부와 상기 게이트 전극을 덮는 제2 절연막과,

상기 제2 절연막의 위쪽에 설치되고, 상기 제2 절연막의 콘택트 홀을 통해 상기 산화물 반도체 막과 각각 접하는 소스 전극 및 드레인 전극을 포함하고,

상기 제1 절연막은, 상기 산화물 반도체 막과 겹치는 제1 영역과, 상기 제1 영역에 인접하고, 또한 상기 산화물 반도체 막과 겹치지 않는 제2 영역을 포함하고,

상기 제1 영역의 두께는, 상기 제2 영역의, 상기 제1 영역에 인접하는 단부의 두께보다 두꺼운, 디스플레이 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 게이트 전극은, 적층구조를 가지며, Mo, Ti, Ta, W, Al, Cu, Cr에서 선택된 재료를 포함하는, 디스플레이 장치.

청구항 4

제1항 또는 제2항에 있어서,

상기 소스 전극 및 상기 드레인 전극 각각은, Al 또는 Cu를 포함하는 제1 막과, Ti, Mo, W 중 적어도 하나를 포함하고, 상기 제1 막의 하측에 적층된 제2 막을 포함하는, 디스플레이 장치.

청구항 5

제1항 또는 제2항에 있어서,

상기 산화물 반도체 막은, In, Ga, 및 Zn의 mol수 비가 1:1:1인 타겟을 이용하여 형성된 것인, 디스플레이 장치.

청구항 6

제1항 또는 제2항에 있어서,

상기 제1 절연막, 상기 게이트 절연막, 및 상기 제2 절연막 각각은, 산화 실리콘 막인, 디스플레이 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다.

[0002] 본 명세서 중에 있어서, 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배 경 기 술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 이용해서 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC) 및 화상 디스플레이 장치(디스플레이 장치) 등의 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막의 재료로서 실리콘계 반도체 재료가 널리 알려져 있다. 기타의 재료로서, 산화물 반도체가 주목받고 있다.

[0004] 예를 들면, 전자 캐리어 농도가 $10^{18}/cm^3$ 미만이고 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 비정질 산화물을, 그 활성층이 포함하는 트랜지스터가 개시되어 있다(특허문헌 1 참조).

[0005] 산화물 반도체를 포함한 트랜지스터는, 아몰퍼스 실리콘을 포함한 트랜지스터보다도 동작 속도가 빠르고, 다결정 실리콘을 포함한 트랜지스터보다도 제조가 용이하지만, 전기적 특성이 변동하기 쉽기 때문에 신뢰성이 낮다고 하는 문제점을 갖는 것으로 알려져 있다. 예를 들면, 광 조사하의 BT 시험 전후에 있어서, 트랜지스터의 임계치 전압은 1 V 이상 변동되어 버린다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허공개 제2006-165528호 공보

발명의 내용

해결하려는 과제

[0007] 이러한 문제를 감안하여, 본 발명의 일 실시형태의 하나의 목적은, 안정된 전기적 특성과 높은 신뢰성을 갖는, 산화물 반도체를 포함한 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0008] 개시하는 발명의 일 실시형태는, 산화물 반도체 층과, 산화물 반도체 층을 사이에 개재시키도록 제공된 제1 버퍼층 및 제2 버퍼층을 포함하는 반도체 장치이다. 제1 버퍼층 및 제2 버퍼층으로서는 알루미늄, 갈륨, 지르코늄, 하프늄 및 희토류 원소로부터 선택된 하나 이상의 원소의 산화물을 포함하는 막을 사용할 수 있다. 보다 구체적으로는, 예를 들면 이하의 구성으로 할 수 있다.

[0009] 본 발명의 일 실시형태는, 제1 버퍼층과, 제1 버퍼층 위에 접해서 제공된 산화물 반도체 층과, 산화물 반도체 층의 측면을 덮도록 산화물 반도체 층 위에 접해서 제공된 제2 버퍼층과, 제2 버퍼층 위에 제공된 게이트 절연막과, 게이트 절연막을 사이에 개재시키고 산화물 반도체 층과 중첩하는 게이트 전극 층과, 게이트 전극 층 위에 제공되고 개구를 갖는 절연막과, 절연막 위에 제공되고, 개구를 통해 산화물 반도체 층과 전기적으로 접속하는 소스 전극 층 및 드레인 전극 층을 포함하는 반도체 장치이다. 제1 버퍼층 및 제2 버퍼층 각각은, 알루미늄, 갈륨, 지르코늄, 하프늄 및 희토류 원소로부터 선택된 하나 이상의 원소의 산화물을 포함한다.

[0010] 산화물 반도체 층에 접하는 절연층으로서, 제14족 원소인 실리콘을 포함하는 산화 실리콘막을 이용할 경우, 산화물 반도체 재료와 실리콘 사이의 배위수의 차이에 의해 산화물 반도체 층과 산화 실리콘 막과의 계면은 안정되기 어려워 계면 상태가 형성될 우려가 있다. 본 발명의 일 실시형태에 관한 트랜지스터는, 산화물 반도체 층에 접하는 버퍼층으로서, 산화물 반도체 층과 유사한 성분을 포함하는 산화물을 사용함으로써, 산화물 반도체 층과 버퍼층과의 계면에 있어서 계면 상태의 형성을 방지할 수가 있어, 양호한 전기적인 특성과 높은 안정성을 갖는 트랜지스터를 얻을 수 있다.

[0011] 또한, 본 발명의 다른 실시형태는, 제1 버퍼층과, 제1 버퍼층 위에 접해서 제공된 산화물 반도체 층과, 제1 버퍼층의 측면 및 산화물 반도체 층의 측면을 덮도록 산화물 반도체 층 위에 접해서 제공된 제2 버퍼층과, 제2 버퍼층 위에 제공된 게이트 절연막과, 게이트 절연막을 사이에 개재시키고 산화물 반도체 층과 중첩하는 게이트 전극 층과, 게이트 전극 층 위에 제공되고 개구를 갖는 절연막과, 절연막 위에 제공되고, 개구를 통해 산화물 반도체 층과 전기적으로 접속하는 소스 전극 층 및 드레인 전극 층을 포함하는 반도체 장치이다. 제1 버퍼층 및 제2 버퍼층 각각은, 알루미늄, 갈륨, 지르코늄, 하프늄 및 희토류 원소로부터 선택된 하나 이상의 원소의 산화물을 포함한다.

[0012] 또한, 상기 반도체 장치에 있어서, 산화물 반도체 층은, 결정 상태에 있어서의 화학양론적 조성비를 초과하여 산소를 포함하는 영역을 적어도 부분적으로 포함하는 것이 바람직하다.

[0013] 또한, 산화물 반도체 층은 결정성 반도체 층인 것이 바람직하다. 본 명세서 등에 있어서, 결정성 산화물 반도체 층은, 결정을 포함하고, 결정성을 갖는 산화물 반도체 층이다. 결정성 산화물 반도체 층에 있어서의 결정은, 결정 축의 방향이 무질서한 상태이어도 되고 일정한 배향성을 갖는 상태이어도 된다.

[0014] 또한, 본 명세서에 개시하는 발명의 일 실시형태에서는, 결정성 산화물 반도체 층으로서, CAAC-OS(c-axis aligned crystalline oxide semiconductor)막을 사용할 수 있다.

[0015] CAAC-OS막은, 완전한 단결정은 아니고, 완전한 비정질도 아니다. CAAC-OS막은, 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체 막이다. 또한, 해당 결정부는, 한 변이 100 ㎚ 미만의 입방체 내에 들어맞는 크기인 것이 많다. 또한, 투과 전자 현미경(TEM:Transmission Electron Microscope)에 의한 관찰 상에서는, CAAC-OS막에 포함되는 입계는 확인할 수 없다. 따라서, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.

[0016] CAAC-OS막에 포함되는 결정부는, c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 정렬된 것, 또한 a-b면에 수직인 방향으로부터 보아 삼각 형상 또는 육각 형상의 원자 배열을 갖고, c축에 수직인 방향으로부터 보아 금속 원자가 층 형상 또는 금속 원자와 산소 원자가 층 형상으로 배열하고 있다. 또한, 다른 결정부간에서, 각각 a축 및 b축의 방향이 상이할 수 있다. 본 명세서에 있어서, 단순히 "수직"이라고 기재하는 경우, 85도 내지 95도 범위를 포함한다. 또한, 단순히 "평행"이라고 기재하는 경

우, -5도 내지 5도의 범위를 포함한다.

[0017] 또한, CAAC-OS막에 있어서, 결정부의 분포가 균일하지 않더라도 좋다. 예를 들면, CAAC-OS막의 형성 과정에 있어서, 산화물 반도체 막의 표면측에서 결정 성장시킬 경우, 산화물 반도체 막의 피형성면의 근방보다 산화물 반도체 막의 표면의 근방에서는 결정부가 차지하는 비율이 높은 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우, 해당 불순물이 첨가된 영역에서의 결정부가 비정질화하는 경우도 있다.

[0018] CAAC-OS막에 포함되는 결정부의 c 축은, CAAC-OS막의 피형성면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(CAAC-OS막의 피형성면의 단면 형상 또는 CAAC-OS막의 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c 축의 방향은, CAAC-OS막이 형성되었을 때, CAAC-OS막의 피형성면의 법선 벡터 또는 CAAC-OS막의 표면의 법선 벡터에 평행한 방향이 된다. 결정부는, 성막함으로써, 또는 성막 후에 가열 처리 등의 결정화 처리를 행함으로써 형성된다.

[0019] CAAC-OS막을 트랜지스터에 사용함으로써, 가시광이나 자외광의 조사에 의한 트랜지스터의 전기적 특성 변화를 억제하여, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0020] 또한, 상기 반도체 장치에 있어서, 산화물 반도체 층에서, 게이트 전극 층과 중첩하지 않는 영역은, 도펀트를 포함하는 것이 바람직하다. 이와 같은 구성으로 함으로써, 산화물 반도체 층은, 게이트 절연막을 사이에 개재시키고 게이트 전극 층과 중첩되는 채널 형성 영역을 갖고, 채널 길이 방향으로 그 채널 형성 영역을 사이에 개재시키고 있는 한 쌍의 저-저항 영역을 갖는다.

[0021] 채널 길이 방향으로 채널 형성 영역을 사이에 개재시키고 있는 저-저항 영역을 포함하는 산화물 반도체 층을 형성함으로써, 상기 트랜지스터는 양호한 온 특성(예를 들면, 온 전류 및 전계 효과 이동도)을 갖고, 고속 동작, 고속 응답이 가능하게 된다. 또한, 저-저항 영역은, 자기 정합적으로 형성되고, 게이트 전극 층과 중첩되지 않기 때문에, 기생 용량을 작게 할 수 있다. 기생 용량을 작게 하는 것은, 반도체 장치 전체의 소비 전력을 감소시키는 것으로 연결된다.

[0022] 저-저항 영역에 있어서의 도펀트의 농도는, $5*10^{18}/cm^3$ 이상 $1*10^{22}/cm^3$ 이하인 것이 바람직하다.

[0023] 또한, 본 명세서 등에 있어서, "위"라는 용어는, 구성 요소의 위치 관계가 "바로 위쪽"인 것을 의미하는 것은 아니다. 예를 들면, "게이트 절연 층 위의 게이트 전극"이라는 표현일 경우, 게이트 절연 층과 게이트 전극 사이에 어느 한 구성 요소가 위치되는 경우를 배제하지 않는다. 또한, "아래"라는 용어에 대해서도 마찬가지이다.

[0024] 또한, 본 명세서 등에 있어서, "전극"이나 "배선"이라고 하는 용어는, 이들 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들면, "전극"은 "배선"의 일부로서 이용되는 것이 있고, 그 역도 또한 마찬가지이다. 또한, "전극"이나 "배선"이라고 하는 용어는, 복수의 "전극" 및 "배선"의 조합을 의미할 수도 있다.

발명의 효과

[0025] 본 발명의 일 실시형태에 따르면, 산화물 반도체를 포함하는 신뢰성이 높은 반도체 장치 및 그 제조 방법을 제공할 수 있다.

도면의 간단한 설명

[0026] 도 1의 (A) 내지 도 1의 (C)는 반도체 장치의 일 실시형태를 도시하는 평면도 및 단면도.

도 2의 (A) 내지 도 2의 (E)는 반도체 장치의 제조 공정의 일례를 도시하는 도면.

도 3의 (A) 및 도 3의 (B)는 반도체 장치의 일 실시형태를 도시하는 단면도.

도 4의 (A) 내지 도 4의 (C)는 반도체 장치의 일 실시형태를 도시하는 평면도 및 단면도.

도 5의 (A) 내지 도 5의 (C)는 반도체 장치의 제조 공정의 일례를 도시하는 도면.

도 6의 (A) 내지 도 6의 (C)는 반도체 장치의 일 실시형태 및 그 제조 공정의 일례를 도시하는 도면.

도 7의 (A) 내지 도 7의 (C)는 반도체 장치의 일 실시형태를 도시한 도면.

도 8의 (A) 및 도 8의 (B)는 반도체 장치의 일 실시형태를 도시한 도면.

도 9의 (A) 및 도 9의 (B)는 반도체 장치의 일 실시형태를 도시한 도면.

도 10의 (A) 내지 도 10의 (D)는 전자 기기를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 본 발명의 실시형태에 대해 첨부 도면을 참조하여 상세하게 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세를 여러 가지로 변경할 수 있음은, 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재되는 실시형태의 기재 내용으로 한정되는 것으로 해석되는 것은 아니다.

[0028] 또한, 이하에 설명하는 본 발명의 구성에서, 동일 부분 또는 유사한 기능을 갖는 부분에는, 동일한 참조 부호를 다른 도면 간에 부여하고, 그 반복 설명은 생략한다. 또한, 유사한 기능을 갖는 부분에는 동일한 해칭 패턴을 부여하고, 그들 부분에 특별히 참조 부호를 붙이지는 않는 경우가 있다.

[0029] 또한, 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 막 두께 또는 영역은 명확화를 위해서 과장되어 있을 경우가 있다. 그러므로, 각 구성의 스케일은 도면에 도시된 바에 한정되지 않는다.

[0030] 또한, 본 명세서 등에 있어서, "제1", "제2" 등으로 첨부되는 서수사는 편의상 이용하는 것으로서, 공정순 또는 적층순을 나타내는 것은 아니다. 또한, 상기 서수사는 본 명세서 등에 있어서 본 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.

[0031] (실시형태 1)

[0032] 본 실시형태에서는, 반도체 장치 및 반도체 장치의 제조 방법의 일 실시형태를, 도 1의 (A) 내지 도 1의 (C), 도 2의 (A) 내지 도 2의 (E), 및 도 3의 (A) 및 도 3의 (B)를 이용하여 설명한다. 본 실시형태에서는, 반도체 장치의 일례로서, 산화물 반도체 층을 포함하는 트랜지스터를 설명한다.

[0033] 도 1의 (A), 도 1의 (B) 및 도 1의 (C)에 도시하는 트랜지스터(510)는, 톱 게이트 구조의 트랜지스터의 일례이다. 도 1의 (A)는 평면도이며, 도 1의 (A) 중의 쇄선 X-Y를 따라 취한 단면도가 도 1의 (B)에 상당하고, 도 1의 (A) 중의 쇄선 V-W를 따라 취한 단면도가 도 1의 (C)에 상당한다.

[0034] 채널 길이 방향의 단면도인 도 1의 (B)에 도시한 바와 같이, 트랜지스터(510)는, 산화물 절연막(436)이 제공된 절연 표면을 갖는 기판(400) 위에 제1 버퍼층(101)과, 산화물 반도체 층(102)과, 제2 버퍼층(103)과, 게이트 절연막(402)과, 게이트 전극 층(401)과, 절연막(407)과, 소스 전극 층(405a)과, 드레인 전극 층(405b)을 포함한다.

[0035] 트랜지스터(510)에 있어서, 제1 버퍼층(101)은 산화물 절연막(436) 위에 접해서 형성되고, 산화물 반도체 층(102)은 제1 버퍼층(101) 위에 형성된다. 또한, 제2 버퍼층(103)은, 제1 버퍼층(101)의 측면 및 산화물 반도체 층(102)의 측면을 덮도록 산화물 반도체 층(102) 위에 형성되어 있다. 또한, 제2 버퍼층(103)의 주연부는, 산화물 절연막(436)과 접한다.

[0036] 제1 버퍼층(101) 및 제2 버퍼층(103)은, 산화물 반도체 층(102)과 접하기 때문에, 이들은 산화물 반도체 층(102)의 성분과 유사한 성분을 포함하는 산화물을 포함하는 것이 바람직하다. 구체적으로는, 제1 버퍼층(101) 및 제2 버퍼층(103)은 알루미늄(Al), 갈륨(Ga), 지르코늄(Zr), 또는 하프늄(Hf) 등의 산화물 반도체 층(102)의 구성 원소, 그리고 알루미늄, 갈륨 등과 동족의 원소인 희토류 원소로부터 선택된 하나 이상의 원소의 산화물을 포함하는 층으로 하는 것이 바람직하다. 또한, 이들 원소의 산화물 중, Ⅲ족 원소인 알루미늄, 갈륨 또는 희토류 원소의 산화물을 이용하는 것이 보다 바람직하다. 또한, 희토류 원소로서는 스칸듐(Sc), 이트륨(Y), 세륨(Ce), 사마륨(Sm) 또는 가돌리늄(Gd)을 이용하는 것이 바람직하다. 이러한 재료는 산화물 반도체 층(102)과 상성(相性)이 좋고, 이러한 재료를 제1 버퍼층(101) 및 제2 버퍼층(103)에 사용함으로써, 산화물 반도체 층(102)과 이들 각 층과의 계면의 상태를 양호하게 할 수 있다. 또한, 산화물 반도체 층(102)의 결정성을 향상시킬 수 있다.

[0037] 또한, 산화물 반도체 층(102)을 트랜지스터(510)의 활성층으로서 이용하고 있기 때문에, 제1 버퍼층(101) 및 제2 버퍼층(103)의 에너지 갭은 산화물 반도체 층(102)보다도 큰 것이 요구되고, 제1 버퍼층(101) 및 제2 버퍼층(103)은 절연성을 갖는 것이 바람직하다.

[0038] 도 1의 (C)는, 채널 폭 방향의 단면도이다. 도 1의 (B)와 마찬가지로, 트랜지스터(510)의 채널 폭 방향의 단면에 있어서, 산화물 반도체 층(102)의 측면은, 제2 버퍼층(103)의 단부로 덮여 있다. 이러한 구조로 함으로써,

산화물 반도체 층(102)과 게이트 전극 층(401) 사이에 있어서의 기생 채널의 발생을 방지할 수 있다.

[0039] 도 2의 (A) 내지 도 2의 (E)에, 트랜지스터(510)의 제조 방법의 일례를 나타낸다.

[0040] 우선, 절연 표면을 갖는 기판(400) 위에, 산화물 절연막(436)과, 제1 버퍼층(101)이 되는 제1 버퍼막(101a)과, 산화물 반도체 층(102)이 되는 산화물 반도체 막(102a)을 이 순서대로 성막한다(도 2의 (A) 참조).

[0041] 절연 표면을 갖는 기판(400)으로서 사용할 수 있는 기판에 특별한 제한은 없지만, 적어도, 후에 수행되는 열처리에 견딜 수 있는 정도의 내열성을 기판이 갖고 있을 것이 필요하게 된다. 예를 들면, 바륨 붕규산 유리, 알루미노 붕규산 유리 등의 유리 기판, 세라믹 기판, 석영 기판 또는 사파이어 기판을 사용할 수 있다. 또한, 실리콘, 탄화 실리콘 등의 단결정 반도체 기판이나 다결정 반도체 기판; 실리콘 게르마늄 등의 화합물 반도체 기판; SOI 기판 등을 기판(400)으로서 사용할 수도 있고, 또는 반도체 소자가 설치된 기판을 기판(400)으로서 사용해도 된다.

[0042] 또한, 기판(400)으로서 가요성 기판을 이용해서 반도체 장치를 제조해도 좋다. 가요성을 갖는 반도체 장치를 제조하기 위해서는, 가요성 기판 위에 산화물 반도체 층을 포함하는 트랜지스터를 직접 형성해도 좋다. 혹은, 다른 제조 기판 위에 산화물 반도체 층을 포함하는 트랜지스터를 형성하고나서 박리하고, 그 후 가요성 기판에 전치(transfer)해도 좋다. 또한, 트랜지스터를 제조 기판으로부터 박리하고 가요성 기판에 전치하기 위해서, 제조 기판과 산화물 반도체 층을 포함하는 트랜지스터 사이에 박리층을 제공하면 좋다.

[0043] 산화물 절연막(436)은, 플라즈마 CVD법 또는 스퍼터링법 등에 의해, 산화 실리콘, 산화 질화 실리콘 또는 질화 산화 실리콘을 이용해서 형성할 수 있다. 산화물 절연막(436)은 단층 구조를 가져도 좋고, 적층 구조를 가져도 좋다. 본 실시형태에서는 산화물 절연막(436)으로서 스퍼터링법을 이용해서 형성되는 산화 실리콘 막을 이용한다.

[0044] 또한, 제1 버퍼막(101a)으로서는, 알루미늄, 갈륨, 지르코늄, 하프늄, 및 희토류 원소로부터 선택된 하나 이상의 원소의 산화물을 포함하는 막을 형성한다. 이와 같은 재료는 후에 형성되는 산화물 반도체 층(102)과 상성이 좋으므로, 산화물 반도체 층(102)과 접하는 층에 이러한 재료를 사용함으로써, 산화물 반도체 층(102)과의 계면의 상태를 양호하게 유지할 수 있다. 또한, 이와 같은 재료를 제1 버퍼층(101)에 사용함으로써, 산화물 반도체 층(102)의 결정성을 향상시킬 수 있다.

[0045] 제1 버퍼막(101a)의 제조 방법에 특별히 한정은 없고, 예를 들면, 플라즈마 CVD법이나 스퍼터링법 등의 성막 방법을 이용해서 제1 버퍼막(101a)을 형성할 수 있다.

[0046] 제1 버퍼막(101a) 위에 성막되는 산화물 반도체 막은, 단층 구조일 수도 있고, 적층 구조이어도 된다. 또한, 상기 산화물 반도체 막은 비정질 구조일 수도 있고, 결정성 산화물 반도체일 수도 있다. 산화물 반도체 막(102a)이 비정질 구조를 가질 경우에는, 후의 제조 공정에서, 산화물 반도체 층에 대해 열처리를 행함으로써, 산화물 반도체 층이 결정성을 갖게 해도 된다. 비정질 산화물 반도체 층을 결정화시키는 열처리는, 250℃ 이상 700℃ 이하, 바람직하게는 400℃ 이상, 보다 바람직하게는 500℃ 이상, 더욱 바람직하게는 550℃ 이상 온도에서 행한다. 또한, 해당 열처리는, 제조 공정에 있어서의 다른 열처리를 겸하는 것도 가능하다.

[0047] 산화물 반도체 막(102a)의 성막 방법은, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절하게 사용할 수 있다. 또한, 산화물 반도체 막(102a)은, 스퍼터링 타겟 표면에 대하여, 대략 수직으로 복수의 기판 표면이 세트된 상태에서 성막을 행하는 스퍼터링 장치를 이용해서 성막해도 좋다.

[0048] 산화물 반도체 막(102a)을 형성할 때, 가능한 한 산화물 반도체 막(102a)에 포함되는 수소 농도를 감소시키는 것이 바람직하다. 수소 농도를 감소시키기 위해서는, 예를 들면, 스퍼터링법을 이용해서 산화물 반도체 막(102a)의 성막을 행할 경우에는, 스퍼터링 장치의 처리실 내에 공급하는 분위기 가스로서, 수소, 물, 수산기, 및 수소화물 등의 불순물이 제거된 고순도의 희가스(대표적으로, 아르곤), 산소, 또는 희가스와 산소의 혼합 가스를 적절하게 이용한다.

[0049] 또한, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 처리실 내로 도입해서 산화물 반도체 층의 성막을 행함으로써, 성막된 산화물 반도체 층의 수소 농도를 감소시킬 수 있다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서는, 콜드 트랩을 구비한 터보 분자 펌프를 이용해도 된다. 크라이오 펌프를 이용해서 배기한 처리실에는, 예를 들면, 수소 원자, 물(H_2O) 등 수소 원자를 포함

하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물) 등이 제거되고, 이에 의해 해당 처리실에서 성막한 산화물 반도체 막(102a)에 포함되는 불순물 농도를 감소시킬 수 있다.

[0050] 또한, 산화물 절연막(436), 제1 버퍼막(101a) 및 산화물 반도체 막(102a)을 대기에 노출시키지 않고 연속적으로 형성하는 것이 바람직하다. 산화물 절연막(436), 제1 버퍼막(101a) 및 산화물 반도체 막(102a)을 대기에 노출시키지 않고 연속해서 형성하면, 산화물 절연막(436)과 제1 버퍼막(101a)과의 계면, 및 제1 버퍼막(101a)과 산화물 반도체 막(102a)과의 계면에 수소 및 수분 등의 불순물이 흡착되는 것을 방지할 수 있다.

[0051] 또한, 기판(400)을 고온으로 유지한 상태에서 산화물 반도체 막(102a)을 형성하는 것도, 산화물 반도체 막(102a) 중의 불순물 농도를 감소시키는데 유효하다. 기판(400)을 가열하는 온도로서는, 150℃ 이상 450℃ 이하로 하면 좋고, 바람직하게는 기판 온도가 200℃ 이상 350℃ 이하로 하면 된다. 또한, 성막 중에 기판을 고온에서 가열함으로써, 결정성 산화물 반도체 막을 형성할 수 있다.

[0052] 산화물 반도체 막(102a)에 이용하는 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히, In과 Zn을 포함하는 것이 바람직하다. 상기 산화물 반도체를 포함한 트랜지스터의 전기 특성의 변동을 감소시키기 위한 스태빌라이저로서, In과 Zn 외에 갈륨(Ga)을 포함하는 것이 바람직하다. 또한, 스태빌라이저로서 주석(Sn)을 포함하는 것이 바람직하다. 또한, 스태빌라이저로서 하프늄(Hf)을 포함하는 것이 바람직하다. 또한, 스태빌라이저로서 알루미늄(Al)을 포함하는 것이 바람직하다. 또한, 스태빌라이저로서 지르코늄(Zr)을 포함하는 것이 바람직하다.

[0053] 또한, 다른 스태빌라이저로서, 란탄족 원소인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 또는 루테튬(Lu) 중 어느 한 종 혹은 복수 종을 포함할 수도 있다.

[0054] 예를 들면, 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, 또는 In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, 또는 In-Lu-Zn계 산화물, 또는 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, 또는 In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0055] 또한, 산화물 반도체 막(102a)은, 성막 중에 산소가 많이 포함되는 조건(예를 들면, 산소 100 %의 분위기하에서 스퍼터링법에 의해 성막을 행하는 등)하에서 성막하여, 산소를 많이 포함하는(바람직하게는 산화물 반도체가 결정 상태에 있어서의 화학양론적 조성비를 초과하여 산소를 포함하는 영역을 갖고 있는) 막으로 하는 것이 바람직하다.

[0056] 또한, 산화물 반도체 막(102a)을 성막할 때 이용하는 스퍼터링 가스로서는 수소, 물, 수산기, 및 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0057] 본 실시형태에서는, 희가스(대표적으로는, 아르곤) 분위기하, 산소 분위기하, 또는 희가스와 산소의 혼합 분위기하에서, 성막 온도를 200℃ 이상 450℃ 이하로 해서 산화물 반도체 막(102a)의 성막을 행하고, 결정 영역을 갖는 산화물 반도체의 결정성 산화물 반도체 막을 형성한다.

[0058] 결정 영역을 갖는 산화물 반도체로서, 예를 들면, CAAC-OS막을 사용할 수 있다. CAAC-OS막을 얻는 방법으로는 세 가지를 들 수 있다. 첫 번째는, 성막 온도를 200℃ 이상 450℃ 이하로 해서 산화물 반도체 막의 성막을 행하여, 표면에 대략 수직인 c축 정렬을 얻는 방법이다. 두 번째는, 얇은 산화물 반도체 막을 성막한 후, 200℃ 이상 700℃ 이하의 온도에서 열처리를 행하여, 표면에 대략 수직인 c축 정렬을 얻는 방법이다. 세 번째는, 얇은 제1 산화물 반도체 막을 성막한 후, 200℃ 이상 700℃ 이하의 온도에서 열처리를 행하고나서, 제2 산화물 반도체 막을 성막하여, 표면에 대략 수직인 c축 정렬을 얻는 방법이다.

[0059] CAAC-OS막은, 예를 들면, 다결정의 산화물 반도체 스퍼터링용 타겟을 이용하여, 스퍼터링법에 의해 성막한다. 당해 스퍼터링용 타겟에 이온이 충돌하면, 스퍼터링용 타겟에 포함되는 결정 영역이 a-b면을 따라 타겟으로부터 분리되고, 즉, a-b면에 평행한 면을 갖는 스퍼터링 입자(평판 형상 스퍼터링 입자 또는 펠릿 형상의 스퍼터링 입자)가 스퍼터링 타겟으로부터 박리하는 경우가 있다. 이 경우, 해당 평판 형상의 스퍼터링 입자가, 그 결

정 상태를 유지한 채 기판에 도달함으로써, CAAC-OS막을 성막할 수 있다.

[0060] 또한, CAAC-OS막을 성막하기 위해서, 이하의 조건을 이용하는 것이 바람직하다.

[0061] 성막 중 CAAC-OS막으로의 불순물 혼입을 감소시킴으로써, 불순물에 의해 결정 상태가 붕괴되는 것을 방지할 수 있다. 예를 들면, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소 또는 질소 등)를 감소시키면 된다. 또한, 성막 가스 중의 불순물 농도를 감소시키면 된다. 구체적으로는, 노점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 이용한다.

[0062] 또한, 성막 중의 기판 가열 온도를 증가시킴으로써, 기판 표면 도달 후에 스퍼터링 입자의 마이그레이션이 발생한다. 구체적으로는, 성막 중의 기판 가열 온도를 100℃ 이상 740℃ 이하, 바람직하게는 200℃ 이상 500℃ 이하로 해서 성막한다. 성막 중의 기판 가열 온도를 증가시킴으로써, 평판형의 스퍼터링 입자가 기판에 도달한 경우, 기판 표면 위에서 마이그레이션이 발생하여, 평판형의 스퍼터링 입자의 평평한 면이 기판에 부착된다.

[0063] 또한, 성막시의 플라즈마 대미지를 경감시키기 위해 성막 가스 중의 산소 비율을 증가시키고 전력을 최적화하는 것이 바람직하다. 성막 가스 중의 산소 비율은, 30 체적% 이상, 바람직하게는 100 체적%이다.

[0064] 이하, 스퍼터링용 타겟의 일례로서, In-Ga-Zn-O 화합물 타겟에 대해 설명한다.

[0065] InO_X 분말, GaO_Y 분말 및 ZnO_Z 분말을 소정의 mol수 비로 혼합하고, 가압 처리하고, 1000℃ 이상 1500℃ 이하의 온도에서 가열 처리함으로써 다결정의 In-Ga-Zn-O 화합물 타겟을 마련한다. 또한, X, Y 및 Z는 임의의 양수이다. 여기서, GaO_Y 분말 및 ZnO_Z 분말에 대한 InO_X 분말의 소정의 mol수 비는, 예를 들면, 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3 또는 3:1:2이다. 또한, 분말의 종류, 및 분말을 혼합하는 mol수 비는, 원하는 스퍼터링용 타겟에 따라 적절히 결정하면 된다.

[0066] 결정성 산화물 반도체에서는, 벌크 내 결함을 더욱 감소시킬 수가 있고, 표면의 평탄성을 높인다면, 비정질 상태의 산화물 반도체보다 높은 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하다. 구체적으로는, 평균 표면 거칠기(R_a)가 1 ㎚ 이하, 바람직하게는 0.3 ㎚ 이하, 보다 바람직하게는 0.1 ㎚ 이하인 표면 위에 산화물 반도체가형성될 수 있다.

[0067] 또한, R_a는, JIS B 0601:2001 (ISO4287:1997)에 의해 정의되어 있는 산술 평균 표면 거칠기를, 곡면에 대하여 적용할 수 있도록 삼차원으로 확장함으로써 얻어진다. 또한, R_a는 "기준면으로부터 지정면까지의 편차의 절대치를 평균한 값"으로 표현할 수 있고, 이하의 식으로 정의된다.

[0068] [수학식 1]

$$Ra = \frac{1}{S_0}\int_{y_1}^{y_2}\int_{x_1}^{x_2}\left|f(x,y) - Z_0\right|dxdy$$

[0069]

[0070] 여기서, 지정면은, 거칠기 계측의 대상이 되는 면이며, 좌표(x_1, y_1, $f(x_1, y_1)$), (x_1, y_2, $f(x_1, y_2)$), (x_2, y_1, $f(x_2, y_1)$), 및 (x_2, y_2, $f(x_2, y_2)$)로 표현되는 4점으로 규정되는 사각형의 영역이다. 또한, 지정면을 xy 평면에 투영하여 얻어지는 직사각형의 면적을 S_0, 기준면의 높이(지정면의 평균 높이)를 Z_0라고 한다. 또한, R_a는 원자간력 현미경(AFM:Atomic Force Microscope)로 측정 가능하다.

[0071] 따라서, 제1 버퍼막(101a)에 있어서 산화물 반도체 막(102a)과 접해서 형성된 영역에 평탄화 처리를 행해도 된다. 평탄화 처리로서는, 특별히 한정되지 않지만, 연마 방법(화학적 기계 연마(CMP)법), 드라이 에칭 처리 또는 플라즈마 처리일 수 있다.

[0072] 플라즈마 처리로서는, 아르곤 가스를 도입시켜 플라즈마를 발생시키는 역 스퍼터링을 행할 수 있다.

[0073] 평탄화 처리로서, 연마 처리, 드라이 에칭 처리 또는 플라즈마 처리를 복수회 행해도 되고, 이들 처리를 조합해서 행해도 된다. 또한, 조합해서 행할 경우, 공정순은 특별히 한정되지 않고, 제1 버퍼막(101a) 표면의 거칠기에 따라 적절하게 설정하면 된다.

[0074] 또한, 본 실시형태에서는, 산화물 반도체 막(102a)을, 해당 산화물 반도체 막(102a)과 유사한 성분을 포함하는 산화물 막인 제1 버퍼막(101a) 위에 형성한다. 그러므로, 이들 2층의 계면 상태를 양호하게 할 수 있고, 계면

근방에 있어서의 결정성을 향상시킬 수 있다.

[0075] 이어서, 제1 버퍼막(101a) 및 산화물 반도체 막(102a)을 포토리소그래피 공정에 의해 섬 형상으로 가공하여, 제1 버퍼층(101) 및 산화물 반도체 층(102)을 형성한다.

[0076] 제1 버퍼층(101) 및 산화물 반도체 층(102)을 형성하기 위한 레지스트 마스크를 잉크젯트법에 의해 형성할 수도 있다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 필요로 하지 않고; 따라서 제조 비용을 저감할 수 있다.

[0077] 또한, 제1 버퍼막(101a) 및 산화물 반도체 막(102a)의 에칭은, 건식 에칭에 의하여도 되고, 습식 에칭에 의하여도 되며, 건식 에칭과 습식 에칭의 쌍방을 적용해도 된다.

[0078] 본 실시형태에서는, 제1 버퍼막(101a) 및 산화물 반도체 막(102a)을 같은 마스크를 이용하여 에칭 가공하기 때문에, 가공을 거쳐 형성되는 제1 버퍼층(101)과 산화물 반도체 층(102)의 측면의 단부가 정렬되고 제1 버퍼층(101)과 산화물 반도체 층(102)은 동일한 형상을 갖는다.

[0079] 또한, 산화물 반도체 층(102)에, 해당 산화물 반도체 층(102)에 포함되는 과잉의 수소(물 또는 수산기를 포함한다)를 제거(탈수화 또는 탈수소화)하기 위한 열처리를 행하는 것이 바람직하다. 열처리의 온도는, 300℃ 이상 700℃ 이하, 또는 기판의 왜곡점 미만이다. 열처리는 감압하 또는 질소 분위기하 등에서 행할 수 있다.

[0080] 이 열처리에 의해, n형 불순물인 수소를 산화물 반도체로부터 제거할 수 있다. 예를 들면, 탈수화 또는 탈수소화 처리 후의 산화물 반도체 층(102)에 포함되는 수소 농도를, $5*10^{19}/cm^3$ 이하, 바람직하게는 $5*10^{18}/cm^3$ 이하로 할 수 있다.

[0081] 또한, 탈수화 또는 탈수소화를 위한 열처리는, 산화물 반도체 막(102a)의 성막 후와, 후에 형성하는 절연막(407)의 성막 전 사이에 행해지는 한, 트랜지스터(510)의 제조 공정에 있어서 어느 타이밍에 행해도 된다. 제2 버퍼층(103)으로서 산화 알루미늄 막을 형성할 경우에는, 제2 버퍼층(103)을 형성하기 전에 상기 열처리를 행하는 것이 바람직하다. 또한, 탈수화 또는 탈수소화를 위한 열처리는, 복수회 행해도 되고, 다른 가열 처리와 겸해도 된다.

[0082] 또한, 탈수화 또는 탈수소화를 위한 열처리를 산화물 반도체 막(102a)의 섬 형상으로의 가공 전에 행하면, 산화물 절연막(436)에 포함되는 산소가 열처리에 의해 방출되는 것을 방지할 수 있기 때문에 바람직하다.

[0083] 또한, 열처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 열처리 장치에 도입되는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N (99.9999 %) 이상, 바람직하게는 7N (99.99999 %) 이상으로 하는 것이 바람직하다(즉, 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하로 하는 것이 바람직하다).

[0084] 또한, 열처리에 의해서 산화물 반도체 층(102)을 가열한 후, 가열 온도를 유지하거나, 또는 그 가열 온도로부터 서랭하면서 동일 로에 고순도의 산소 가스, 고순도의 N_2O 가스, 또는 초건조 에어(CRDS(캐비티 링 다운 레이저 분광법) 방식의 노점계를 이용해서 측정한 경우의 수분량이 20 ppm(노점 환산으로 -55도) 이하, 바람직하게는 1ppm 이하이고, 보다 바람직하게는 10 ppb 이하의 공기)를 도입해도 된다. 산소 가스 또는 N_2O 가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 열처리 장치에 도입하는 산소 가스 또는 N_2O 가스의 순도를, 6N 이상으로 하는 것이 바람직하고, 7N 이상(즉, 산소 가스 또는 N_2O 가스 중의 불순물 농도를 1 ppm, 바람직하게는 0.1 ppm 이하)으로 하는 것이 보다 바람직하다. 산소 가스 또는 N_2O 가스의 작용에 의해, 탈수화 또는 탈수소화 처리에 의한 불순물의 제거 공정에 의해 감소해버린 산화물 반도체의 주성분인 산소를 공급함으로써, 산화물 반도체 층(102)은 고순도를 가질 수 있으며 i형(진성) 산화물 반도체 층이 될 수 있다.

[0085] 이 열처리에 의해, 산화물 반도체 층(102)과 유사한 원소를 포함하는 제1 버퍼층(101)도 고순도화할 수 있다. 또한, 산화물 반도체 층(102)의 결정성(벌크 및 제1 버퍼층(101)과의 계면 근방)도 보다 향상시킬 수 있다.

[0086] 이어서, 섬 형상의 제1 버퍼층(101) 및 섬 형상의 산화물 반도체 층(102)을 덮도록 제2 버퍼층(103)을 형성한다(도 2의 (B) 참조). 제2 버퍼층(103)의 성막 조건은 제1 버퍼층(101)과 마찬가지이고; 따라서 여기서는 설명을 생략한다. 또한, 제2 포토리소그래피 공정에 의해, 산화물 반도체 층(102)과 중첩하고, 또한, 산화물 반도체 층(102)의 평면 면적보다도 넓은 상면 형상을 갖는 제2 버퍼층(103)을 형성한다. 제2 버퍼층(103)은, 산화물 반도체 층(102)과 유사한 성분을 포함하는 산화물 막이므로, 당해 2층의 계면 상태를 양호하게 할 수 있다. 또

한, 산화물 반도체 층(102)과 제2 버퍼층(103)과의 계면 근방에서의 결정성을 향상시킬 수 있다.

[0087] 이어서, 제2 버퍼층(103)을 덮도록 게이트 절연막(402)을 형성한다(도 2의 (C) 참조).

[0088] 게이트 절연막(402)의 두께는, 1 nm 이상 20 nm 이하로 스퍼터링법, MBE법, CVD법, 펄스 레이저 퇴적법, ALD법 등을 적절하게 사용할 수 있다. 또한, 게이트 절연막(402)은, 스퍼터링 타겟 표면에 대하여 대략 수직으로 복수의 기판 표면이 세트된 상태에서 성막을 행하는 스퍼터링 장치를 이용해서 성막해도 된다.

[0089] 게이트 절연막(402)은, 산화 실리콘 막, 질화 실리콘 막, 산화 질화 실리콘 막, 또는 질화 산화 실리콘 막을 이용해서 형성할 수 있다. 게이트 절연막(402)은 단층 구조를 가져도 되고, 적층 구조를 가져도 된다.

[0090] 이어서, 게이트 전극 층(401)을 플라즈마 CVD법, 스퍼터링법 등에 의해 게이트 절연막(402) 위에 형성한다(도 2의 (D) 참조).

[0091] 게이트 전극 층(401)은, 몰리브덴, 티탄, 탄탈륨, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들 재료를 주성분으로 포함하는 합금 재료를 이용해서 형성할 수 있다. 다르게는, 게이트 전극 층(401)으로서 인 등의 불순물 원소로 도핑된 다결정 실리콘막으로 대표되는 반도체 막, 또는 니켈 실리사이드 막 등의 실리사이드 막을 사용해도 된다. 게이트 전극 층(401)은 단층 구조를 가져도 되고, 적층 구조를 가져도 된다.

[0092] 또한, 게이트 전극 층(401)은, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 도전성 재료를 사용하여 형성할 수도 있다. 다르게는, 게이트 전극 층(401)은 상기 도전성 재료와 상기 금속 재료의 적층 구조를 가질 수 있다.

[0093] 또한, 게이트 절연막(402)과 접하는 게이트 전극 층(401)의 하나의 층으로서, 질소를 포함하는 금속 산화물, 구체적으로는, 질소를 포함하는 In-Ga-Zn계 산화물 막, 질소를 포함하는 In-Sn계 산화물 막, 질소를 포함하는 In-Ga계 산화물 막, 질소를 포함하는 In-Zn계 산화물 막, 질소를 포함하는 Sn계 산화물 막, 질소를 포함하는 In계 산화물 막, 금속 질화 막(예를 들어, InN 또는 SnN)을 사용할 수 있다. 이러한 막은 5 eV 이상, 바람직하게는 5.5 eV 이상의 일함수를 갖고, 이 막을 게이트 전극 층으로서 이용했을 경우, 트랜지스터의 전기적 특성의 임계치 전압을 플러스 값으로 할 수가 있다. 이에 따라, 소위 노멀리 오프의 스위칭 소자를 얻을 수 있다.

[0094] 이어서, 게이트 절연막(402) 및 게이트 전극 층(401) 위에 절연막(407)을 형성한다.

[0095] 절연막(407)은, 게이트 절연막(402)과 유사한 재료를 이용해서 형성할 수 있다.

[0096] 절연막(407)으로서, 평탄화 절연막을 사용할 수 있다. 평탄화 절연막으로서, 폴리이미드계 수지, 아크릴계 수지 또는 벤조시클로부텐계 수지 등의 유기 재료를 사용할 수 있다. 상기 유기 재료 이외에, 저-유전율 재료(low-k 재료) 등을 사용하는 것도 가능하다. 상기 재료를 사용하여 형성된 복수의 절연막을 적층함으로써 평탄화 절연막을 형성할 수 있음을 주목한다.

[0097] 이어서, 절연막(407)에, 산화물 반도체 층(102)에 도달하는 콘택트 홀(개구)을 형성하고, 각각의 콘택트 홀에, 산화물 반도체 층(102)과 전기적으로 접속되는 소스 전극 층(405a) 및 드레인 전극 층(405b)을 형성한다(도 2의 (E) 참조).

[0098] 소스 전극 층 및 드레인 전극 층을 형성하는데 이용하는 도전 막으로서는, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo 또는 W로부터 선택된 원소를 포함하는 금속 막, 상술한 원소를 성분으로 포함하는 금속 질화물 막(질화 티탄 막, 질화 몰리브덴 막 또는 질화 텅스텐 막) 등을 이용할 수 있다. 다르게는, Al 막이나 Cu 막 등의 금속막의 위 및/또는 아래에 Ti, Mo 또는 W 등의 고융점 금속 막 또는 그 금속 질화물 막(예를 들어, 질화 티탄 막, 질화 몰리브덴 막 또는 질화 텅스텐 막)을 형성시켜도 된다. 또한, 소스 전극 층(405a) 및 드레인 전극 층(405b)을 형성하는데 이용하는 도전 막에 인 또는 붕소 등의 도펀트를 첨가시켜도 된다.

[0099] 이상의 공정에 의해, 트랜지스터(510)를 형성할 수 있다.

[0100] 트랜지스터(510)와 다른 구성을 갖는, 본 실시형태에 따른 트랜지스터의 구성을 도 3의 (A) 및 도 3의 (B) 그리고 도 4의 (A) 내지 도 4의 (C)에 도시한다. 또한, 도 3의 (A) 및 도 3의 (B) 그리고 도 4의 (A) 내지 도 4의 (C)에 도시하는 트랜지스터는, 위에서 설명한 트랜지스터(510)와 일부가 다를 뿐이기 때문에, 간략화를 위해 동일한 부분을 지칭하는 데는 동일한 참조 번호를 이용하고, 동일 부분의 상세한 설명은, 본 실시형태에서는 생략한다.

[0101] 도 3의 (A)에 도시하는 트랜지스터(520)는, 제1 버퍼막(101a) 및 산화물 반도체 막(102a)을 섬 형상으로 가공하기 위해 사용되는 마스크를 이용해서(또는, 가공에 의해 제조한 섬 형상의 제1 버퍼층(101) 및 산화물 반도체 층(102)을 마스크로서 이용하여) 산화물 절연막(436)의 일부를 에칭해서 얇게 한 구성을 갖는다. 트랜지스터(520)에서, 섬 형상의 제1 버퍼층(101) 및 산화물 반도체 층(102)과 중첩하는, 산화물 절연막(436)의 영역은, 그 산화물 절연막(436)의 기타의 영역(섬 형상의 제1 버퍼층(101) 및 산화물 반도체 층(102)과 중첩하지 않는 영역)보다 두꺼운 두께를 갖고 있다. 제1 버퍼층(101) 및 산화물 반도체 층(102)을 섬 형상으로 가공 시에, 산화물 절연막(436)의 일부를 에칭함으로써, 산화물 반도체 층(102)의 에칭 잔사 등을 제거하고, 따라서 리크 전류의 발생을 방지할 수 있다.

[0102] 또한, 도 3의 (B)에 도시하는 트랜지스터(530)는, 3회의 포토리소그래피 공정을 거쳐서, 제1 버퍼층(101), 산화물 반도체 층(102) 및 제2 버퍼층(103)이 섬 형상을 갖도록 형성되는 구성을 갖는다. 트랜지스터(530)에서 섬 형상의 제1 버퍼층(101), 산화물 반도체 층(102), 및 제2 버퍼층(103)은 다음의 방법으로 형성된다: 제1 버퍼막(101a)을 성막한 후, 제1 마스크를 이용해서 섬 형상의 제1 버퍼층(101)을 형성한다; 섬 형상의 제1 버퍼층(101) 위에 산화물 반도체 막(102a)을 성막한 후, 제2 마스크를 이용해서 섬 형상의 산화물 반도체 층(102)을 형성한다; 섬 형상의 제1 버퍼층(101) 및 산화물 반도체 층(102) 위에 제2 버퍼층(103)이 되는 제2 버퍼막(103a)을 성막한 후, 해당 제2 버퍼막(103a)을 제3 마스크를 이용해서 섬 형상으로 가공한다.

[0103] 또한, 트랜지스터(530)에서는, 제1 버퍼층(101)의 측면이, 산화물 반도체 층(102)의 측면을 넘어 연장되며, 제2 버퍼층(103)이 제1 버퍼층(101) 상면의 일부와 접한다. 제2 버퍼층(103)의 단부는, 제1 버퍼층(101)의 단부와 접해서 중첩된다.

[0104] 또한, 도 4의 (A) 내지 도 4의 (C)에 트랜지스터(540)의 구성을 나타낸다. 도 4의 (A)는 평면도이며, 도 4의 (A)의 쇄선 X-Y를 따라 취한 단면도가 도 4의 (B)에 상당하고, 도 4의 (A)의 쇄선 V-W를 따라 취한 단면도가 도 4의 (C)에 상당한다.

[0105] 채널 길이 방향의 단면도인 도 4의 (B)에 도시한 바와 같이, 트랜지스터(540)는, 제1 버퍼막(101a)과, 제1 버퍼막(101a) 위에 제공된 섬 형상의 산화물 반도체 층(102)과, 산화물 반도체 층(102) 위에 접해서 제공된 소스 전극 층(405a) 및 드레인 전극 층(405b)과, 소스 전극 층(405a) 및 드레인 전극 층(405b) 위에 제공되고, 적어도 산화물 반도체 층(102)의 채널 형성 영역과 접하는 제2 버퍼층(103)과, 게이트 절연막(402)과, 게이트 전극 층(401)을 포함한다. 또한, 트랜지스터(540)에서, 게이트 전극 층(401) 위에 절연막(407)이 제공되어 있어도 된다.

[0106] 또한, 채널 폭 방향의 단면도인 도 4의 (C)에 도시한 바와 같이, 트랜지스터(540)의 채널 폭 방향의 단면에 있어서 산화물 반도체 층(102)의 측면은, 제2 버퍼층(103)의 단부로 덮인다. 이러한 구조로 함으로써, 산화물 반도체 층(102)과 게이트 전극 층(401) 사이에 있어서의 기생 채널의 발생을 방지할 수 있다.

[0107] 도 4의 (B) 및 도 4의 (C)에 도시한 트랜지스터(540)에서, 제2 버퍼층(103)은, 소스 전극 층(405a) 및 드레인 전극 층(405b)을 덮고, 또한 제1 버퍼막(101a) 및 산화물 반도체 층(102)과 접해서 제공되어 있다. 즉, 산화물 반도체 층(102)은, 제1 버퍼막(101a) 및 제2 버퍼층(103)으로 둘러싸여 있다. 또한, 트랜지스터(510) 등과 같이, 제1 버퍼막(101a)을 섬 형상으로 가공함으로써 제1 버퍼층(101)을 형성해도 된다.

[0108] 또한, 제1 버퍼막(101a)과 제2 버퍼층(103)은, 동일한 재료를 사용하여 형성될 수도 있고, 또는 상술한 재료로부터 선택된 상이한 재료를 사용하여 형성될 수도 있다. 제1 버퍼막(101a)과 제2 버퍼층(103)을 동일한 재료(또는 에칭의 선택비가 충분하지 않은 재료)를 이용해서 형성할 경우, 제2 버퍼층(103)을 섬 형상으로 가공하는 에칭은 에칭 시간을 조정함으로써 제어될 수 있다. 또한, 제2 버퍼층(103)을 가공에 의해 형성할 때, 제1 버퍼막(101a)의 일부가 에칭되어서, 제1 버퍼막(101a)이 제2 버퍼층(103)과 중첩하지 않는 영역의 두께는, 제1 버퍼막(101a)이 제2 버퍼층(103)과 중첩하는 영역의 두께보다 얇을 수도 있다.

[0109] 본 실시형태에서 기재된 트랜지스터들 각각에서, 산화물 반도체 층의 상면부 및 하면부 위에, 산화물 반도체 층과 유사한 성분을 포함하는 버퍼층이 접해서 제공되어 있다. 이렇게 산화물 반도체 층과 상성이 좋은 재료를 포함하는 버퍼층을 산화물 반도체 층과 접하여 제공함으로써, 버퍼층과 산화물 반도체 층과의 계면을 양호하게 할 수 있다. 따라서, 반도체 장치의 동작에 기인해서 발생할 수 있는 전하 등이 산화물 반도체 층과 버퍼층과의 계면에 포획되는 것을 방지할 수 있다. 이러한 구성에 의해, 산화물 반도체 층에 대한 전하의 영향을 완화시킬 수 있기 때문에, 산화물 반도체 층 계면에서의 전하 트랩에 기인하는 트랜지스터의 임계치 시프트를 억제시킬 수 있다.

[0110] 또한, 산화물 반도체 층이 결정성 산화물 반도체 층인 경우, 산화물 반도체 층과 접하고 상기 산화물 반도체 층과 유사한 성분을 포함하는 버퍼층을 제공함으로써, 산화물 반도체 층과 버퍼층과의 계면 근방에 있어서의 결정성을 향상시킬 수 있다. 따라서, 서로 접하는 산화물 반도체 층과 버퍼층과의 계면에서 및 벌크 내에 결정성 영역이 형성될 수 있고, 따라서 결정성 산화물 반도체 층의 밴드내 준위를 감소시킬 수 있다. 결과적으로는, 트랜지스터 특성을 향상시킬 수 있다.

[0111] 또한, 이러한 결정성 산화물 반도체 층을 트랜지스터에 사용함으로써, 가시광이나 자외광의 조사에 의한 트랜지스터의 전기적 특성 변화를 억제할 수 있는, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0112] 또한, 본 실시형태에서, 트랜지스터의 활성층에 이용하는 산화물 반도체 층은, 열처리에 의해서 수소, 수분, 수산기 및 수소화물(수소 화합물이라고도 함) 등의 불순물을 산화물 반도체로부터 제거하고, 또한 불순물의 제거 공정에서 동시에 감소되는 산화물 반도체를 구성하는 주성분인 산소를 공급함으로써, 고순도화되어 i 형(진성)화 된 산화물 반도체 층이다. 이와 같이하여 고순도화된 산화물 반도체 층을 포함하는 트랜지스터는, 전기적 특성 변동이 억제되고 있어, 전기적으로 안정된다.

[0113] 이상과 같이, 안정된 전기적 특성을 갖는 산화물 반도체를 이용하여 형성된 반도체 장치를 제공할 수 있다. 따라서, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0114] 본 실시형태에 기재된 구성, 방법 등은, 다른 실시형태들에 기재된 구성, 방법 등과 적절히 조합시켜 사용할 수 있다.

[0115] (실시형태 2)

[0116] 본 실시형태에서는, 반도체 장치 및 반도체 장치의 제조 방법의 다른 실시형태를, 도 5의 (A) 내지 도 5의 (C)를 참조하여 설명한다. 본 실시형태에서, 실시형태 1과 동일 부분 또는 실시형태 1과 유사한 기능을 갖는 부분, 실시형태 1과 동일한 공정 또는 실시형태 1과 유사한 공정은, 상기 실시형태 1과 같이 행할 수 있고, 반복 설명은 생략한다. 또한, 동일 개소의 상세한 설명은 생략한다.

[0117] 본 실시형태에서는, 개시하는 발명의 일 실시형태에 따른 반도체 장치의 제조 방법에 있어서, 탈수화 또는 탈수소화 처리를 거친 산화물 반도체 층에, 산소(적어도, 산소 라디칼, 산소 원자 및 산소 이온 중 하나를 포함한다)를 도입시켜 산화물 반도체 층에 산소를 공급하는 예를 도시한다.

[0118] 탈수화 또는 탈수소화 처리를 통해, 산화물 반도체의 주성분 재료인 산소가 이탈되어 감소될 수 있다. 산화물 반도체 층에 있어서, 산소가 이탈한 개소에서는 산소 결손이 존재하고, 상기 산소 결손에 기인해서 트랜지스터의 전기적 특성 변동을 초래하는 도너 준위가 형성된다.

[0119] 따라서, 탈수화 또는 탈수소화 처리를 거친 산화물 반도체 층에 산소를 공급 하는 것이 바람직하다. 산화물 반도체 층에 산소를 공급함으로써, 산화물 반도체 층 내의 산소 결손을 보충할 수 있다. 상기 산화물 반도체 층을 트랜지스터에 사용함으로써, 산소 결손에 기인하는 트랜지스터의 임계치 전압 V_{th}의 변동 및 트랜지스터의 임계치 전압 V_{th}의 시프트를 감소시킬 수 있다. 또한, 트랜지스터의 임계치 전압을 플러스 방향으로 변동시켜, 트랜지스터를 노멀리 오프화 하는 것도 가능하다.

[0120] 도 5의 (A)는, 도 2의 (C)와 대응하고 있으며, 산화물 절연막(436)이 제공된 절연 표면을 갖는 기판(400) 위에 제1 버퍼층(101)과, 산화물 반도체 층(102)과, 제2 버퍼층(103)과, 게이트 절연막(402)이 형성되어 있다.

[0121] 이어서, 산화물 반도체 층(102)에 산소(431)(적어도, 산소 라디칼, 산소 원자 및 산소 이온 중 하나를 포함한다)를 첨가시키고, 따라서 산화물 반도체 층(102)에 산소-과잉 영역(112)이 형성되도록, 산화물 반도체 층(102)에 산소의 공급을 행한다(도 5의 (B) 참조).

[0122] 또한, 산소-과잉 영역(112)은, 산화물 반도체가 결정 상태에 있어서의 화학양론적 조성비를 초과하여 산소를 포함하는 영역을 적어도 부분적으로 포함한다. 산소-과잉 영역(112)에 공급된 산소(431)에 의해, 산화물 반도체 층(102) 중 또는 산화물 반도체 층(102)의 계면에서의 산소 결손을 보충할 수 있다. 또한, 산화물 반도체 층(102)에의 산소의 도입 공정에 있어서, 산화물 반도체 층(102)에 접하는 제1 버퍼층(101) 및/또는 제2 버퍼층(103)에 산소-과잉 영역을 형성할 수도 있다.

[0123] 이어서, 산소-과잉 영역(112)을 포함하는 산화물 반도체 층(102)과 중첩하는 영역에 게이트 전극 층(401)을 형성한다. 그 후, 게이트 절연막(402) 및 게이트 전극 층(401) 위에 절연막(407)을 형성하고, 절연막(407)에 제공된 콘택트 홀을 통해 산화물 반도체 층(102)과 전기적으로 접속되도록 소스 전극 층(405a) 및 드레인 전극 층

(405b)을 형성한다. 이들 공정을 거쳐, 트랜지스터(410)를 제조한다(도 5의 (C) 참조).

[0124] 본 실시형태에서 기재하는 트랜지스터에서는, 탈수화 또는 탈수소화 처리를 행한 산화물 반도체 층(102)에, 산소를 도입하여 막 중에 산소를 공급함으로써, 산화물 반도체 층(102)을 고순도화하고 i형(진성)화 할 수 있다. 고순도화하고, i형(진성)화한 산화물 반도체 층(102)을 포함하는 트랜지스터(410)는 전기적 특성 변동이 억제되고, 트랜지스터(410)는 전기적으로 안정된다.

[0125] 산소의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라즈마 이머젼 이온 임플란테이션법, 플라즈마 처리 등을 사용할 수 있다.

[0126] 또한, 본 실시형태에서는, 게이트 절연막(402)을 통해 산화물 반도체 층(102)에 산소(431)를 도입하는 공정을 나타냈지만, 산화물 반도체 층(102)에의 산소의 도입의 타이밍은 탈수화 또는 탈수소화 처리를 행한 후이면 특별히 한정되지 않는다. 또한, 상기 탈수화 또는 탈수소화 처리를 행한 후, 산화물 반도체 층(102)에의 산소의 도입은 복수회 행해도 된다. 예를 들면, 산화물 반도체 층(102)이 노출된 상태에서 산소(431)를 도입해도 되고, 또는 절연막(407)을 통해서 산화물 반도체 층(102)에 산소를 도입해도 된다. 또한, 산화물 반도체 층(102)이 노출된 상태에서 산소(431)를 도입하는 경우에는, 플라즈마 처리를 적용할 수도 있다.

[0127] 또한, 산화물 반도체 층(102)의 산소-과잉 영역(112)에 있어서, 산소의 도입 공정에 의해 도입된 산소 농도를 $1*10^{18}$/㎤ 이상 $5*10^{21}$/㎤ 이하로 하는 것이 바람직하다.

[0128] 또한, 산화물 반도체에 있어서, 산소는 주된 성분 재료의 하나이다. 따라서, 산화물 반도체 층(102) 중의 산소 농도를, SIMS(Secondary Ion Mass Spectrometry) 등의 방법을 사용하여 정확하게 추정하는 것은 곤란하다. 즉, 산화물 반도체 층(102)에 산소가 의도적으로 첨가되었는지의 여부를 판별하는 것은 곤란하다.

[0129] 산소에는 ^{17}O 또는 ^{18}O라고 하는 동위체가 존재하고, 자연계에 있어서의 ^{17}O 및 ^{18}O의 존재 비율은 각각 산소 원자 전체의 0.037 % 및 0.204 %인 것이 알려져 있다. 즉, 산화물 반도체 층(102) 중에 있어서의 이들 동위체의 농도는, SIMS 등의 방법에 의해서 측정가능하고, 따라서 이러한 동위체의 농도를 측정함으로써, 산화물 반도체 층(102) 중의 산소 농도를 보다 정확하게 추정하는 것이 가능할 수 있다. 따라서, 동위체의 농도를 측정함으로써, 산화물 반도체 층(102)에 의도적으로 산소가 첨가되었는지의 여부를 판별해도 된다.

[0130] 또한, 산화물 반도체 막에 산소를 도입시킨 후, 가열 처리를 행하는 것이 바람직하다. 가열 조건으로서는, 온도 250℃ 이상 700℃ 이하로, 보다 바람직하게는 300℃ 이상 450℃ 이하로, 산소 분위기하에서 행하는 것이 바람직하다. 다르게는, 질소 분위기하, 감압하 또는 대기(초건조 에어)하에서 가열 처리를 행해도 된다.

[0131] 또한, 산화물 반도체 층이 결정성 산화물 반도체 층인 경우, 산소(431)의 도입에 의해, 결정성 산화물 반도체 층의 일부가 비정질화될 경우가 있다. 이 경우, 산소(431)의 도입 후에 가열 처리를 행함으로써, 산화물 반도체 층의 결정성을 회복시킬 수 있다.

[0132] 이상과 같이, 안정된 전기 특성을 갖는 산화물 반도체 층을 사용하여 형성된 반도체 장치를 제공할 수 있다. 따라서, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0133] 본 실시형태에 기재된 구성, 방법 등은, 다른 실시형태들에 기재된 구성, 방법 등과 적절히 조합시켜 사용할 수 있다.

[0134] (실시형태 3)

[0135] 본 실시형태에서는, 반도체 장치 및 반도체 장치의 제조 방법의 또 다른 실시형태를, 도 6의 (A) 내지 도 6의 (C)를 참조하여 설명한다. 본 실시형태에서, 전술한 실시형태와 동일 부분 또는 전술한 실시형태와 유사한 기능을 갖는 부분, 전술한 실시형태와 동일한 공정 또는 전술한 실시형태와 유사한 공정은, 전술한 실시형태와 같이 행할 수 있고, 반복 설명은 생략한다. 또한, 동일 개소의 상세한 설명은 생략한다.

[0136] 본 실시형태에서는, 개시하는 발명의 일 실시형태에 따른 반도체 장치의 제조 방법에 있어서, 산화물 반도체 층에 저-저항 영역을 형성하는 예를 설명한다. 저-저항 영역은, 산화물 반도체 층에 도전율을 변화시키기 위한 불순물(도펀트라고도 함)을 도입시킴으로써 형성할 수 있다.

[0137] 실시형태 1에 기재된 제조 공정과 마찬가지로, 산화물 절연막(436)이 제공된 절연 표면을 갖는 기판(400) 위에 제1 버퍼층(101), 산화물 반도체 층(102), 제2 버퍼층(103), 게이트 절연막(402) 및 게이트 전극 층(401)을 형성한다.

[0138] 이어서, 게이트 전극 층(401)을 마스크로 사용하여, 산화물 반도체 층(102)에, 게이트 절연막(402) 및 제2 버퍼층(103)을 통해서 도펀트(421)를 선택적으로 도입시키고, 따라서 저-저항 영역(122a 및 122b)을 형성한다(도 6의 (A) 참조).

[0139] 도펀트(421)는, 산화물 반도체 층(102)의 도전율을 변화시키는 불순물이다. 도펀트(421)로서는, 15족 원소(대표적으로는, 인(P), 비소(As) 및 안티몬(Sb), 붕소(B), 알루미늄(Al), 질소(N), 아르곤(Ar), 헬륨(He), 네온(Ne), 인듐(In), 불소(F), 염소(Cl), 티탄(Ti) 및 아연(Zn)으로부터 선택된 하나 이상을 이용할 수 있다.

[0140] 본 실시형태에 있어서, 도펀트(421)는 주입법에 의해 게이트 절연막(402) 및 제2 버퍼층(103)을 통해서 산화물 반도체 층(102)에 도입된다. 도펀트(421)의 도입 방법으로서는, 이온 주입법, 이온 도핑법, 플라즈마 이머젼 이온 임플란테이션법 등을 사용할 수 있다. 이 경우, 도펀트(421)의 단체의 이온, 혹은 불화물의 이온이나 염화물의 이온을 이용하는 것이 바람직하다.

[0141] 도펀트(421)의 도입 공정은, 가속 전압, 도즈량 등의 주입 조건, 도펀트(421)를 통과시키는 게이트 절연막(402) 및 제2 버퍼층(103)의 두께를 적절히 설정해서 제어될 수 있다. 본 실시형태에서는, 도펀트(421)로서 붕소를 사용하며, 이온 주입법에 의해 붕소 이온의 주입을 행한다. 또한, 도펀트(421)의 도즈량은 $1*10^{13}$ ions/㎠ 이상 $5*10^{16}$ ions/㎠ 이하로 하면 된다.

[0142] 저-저항 영역(122a) 및 저-저항 영역(122b)에 있어서의 도펀트(421)의 농도는, $5*10^{18}$/㎤ 이상 $1*10^{22}$/㎤ 이하인 것이 바람직하다.

[0143] 도펀트(421)를 도입할 때에, 기판(400)을 가열하면서 행해도 된다.

[0144] 또한, 산화물 반도체 층(102)에 도펀트(421)를 도입시키는 처리는, 복수회 행해도 되고. 복수 종의 도펀트를 사용해도 된다.

[0145] 또한, 도펀트(421)가 도입되는 깊이에 따라서는, 제1 버퍼층(101) 또는 제2 버퍼층(103)에 있어서, 게이트 전극 층(401)과 중첩하지 않는 영역에 있어서도, 도펀트(421)가 포함되어, 해당 영역에 한 쌍의 저-저항 영역이 형성될 경우가 있다.

[0146] 또한, 도펀트(421)의 도입 처리 후, 가열 처리를 행해도 된다. 가열 조건으로서는, 온도 300℃ 이상 700℃ 이하, 바람직하게는 300℃ 이상 450℃ 이하에서 1시간, 산소 분위기하에서 행하는 것이 바람직하다. 다르게는, 질소 분위기하, 감압하, 대기(초건조 에어)하에서 가열 처리를 행해도 된다.

[0147] 산화물 반도체 층(102)이 결정성 산화물 반도체 막인 경우, 도펀트(421)의 도입에 의해, 결정성 산화물 반도체 막의 일부가 비정질화할 경우가 있다. 이 경우, 도펀트(421)의 도입 후에 가열 처리를 행함에 따라, 산화물 반도체 층(102)의 결정성을 회복시킬 수 있다.

[0148] 이어서, 게이트 절연막(402) 및 게이트 전극 층(401) 위에 절연막(407)을 형성하고, 절연막(407)에 제공된 콘택트 홀을 통해 산화물 반도체 층(102)과 전기적으로 접속되도록 소스 전극 층(405a) 및 드레인 전극 층(405b)을 형성한다(도 6의 (B) 참조).

[0149] 이상의 공정을 통해, 본 실시형태에 따른 트랜지스터(420)를 제조할 수 있다. 트랜지스터(420)의 산화물 반도체 층(102)은, 게이트 전극 층(401)과 중첩하는 채널 형성 영역을 사이에 개재시키고 저-저항 영역(122a) 및 저-저항 영역(122b)을 포함한다.

[0150] 또한, 실시형태 2의 산소-과잉 영역을 포함하는 트랜지스터(410)에 도펀트를 도입시키고, 저-저항 영역을 형성한 구조를 갖는 트랜지스터(430)를 도 6의 (C)에 도시한다.

[0151] 트랜지스터(430)는, 도 5의 (A) 및 도 5의 (B)에 도시하는 공정에 의해 산소-과잉 영역(112)을 포함하는 산화물 반도체 층(102)을 형성한 후, 게이트 전극 층(401)을 마스크로 사용하여 도펀트를 도입시킴으로써, 산소를 과잉으로 포함하는 채널 형성 영역(124c)을 사이에 개재시키고, 도펀트 및 과잉의 산소를 포함하는 저-저항 영역(124a 및 124b)을 포함한다.

[0152] 본 실시형태에 기재된 트랜지스터(420 및 430)는, 채널 길이 방향으로 채널 형성 영역을 사이에 개재시키고 저-저항 영역을 포함하는 산화물 반도체 층을 가짐으로써, 양호한 온 특성(예를 들면, 온 전류 및 전계 효과 이동도)을 갖고, 고속 동작 및 고속 응답이 가능하게 된다. 또한, 저-저항 영역은, 자기 정합적으로 형성되고, 게이트 전극 층과 중첩되지 않기 때문에, 기생 용량을 작게 할 수 있다. 기생 용량을 작게 하는 것은, 반도체 장

치 전체의 소비 전력을 저감하는 것으로 연결된다.

[0153] 본 실시형태에 기재된 구성, 방법 등은, 다른 실시형태들에 기재된 구성, 방법 등과 적절히 조합시켜 사용할 수 있다.

[0154] (실시형태 4)

[0155] 표시 기능을 갖는 반도체 장치(디스플레이 장치로도 지칭됨)는 실시형태 1 내지 실시형태 3에 설명된 임의의 트랜지스터를 이용하여 제조될 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전부는 화소부가 형성된 기판 위에 형성될 수 있으며, 이에 따라 시스템-온-패널을 수득할 수 있다.

[0156] 도 7의 (A)에서, 제1 기판(4001) 위에 제공된 화소부(4002)를 둘러싸도록 실런트(4005)가 제공되며, 화소부(4002)는 제1 기판(4001) 및 제2 기판(4006) 사이가 밀봉된다. 도 7의 (A)에서, 제1 기판(4001) 위에서 실런트(4005)에 의해 둘러싸인 영역과 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체 막 또는 다결정 반도체 막을 이용하여 형성된 신호선 구동 회로(4003) 및 주사선 구동 회로(4004)가 실장된다. 신호선 구동 회로(4003)와 주사선 구동 회로(4004)를 통해서 화소부(4002)에 공급되는 각종 신호 및 전위는, FPC(Flexible Printed Circuit)(4018a 및 4018b)로부터 공급되고 있다.

[0157] 도 7의 (B) 및 도 7의 (C)에서, 제1 기판(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸도록 실런트(4005)가 제공된다. 제2 기판(4006)은 화소부(4002) 및 주사선 구동 회로(4004) 위에 제공된다. 결과적으로, 화소부(4002) 및 주사선 구동 회로(4004)는 제1 기판(4001), 실런트(4005) 및 제2 기판(4006)에 의해 디스플레이 소자와 함께 밀봉된다. 도 7의 (B) 및 도 7의 (C)에서, 별도로 제조된 기판 위에 단결정 반도체 막 또는 다결정 반도체 막을 이용하여 형성된 신호선 구동 회로(4003)는 제1 기판(4001) 위에서 실런트(4005)에 의해 둘러싸인 영역과 다른 영역에 실장된다. 도 7의 (B) 및 도 7의 (C)에서는, 신호선 구동 회로(4003)와 주사선 구동 회로(4004)를 통해서 화소부(4002)에 공급되는 각종 신호 및 전위는, FPC(4018)로부터 공급되고 있다.

[0158] 비록 도 7의 (B) 및 도 7의 (C)는 각각, 신호선 구동 회로(4003)가 별도로 형성되어 제1 기판(4001) 위에 실장된 예를 예시하지만, 본 발명에 따른 디스플레이 장치는 이 구성으로 한정되지 않는다. 주사선 구동 회로는 별도로 형성된 다음 실장될 수 있거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 별도로 형성된 다음 실장될 수 있다.

[0159] 별도로 형성된 구동 회로의 접속 방법은 특별히 한정되지 않으며, COG(chip on glass)법, 와이어 본딩법, TAB(tape automated bonding)법 등을 사용할 수 있음을 주목한다. 도 7의 (A)는 신호선 구동 회로(4003) 및 주사선 구동 회로(4004)가 COG 법에 의해 실장된 예를 예시한다. 도 7의 (B)는 신호선 구동 회로(4003)가 COG 법에 의해 실장된 예를 예시한다. 도 7의 (C)는 신호선 구동 회로(4003)가 TAB법에 의해 실장된 예를 예시한다.

[0160] 또한, 디스플레이 장치는, 디스플레이 소자가 밀봉된 패널과, 당해 패널에 콘트롤러를 포함하는 IC 등을 실장시킨 모듈을 포함한다.

[0161] 구체적으로는, 본 명세서의 디스플레이 장치는 영상 디스플레이 장치, 디스플레이 장치 또는 광원(조명 장치 포함)을 의미함을 주목한다. 또한, 디스플레이 장치는, 디스플레이 소자가 밀봉된 패널뿐만 아니라, 하기 모듈을 그 범주에 포함할 수도 있다: FPC, TAB 테이프 또는 TCP 등의 커넥터가 부착된 모듈; 끝(tip)에 인쇄 배선판이 제공된 TAB 테이프 또는 TCP를 갖는 모듈; 및 집적 회로(IC)가 COG법에 의해 디스플레이 소자 위에 직접 실장된 모듈.

[0162] 제1 기판 위에 제공된 화소부 및 주사선 구동 회로는 복수의 트랜지스터를 포함하며, 실시형태 1 내지 실시형태 3에 기재된 트랜지스터를 적용할 수 있다.

[0163] 디스플레이 장치에 제공되는 디스플레이 소자로서, 액정 소자(액정 디스플레이 소자로도 지칭됨) 또는 발광 소자(발광 디스플레이 소자로도 지칭됨)가 사용될 수 있다. 발광 소자는 휘도가 전류 또는 전압에 의해 제어되는 소자를 그 범주에 포함하며, 구체적으로, 무기 전계발광(EL) 소자, 유기 EL 소자 등을 그 범주에 포함한다. 또한, 전자 잉크 디스플레이 장치(전자 페이퍼) 등의, 전기적 작용에 의해 콘트라스트가 변화하는 디스플레이 매체를 사용할 수 있다.

[0164] 반도체 장치의 일 실시형태에 대해서, 도 7의 (A) 내지 도 7의 (C), 및 도 8의 (A) 및 도 8의 (B)를 참조하여

설명한다. 도 8의 (A) 및 도 8의 (B)는, 도 7의(B)의 선 M-N을 따라 취한 단면도에 상당한다.

[0165] 도 7의 (A) 내지 도 7의 (C) 및 도 8의 (A) 및 도 8의 (B)에 예시된 바와 같이, 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 포함한다. 접속 단자 전극(4015) 및 단자 전극(4016)은 이방성 도전 막(4019)을 통해 FPC(4018)에 포함된 단자에 전기적으로 접속된다.

[0166] 접속 단자 전극(4015)은 제1 전극 층(4030)과 동일한 도전 막을 이용하여 형성되며, 단자 전극(4016)은 트랜지스터(4010 및 4011)의 소스 전극 층 및 드레인 전극 층과 동일한 도전 막을 이용하여 형성된다.

[0167] 제1 기판(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004) 각각은 복수의 트랜지스터를 포함한다. 도 8의 (A)는 예로서 화소부(4002)에 포함된 트랜지스터(4010) 및 주사선 구동 회로(4004)에 포함된 트랜지스터(4011)를 예시한다. 또한, 도 8의 (B)는 화소부(4002)에 포함된 트랜지스터(4010) 및 주사선 구동 회로(4004)에 포함된 트랜지스터(4011)를 예시한다. 도 8의 (A)에서, 절연막(4020)이 트랜지스터(4010 및 4011) 위에 제공되고, 도 8의 (B)에서, 절연막(4020 및 4021)이 트랜지스터(4010 및 4011) 위에 제공된다. 절연막(4023)은 하지막으로서 기능하는 절연막임을 주목한다.

[0168] 트랜지스터(4010) 및 트랜지스터(4011)로서는, 실시형태 1 내지 실시형태 3에 기재된 트랜지스터를 적용할 수 있다. 본 실시형태에서는, 실시형태 1에 예시된 트랜지스터(510)와 유사한 구조를 갖는 트랜지스터를 사용하는 예를 설명한다. 트랜지스터(4010 및 4011)의 전기적 특성 변동이 억제되어, 트랜지스터(4010 및 4011)는 전기적으로 안정된다. 전술한 바와 같이, 본 실시형태의 반도체 장치로서 신뢰성이 높은 반도체 장치를 제공할 수 있다. 트랜지스터(4010 및 4011)는, 제1 버퍼막(4040)을 포함한다.

[0169] 화소부(4002)에 포함된 트랜지스터(4010)는 디스플레이 소자에 전기적으로 접속되어 디스플레이 패널을 형성한다. 표시가 수행될 수 있기만 하면 디스플레이 소자의 종류는 특별히 한정되지 않으며, 다양한 종류의 디스플레이 소자를 사용할 수 있다.

[0170] 디스플레이 소자로서 액정 소자를 이용한 액정 디스플레이 장치의 예가 도 8의 (A)에 예시된다. 도 8의 (A)에서, 액정 소자(4013)는 제1 전극 층(4030), 제2 전극 층(4031) 및 액정 층(4008)을 포함한다. 액정 층(4008)이 사이에 개재되도록 하여 배향막으로서 작용하는 절연막(4032 및 4033)이 제공된다. 제2 전극 층(4031)은 제2 기판(4006) 측에 제공되며, 제1 전극 층(4030) 및 제2 전극 층(4031)은 액정 층(4008)이 사이에 개재되어 적층된다.

[0171] 참조 부호 4035로 나타낸 주상(columnar) 스페이서는 절연막을 선택적으로 에칭하여 수득되며 액정 층(4008)의 두께(셀 갭)를 제어하기 위해 제공된다. 다르게는, 구상(spherical) 스페이서를 사용할 수도 있다.

[0172] 디스플레이 소자로서, 액정 소자를 이용할 경우, 서모트로픽(thermotropic) 액정, 강유전성 액정, 반-강유전성 액정 등을 사용할 수 있다. 이들 액정은 저분자 화합물이어도 되고 고분자 화합물이어도 된다. 이들 액정 재료(액정 조성물)는, 조건에 따라, 콜레스테릭 상, 스멕틱 상, 큐빅 상, 키랄 네마틱 상, 등방성 상 등을 나타낸다.

[0173] 다르게는, 배향막이 불필요한 청색 상(blue phase)을 발현하는 액정 조성을 액정 층(4008)으로 사용할 수 있다. 청색 상은 액정 상의 하나이며, 콜레스테릭 액정의 온도를 증가시키면서 콜레스테릭 상이 등방성 상으로 전이되기 직전에 생성된다. 청색 상은 액정 및 키랄제의 혼합물인 액정 조성물을 이용하여 발현될 수 있다. 청색 상이 발현되는 온도 범위를 증가시키기 위해, 청색 상을 발현할 수 있는 액정 조성물에 중합성 단량체, 중합 개시제 등을 첨가하고 중합체 안정화 처리를 수행함으로써 액정 층을 형성할 수 있다. 청색 상을 발현하는 액정 조성물은 응답 시간이 짧으며 광학적 등방성을 가져서, 배향 공정이 불필요하도록 하고 시야각 의존성을 감소시키는 데 기여한다. 또한, 배향막이 제공될 필요가 없고 러빙 처리가 필요하지 않으므로, 러빙 처리에 의해 유발되는 정전기 방전(electrostatic discharge) 손상이 방지될 수 있고 제조 공정 도중 액정 디스플레이 장치의 불량 및 파손을 감소시킬 수 있다. 따라서, 액정 디스플레이 장치의 생산성을 향상시킬 수 있다.

[0174] 액정 재료의 고유 저항은 $1*10^{9}$ ohm cm 이상, 바람직하게는 $1*10^{11}$ ohm cm 이상, 더욱 바람직하게는 $1*10^{12}$ ohm cm 이상이다. 본 명세서에서 고유 저항은 20℃에서 측정됨을 주목한다.

[0175] 액정 디스플레이 장치에 형성된 저장 용량 소자의 크기는 소정의 기간 동안 전하가 유지될 수 있도록 화소부에 제공된 트랜지스터의 리크 전류 등을 고려하여 설정된다. 저장 용량 소자의 크기는 트랜지스터의 오프 전류 등을 고려하여 설정될 수 있다. 본 명세서에 개시된 산화물 반도체 층을 포함하는 트랜지스터를 이용함으로써, 각 화소의 액정 용량의 1/3 이하, 바람직하게는 1/5 이하인 용량을 갖는 저장 용량 소자를 제공하는 것으로 충

분하다.

[0176] 본 명세서에 개시된 산화물 반도체 층을 포함하는 트랜지스터에서는, 오프 상태에서의 전류(오프 전류)가 작도록 제어될 수 있다. 따라서, 영상 신호 등의 전기 신호가 더 긴 시간 동안 유지될 수 있으며, 쓰기 간격이 더 길게 설정될 수 있다. 따라서, 리프래시 동작의 빈도가 감소할 수 있고 이는 소비 전력을 억제하는 효과를 초래한다.

[0177] 본 명세서에 개시된 산화물 반도체 층을 포함하는 트랜지스터에서는, 비교적 높은 전계 효과 이동도를 가질 수 있으며; 따라서 주사선 구동 회로(4004)의 고속 동작이 가능하다. 본 실시형태에 따르면, 화소부의 스위칭 트랜지스터 및 구동 회로부의 구동 트랜지스터가 하나의 기판 위에 형성될 수 있다. 즉, 실리콘 웨이퍼 등으로 형성된 반도체 장치가 구동 회로에 추가로 필요하지 않으므로, 반도체 장치의 부품 수를 감소시킬 수 있다.

[0178] 액정 디스플레이 장치에는, TN(twisted nematic) 모드, IPS(inplane-switching) 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등을 사용할 수 있다.

[0179] 수직 배향(VA) 모드를 채용한 투과형 액정 디스플레이 장치 등의 노멀리 블랙(normally black) 액정 디스플레이 장치가 사용될 수 있다. 수직 배향 모드로서 몇가지 예가 제시된다. 예를 들어, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASV(Advanced Super View) 모드 등을 사용할 수 있다. 또한, 본 실시형태는 VA 액정 디스플레이 장치에도 적용될 수 있다. VA 액정 디스플레이 장치는 액정 디스플레이 패널의 액정 분자의 배향이 제어되는 형태의 일종이다. VA 액정 디스플레이 장치에서, 액정 분자는 전압이 인가되지 않을 경우 패널 표면에 대해 수직 방향으로 배향된다. 또한, 화소가 일부 영역(서브픽셀)으로 분할되고 그들의 각 영역에서 분자가 상이한 방향으로 배향되는, 멀티 도메인화 또는 멀티-도메인 설계로 지칭되는 방법을 사용하는 것이 가능하다.

[0180] 디스플레이 장치에서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재 또는 반사방지 부재 등의 광학 부재(광학 기판) 등이 적절히 제공된다. 예를 들어, 편광 기판 및 위상차 기판을 이용함으로써 원 편광이 수득될 수 있다. 또한, 광원으로서 백라이트, 사이드 라이트(side light) 등을 사용할 수 있다.

[0181] 화소부의 표시 방식으로서, 프로그래시브 방식, 인터레이스 방식 등을 사용할 수 있다. 또한, 색을 표시할 경우 화소에서 제어되는 색 요소는:R, G 및 B(R, G 및 B는 각각 적색, 녹색 및 청색에 상당함)의 3가지 색으로 한정되지 않는다. 예를 들어, R, G, B 및 W(W는 백색에 상당함);R, G, B, 및 옐로(yellow), 시안(cyan), 마젠타(magenta) 중 하나 이상 등을 사용할 수 있다. 또한, 표시 영역의 크기는 색 요소의 각 점들 간에 상이할 수 있다. 여기에 개시된 발명의 일 실시형태는 컬러 표시용 디스플레이 장치에 적용되는 것으로 한정되지 않으며; 여기에 개시된 발명의 일 실시형태는 흑백 표시용 디스플레이 장치에도 적용될 수 있음을 주목한다.

[0182] 다르게는, 디스플레이 장치에 포함된 디스플레이 소자로서, 전계 발광을 이용하는 발광 소자를 사용할 수 있다. 전계 발광을 이용하는 발광 소자는 발광 재료가 유기 화합물 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자로 지칭되며, 후자는 무기 EL 소자로 지칭된다.

[0183] 유기 EL 소자에서, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 발광 유기 화합물을 포함하는 층에 개별적으로 주입되어 전류가 흐른다. 캐리어(전자 및 정공)가 재결합되고, 따라서 발광 유기 화합물이 여기된다. 발광 유기 화합물이 여기 상태에서 기저 상태로 복귀하고, 이에 의해 발광한다. 상기 메카니즘으로 인해, 상기 발광 소자는 전류-여기형 발광 소자로 지칭된다. 여기서는 발광 소자로서 유기 EL 소자의 예가 설명됨을 주목한다.

[0184] 발광 소자로부터 방출된 광을 추출하기 위해서, 적어도 한 쌍의 전극의 일방이 광-투과 특성을 갖는다. 트랜지스터 및 발광 소자는 기판 위에 형성된다. 발광 소자는 기판의 반대 면을 통해 발광이 추출되는 전면 발광 구조; 기판 측의 면을 통해 발광이 추출되는 배면 발광 구조; 또는 기판의 반대 면 및 기판 측의 면을 통해 발광이 추출되는 양면 발광 구조를 가질 수 있으며, 임의의 이들 발광 구조를 갖는 발광 소자를 사용할 수 있다.

[0185] 디스플레이 소자로서 발광 소자를 포함한 발광 장치의 예가 도 8의 (B)에 예시된다. 발광 소자(4513)는 화소부(4002)에 제공된 트랜지스터(4010)에 전기적으로 접속된다. 도 8의 (B)에 도시된 발광 소자(4513)의 구조는 제1 전극 층(4030), 전계 발광 층(4511) 및 제2 전극 층(4031)을 포함하는 적층 구조에 한정되지 않는다. 발광 소자(4513)의 구조는 발광 소자(4513)로부터 광이 추출되는 방향 등에 따라 적절히 변경될 수 있다.

[0186] 유기 절연 재료 또는 무기 절연 재료를 이용하여 격벽(4510)을 형성할 수 있다. 격벽(4510)은, 감광성 수지 재료를 이용하여 제1 전극 층(4030) 위에 개구를 갖도록 형성하여 개구의 측벽이 연속적인 곡률을 갖는 경사면으로서 형성되도록 하는 것이 특히 바람직하다.

[0187] 전계 발광 층(4511)은 단일 층 또는 적층된 복수의 층 중 하나를 이용하여 형성될 수 있다.

[0188] 산소, 수소, 수분, 이산화탄소 등이 발광 소자(4513)에 침입하는 것을 방지하기 위해 제2 전극 층(4031) 및 격벽(4510) 위에 보호막을 형성할 수 있다. 보호막으로서, 질화 실리콘 막, 질화 산화 실리콘 막, DLC 막 등을 형성할 수 있다.

[0189] 또한, 산소, 수소, 수분, 이산화탄소 등이 발광 소자(4513)에 침입하지 못하도록 발광 소자(4513)를 덮도록, 증착법에 의해 유기 화합물을 포함하는 층을 퇴적시킬 수 있다.

[0190] 또한, 제1 기판(4001), 제2 기판(4006) 및 실런트(4005)에 의해 형성된 공간에는 충진재(4514)가 밀봉을 위해 제공된다. 이와 같이, 발광 소자(4513) 등이 외기에 노출되지 않도록, 기밀성이 높고, 탈가스가 거의 없는 보호 필름(라미네이트 필름 또는 자외선 경화성 수지 필름 등)이나 커버재에 의해 발광 소자(4513) 등을 패키징(밀봉)하는 것이 바람직하다.

[0191] 충진재(4514)로서는, 자외선 경화성 수지 또는 열경화성 수지뿐만 아니라 질소 또는 아르곤 등의 불활성 가스를 사용할 수 있다. 예를 들어, PVC(polyvinyl chloride), 아크릴 수지, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(polyvinyl butyral) 또는 EVA(ethylene vinyl acetate 공중합체)를 사용할 수 있다.

[0192] 또한, 필요에 따라, 발광 소자의 발광면 위에 편광판, 원 편광판(타원 편광판 포함), 위상차 판(λ/4 판 또는 λ/2 판) 또는 컬러 필터 등의 광학 필름이 적절히 제공될 수 있다. 또한, 편광판 또는 원 편광판에 반사 방지막이 제공될 수 있다. 예를 들어, 표면 위의 요철에 의해 반사광을 확산시켜 눈부심(glare)을 감소시킬 수 있는 눈부심 방지 처리를 행할 수 있다.

[0193] 또한, 디스플레이 장치로서 전자 잉크를 구동시킨 전자 종이가 제공될 수 있다. 전자 종이는 또한 전기영동 디스플레이 장치(전기영동 디스플레이)로도 지칭되며, 일반 종이와 동일한 수준의 가독성을 갖고, 다른 디스플레이 장치보다 소비 전력이 낮으며, 얇고 가볍게 제조할 수 있는 것이 장점이다.

[0194] 전기영동 디스플레이 장치는 다양한 형태를 가질 수 있지만, 전기영동 디스플레이 장치는 용매 또는 용질에 분산된 복수의 마이크로캡슐을 포함하며, 각 마이크로캡슐은 양으로 하전된 제1 입자 및 음으로 하전된 제2 입자를 포함한다. 마이크로캡슐에 전계를 인가함으로써 마이크로캡슐의 입자는 서로 반대 방향으로 이동하며 한쪽에 집합된 입자의 색만 표시된다. 제1 입자 및 제2 입자는 각각 염료를 포함하며 전계 없이는 이동하지 않음을 주목한다. 또한, 제1 입자 및 제2 입자는 상이한 색(무색일 수 있음)을 갖는다.

[0195] 상기 마이크로캡슐이 용매에 분산된 용액을 전자 잉크로 지칭한다. 또한, 컬러 필터, 또는 염료를 갖는 입자를 이용함으로써 컬러 표시를 실현할 수도 있다.

[0196] 전자 종이로서, 트위스트 볼(twisting ball) 표시 시스템을 이용한 디스플레이 장치를 사용할 수 있다. 트위스트 볼 표시 시스템은, 디스플레이 소자에 사용된 전극 층들인 제1 전극 층 및 제2 전극 층 사이에 각각 흑색 및 백색으로 착색된 구형 입자가 배치되고, 제1 전극 층과 제2 전극 층 사이에 전위차가 생성되어 구형 입자의 방향을 제어하여, 표시를 행하는 방법을 지칭한다.

[0197] 도 7의 (A) 내지 도 7의 (C) 및 도 8의 (A) 및 도 8의 (B)에서, 제1 기판(4001) 및 제2 기판(4006)으로서, 유리 기판뿐만 아니라, 가요성 기판을 사용할 수 있다. 예를 들어 광 투과 특성 등을 갖는 플라스틱 기판을 사용할 수 있다. 플라스틱으로서는, FRP(fiberglass-reinforced plastic)판, PVF(polyvinyl fluoride) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 광 투과 특성이 필요하지 않을 경우, 알루미늄, 스테인레스 스틸 등의 금속 기판(금속 필름)을 사용할 수 있다. 예를 들어, PVF 필름들 또는 폴리에스테르 필름들 사이에 알루미늄 호일이 개재되어 있는 구조를 갖는 시트를 사용할 수 있다.

[0198] 본 실시형태에서, 절연막(4020)으로서 산화 알루미늄 막이 사용된다. 본 실시형태에서, 산화물 반도체 층 위에 절연막(4020)으로서 제공된 산화 알루미늄 막은 산소와, 수소 및 수분 등의 불순물 양방의 투과를 방지하는 높은 차단 효과(블러킹 효과)를 갖는다. 따라서, 제조 공정 도중 및 제조 후에, 산화 알루미늄 막은 특성 변동을 유발할 수 있는 수소 또는 수분 등의 불순물이 산화물 반도체 층으로 침입하는 것을 방지하고 산화물 반도체의 주성분 재료인 산소가 산화물 반도체 층으로부터 방출되는 것을 방지하기 위한 보호막으로서 기능한다.

[0199] 또한, 평탄화 절연막으로서 기능하는 절연막(4021)은, 아크릴 수지, 폴리이미드 수지, 벤조시클로부텐계 수지, 폴리아미드 또는 에폭시 등의 내열성을 갖는 유기 재료를 이용하여 형성될 수 있다. 이러한 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용하는 것도 가능하다. 절연막은 상기 재료들을 이용하여 형성된 복수의 절연막을 적층함으로써 형성될 수 있다.

[0200] 디스플레이 소자에 전압을 인가하기 위한 제1 전극 층 및 제2 전극 층(화소 전극 층, 공통 전극 층, 대향 전극 층 등으로 지칭될 수 있음)은, 광이 추출되는 방향, 전극 층이 제공되는 위치, 전극 층의 패턴 구조 등에 의존하는 광 투과성 또는 광 반사성을 가질 수 있다.

[0201] 제1 전극 층(4030) 및 제2 전극 층(4031)은 산화 텅스텐을 포함하는 산화 인듐, 산화 텅스텐을 포함하는 산화 인듐 아연, 산화 티타늄을 포함하는 산화 인듐, 산화 티타늄을 포함하는 산화 인듐 주석, 산화 인듐 주석(ITO), 산화 인듐 아연, 산화 실리콘이 첨가된 산화 인듐 주석, 또는 그라펜 등의 광 투과성 전도성 재료를 이용하여 형성될 수 있다.

[0202] 제1 전극 층(4030) 및 제2 전극 층(4031)은 텅스텐(W), 몰리브데늄(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈륨(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu) 또는 은(Ag) 등의 금속; 그의 합금; 및 그의 질화물로부터 선택된 한 종 또는 복수 종을 이용하여 형성될 수 있다.

[0203] 또한, 구동 회로 보호용의 보호 회로를 제공하여도 된다. 보호 회로는, 비선형 소자를 이용해서 형성하는 것이 바람직하다.

[0204] 이상과 같이, 실시형태 1 내지 실시형태 3에 기재된 트랜지스터를 이용함으로써, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 실시형태 1에 기재된 트랜지스터는, 전원 회로에 탑재되는 파워 디바이스, LSI 등의 반도체 집적 회로 등 다양한 기능을 갖는 반도체 장치에 적용할 수 있다.

[0205] 본 실시형태는, 다른 실시형태들에 기재된 구성과 적절히 조합해서 실시할 수 있다.

[0206] (실시형태 5)

[0207] 실시형태 1 내지 실시형태 3에 설명된 트랜지스터를 이용하여, 대상물의 데이터를 판독하는 이미지 센서 기능을 갖는 반도체 장치를 제조할 수 있다.

[0208] 이미지 센서 기능을 갖는 반도체 장치의 예가 도 9의 (A)에 예시된다. 도 9의 (A)는 포토 센서의 등가 회로도이고, 도 9의 (B)는 포토센서의 일부를 예시하는 단면도이다.

[0209] 포토다이오드(602)의 한 전극은 포토다이오드 리셋 신호선(658)에 전기적으로 접속되고, 포토다이오드(602)의 다른 전극은 트랜지스터(640)의 게이트에 전기적으로 접속된다. 트랜지스터(640)의 소스 및 드레인 중의 하나는 포토 센서 기준 신호선(672)에 전기적으로 접속되고 트랜지스터(640)의 소스 및 드레인 중의 다른 하나는 트랜지스터(656)의 소스 및 드레인 중의 하나에 전기적으로 접속된다. 트랜지스터(656)의 게이트는 게이트 신호선(659)에 전기적으로 접속되며, 트랜지스터(656)의 소스 및 드레인 중의 다른 하나는 포토 센서 출력 신호선(671)에 전기적으로 접속된다.

[0210] 본 명세서의 회로도에서, 산화물 반도체 막을 포함하는 트랜지스터는 산화물 반도체 막을 포함하는 트랜지스터로 구분될 수 있도록 기호 "OS"로 나타냄을 주목한다. 도 9의 (a)에서, 트랜지스터(640) 및 트랜지스터(656) 각각은 실시형태 1 내지 실시형태 3에 설명된 트랜지스터를 적용할 수 있는, 산화물 반도체 스택을 포함하는 트랜지스터이다. 본 실시형태에 설명된 것은 실시형태 2에 설명된 트랜지스터(540)와 유사한 구조를 갖는 트랜지스터가 사용된 예이다.

[0211] 도 9의 (B)는 포토 센서의 포토다이오드(602) 및 트랜지스터(640)의 단면도이다. 센서로서 기능하는 포토다이오드(602), 및 트랜지스터(640)는 절연 표면을 갖는 기판(601)(TFT 기판) 위에 제공된다. 기판(613)은 접착층(608)을 사용하여 포토다이오드(602) 및 트랜지스터(640) 위에 제공된다.

[0212] 트랜지스터(640) 위에 절연막(631), 절연막(632), 층간 절연막(633) 및 층간 절연막(634)이 제공된다. 층간 절연막(633) 위에 포토다이오드(602)가 제공된다. 포토다이오드(602)에서, 층간 절연막(633) 위에 형성된 전극 층(641a 및 641b)과 층간 절연막(634) 위에 형성된 전극 층(642) 사이에, 제1 반도체 막(606a), 제2 반도체 막(606b) 및 제3 반도체 막(606c)이 층간 절연막(633) 측에서부터 순차적으로 적층된다.

[0213] 전극 층(641b)은 층간 절연막(634) 위에 형성된 도전 층(643)에 전기적으로 접속되며, 전극 층(642)은 전극 층(641a)을 통해 전극 층(645)에 전기적으로 접속된다. 전극 층(645)은 트랜지스터(640)의 게이트 전극 층에 전기적으로 접속되며 포토다이오드(602)는 트랜지스터(640)에 전기적으로 접속된다.

[0214] 여기서, 제1 반도체 막(606a)으로서 p-형 도전형을 갖는 반도체 막, 제2 반도체 막(606b)으로서 고 저항 반도체 막(i-형 반도체 막), 및 제3 반도체 막(606c)으로서 n-형 도전형을 갖는 반도체 막이 적층된 pin 포토다이오드가 예로서 도시된다.

[0215] 제1 반도체 막(606a)은 p-형 반도체 막이며 p-형 도전형을 부여하는 불순물 원소를 포함하는 비정질 실리콘 막을 이용하여 형성될 수 있다. 제1 반도체 막(606a)은 13족에 속하는 불순물 원소(예를 들어, 붕소(B))를 포함하는 반도체 소스 가스를 이용하여 플라즈마 CVD법에 의해 형성된다. 반도체 소스 가스로서, 실란(SiH_4)을 사용할 수 있다. 혹은, Si_2H_6, SiH_2Cl_2, $SiHCl_3$, $SiCl_4$, SiF_4 등을 사용할 수 있다. 또 다르게는, 불순물 원소를 포함하지 않는 비정질 실리콘 막을 형성한 다음, 확산법 또는 이온 주입법을 이용하여 비정질 실리콘 막에 불순물 원소를 도입할 수 있다. 불순물 원소를 확산시키기 위해, 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 행할 수 있다. 이 경우, 비정질 실리콘 막을 형성하는 방법으로서, LPCVD법, 기상 성장법, 스퍼터링법 등을 사용할 수 있다. 제1 반도체 막(606a)은 두께가 10 ㎚ 이상 및 50 ㎚ 이하이도록 형성하는 것이 바람직하다.

[0216] 제2 반도체 막(606b)은 i-형 반도체 막(진성 반도체 막)이며 비정질 실리콘 막을 이용하여 형성된다. 제2 반도체 막(606b)의 형성에 있어서, 비정질 실리콘 막은 반도체 소스 가스를 이용하여 플라즈마 CVD법에 의해 형성된다. 반도체 소스 가스로서, 실란(SiH_4)를 사용할 수 있다. 혹은, Si_2H_6, SiH_2Cl_2, $SiHCl_3$, $SiCl_4$, SiF_4 등을 사용할 수 있다. 제2 반도체 막(606b)은 LPCVD법, 기상 성장법, 스퍼터링법 등에 의해 형성될 수 있다. 제2 반도체 막(606b)은 두께가 200 ㎚ 이상이고 1000 ㎚ 이하이도록 형성하는 것이 바람직하다.

[0217] 제3 반도체 막(606c)은 n-형 반도체 막이며 n-형 도전형을 부여하는 불순물 원소를 포함하는 비정질 실리콘 막을 이용하여 형성된다. 제3 반도체 막(606c)은 15족에 속하는 불순물 원소(예를 들어, 인(P))를 포함하는 반도체 소스 가스를 이용하여 플라즈마 CVD법에 의해 형성된다. 반도체 소스 가스로서, 실란(SiH_4)을 사용할 수 있다. 혹은, Si_2H_6, SiH_2Cl_2, $SiHCl_3$, $SiCl_4$, SiF_4 등을 사용할 수 있다. 또 다르게는, 불순물 원소를 포함하지 않는 비정질 실리콘 막을 형성한 다음, 확산법 또는 이온 주입법을 이용하여 비정질 실리콘 막에 불순물 원소를 도입할 수 있다. 불순물 원소를 확산시키기 위해, 이온 주입법 등에 의해 불순물 원소를 도입한 후에 가열 등을 수행할 수 있다. 이 경우, 비정질 실리콘 막을 형성하는 방법으로서, LPCVD법, 기상 성장법, 스퍼터링법 등을 사용할 수 있다. 제3 반도체 막(606c)은 두께가 20 ㎚ 이상이고 200 ㎚ 이하이도록 형성하는 것이 바람직하다.

[0218] 제1 반도체 막(606a), 제2 반도체 막(606b) 및 제3 반도체 막(606c)은 반드시 비정질 반도체를 사용하여 형성될 필요는 없으며, 다결정 반도체 또는 미정질 반도체(반-비정질 반도체(semi-amorphous semiconductor:SAS))를 사용하여 형성될 수도 있다.

[0219] 또한, 광전 효과에 의해 생성된 정공의 이동도는 전자의 이동도보다 낮다. 따라서, pin 포토다이오드는 p-형 반도체 막 측의 표면이 수광 면으로 사용될 경우 더 양호한 특성을 갖는다. 여기서, pin 포토다이오드가 위에 형성되는 기판(601)의 표면으로부터 포토다이오드(602)에 의해 수신되는 광이 전기 신호로 변환되는 예가 설명된다. 또한, 수광 면 위의 반도체 막과 반대의 도전형을 갖는 반도체 막으로부터의 광은 외란 광(disturbance light)이며; 따라서 전극 층은 광-차단 도전 막을 이용하여 형성되는 것이 바람직하다. 이와 달리, n-형 반도체 막 측의 표면이 수광 면으로서 사용될 수 있음을 주목한다.

[0220] 절연 재료를 사용하여, 재료에 따라 스퍼터링법, 플라즈마 CVD법, SOG법, 스핀 코팅, 디핑, 스프레이 코팅, 액적 토출법(예를 들어, 잉크젯법), 스크린 인쇄 또는 오프셋 인쇄 등의 방법을 이용하여 절연막(632), 층간 절연막(633) 및 층간 절연막(634)을 형성할 수 있다.

[0221] 본 실시형태에서, 절연막(631)으로서 산화 알루미늄 막이 사용된다. 절연막(631)은 스퍼터링법 또는 플라즈마 CVD법에 의해 형성될 수 있다.

[0222] 산화물 반도체 막 위에 절연막(631)으로서 제공된 산화 알루미늄 막은, 산소와, 수소 및 수분 등의 불순물 양방의 투과를 방지하는 높은 차단 효과(블러킹 효과)를 갖는다.

[0223] 따라서, 제조 공정 도중 및 제조 후에, 산화 알루미늄 막은 특성 변화를 유발할 수 있는 수소 또는 수분 등의 불순물이 산화물 반도체 막으로 침입하는 것을 방지하고 산화물 반도체의 주성분 재료인 산소가 산화물 반도체 막으로부터 방출되는 것을 방지하기 위한 보호막으로서 작용한다.

[0224] 절연막(632)은, 무기 절연 재료를 이용하여 형성될 수 있으며, 산화 실리콘 층, 산화 질화 실리콘 층, 산화 알루미늄 층 및 산화 질화 알루미늄 층 등의 임의의 산화물 절연막; 및 질화 실리콘 층, 질화 산화 실리콘 층, 질화 알루미늄 층 및 질화 산화 알루미늄 층 등의 질화물 절연막을 포함하는 단일 층 구조 또는 적층 구조를 가질 수 있다.

[0225] 표면 거칠기의 저감을 위해, 각 층간 절연막(633 및 634)으로서, 평탄화 절연막으로 작용하는 절연막을 사용하는 것이 바람직하다. 층간 절연막(633 및 634)으로서, 예를 들어 폴리이미드 수지, 아크릴 수지, 벤조시클로부텐 수지, 폴리아미드 또는 에폭시 수지 등의 내열성을 갖는 유기 절연 재료를 사용할 수 있다. 상기 유기 절연 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG, BPSG 등의 단일 층 또는 적층을 사용하는 것이 가능하다.

[0226] 포토다이오드(602)에 입사하는 광을 검출함으로써, 피검출물의 데이터를 판독할 수 있다. 피검출물의 데이터 판독시 백라이트 등의 광원을 사용할 수 있음을 주목한다.

[0227] 상술한 바와 같이, 실시형태 1 내지 실시형태 3에 기재된 트랜지스터를 적용 함으로써, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0228] 본 실시형태는 다른 실시형태에 설명된 구조와 적절히 조합하여 구현될 수 있다.

[0229] (실시형태 6)

[0230] 본 명세서에 개시된 반도체 장치는 다양한 전자 기기(게임기 포함)에 적용될 수 있다. 전자 기기의 예는 텔레비전 세트(텔레비전 또는 텔레비전 수신기로도 지칭됨), 컴퓨터용 모니터, 디지털 카메라 및 디지털 비디오 카메라 등의 카메라, 디지털 사진 액자, 휴대폰, 휴대용 게임기, 휴대용 정보 단말기, 오디오 재생 장치, 게임 콘솔(예를 들어, 빠칭코 기계 또는 슬롯 머신), 게임기 하우징 등을 포함한다. 상기 전자 기기의 구체적인 예는 도 10의 (A) 내지 도 10의 (D)에 예로서 도시된다.

[0231] 도 10의 (A)는 표시부를 갖는 테이블(9000)을 예시한다. 테이블(9000)에서, 표시부(9003)는 하우징(9001)에 통합된다. 본 발명의 일 실시형태에 따라 제조된 반도체 장치를 표시부(9003)에 사용할 수 있으며, 표시부(9003)에 영상이 표시될 수 있다. 하우징(9001)은 4개의 다리 부(9002)에 의해 지지됨을 주목한다. 또한, 전력 공급을 위한 전원 코드(9005)가 하우징(9001)에 제공된다.

[0232] 표시부(9003)는 터치-입력 기능을 갖는다. 사용자가 테이블(9000)의 표시부(9003)에 표시된 표시 버튼(9004)을 손가락 등으로 터치할 경우, 사용자는 스크린의 작동 및 정보 입력을 수행할 수 있다. 또한, 테이블이 가전 제품과 통신하거나 가전 제품을 제어하도록 제조될 수 있을 경우, 표시부(9003)는 화면상의 조작에 의해 가전 제품을 제어하는 제어 장치로서 작용할 수 있다. 예를 들어, 실시형태 3에 설명된 이미지 센서 기능을 갖는 반도체 장치를 이용함으로써 표시부(9003)는 터치 패널로서 기능할 수 있다.

[0233] 또한, 표시부(9003)의 화면은 하우징(9001)에 제공된 힌지를 이용하여 바닥에 수직으로 설치될 수 있으며; 따라서, 테이블(9000)은 텔레비전 세트로도 사용될 수 있다. 대형 화면을 갖는 텔레비전 세트는 작은 방에서 이용할 수 있기에는 지나치게 많은 공간을 차지한다. 그러나, 테이블에 표시부가 내장되어 있으면, 방에서 공간을 활용하는 것이 가능하다.

[0234] 도 10의 (B)는 텔레비전 세트(9100)를 예시한다. 텔레비전 세트(9100)에서, 표시부(9103)는 하우징(9101)에 통합된다. 본 발명의 일 실시형태를 이용하여 제조된 반도체 장치가 표시부(9103)에 사용될 수 있어서, 영상이 표시부(9103)에 표시될 수 있다. 여기서 하우징(9101)은 스탠드(9105)에 의해 지지됨을 주목한다.

[0235] 텔레비전 세트(9100)는 하우징(9101)의 작동 스위치 또는 별도의 리모트 콘트롤러(9110)에 의해 작동될 수 있다. 채널 및 볼륨은 리모트 콘트롤러(9110)의 작동 키(9109)에 의해 제어될 수 있어서, 표시부(9103)에 표시된 영상이 제어될 수 있다. 또한, 리모트 콘트롤러(9110)에는 리모트 콘트롤러(9110)로부터의 데이터 출력을 표시하기 위한 표시부(9107)가 제공될 수 있다.

[0236] 도 10의 (B)에 예시된 텔레비전 세트(9100)에 수신기, 모뎀 등이 제공된다. 수신기를 이용하여, 텔레비전 세트(9100)는 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 세트(9100)가 모뎀을 거쳐 유선 또는 무

선 접속으로 통신 네트워크에 접속될 경우, 일방향(송신자에서 수신자로) 또는 쌍방향(송신자와 수신자 사이 또는 수신자들 사이) 데이터 통신이 수행될 수 있다.

[0237] 상기 실시형태에 기재된 반도체 장치를 사용함으로써, 신뢰성이 높은 텔레비젼 세트를 제공할 수 있다.

[0238] 도 10의 (C)는 본체(9201), 하우징(9202), 표시부(9203), 키보드(9204), 외부 접속 포트(9205), 포인팅 기기(9206) 등을 포함하는 컴퓨터를 예시한다. 컴퓨터는 표시부(9203)에 본 발명의 일 실시형태에 따라 제조된 반도체 장치를 포함한다.

[0239] 상기 실시형태에 기재된 반도체 장치를 사용함으로써, 신뢰성이 높은 컴퓨터를 제공할 수 있다.

[0240] 도 10의 (D)는 휴대폰의 예를 예시한다. 휴대폰(9500)에는, 하우징(9501)에 통합된 표시부(9502), 작동 버튼(9503 및 9507), 외부 접속 포트(9504), 스피커(9505), 마이크로폰(9506) 등이 제공된다. 휴대폰(9500)은 표시부(9502)에 본 발명의 일 실시형태를 이용하여 제조된 반도체 장치를 이용하여 제조됨을 주목한다.

[0241] 사용자는 도 10의 (D)에 예시된 휴대폰(9500)의 표시부(9502)를 손가락 등으로 터치함으로써 데이타를 입력하거나, 전화를 걸거나, 문자를 보낼 수 있다.

[0242] 표시부(9502)에는 주로 3개의 화면 모드가 있다. 제1 모드는 주로 영상을 표시하는 표시 모드이다. 제2 모드는 주로 문자 등의 데이타를 입력하는 입력 모드이다. 제3 모드는 표시 모드 및 입력 모드의 두 모드가 조합된 표시 및 입력 모드이다.

[0243] 예를 들어, 전화를 걸거나 문자를 보내는 경우, 표시부(9502)에 주로 문자 입력을 위한 문자 입력 모드가 선택되어 화면에 표시되는 문자가 입력될 수 있다. 이 경우, 표시부(9502)의 거의 전체 화면에 키보드 또는 숫자 버튼을 표시하는 것이 바람직하다.

[0244] 자이로스코프 또는 가속도 센서 등의 경사를 검출하기 위한 센서를 포함하는 검출 장치를 휴대폰(9500) 내부에 제공함으로써, 휴대폰(9500)의 방향(휴대폰(9500)이 가로 모드 또는 세로 모드에서 수평 또는 수직으로 배치되는지 여부)을 판단하여, 표시부(9502)의 화면 표시가 자동으로 전환될 수 있다.

[0245] 또한, 표시부(9502)를 터치하거나 하우징(9501)의 작동 버튼(9503)을 작동함으로써 화면 모드가 전환된다. 또는, 표시부(9502)에 표시되는 영상의 종류에 따라 화면 모드가 전환될 수 있다. 예를 들어, 표시부에 표시되는 영상 신호가 동영상 데이터 신호일 경우, 화면 모드는 표시 모드로 전환된다. 신호가 문자 데이터 신호일 경우, 화면 모드는 입력 모드로 전환된다.

[0246] 또한, 입력 모드에서, 표시부(9502)의 광학 센서에 의해 검출된 신호가 검출되는 동안 표시부(9502) 터치에 의한 입력이 일정 기간 내에 수행되지 않는 경우, 화면 모드는 입력 모드에서 표시 모드로 전환되도록 제어될 수 있다.

[0247] 표시부(9502)는 또한 이미지 센서로서 기능할 수 있다. 예를 들어, 표시부(9502)를 손바닥 또는 손가락으로 터치함으로써 장문(palm print), 지문 등의 영상을 촬영하여 본인 인증을 수행할 수 있다. 또한, 표시부에 근적외광(near-infrared light)을 방출하는 백라이트 또는 센싱 광원을 제공함으로써, 손가락 정맥, 손바닥 정맥 등의 영상을 촬영할 수 있다.

[0248] 본 실시형태에 기재된 구성 및 방법 등은, 다른 실시형태들에 기재된 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

부호의 설명

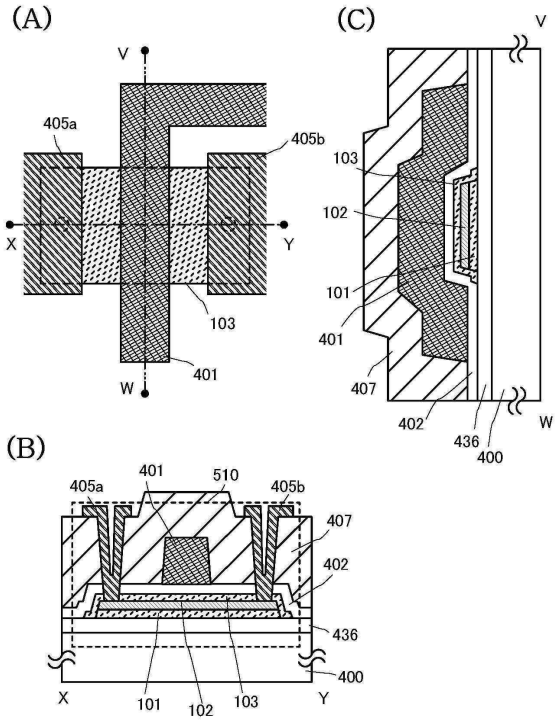
[0249] 101: 제1 버퍼층, 101a: 제1 버퍼막, 102: 산화물 반도체 층, 102a: 산화물 반도체 막, 103: 제2 버퍼층, 103a: 제2 버퍼막, 112: 산소-과잉 영역, 122a: 저-저항 영역, 122b: 저-저항 영역, 124a: 저-저항 영역, 124b: 저-저항 영역, 124c: 채널 형성 영역, 400: 기판, 401: 게이트 전극 층, 402: 게이트 절연막, 405a: 소스 전극 층, 405b: 드레인 전극 층, 407: 절연막, 410: 트랜지스터, 420: 트랜지스터, 421: 도펀트, 430: 트랜지스터, 431: 산소, 436: 산화물 절연막, 510: 트랜지스터, 520: 트랜지스터, 530: 트랜지스터, 540: 트랜지스터, 601: 기판, 602: 포토다이오드, 606a: 반도체 막, 606b: 반도체 막, 606c: 반도체 막, 608: 접착층, 613: 기판, 631: 절연막, 632: 절연막, 633: 층간 절연막, 634: 층간 절연막, 640: 트랜지스터, 641a: 전극 층, 641b: 전극 층, 642: 전극 층, 643: 도전 층, 645: 전극 층, 656: 트랜지스터, 658: 포토다이오드 리셋트 신호선, 659: 게이트 신호선, 671: 포토센서 출력 신호선, 672: 포토센서 기준 신호선, 4001: 기판, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 실런트, 4006: 기판, 4008: 액정층, 4010: 트랜지스

터, 4011: 트랜지스터, 4013: 액정 소자, 4015: 접속 단자 전극, 4016: 단자 전극, 4019: 이방성 도전 막, 4020: 절연막, 4021: 절연막, 4023: 절연막, 4030: 전극 층, 4031: 전극 층, 4032: 절연막, 4033: 절연막, 4040: 제1 버퍼막, 4510: 격벽, 4511: 전계 발광 층, 4513: 발광 소자, 4514: 충진재, 9000: 테이블, 9001: 하우징, 9002: 다리 부, 9003: 표시부, 9004: 표시 버튼, 9005: 전원 코드, 9100: 텔레비전 세트, 9101: 하우징, 9103: 표시부, 9105: 스탠드, 9107: 표시부, 9109: 조작 키, 9110: 리모트 콘트롤러, 9201: 본체, 9202: 하우징, 9203: 표시부, 9204: 키보드, 9205: 외부 접속 포트, 9206: 포인팅 기기, 9500: 휴대폰, 9501: 하우징, 9502: 표시부, 9503: 작동 버튼, 9504: 외부 접속 포트, 9505: 스피커, 9506: 마이크로폰, 9507: 작동 버튼

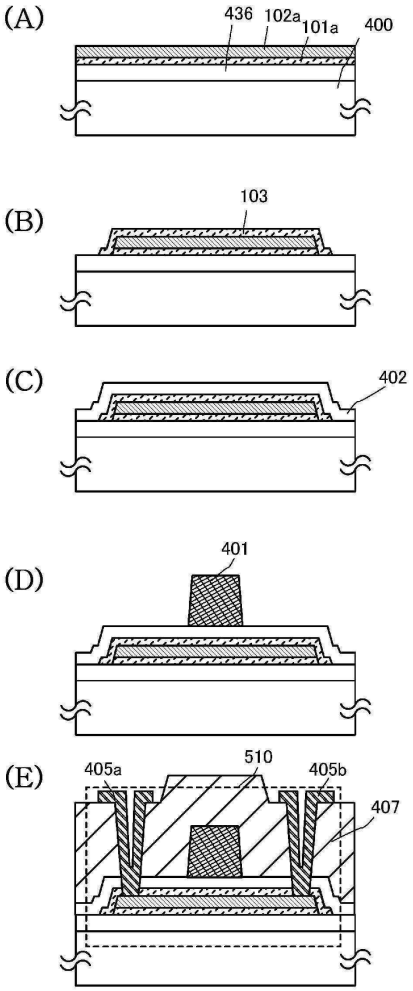
본 출원은 2011년 7월 8일에 일본 특허청에 출원된 일본특허출원 제2011-152164호에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

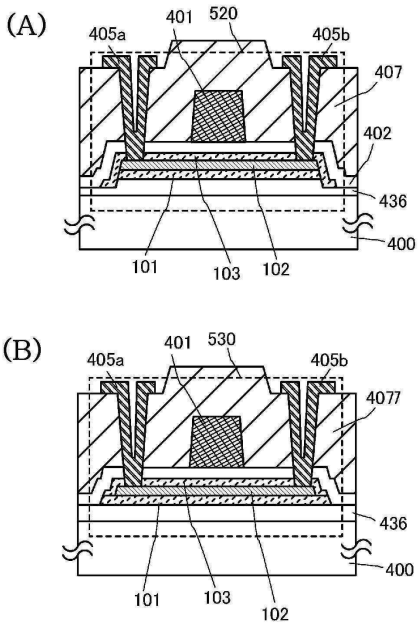
도면1



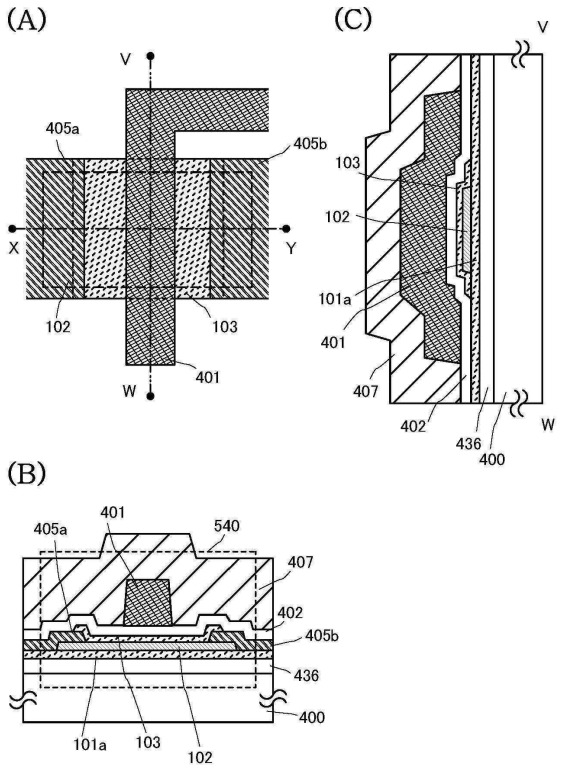
도면2


(A)
436
102a
101a
400
(B)
103
(C)
402
(D)
401
(E)
405a
510
405b
407

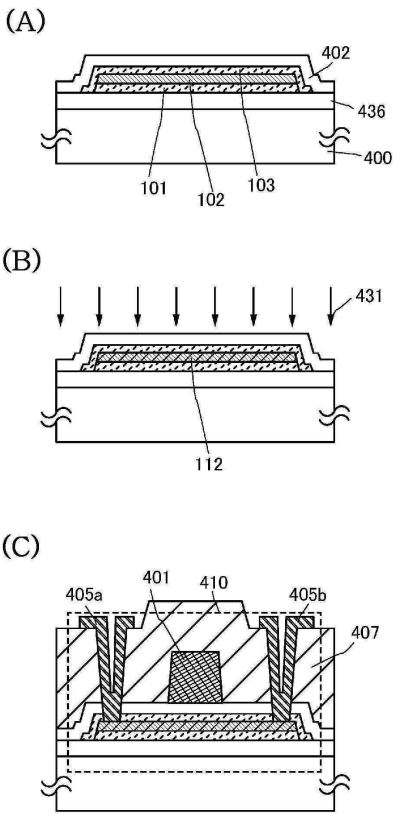
도면3


(A)
405a
401
520
405b
407
402
436
400
101
103
102
(B)
405a
401
530
405b
4077
436
400
101
103
102

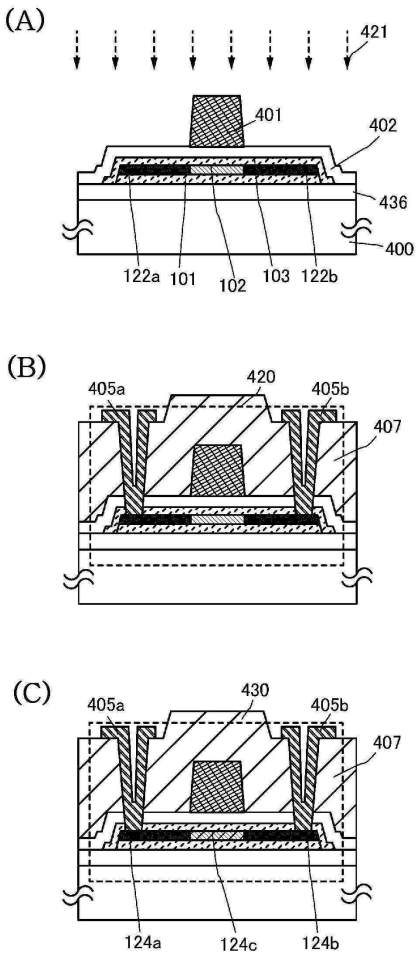
도면4


(A)
V
405a
405b
X
Y
102
103
401
W
(C)
V
103
102
101a
401
407
402
436
400
W
(B)
401
405a
540
407
402
405b
436
400
101a
103
102

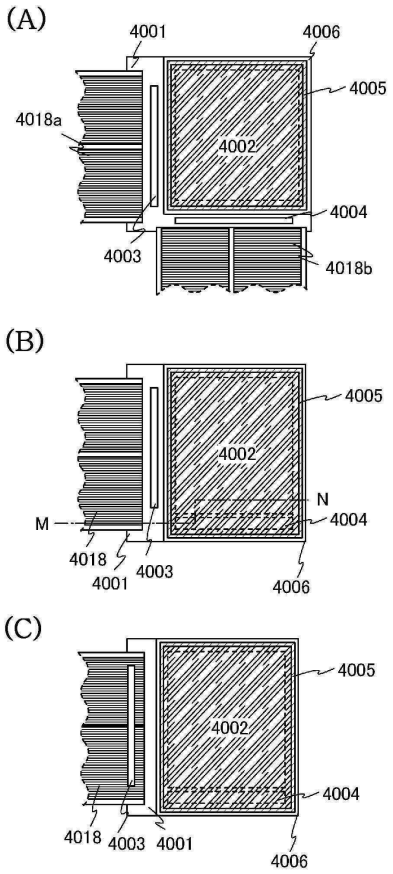
도면5


(A)
402
436
400
101
102
103
(B)
431
112
(C)
401
410
405a
405b
407

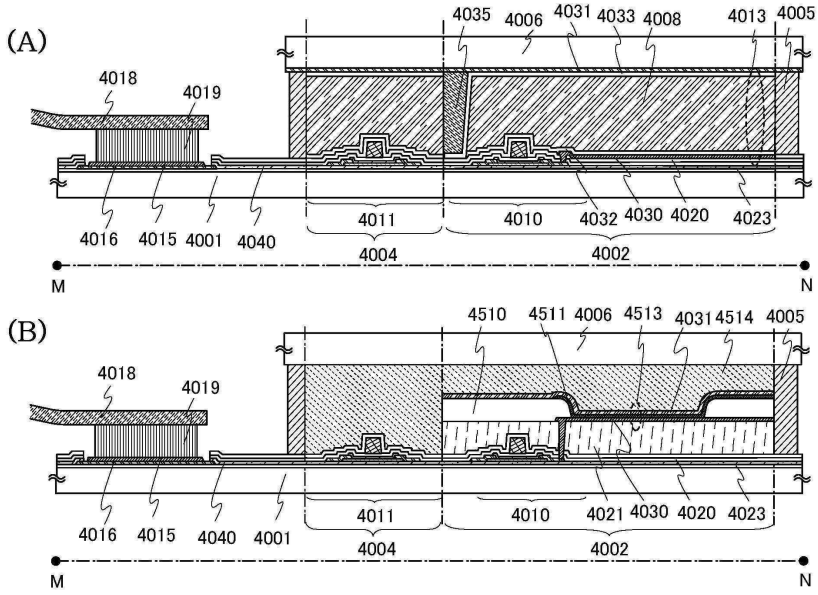
도면6


(A)
421
401
402
436
400
122a
101
102
103
122b
(B)
405a
420
405b
407
(C)
405a
430
405b
407
124a
124c
124b

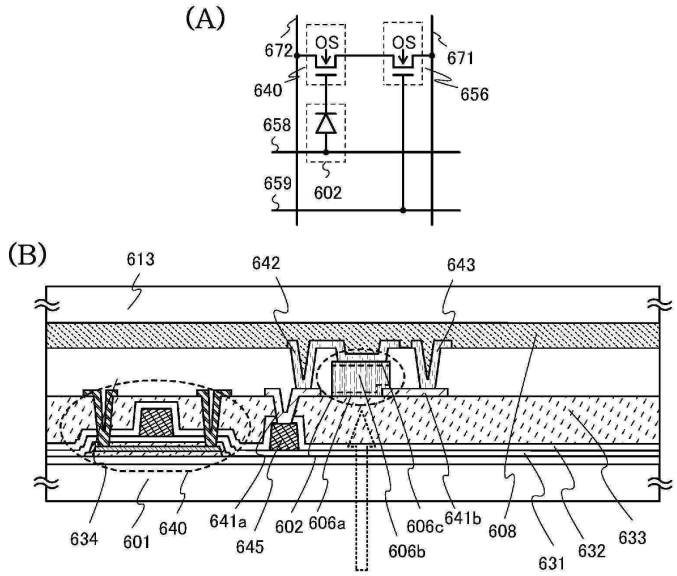
도면7


(A)
4001
4006
4005
4018a
4002
4004
4003
4018b
(B)
4005
4002
N
M
4004
4018
4001
4003
4006
(C)
4005
4002
4004
4018
4003
4001
4006

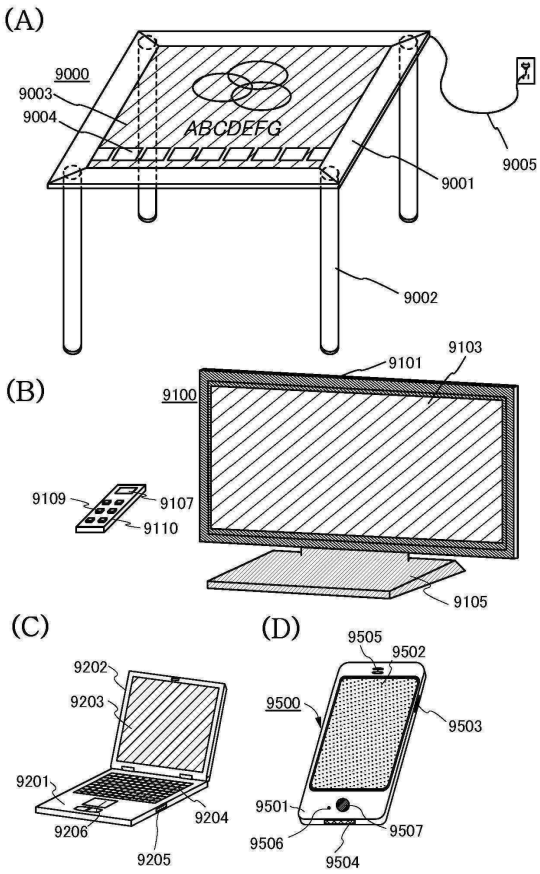
도면8


(A)
4035
4006
4031
4033
4008
4013
4005
4018
4019
4011
4010
4032
4030
4020
4023
4016
4015
4001
4040
4004
4002
M
N
(B)
4510
4511
4006
4513
4031
4514
4005
4018
4019
4011
4010
4021
4030
4020
4023
4016
4015
4040
4001
4004
4002
M
N

도면9


(A)
672
OS
OS
671
640
656
658
659
602
(B)
613
642
643
634
601
640
641a
645
602
606a
606b
606c
641b
608
631
632
633

도면10


(A)
9000
9003
9004
ABCDEFG
9005
9001
9002
(B)
9103
9101
9100
9109
9107
9110
9105
(C)
9202
9203
9201
9204
9206
9205
(D)
9505
9502
9500
9503
9501
9507
9506
9504