



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0040547
(43) 공개일자 2014년04월03일

(51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
(21) 출원번호 10-2012-0107393
(22) 출원일자 2012년09월26일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
강성형
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
(74) 대리인
특허법인씨엔에스

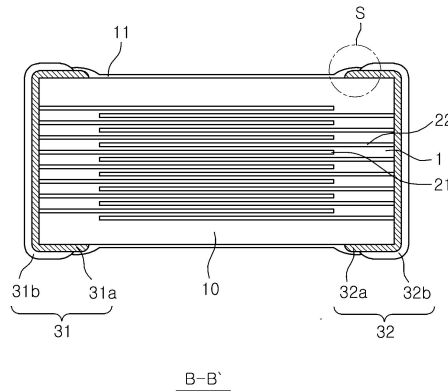
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 적층 세라믹 커패시터 및 그 제조방법

(57) 요약

본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 서로 대향하는 제1 측면 및 제2 측면, 상기 제1 측면 및 제2 측면을 연결하는 제3 단면 및 제4 단면을 가지는 세라믹 본체; 상기 세라믹 본체의 내부에 형성되며, 상기 제1 측면, 제2 측면 및 제3 단면 또는 제1 측면, 제2 측면 및 제4 단면으로 일단이 노출되는 제1 및 제2 내부전극; 상기 세라믹 본체의 외측에 형성되며, 상기 제1 및 제2 내부전극과 전기적으로 연결된 제1 및 제2 외부전극; 및 상기 제1 및 제2 외부전극의 일부 영역에 형성된 도금층;을 포함하며, 상기 세라믹 본체 및 상기 제1 및 제2 외부전극의 상부 영역 중 도금층이 형성되지 않은 영역에는 고분자층이 추가로 형성될 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

서로 대향하는 제1 측면 및 제2 측면, 상기 제1 측면 및 제2 측면을 연결하는 제3 단면 및 제4 단면을 가지는 세라믹 본체;

상기 세라믹 본체의 내부에 형성되며, 상기 제1 측면, 제2 측면 및 제3 단면 또는 제1 측면, 제2 측면 및 제4 단면으로 일단이 노출되는 제1 및 제2 내부전극;

상기 세라믹 본체의 외측에 형성되며, 상기 제1 및 제2 내부전극과 전기적으로 연결된 제1 및 제2 외부전극; 및
상기 제1 및 제2 외부전극의 일부 영역에 형성된 도금층;을 포함하며,

상기 세라믹 본체 및 상기 제1 및 제2 외부전극의 상부 영역 중 도금층이 형성되지 않은 영역에는 고분자층이 추가로 형성된 적층 세라믹 커패시터.

청구항 2

제1항에 있어서,

상기 제1 및 제2 내부전극은 상기 세라믹 본체의 제1 측면 및 제2 측면의 일부 영역에만 노출된 적층 세라믹 커패시터.

청구항 3

제1항에 있어서,

상기 제1 및 제2 내부전극은 상기 세라믹 본체의 제1 측면 및 제2 측면 중 도금층이 형성된 영역에는 노출되지 않은 적층 세라믹 커패시터.

청구항 4

복수 개의 스트라이프형 제1 내부전극 패턴이 소정의 간격을 두고 형성된 제1 세라믹 그린시트 및 복수 개의 스트라이프형 제2 내부전극 패턴이 소정의 간격을 두고 형성된 제2 세라믹 그린시트를 마련하는 단계;

상기 스트라이프형 제1 내부전극 패턴과 상기 스트라이프형 제2 내부 전극 패턴이 교차되도록 상기 제1 세라믹 그린시트와 상기 제2 세라믹 그린시트를 적층하여 세라믹 그린시트 적층체를 형성하되, 상기 적층체의 상면 및 하면 중 적어도 일면에는 복수 개의 세라믹 그린시트를 적층하여 커버층을 형성하는 단계;

상기 스트라이프형 제1 내부전극 패턴 및 제2 내부전극 패턴을 가로 질러서 제1 내부전극 및 제2 내부전극이 일정 폭을 가지며, 상기 폭 방향으로 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면을 갖도록 상기 세라믹 그린시트 적층체를 절단하는 단계;

상기 적층체의 외측에 도전성 페이스트를 도포하여 제1 및 제2 외부전극을 형성하는 단계; 및

상기 적층체 및 상기 제1 및 제2 외부전극 상부의 일부 영역에 고분자 물질을 코팅하는 단계;를 포함하는 적층 세라믹 커패시터의 제조방법.

청구항 5

제4항에 있어서,

상기 고분자 물질을 코팅하는 단계 이후에 상기 제1 및 제2 외부전극 상부에 있어서 고분자 물질이 코팅되지 않

은 나머지 영역에 도금층을 형성하는 단계를 더 포함하는 적층 세라믹 커패시터의 제조방법.

청구항 6

제5항에 있어서,

상기 제1 및 제2 내부전극은 상기 적층체의 폭 방향 중 도금층이 형성된 영역에는 노출되지 않은 적층 세라믹 커패시터의 제조방법.

청구항 7

제4항에 있어서,

상기 제1 및 제2 내부전극은 상기 적층체의 폭 방향의 일부 영역에만 노출된 적층 세라믹 커패시터의 제조방법.

명세서

기술분야

[0001] 본 발명은 적층 세라믹 커패시터 및 그 제조방법에 관한 것으로, 보다 상세하게는 신뢰성이 우수한 고용량 적층 세라믹 커패시터 및 그 제조방법에 관한 것이다.

배경기술

[0002] 일반적으로 커패시터, 인덕터, 압전체 소자, 바리스터 또는 서미스터 등의 세라믹 재료를 사용하는 전자부품은 세라믹 재료로 이루어진 세라믹 본체, 본체 내부에 형성된 내부전극 및 상기 내부전극과 접속되도록 세라믹 본체 표면에 설치된 외부전극을 구비한다.

[0003] 세라믹 전자부품 중 적층 세라믹 커패시터는 적층된 복수의 유전체층, 일 유전체층을 사이에 두고 대향 배치되는 내부전극, 상기 내부전극에 전기적으로 접속된 외부전극을 포함한다.

[0004] 적층 세라믹 커패시터는 소형이면서도 고용량이 보장되고 실장이 용이하다는 장점으로 인하여 컴퓨터, PDA, 휴대폰 등의 이동 통신장치의 부품으로서 널리 사용되고 있다.

[0005] 최근에는 전자제품이 소형화 및 다기능화됨에 따라 칩 부품 또한 소형화 및 고기능화되는 추세이므로, 적층 세라믹 커패시터도 크기가 작고, 용량이 큰 고용량 제품이 요구되고 있다.

[0006] 적층 세라믹 커패시터의 용량을 높이는 위해서 유전체층을 박막화하는 방법, 박막화된 유전체층을 고적층화하는 방법, 내부전극의 커버리지를 향상시키는 방법 등이 고려되고 있다. 또한, 용량을 형성하는 내부전극의 중첩 면적을 향상시키는 방법이 고려되고 있다.

[0007] 일반적으로 적층 세라믹 커패시터는 다음과 같이 제조될 수 있다. 우선, 세라믹 그린시트를 제조하고, 세라믹 그린시트 상에 도전성 페이스트를 인쇄하여 내부전극을 형성한다. 내부전극이 형성된 세라믹 그린시트를 수십 내지 수백층 까지 겹쳐 쌓아 올려 그린 세라믹 적층체를 만든다. 이 후 그린 세라믹 적층체를 고온 및 고압으로 압착하여 딱딱한 그린 세라믹 적층체를 만들고, 절단 공정을 거쳐 그린 칩을 제조한다. 이후 그린 칩을 가소 및 소성하고, 이후 외부전극을 형성하여 적층 세라믹 커패시터를 완성한다.

[0008] 상기와 같은 제조방법에 의하여 적층 세라믹 커패시터를 형성하는 경우, 내부전극이 형성되지 않는 유전체층의 마진부 영역을 최소화하기 어려워 내부전극의 중첩 면적을 늘리는게 한계가 있다. 또한, 적층 세라믹 커패시터의 모서리부의 마진부는 다른 영역의 마진부보다 두껍게 형성되어 가소 및 소성시 탄소의 제거가 용이하지 않은 문제가 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본공개특허공보 2011-003846

발명의 내용

해결하려는 과제

[0010] 본 발명은 신뢰성이 우수한 고용량 적층 세라믹 커패시터 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0011] 본 발명의 일 실시형태는 서로 대향하는 제1 측면 및 제2 측면, 상기 제1 측면 및 제2 측면을 연결하는 제3 단면 및 제4 단면을 가지는 세라믹 본체; 상기 세라믹 본체의 내부에 형성되며, 상기 제1 측면, 제2 측면 및 제3 단면 또는 제1 측면, 제2 측면 및 제4 단면으로 일단이 노출되는 제1 및 제2 내부전극; 상기 세라믹 본체의 외측에 형성되며, 상기 제1 및 제2 내부전극과 전기적으로 연결된 제1 및 제2 외부전극; 및 상기 제1 및 제2 외부전극의 일부 영역에 형성된 도금층;을 포함하며, 상기 세라믹 본체 및 상기 제1 및 제2 외부전극의 상부 영역 중 도금층이 형성되지 않은 영역에는 고분자층이 추가로 형성되는 적층 세라믹 커패시터를 제공한다.

[0012] 상기 제1 및 제2 내부전극은 상기 세라믹 본체의 제1 측면 및 제2 측면의 일부 영역에만 노출될 수 있다.

[0013] 상기 제1 및 제2 내부전극은 상기 세라믹 본체의 제1 측면 및 제2 측면 중 도금층이 형성된 영역에는 노출되지 않을 수 있다.

[0014] 본 발명의 다른 실시형태는 복수 개의 스트라이프형 제1 내부전극 패턴이 소정의 간격을 두고 형성된 제1 세라믹 그린시트 및 복수 개의 스트라이프형 제2 내부전극 패턴이 소정의 간격을 두고 형성된 제2 세라믹 그린시트를 마련하는 단계; 상기 스트라이프형 제1 내부전극 패턴과 상기 스트라이프형 제2 내부전극 패턴이 교차되도록 상기 제1 세라믹 그린시트와 상기 제2 세라믹 그린시트를 적층하여 세라믹 그린시트 적층체를 형성하되, 상기 적층체의 상면 및 하면 중 적어도 일면에는 복수 개의 세라믹 그린시트를 적층하여 커버층을 형성하는 단계; 상기 스트라이프형 제1 내부전극 패턴 및 제2 내부전극 패턴을 가로 질러서 제1 내부전극 및 제2 내부전극이 일정 폭을 가지며, 상기 폭 방향으로 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면을 갖도록 상기 세라믹 그린시트 적층체를 절단하는 단계; 상기 적층체의 외측에 도전성 페이스트를 도포하여 제1 및 제2 외부전극을 형성하는 단계; 및 상기 적층체 및 상기 제1 및 제2 외부전극 상부의 일부 영역에 고분자 물질을 코팅하는 단계;를 포함하는 적층 세라믹 커패시터의 제조방법을 제공한다.

[0015] 상기 고분자 물질을 코팅하는 단계 이후에 상기 제1 및 제2 외부전극 상부에 있어서 고분자 물질이 코팅되지 않은 나머지 영역에 도금층을 형성하는 단계를 더 포함할 수 있다.

[0016] 상기 제1 및 제2 내부전극은 상기 세라믹 본체의 제1 측면 및 제2 측면 중 도금층이 형성된 영역에는 노출되지 않을 수 있다.

[0017] 상기 제1 및 제2 내부전극은 상기 세라믹 본체의 제1 측면 및 제2 측면의 일부 영역에만 노출될 수 있다.

발명의 효과

[0018] 본 발명의 일 실시형태에 의하면, 적층 세라믹 커패시터에 있어서 세라믹 본체의 폭 방향 마진부까지 내부전극이 오버랩될 수 있어, 우수한 용량 구현이 가능하며, 신뢰성 향상 효과도 있다.

도면의 간단한 설명

- [0019] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.
- 도 2는 도 1의 B-B'선에 따른 단면도이다.
- 도 3은 도 2의 S 영역 확대도이다.
- 도 4는 도 1의 A-A'선에 따른 단면도이다.
- 도 5는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터 내의 내부전극의 개략적인 평면도이다.
- 도 6은 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법을 나타내는 개략적인 공정도이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태들을 설명한다. 다만, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0021] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터를 나타내는 개략적인 사시도이다.
- [0022] 도 2는 도 1의 B-B'선에 따른 단면도이다.
- [0023] 도 3은 도 2의 S 영역 확대도이다.
- [0024] 도 4는 도 1의 A-A'선에 따른 단면도이다.
- [0025] 도 5는 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터 내의 내부전극의 개략적인 평면도이다.
- [0026]
- [0027] 도 1 내지 도 5를 참조하면, 본 실시 형태에 따른 적층 세라믹 커패시터는 세라믹 본체(10); 상기 세라믹 본체의 내부에 형성되는 제1 및 제2 내부전극(21, 22); 상기 세라믹 본체(10)의 외측에 형성되며, 상기 제1 및 제2 내부전극(21, 22)과 전기적으로 연결된 제1 및 제2 외부전극(31a, 32a); 및 상기 제1 및 제2 외부전극(31a, 32a)의 일부 영역에 형성된 도금층(31b, 32b);을 포함할 수 있다.
- [0028] 상기 세라믹 본체(10)는 서로 대향하는 제1 측면 및 제2 측면과 상기 제1 측면 및 제2 측면을 연결하는 제3 단면 및 제4 단면을 가질 수 있다.
- [0029] 상기 세라믹 본체(10)의 형상에 특별히 제한은 없지만, 도시된 바와 같이 직방체 형상일 수 있다.
- [0030] 상기 세라믹 본체(10) 내부에 형성된 제1 및 제2 내부전극(21, 22)은 세라믹 본체의 제1 측면, 제2 측면 및 제3 단면 또는 제1 측면, 제2 측면 및 제4 단면으로 일단이 노출된다.
- [0031] 상기 제1 및 제2 내부전극(21, 22)은 서로 다른 극성을 갖는 제1 내부전극(21) 및 제2 내부전극(22)을 한 쌍으로 할 수 있다.
- [0032] 제1 내부전극(21)의 일단은 제1 측면, 제2 측면 및 제3 단면으로 노출되고, 제2 내부전극(22)의 일단은 제1 측면, 제2 측면 및 제4 단면으로 노출될 수 있다.
- [0033] 상기 제1 내부전극(21) 및 제2 내부전극(22)의 타단은 제3 단면 또는 제4 단면으로부터 일정 간격을 두고 형성된다.
- [0034] 상기 세라믹 본체의 제3 단면 및 제4 단면에는 제1 및 제2 외부전극(31a, 32a)이 형성되어 상기 내부전극과 전

기적으로 연결될 수 있다.

- [0035] 상기 세라믹 본체(10)를 구성하는 복수의 유전체층(1)은 소결된 상태로서, 인접하는 유전체층끼리의 경계는 확 인할 수 없을 정도로 일체화되어 있을 수 있다.
- [0036] 상기 유전체층 상에 제1 내부전극(21) 및 제2 내부전극(22)이 형성될 수 있으며, 상기 제1 내부전극(21) 및 제2 내부전극(22)은 소결에 의하여 일 유전체층을 사이에 두고, 상기 세라믹 본체 내부에 형성될 수 있다.
- [0037] 상기 유전체층(1)은 제1 내부전극(21)의 폭과 동일한 폭을 가질 수 있다.
- [0038] 즉, 상기 제1 내부전극(21)은 유전체층(112)의 폭 방향으로 노출되어 형성될 수 있다.
- [0039] 유전체층의 폭 및 내부전극의 폭은 세라믹 본체의 제1 측면 및 제2 측면을 기준으로 한다.
- [0040] 이에 제한되는 것은 아니나, 본 발명의 일 실시형태에 따르면 유전체층의 폭 및 내부전극의 폭은 100 내지 900 μm 일 수 있다. 보다 구체적으로, 유전체층의 폭 및 내부전극의 폭은 100 내지 500 μm 이거나, 100 내지 900 μm 일 수 있다.
- [0041] 상기 제1 및 제2 내부전극(21, 22)은 특별히 제한되지 않으며, 예를 들어, 팔라듐(Pd), 팔라듐-은(Pd-Ag)합금 등의 귀금속 재료 및 니켈(Ni), 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트를 사용하여 형성될 수 있다.
- [0042] 상기 제1 및 제2 외부전극(31, 32)은 내부전극과 동일한 재질의 도전성 물질로 형성될 수 있으나 이에 제한되지 는 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 등으로 형성될 수 있다.
- [0043] 상기 제1 및 제2 외부전극(31, 32)은 상기 금속 분말에 글라스 프리트를 첨가하여 마련된 도전성 페이스트를 도포 한 후 소성함으로써 형성될 수 있다.
- [0044] 상기 제1 및 제2 외부전극(31a, 32a)의 일부 영역에는 도금층(31b, 32b)이 형성될 수 있다.
- [0045] 상기 도금층(31b, 32b)은 특별히 제한되지 않으며, 예를 들어 니켈(Ni), 주석(Sn) 등으로 형성될 수 있다.
- [0046] 상기 제1 및 제2 내부전극(21, 22)은 상기 세라믹 본체(10)의 제1 측면 및 제2 측면의 일부 영역에만 노출될 수 있다.
- [0047] 또한, 상기 제1 및 제2 내부전극(21, 22)은 상기 세라믹 본체(10)의 제1 측면 및 제2 측면 중 도금층(31b, 32 b)이 형성된 영역에는 노출되지 않을 수 있다.
- [0048] 상기 제1 및 제2 내부전극(21, 22)이 도금층(31b, 32b)이 형성된 제1 측면 및 제2 측면의 영역에까지 노출될 경 우에는 도금액이 내부전극으로 침투될 수 있어 신뢰성에 문제가 생길 수 있기 때문이다.
- [0049] 본 발명의 일 실시형태에 따르면, 제1 내부전극(21)의 일단은 제1 측면, 제2 측면 및 제3 단면으로 노출되고, 제2 내부전극(22)의 일단은 제1 측면, 제2 측면 및 제4 단면으로 노출됨으로써, 상기 세라믹 본체(10) 내에 형 성되는 내부전극의 중첩 면적이 넓어질 수 있다.
- [0050] 따라서, 상대적으로 내부전극의 중첩 면적이 증가함으로써, 적층 세라믹 커패시터의 고용량을 확보할 수 있는 효과가 있다.

- [0051] 일반적으로, 유전체층이 고적층화 될수록 유전체층 및 내부 전극의 두께는 얇아지게 된다.
- [0052] 따라서 내부 전극이 쇼트되는 현상이 빈번하게 발생할 수 있다.
- [0053] 또한, 유전체층 일부에만 내부전극이 형성되는 경우 내부전극에 의한 단차가 발생하여 절연 저항의 가속 수명이 나 신뢰성이 저하될 수 있다.
- [0054] 그러나, 본 발명의 일 실시형태에 따르면 박막의 내부전극 및 유전체층을 형성하더라도, 제1 내부전극(21)의 일단이 제1 측면, 제2 측면 및 제3 단면으로 노출되고, 제2 내부전극(22)의 일단이 제1 측면, 제2 측면 및 제4 단면으로 노출되기 때문에 내부전극의 중첩 면적이 커져 적층 세라믹 커패시터의 용량을 크게 할 수 있다.
- [0055] 또한, 내부 전극에 의한 단차를 감소시켜 절연 저항의 가속 수명이 향상되어 용량 특성이 우수하면서도 신뢰성이 우수한 적층 세라믹 커패시터를 제공할 수 있다.
- [0056] 한편, 상기와 같이 제1 내부전극(21)의 일단이 제1 측면, 제2 측면 및 제3 단면으로 노출되고, 제2 내부전극(22)의 일단이 제1 측면, 제2 측면 및 제4 단면으로 노출될 경우, 적층 세라믹 커패시터의 신뢰성에 문제가 생길 수 있다.
- [0057] 따라서, 본 발명의 일 실시형태에 따르면, 상기 세라믹 본체 및 상기 제1 및 제2 외부전극의 상부 영역 중 도금층이 형성되지 않은 영역에는 고분자층(11)이 추가로 형성될 수 있다.
- [0058] 상기 고분자층(11)은 상기 세라믹 본체(10)의 전체 면을 둘러싸면서 도포됨으로써, 제1 측면 및 제2 측면의 영역에까지 노출된 상기 제1 및 제2 내부전극(21, 22)이 외부에 취약할 수 있는 문제를 막을 수 있다.
- [0059] 상기 고분자층(11)의 재질은 특별히 제한되지 않으며, 일반적인 고분자 물질이면 가능하며, 예를 들어 에폭시 수지일 수 있다.
- [0060] 본 발명의 일 실시형태에 따르면, 상기 고분자층(11)은 상기 제1 및 제2 외부전극의 상부 영역 중 도금층이 형성되지 않은 영역에만 형성될 수 있다.
- [0061] 상기의 특징은, 후술하는 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법으로부터 구현될 수 있으며, 제1 및 제2 외부전극을 형성한 후 도금층 형성 이전에 상기 고분자층을 형성하기 때문에 가능하다.
- [0062] 본 발명의 일 실시형태에 따르면, 상기와 같이 세라믹 본체 및 상기 제1 및 제2 외부전극의 상부 영역 중 도금층이 형성되지 않은 영역에 고분자층을 형성함으로써, 상대적으로 내부전극의 중첩 면적을 증가시켜 적층 세라믹 커패시터의 고용량을 확보함과 동시에 내부 전극에 의한 단차를 감소시켜 신뢰성이 우수한 적층 세라믹 커패시터를 구현할 수 있다.
- [0063] 도 6은 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법을 나타내는 개략적인 공정도이다.
- [0064] 도 6을 참조하면, 본 발명의 다른 실시형태에 따른 적층 세라믹 커패시터의 제조방법은 복수 개의 스트라이프형 제1 내부전극 패턴이 소정의 간격을 두고 형성된 제1 세라믹 그린시트 및 복수 개의 스트라이프형 제2 내부전극 패턴이 소정의 간격을 두고 형성된 제2 세라믹 그린시트를 마련하는 단계; 상기 스트라이프형 제1 내부전극 패턴과 상기 스트라이프형 제2 내부 전극 패턴이 교차되도록 상기 제1 세라믹 그린시트와 상기 제2 세라믹 그린시트를 적층하여 세라믹 그린시트 적층체를 형성하되, 상기 적층체의 상면 및 하면 중 적어도 일면에는 복수 개의

세라믹 그린시트를 적층하여 커버층을 형성하는 단계; 상기 스트라이프형 제1 내부전극 패턴 및 제2 내부전극 패턴을 가로 질러서 제1 내부전극 및 제2 내부전극이 일정 폭을 가지며, 상기 폭 방향으로 상기 제1 내부전극 및 제2 내부전극의 말단이 노출된 측면을 갖도록 상기 세라믹 그린시트 적층체를 절단하는 단계; 상기 적층체의 외측에 도전성 페이스트를 도포하여 제1 및 제2 외부전극을 형성하는 단계; 및 상기 적층체 및 상기 제1 및 제2 외부전극 상부의 일부 영역에 고분자 물질을 코팅하는 단계;를 포함할 수 있다.

[0065] 상기 세라믹 그린시트는 세라믹 파우더, 유기 용제 및 유기 바인더를 포함하는 세라믹 페이스트로 형성될 수 있다.

[0066] 상기 세라믹 파우더는 높은 유전율을 갖는 물질로서 이에 제한되는 것은 아니나 티탄산바륨($BaTiO_3$)계 재료, 납 복합 페로브스카이트계 재료 또는 티탄산스트론튬($SrTiO_3$)계 재료 등을 사용할 수 있으며, 바람직하게는 티탄산바륨($BaTiO_3$) 파우더가 사용될 수 있다.

[0067] 상기 세라믹 그린시트가 소성되면 세라믹 본체를 구성하는 유전체층(1)이 된다.

[0068] 스트라이프형 제1 내부전극 패턴은 도전성 금속을 포함하는 내부전극 페이스트에 의하여 형성될 수 있다.

[0069] 상기 도전성 금속은 이에 제한되는 것은 아니나, Ni, Cu, Pd, 또는 이들의 합금일 수 있다.

[0070] 상기 세라믹 그린시트 상에 스트라이프형 제1 내부전극 패턴을 형성하는 방법은 특별히 제한되지 않으나, 예를 들면 스크린 인쇄법 또는 그라비아 인쇄법과 같은 인쇄법을 통해 형성될 수 있다.

[0071] 또한, 또 다른 세라믹 그린시트 위에 소정의 간격을 두고 복수 개의 스트라이프형 제2 내부전극 패턴을 형성할 수 있다.

[0072] 다음으로, 스트라이프형 제1 내부전극 패턴과 스트라이프형 제2 내부전극 패턴이 교차 적층되도록 세라믹 그린시트를 번갈아가며 적층할 수 있다.

[0073] 이후, 상기 스트라이프형 제1 내부전극 패턴은 제1 내부전극(21)을 형성할 수 있고, 스트라이프형 제2 내부전극 패턴은 제2 내부전극(22)을 형성할 수 있다.

[0074] 복수 개의 평행한 스트라이프형 제1 내부전극 패턴이 인쇄된 세라믹 그린시트와 복수 개의 평행한 스트라이프형 제2 내부전극 패턴이 인쇄된 세라믹 그린시트는 서로 번갈아가며 적층되어 있다.

[0075] 다음으로, 상기 세라믹 그린시트가 적층된 적층체는 복수개의 스트라이프형 제1 내부전극 패턴 및 스트라이프형 제2 내부전극 패턴을 가로지르도록 절단될 수 있다.

[0076] 보다 구체적으로, 스트라이프형 제1 내부전극 패턴 및 스트라이프형 제2 내부전극 패턴은 길이 방향으로 절단되어 일정한 폭을 갖는 복수 개의 내부전극으로 분할될 수 있다.

[0077] 이때, 적층된 세라믹 그린시트도 내부전극 패턴과 함께 절단된다.

[0078] 이에 따라 유전체층은 내부전극의 폭과 동일한 폭을 갖도록 형성될 수 있다.

[0079] 상기 막대형 적층체의 절단면으로 제1 및 제2 내부전극의 말단이 노출될 수 있다.

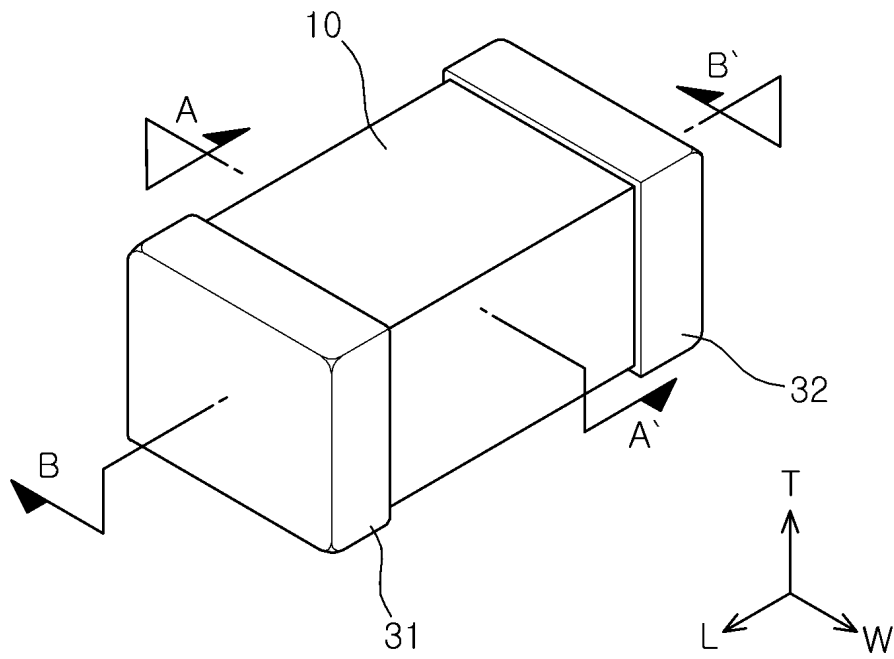
- [0080] 상기 막대형 적층체의 절단면은 각각 막대형 적층체의 제1 측면 및 제2 측면으로 지칭될 수 있다.
- [0081] 상기 세라믹 그린시트 적층체를 소성한 이후에 막대형 적층체로 절단될 수 있다. 또한, 상기 세라믹 그린시트를 막대형 적층체로 절단한 이후에 소성을 수행할 수 있다. 이에 제한되는 것은 아니나, 상기 소성은 1100℃ 내지 1300℃의 N₂-H₂ 분위기에서 수행될 수 있다.
- [0082] 다음으로, 상기 적층체의 외측에 도전성 페이스트를 도포하여 제1 및 제2 외부전극을 형성할 수 있다.
- [0083] 상기 제1 및 제2 외부전극을 형성하는 공정은 일반적인 방법으로 형성될 수 있으며, 이에 제한되는 아니나 예를 들어 디핑(dipping)법에 의해 수행될 수 있다.
- [0084] 다음으로, 상기 적층체 및 상기 제1 및 제2 외부전극 상부의 일부 영역에 고분자 물질을 코팅할 수 있다.
- [0085] 상기 고분자 물질을 코팅하는 공정은 특별히 제한되지 않으며, 일반적인 공정으로 수행될 수 있다.
- [0086] 본 발명의 다른 실시형태에 따르면, 상기 고분자 물질을 코팅하는 단계 이후에 상기 제1 및 제2 외부전극 상부에 있어서 고분자 물질이 코팅되지 않은 나머지 영역에 도금층을 형성하는 단계를 더 포함할 수 있다.
- [0087] 이로 인하여, 본 발명의 일 실시형태에 따르면 세라믹 본체의 폭 방향 마진부까지 내부전극이 오버랩될 수 있어, 우수한 용량 구현이 가능하며, 신뢰성 향상 효과가 있어 고신뢰성, 고용량 적층 세라믹 커패시터를 구현할 수 있다.
- [0088] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

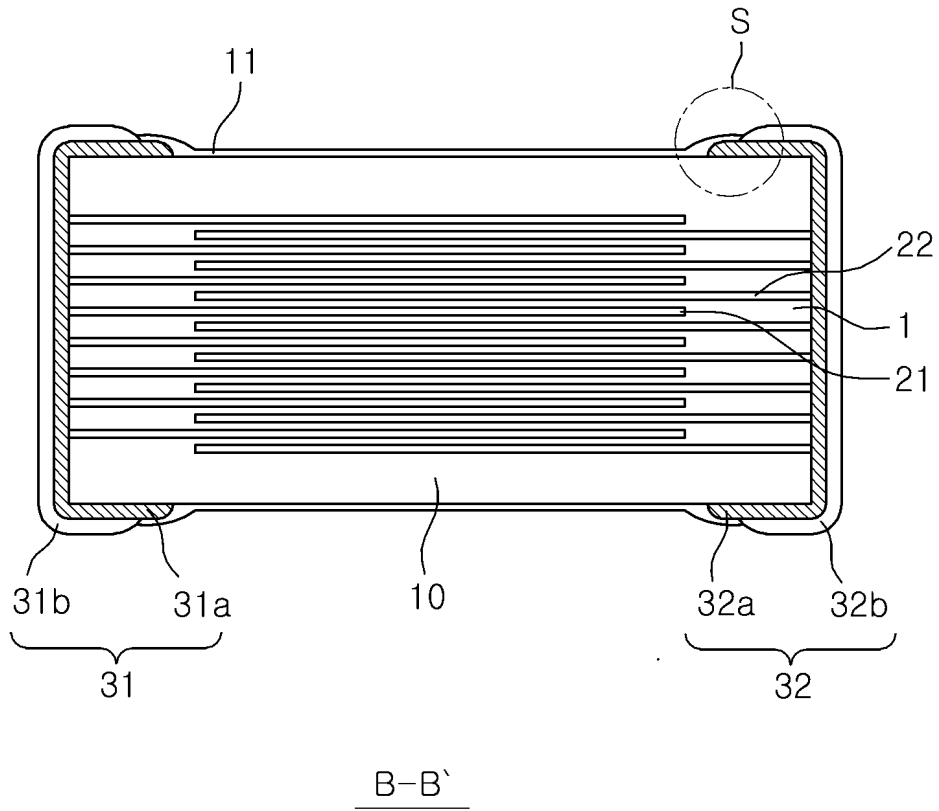
- [0089] 10: 세라믹 본체 1: 유전체층
11: 고분자층 21, 22: 제1 및 제2 내부전극
31, 32: 전체 외부전극 31a, 32a: 제1 및 제2 외부전극
31b, 32b: 도금층

도면

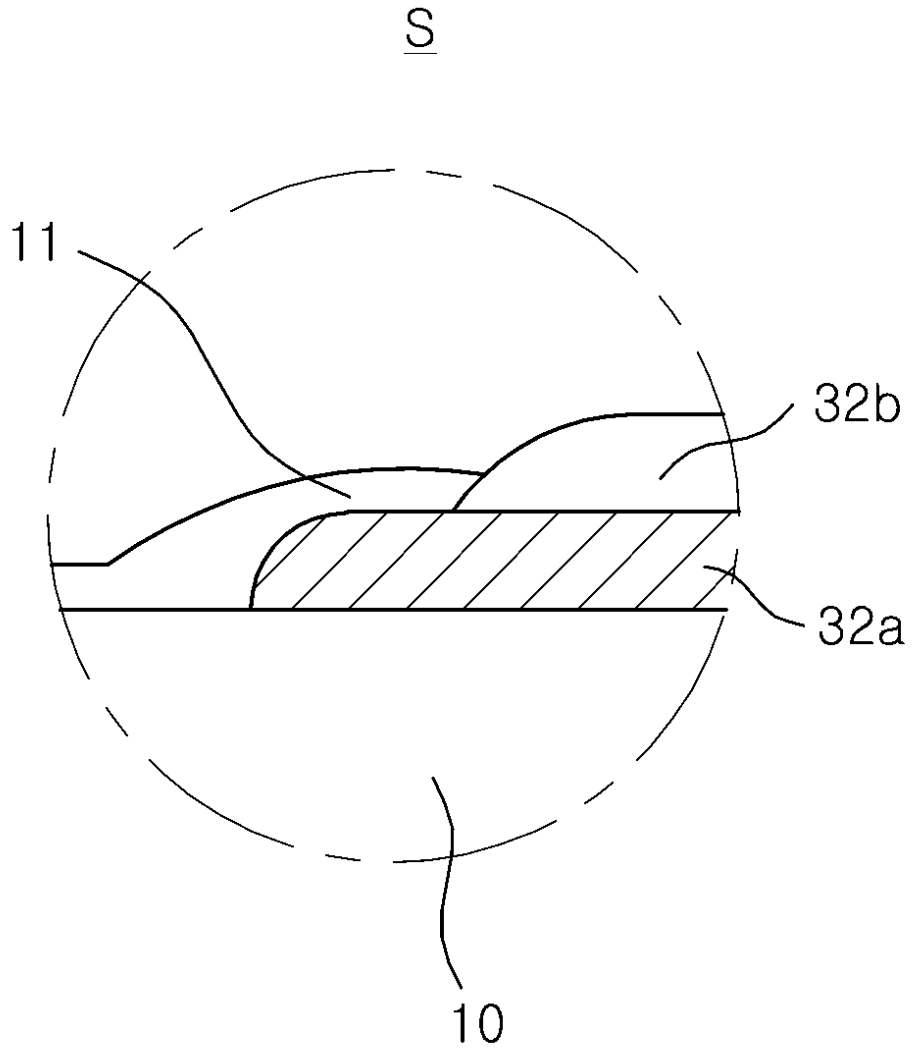
도면1



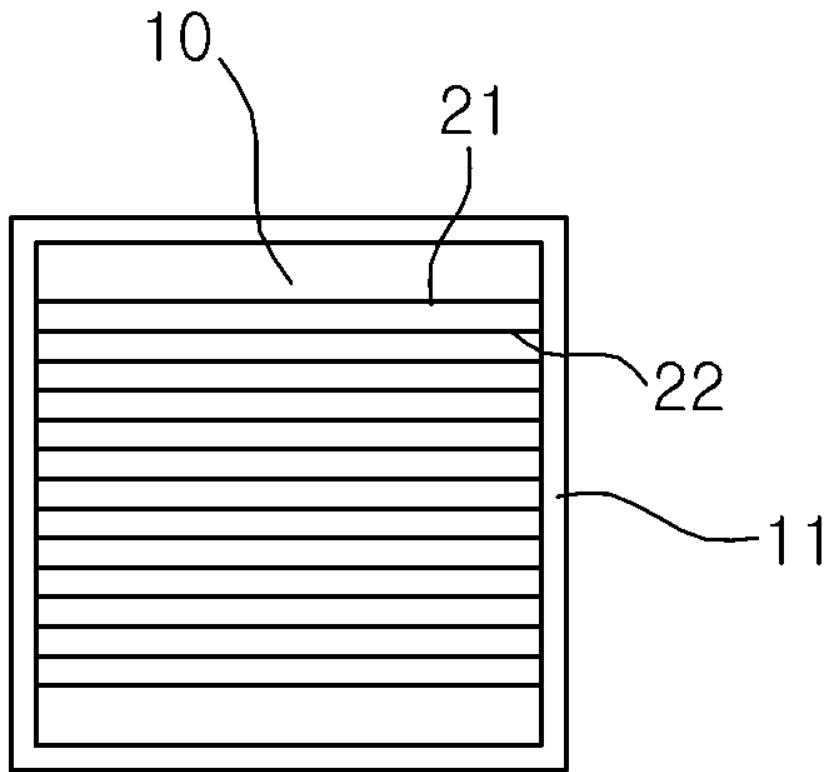
도면2



도면3

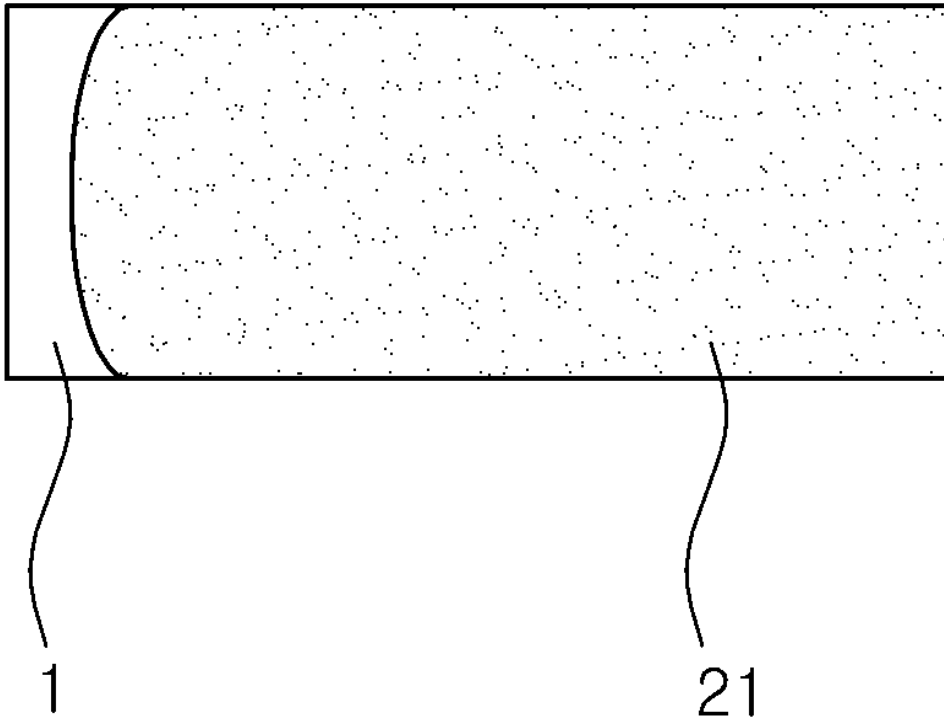


도면4



A - A'

도면5



도면6

