

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 02122790. X

[51] Int. Cl.

G02F 1/136 (2006.01)

G09G 3/36 (2006.01)

H01L 27/12 (2006.01)

[45] 授权公告日 2008 年 8 月 27 日

[11] 授权公告号 CN 100414405C

[22] 申请日 2002.6.13 [21] 申请号 02122790. X

[30] 优先权

[32] 2001.10.11 [33] KR [31] 62619/01

[32] 2001.12.19 [33] KR [31] 81049/01

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 张龙圭 李源规 全 珍

[56] 参考文献

JP2653099B2 1997.9.10

US5563427A 1996.10.8

US5982461A 1999.11.9

US6067062A 2000.5.23

CN1314671A 2001.9.26

审查员 房宝盛

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李晓舒 魏晓刚

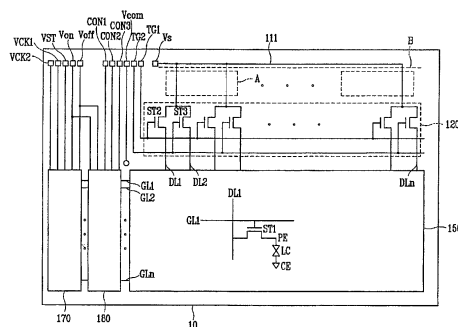
权利要求书 2 页 说明书 24 页 附图 25 页

[54] 发明名称

具有视觉检查装置的薄膜晶体管阵列面板及其检查方法

[57] 摘要

本发明公开了一种薄膜晶体管面板，其中多条栅极线和与栅极线相交以限定显示区域的多条数据线形成在包括显示区域和围绕区域的绝缘衬底上。在围绕区域上，形成了连接到栅极线上的栅极驱动电路和夹置在栅极驱动电路和栅极线之间并具有多个第一到第三或非门的用于 VI 的逻辑电路。用于 VI 的逻辑电路的第一或非门的第一输入端子连接到栅极驱动电路的输出端子上，且其第二输入端子连接到第一控制端子 CON1 上，其输出端子连接到第二或第三或非门的第一输入端子上。第二或非门的第二输入端子连接到第二控制端子 CON2 上。而其输出端子连接到奇数栅极线上，或非门的第二输入端子连接到第三控制端子 CON3 上，而其输出端子连接到偶数栅极线上。



1. 一种薄膜晶体管面板，包括：
包括显示区域和围绕区域的绝缘衬底；
形成在绝缘衬底上的多条栅极线；
形成在绝缘衬底上并与栅极线相交以限定显示区域的多条数据线；
形成在围绕区域上并连接到栅极线上的栅极驱动电路；以及
插在栅极驱动电路和栅极线之间并具有多个第一到第三或非门的用于视觉检查的逻辑电路，

其中，用于视觉检查的逻辑电路的第一或非门的第一输入端子连接到栅极驱动电路的输出端子上，而其第二输入端子连接到第一控制端子上，且其输出端子连接到第二或第三或非门的第一输入端子上，而第二或非门的第二输入端子连接到第二控制端子上，且其输出端子连接到奇数栅极线上，而第三或非门的第二输入端子连接到第三控制端子上，且其输出端子连接到偶数栅极线上，其中由通过所述第一至第三控制端子施加的信号选择栅极线。

2. 如权利要求 1 所述的薄膜晶体管面板，还包括：

形成在围绕区域上的传输门电路，其输出端子连接到数据线上；以及
连接到传输门电路的输入端子上的短路条。

3. 如权利要求 1 所述的薄膜晶体管面板，还包括：

形成在绝缘衬底的围绕区域上并具有连接到数据线上的输出的传输门电路；

形成在绝缘衬底的围绕区域上并连接到 V_{off} 电压施加端子上的驱动信号线；

形成在绝缘衬底的围绕区域上的检查信号线；以及

用于检查的薄膜晶体管，其具有连接到数据线上的漏极电极、连接到检查信号线上的源极电极、以及连接到驱动信号线上的栅极电极，

其中 V_{off} 电压是用于检查的薄膜晶体管的截止电压。

4. 如权利要求 3 所述的薄膜晶体管面板，其中，连接到用于检查的薄膜晶体管上的检查信号线包括第一和第二检查信号线，且用于检查的薄膜晶体管交替地连接到第一检查信号线和第二检查信号线上。

5. 如权利要求 1 所述的薄膜晶体管面板，还包括：

连接到奇数数据线上的第一短路条；以及

连接到偶数数据线上的第二短路条。

6. 如权利要求 1 所述的薄膜晶体管面板，还包括：

形成在绝缘衬底的围绕区域上并连接到 V_{off} 电压施加端子上的驱动信号线；

形成在绝缘衬底的围绕区域上的检查信号线；以及

用于检查的薄膜晶体管，其具有连接到数据线上的漏极电极、连接到检查信号线上的源极电极、以及连接到驱动信号线上的栅极电极，

其中 V_{off} 电压是用于检查的薄膜晶体管的截止电压。

具有视觉检查装置的薄膜晶体管阵列面板及其检查方法

技术领域

本发明涉及一种薄膜晶体管阵列面板，尤其是涉及一种视觉检查(visual inspection)装置和在其中集成了栅极驱动电路的薄膜晶体管阵列面板中进行视觉检查的方法。

背景技术

薄膜晶体管阵列面板用作液晶显示器(LCD)或有机电致发光(EL)显示器等等中独立驱动每个像素的电路板，在薄膜晶体管面板中，形成了用于传输扫描信号的扫描信号线或栅极线、和用于传输图像信号的图像信号线或数据线。其中也形成了连接到栅极线和数据线的薄膜晶体管、连接到薄膜晶体管上的像素电极、用于覆盖和绝缘栅极线的栅极绝缘层以及用于覆盖并用于绝缘薄膜晶体管和数据线的钝化层。薄膜晶体管包括与作为栅极线一部分的栅极电极、源极电极和作为数据线一部分的漏极电极一起形成通道的半导体层，栅极绝缘层、和钝化层。薄膜晶体管为开关元件，其根据通过栅极线传输的扫描信号将通过数据线传输的图像信号传送到像素电极上。

LCD 是利用这种薄膜晶体管面板的显示装置的代表，尤其是如反射型或半透射型 LCD 的中小型 LCD 大部分采用 COG (玻璃上芯片) 型。在这种情况下，视觉检查(visual inspection)(VI)和总体测试(gross test)(GT)在 COG IC 安装步骤之前进行，以便节省昂贵的 COG IC、偏振器和补偿薄膜，并提高产量。由于测试需要昂贵的设备，此外需要很长的处理时间，因此难于将 GT 应用到实际过程中。另外，目前可用的 VI 是在形成用于检查的导线之后进行的，该导线连接到 COG 端子之间的栅极线和数据线上，或连接到相对侧上，以进行 VI，然后，与面板一起进行金刚石切割，或进行激光切割来分开用于检查的导线。在这种情况下，在这种切割过程中，产生污染

物颗粒，或者导线通过其切割侧被腐蚀，从而使可靠性下降。

同时，TFT 面板可以通过如下的方法制造，即，驱动集成电路或是局部地或是作为一个整体地直接形成在薄膜晶体管上。作为这种示例，存在多晶硅薄膜晶体管面板（多晶硅 TFT 面板）和无定形驱动集成电路面板(a-si IC 面板)。在 TFT 面板上作为一个整体地直接形成驱动 IC 的方法中，GT 可以通过 TFT 自身来进行。然而，在 TFT 面板上直接形成仅一部分驱动 IC 的方法需要昂贵的设备来执行 GT。

此外，由于形成在 TFT 工件上的驱动 IC 在激光切割时作用为障碍物，在检查后难于采用激光切割，并且由于 TFT 面板和滤光片形成为相同的尺寸，所以难于获得用于激光切割的空间。

发明内容

本发明通过解决这些问题提高了液晶显示器的可靠性。

本发明提供了一种用于在具有驱动集成电路的薄膜晶体管中进行视觉检查的装置。

本发明也提供了一种用于在具有驱动集成电路的薄膜晶体管中进行视觉检查的方法。

在一个方面中，本发明提供了一种薄膜晶体管面板，其包括用于 VI 的逻辑电路，该电路连接在栅极驱动电路和栅极线之间，以施加栅极检查信号。

详细地说，薄膜晶体管面板包括具有显示区域和围绕区域的绝缘衬底；形成在绝缘衬底上的第一信号线；形成在绝缘衬底上并与第一信号线绝缘且交叉以限定显示区域的第二信号线；形成在绝缘衬底的围绕区域上并连接到 V_{off} 电压施加端子上的多条驱动信号线；形成在绝缘衬底的围绕区域上的多条检查信号线；用于检查的第一薄膜晶体管，其具有连接到第一信号线上的漏极电极、连接到任一条检查信号线上的源极电极、以及连接到任一条驱动信号线上的栅极电极；以及用于检查的第二薄膜晶体管，其具有连接到第二信号线上的漏极电极、连接到任一条检查信号线上的源极电极、以及连接到任一条驱动信号线上的栅极电极。

连接到用于检查的第二薄膜晶体管上的检查信号线包括第一检查信号

线和第二检查信号线。用于检查的第二薄膜晶体管可以交替地连接到第一检查信号线或第二检查信号线上。连接到用于检查的第一薄膜晶体管上的第一检查信号线包括第三和第四检查信号线。用于检查的第一薄膜晶体管可以交替地连接到第三检查信号线和第四检查信号线上。

另外，连接到用于检查的第二薄膜晶体管上的检查信号线包括第一、第二和第三检查信号线。用于检查的第二薄膜晶体管可以依次连接到第一、第二和第三检查信号线上。连接到用于检查的第一薄膜晶体管上的检查信号线包括第四和第五检查信号线。用于检查的第一薄膜晶体管交替地连接到第四和第五检查信号线上。

连接到用于检查的第二薄膜晶体管上的驱动信号线包括第一、第二和第三驱动信号线。用于检查的第二薄膜晶体管可以依次连接到第一、第二和第三驱动信号线上。

具有用于检查的薄膜晶体管的薄膜晶体管面板的详细结构如下。

薄膜晶体管面板包括具有显示区域和围绕区域的绝缘衬底；形成在绝缘衬底上的栅极线；形成在绝缘衬底的围绕区域上的数据驱动信号线；形成在绝缘衬底的围绕区域上的数据检查信号线；形成在栅极线、数据驱动信号线和数据检查信号线上的栅极绝缘层；形成在栅极绝缘层上的半导体图案，其至少一部分与数据驱动信号线重叠；形成在第一半导体图案上并在其间暴露出与数据驱动信号线相对应的一部分第一半导体图案的第一和第二欧姆接触层；形成在栅极绝缘层上并与栅极线相交以限定显示区域的数据线，其至少一部分形成在第二欧姆接触层上；形成在栅极绝缘层上的用于检查的第一电极，其至少一部分形成在第一欧姆接触层上；形成在数据线和用于检查的第一电极上的钝化层；以及形成在钝化层上并与数据检查信号线和用于检查的第一电极相连的第一连接部分。

薄膜晶体管面板还包括形成在绝缘衬底的围绕区域上的栅极驱动信号线；形成在绝缘衬底围绕区域上的栅极检查信号线；形成在栅极绝缘层上的第二半导体图案，其至少一部分与栅极驱动信号线重叠；形成在第二半导体图案上并在其间暴露出与栅极驱动信号线相对应的一部分第二半导体图案的第三和第四欧姆接触层；形成在栅极绝缘层上的用于检查的第二电极，其至少一部分形成在第三欧姆接触层上；形成在栅极绝缘层上的用于检查的第三电极，其至少一部分形成在第四欧姆接触层上；形成在钝化层

上并连接栅极线和用于检查的第三电极的第二连接部分；以及形成在钝化层上并连接栅极检查信号线和用于检查的第二电极的第三连接部分。第一到第四欧姆接触层分别形成在数据线和用于检查的第一到第三电极的整个表面上。

薄膜晶体管面板还可以包括：形成在围绕区域上的传输门电路，其输出端子连接到数据线上；以及连接到传输门电路的输入端子上的短路条。或还包括形成在绝缘衬底的围绕区域上并具有连接到数据线上的输出的传输门电路；形成在绝缘衬底的围绕区域上并连接到 V_{off} 电压施加端子上的驱动信号线；形成在绝缘衬底的围绕区域上的检查信号线；以及用于检查的薄膜晶体管，其具有连接到数据线上的漏极电极、连接到检查信号线上的源极电极、以及连接到驱动信号线上的栅极电极。另外，连接到用于检查的薄膜晶体管上的检查信号线包括第一和第二检查信号线，并且优选的是用于检查的薄膜晶体管依次连接到第一检查信号和第二检查信号上。

同时，薄膜晶体管面板还包括连接到奇数数据线上的第一短路条和连接到偶数数据线上的第二短路条。

即使未形成这种逻辑电路，在如下的液晶显示器中，视觉检查通过将 V_{on} 电压施加到栅极驱动电路的第一和第二时钟信号端子、开关电源端子、扫描起始端子和驱动信号端子上，并通过将公共电压施加到公共电压端子上来进行，该液晶显示器包括：具有显示区域和围绕区域的第一绝缘衬底；形成在第一绝缘衬底上的多条栅极线；形成在第一绝缘衬底上并与栅极线相交以限定显示区域的多条数据线；形成在第一绝缘衬底上并连接到栅极线和数据线上的像素薄膜晶体管；形成在显示区域上并连接到像素薄膜晶体管上的像素电极；形成在薄膜晶体管的围绕区域上并连接到栅极线上且具有第一和第二时钟信号端子、开关电源端子和扫描起始端子的栅极驱动电路；形成在第一绝缘衬底的围绕区域和驱动信号端子上的驱动信号线；第一绝缘衬底的围绕区域和检查信号端子上的检查信号线；用于检查的薄膜晶体管，其具有连接到数据线上的漏极电极、连接到检查信号线上的源极电极、以及连接到驱动信号线上的栅极电极；形成在第一绝缘区域的围绕区域上的公共电压端子；相对第一绝缘衬底设置的第二绝缘衬底；形成在第二绝缘衬底上并连接到公共电压端子上的公共电极；以及注入到第一和第二绝缘衬底之间的液晶材料。

另外,在如下的液晶显示器中,可以通过将 V_{on} 电压施加到栅极驱动电路的第一和第二时钟信号端子、开关电源端子、扫描起始端子和驱动信号端子上,且通过将检查信号施加到短路条并将公共电压施加到公共电压端子上来进行视觉检查,该液晶显示器包括:由显示区域和围绕区域构成的第一绝缘衬底;形成在第一绝缘衬底上的多条栅极线;形成在第一绝缘衬底上并与栅极线相交以限定显示区域的多条数据线;形成在第一绝缘衬底上并连接到栅极线和数据线上的像素薄膜晶体管;形成在显示区域上并连接到像素薄膜晶体管上的像素电极;形成在薄膜晶体管的围绕区域上并连接到栅极线且具有第一和第二时钟信号端子、开关电源端子和扫描起始端子的栅极驱动电路;形成在第一绝缘衬底的围绕区域上并连接到数据线上的短路条;形成在第一绝缘区域的围绕区域上的公共电压端子;相对于第一绝缘衬底设置的第二绝缘衬底;形成在第二绝缘衬底上并连接到公共电压端子上的公共电极;以及注入第一和第二绝缘衬底之间的液晶材料。

附图说明

图 1 是根据本发明第一和第二实施例的薄膜晶体管的电路图;

图 2A 和 2B 是根据本发明第一实施例的薄膜晶体管的布线图,分别是图 1 所示的 A 和 B 的布线图;

图 3A 和 3B 分别是沿图 2A 的线 IIIa-IIIa'和图 2B 的线 IIIb-IIIb'截取的横截面图;

图 4A 和 4B 到图 9A 和 9B 是显示制造根据本发明第一实施例的薄膜晶体管的每个步骤的横截面图,“A”表示对应于图 3A 的一部分,而“B”表示对应于图 3B 的一部分;

图 10A 和 10B 是根据本发明第二实施例的薄膜晶体管的布线图,分别是图 1 所示的 A 和 B;

图 11A 和 11B 分别是沿着图 10A 的线 XIa-XIa'和图 10B 的 XIb-XIb'截取的横截面图;

图 12 是根据本发明第三实施例的薄膜晶体管的布线图;

图 13 是根据本发明第四实施例的薄膜晶体管的电路图;

图 14 是根据本发明第五实施例的薄膜晶体管的电路图;

图 15 是根据本发明第六实施例的薄膜晶体管的电路图；
图 16 是栅极驱动电路的移位寄存器的框图；
图 17 是一级移位寄存器的详细电路图；
图 18 是图 17 的相应部分的时钟图；
图 19 是图 15 的用于 VI 的逻辑电路的详细电路图；
图 20 是根据本发明第七实施例的薄膜晶体管的电路图；
图 21 是根据本发明第八实施例的薄膜晶体管的电路图；
图 22 是根据本发明第九实施例的薄膜晶体管的电路图；以及
图 23 是根据本发明第十实施例的薄膜晶体管的电路图。

具体实施方式

将参照附图描述薄膜晶体管(TFT)。

图 1 是根据本发明第一和第二实施例的电路图。

多条栅极线 2 横向延伸，而被绝缘以在纵向上与栅极线 2 相交的多条数据线 3 形成在绝缘衬底 100 上。连接到栅极驱动 IC 上的多个栅极焊点 20 连接到栅极线 2 的第一端，而连接到数据驱动 IC 上的多个数据焊点 30 连接到数据线 3 的第二端上。栅极线 2 和数据线 3 彼此相交以限定像素区域，一组像素区域形成显示区域。不同于显示区域的一部分限定为围绕区域。用于检查的栅极 TFT B 连接到与栅极线 2 相对的第三端上，而用于检查的数据 TFT A 连接到与数据线 3 的第二端相对的第四端上。栅极 TFT B 也连接到栅极检查信号线 22 和栅极驱动信号线 24 上，而数据 TFT A 也连接到数据检查信号线 21 和栅极驱动信号线 25 上。栅极线 2、栅极检查信号线 22 和栅极驱动信号线 24 分别与栅极 TFT B 的漏极电极、源极电极和栅极电极相连。另外，数据线 3、数据检查信号线 21 和驱动信号线 25 分别与数据 TFT A 的漏极电极、源极电极和栅极电极相连。第一焊点到第四焊点 39、41、32 和 40 连接到栅极检查信号线 22、栅极驱动信号线 24、数据检查信号线 21 和数据驱动信号线 25 的相应端上。栅极驱动信号线 24 通过第二焊点 41 连接到栅极 V_{off} 端子 52 上，而数据驱动信号线 25 连接到数据 V_{off} 端子 51 上。即，栅极 TFT B 的所有栅极电极连接到栅极 V_{off} 端子 52 上，且数据 TFT A 的所有栅极电极连接到数据 V_{off} 端子 51 上。 V_{off} 端子 51 和 52 通

过在后续工序中经由 FPC (柔性电路板) 连接到 V_{off} 电压源上而作为 V_{off} 电压保持恒定。从而, TFT A 和 B 一直处于关状态, 这与断开状态相同。于是, 不需要进行金刚石切割或激光切割来将用于检查的导线与数据线和栅极线分开。数据检查信号线 21 和数据驱动信号线 25 分别连接到第三和第四焊点 32 和 40 上, 以相同的方式, 栅极检查信号线 22 和栅极驱动信号线 24 分别连接到第一和第二焊点 39 和 41 上。另外, 数据检查信号线 21 和数据驱动信号线 25 可以从要被弯曲的衬底 100 的边缘部分抽出。这是为了同时切割数据检查信号线 21 和数据驱动信号线 25 并沿着切割线(C)抛光边缘的目的。

包括公共电极、黑矩阵(black matrix)和滤色片的衬底 200 面对衬底 100。将参照附图详细描述 TFT 面板的这种衬底。

图 2A 和 2B 为根据本发明第一实施例的 TFT 的布线图, 其分别是 TFT A 和 TFT B 的布线图, 而图 3A 和 3B 是沿着图 2A 的线 IIIa-IIIa'和图 2B 的线 IIIb-IIIb'截取的横截面图。

首先, 参照图 2A 和 3A 描述用于检查的数据 TFT A。

数据检查信号线 21 和数据驱动信号线 25 横向延伸地形成在绝缘衬底 100 上, 而其上形成栅极绝缘层 110。第一半导体图案 401 在栅极绝缘层 110 上沿着纵向延伸。第一半导体图案 401 与数据驱动信号线 25 相交, 但不到达数据检查信号线 21。在第一半导体图案 401 上, 形成欧姆接触层 501 和 502。欧姆接触层 501 和 502 在他们之间暴露出与数据驱动信号线 25 相对应的一部分第一半导体图案 401。用于数据的数据线 3 和源极电极 301 形成在欧姆接触层 501 和 502 的整个表面上。钝化层 120 形成在数据线 3 和源极电极 301 上, 并具有用于暴露出数据检查信号线 21 的第一接触孔 121 和用于暴露出源极电极 301 的第二接触孔 122。用于将数据检查信号线 21 与源极电极 301 连接的第一连接部分 101 形成在钝化层 120 上。

以下, 将参照图 2B 和 3B 描述栅极 TFT B。

栅极检查信号线 22 和栅极驱动信号线 24 纵向延伸地形成在绝缘衬底 100 上, 而栅极线 2 横向延伸。栅极绝缘层 110 形成在其上。第二半导体图案 402 在栅极绝缘层 110 上在横向上延伸。第二半导体图案 402 与栅极驱动信号线 24 相交, 但不到达栅极检查信号线 22。在第二半导体图案 402 上, 形成欧姆接触层 503 和 504。欧姆接触层 503 和 504 在他们之间暴露出与栅

极驱动信号线 24 相对应的一部分第二半导体图案 402。用于栅极的漏极电极 302 和用于栅极的源极电极 303 形成在欧姆接触层 503 和 504 的整个表面上。钝化层 120 形成在漏极电极 302 和源极电极 303 上,并具有用于暴露出栅极线 2 的第三接触孔 123、用于暴露出漏极电极 302 的第四接触孔 124、用于暴露出源极电极 303 的第五接触孔 125 以及用于暴露出栅极检查信号线 22 的第六接触孔 126。用于将栅极线 2 与漏极电极 302 连接的第二连接部分 102 和用于将源极电极 303 和栅极检查信号线 22 连接的第三连接部分 103 形成在钝化层 120 上。

图 4A 和 4B 到图 9A 和 9B 为显示制造根据本发明第一实施例的薄膜晶体管的每个步骤的横截面图,“A”表示对应于图 3A 的部分,而“B”表示对应于图 3B 的部分。

首先,如图 4A 和图 4B 所示,在绝缘层 100 上,沉积栅极金属层并光刻以形成栅极线 2、栅极检查信号线 22、栅极驱动信号线 24、数据检查信号线 21 和数据驱动信号线 25,他们可以形成为双层。例如,沉积具有所需的物理化学特性的 Cr 或 Mo 合金层,以形成第一层,然后,沉积具有较小电阻的 Al 或 Ag 合金,以在第一层上形成第二层。

接着,如图 5A 和 5B 所示,通过化学气相沉积将由 SiN_x 制成的栅极绝缘层 110、半导体层 400 和欧姆接触层 500 依次沉积为 1500~5000Å 厚、500~2000Å 厚和 300~600Å 厚,然后,沉积数据金属层 300,接着,在其上涂敷 1~2μm 厚的感光膜。数据金属层可以形成为双层。例如,沉积具有所需物理化学特性的 Cr 或 Mo 合金层,以形成第一层,然后,沉积具有较小电阻的 Al 或 Ag 合金,以在第一层上形成第二层。金属层可以通过例如溅射方法沉积。此外,栅极绝缘层 110 由 SiN_x 制成,半导体层 400 由无定形硅制成,而欧姆接触层由以高浓度掺杂诸如 P 的 N 型杂质的无定形硅制成。

接着,通过将光线经掩膜照射到感光膜 900 中并显影而形成感光膜图案 911 和 912。除去感光膜 900,以留下第一部分 912 和第二部分 911,第一部分 912 被形成得比第二部分 911 薄。第一部分 912 位于显示区域的源极电极(未示出)和漏极电极(未示出)之间、数据线 3 和源极电极 301 之间、以及漏极电极 302 和源极电极 303 之间,而第二部分 911 位于将形成包括显示区域的源极和漏极电极、数据线 3 和源极电极 301、漏极电极 302 和源极电极 303 的数据层图案 3、301、302 和 303 的部分上。在这种情况下,

留在通道部分 C 内的第一部分 912 的厚度与留在数据层图案部分 A 中的第二部分 911 的厚度的比随后面描述的蚀刻条件而变化。例如，第一部分 912 的厚度小于第二部分 911 的一半，例如，小于 4000Å。

如上所述，有用于根据位置不同而改变感光膜的厚度的多种方法，且狭缝型或网格型图案形成在掩膜上，或通过利用半透明薄膜在其上形成半透明区域，以调节区域 A 内的光透射量。

在这方面中，优选的是，在狭缝中放置的图案的线宽度或图案的间隔，即，狭缝的宽度小于在利用半透明薄膜情况下用于曝光的分辨率，且在制造掩膜时，可以用具有不同透射率或不同厚度的薄膜来调节透射率。

当光线通过这种掩膜照射到感光膜上时，在直接暴露于光线中的部分内的聚合分子完全分解，而在狭缝图案或半透明薄膜所形成的部分内的聚合分子由于光照射量降低而未完全分解，且光遮蔽膜遮挡部分中的聚合物分子很难分解。接着，当感光膜显影时，只有聚合分子未分解的部分得以留下，而光稍微照射的部分比光完全未照射的部分薄。为了获得这种效果，应该适当地调节曝光时间。

利用由能够重熔(reflow)的材料制成的感光膜形成这种薄感光膜。即，它用普通的掩膜曝光，该掩膜具有完全透射光线的部分和完全不透射光线的部分，然后，显影并重熔以使得一部分感光膜流动到未剩余感光膜的部分，于是，形成薄的感光膜。

接着，感光膜 900 及其下层薄膜，即，数据金属层 300、欧姆接触层 500 和半导体层 400 被蚀刻。数据金属层 300 及其下层薄膜同样保留在数据层图案部分 A 中，只有半导体层 400 留在通道部分 C 中，且在其他部分 B 内三个层 300、500 和 400 都被去除以暴露出栅极绝缘层 110。

首先，如图 6A 和 6B 所示，暴露在其他部分 B 中的数据金属层 300 被去除以暴露出其欧姆接触层 500。在这个步骤中使用干法蚀刻和湿法蚀刻。蚀刻在数据金属层 300 被蚀刻并且感光膜图案 911 和 912 几乎不蚀刻的条件下进行。然而，在干法蚀刻中不容易找到只有数据金属层 300 被蚀刻而感光膜图案 911 和 912 不被蚀刻的条件，因此，干法蚀刻可以在感光膜图案 911 和 912 也被蚀刻的条件下进行。在这种情况下，所需的是第一部分 912 的厚度比在湿法蚀刻中获得的厚度厚，以便不暴露出下面的数据金属层 300。

以这种方式,如图 6A 和 6B 所示,在通道部分 C 和数据层图案部分 A 中的数据金属层 300,即,仅显示区域的数据线 3 和源极电极 301、漏极电极 302 和源极电极 303 得以留下,而其他部分 B 中的数据金属层被去除以暴露出其欧姆接触层 500。剩余的数据金属层 310 和 320 与数据层图案 3、301、302 和 303 具有相同的形式,除了源极电极和漏极电极以外,数据线 3 和源极电极 301、以及漏极电极 302 和源极电极 303 未分离。同时,当使用干法蚀刻时,感光图案 911 和 912 蚀刻到一定程度的厚度。

接着,如图 7A 和图 7B 所示,在其他部分 B 中暴露的欧姆接触层 500 及其下部半导体层 400 与第一部分一起由干法蚀刻同时去除。欧姆接触层 500 和半导体层 400 的蚀刻应该在感光膜图案 911 和 912、欧姆接触层 500 以及半导体层 400 (半导体层和中间层几乎不具有蚀刻选择性) 被同时蚀刻且栅极绝缘层 110 不被蚀刻的条件下进行。尤其是,优选地感光膜图案 911 和 912 与半导体图案 400 的蚀刻比率几乎相同。例如,当利用 SF_6 和 HCl 或 SF_6 和 O_2 的混合气体时,该两层可以蚀刻几乎相同的厚度。当感光膜图案 911 和 912 以及半导体图案 400 的蚀刻比率相同时,第一部分 912 的厚度与半导体层 400 和欧姆接触层 500 的厚度总和相同或小于后者。

以这种方式,如图 7A 和图 7B 所示,通道部分 C 中的第一部分 912 被去除以暴露出剩余的数据金属层 310 和 320,而在其他部分 B 中的欧姆接触层 500 和半导体层 400 被去除以暴露出其下部栅极绝缘层 110。同时,数据层图案部分 A 中的第二部分 911 也被蚀刻,并由此变得更薄。此外,在这个步骤中完成半导体图案 401 和 402。附图标记 510 和 520 分别表示剩余的数据金属层 310 和 320 的下部欧姆接触层图案。

然后,留在通道部分 C 中的数据金属层 310 和 320 表面内的感光膜残余通过灰化工艺去除。

接着,如图 8A 和 8B 所示,在通道部分 C 中的数据金属层 310 和 320 及其下部欧姆接触层图案 510 和 520 被蚀刻去除。他们的蚀刻可以只利用干法蚀刻实现,剩余的数据金属层 310 和 320 可以由湿法蚀刻来蚀刻,且欧姆接触层图案 510 和 520 可以由干法蚀刻来蚀刻。在前者情况下,优选的是,剩余的数据金属层 310 和 320 及其下部欧姆接触层 510 和 520 在其蚀刻选择比大的条件下进行蚀刻,这是因为,如果蚀刻选择比不大,则不容易发现蚀刻的终止点,由此不容易调节留在通道部分 C 内的半导体图案 401 和 402

的厚度。在一个接一个地进行干法蚀刻和湿法蚀刻的后一情况下，剩余数据金属层 310 和 320 的侧部由湿法蚀刻来蚀刻，然而，欧姆接触层图案 510 和 520 几乎不能通过干法蚀刻来蚀刻，由此形成台阶形状。作为用于蚀刻剩余的数据金属层 310 和 320 以及下欧姆接触层图案 510 和 520 的蚀刻气体的示例，存在上述的 CF_4 和 HCl 混合气体或 CF_4 和 O_2 的混合气体。如果使用 CF_4 和 O_2 的混合气体，可以留下具有均匀厚度的半导体图案 401 和 402。在这个方面，如图 16B 所示，部分半导体图案 401 和 402 被去除，并从而其厚度变得更薄，并且此处，感光膜图案的第二部分 911 也被蚀刻到一定程度的厚度。此蚀刻在栅极绝缘层 110 未被蚀刻的条件下进行，且优选的是感光膜图案较厚，使得第二部分 911 被蚀刻而不暴露出下部的数据层图案 3、301、302 和 303。

以这种方式，显示区域的源极电极和漏极电极、数据线 3 和源极电极 301、源极电极 303 和漏极电极 302 彼此隔离，且数据层图案 3、301、302 和 303 及其下部的欧姆接触层图案 501、502、503 和 504 同时完成。

最后，留在数据层图案部分 A 内的感光膜的第二部分 911 被去除，然而，第二部分 911 可以在通道部分 C 内的数据金属层 310 和 320 被蚀刻之后，并在其下部的欧姆接触层图案 510 和 520 被去除之前去除。

如上所述，湿法蚀刻和干法蚀刻可以一个接一个地使用，或可以仅使用干法蚀刻。后者由于使用一种蚀刻而在工艺上相对简单，但是蚀刻条件不容易找到。相反，前者相对后者复杂，但是蚀刻条件相对容易找到。

接着，钝化层 120 通过沉积诸如 SiN_x 、 SiO_x 等的无机绝缘层，或通过涂敷有机绝缘层，或通过由化学气相沉积来生长 a-Si:C:O 薄膜或 a-Si:O:F 薄膜来形成。在此， a-Si:C:O 薄膜或 a-Si:O:F 薄膜为无机绝缘层，并具有非常低的介电常数，该介电常数在 2 到 4 的范围内。在 a-Si:C:O 薄膜的情形下， $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ 、 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ 等用作碱性源(basic source)，且诸如 N_2O 或 O_2 的氧化剂和诸如 Ar 或 He 的混合气体被流动以沉积 a-Si:C:O 。另外，在 a-Si:C:F 的情况下， O_2 和 SiH_4 、 SiF_4 的混合气体被流动以将其沉积。在此， CF_4 可以作为辅助氟源而加入。

接着，如图 9A 和 9B 所示，钝化层 120 与栅极绝缘层 110 一同由光刻来蚀刻，以形成第一到第六接触孔，用于分别暴露出数据检查信号线 21、源极电极 301、栅极线 2、漏极电极 302 和栅极检查信号线 22。在这种情况下

下,还形成了用于暴露栅极焊点(未示出)、数据焊点(未示出)和漏极电极(未示出)的接触孔(未示出)。

最后,如图3A和3B所示,具有4000Å到500Å厚度的ITO或IZO被沉积并光刻,以形成第一到第三连接部分101、102和103。同样,在这个步骤中还形成显示区域的像素电极(未示出)、连接到栅极焊点的辅助栅极焊点(未示出)和连接到数据焊点上的辅助数据焊点(未示出)。

由于Cr蚀刻剂可以用作蚀刻剂,因此在使用IZO形成第一到第三连接部分101、102和103、像素电极、辅助栅极焊点和辅助数据焊点的地方,防止了在形成这些元件的工序中通过接触孔暴露的数据线或栅极线金属被腐蚀。作为这种Cr蚀刻剂,存在 $\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O}$ 等。另外,优选的是IZO在室温到200°C的温度下沉积,以便使接触部分的接触电阻减至最小,且用于形成IZO膜的靶包括 In_2O_3 和ZnO,且ZnO含量在15-20atm%范围内。

同时,优选的是氮被用作ITO或IZO沉积之前的预热中采用的气体,这是因为防止了金属氧化物膜形成在通过接触孔121、122、123、124、125和126暴露出金属膜的上侧上。

已经描述了应用利用四次光刻工艺制造TFT面板的方法时形成用于检查的TFT的工艺及其结构。将在下面描述利用五次光刻工艺制造TFT面板的方法及其结构。

首先将描述其结构。

图10A和10B是根据本发明第二实施例的薄膜晶体管的布线图,分别为图1所示的A和B,而图11A和B分别是沿图10A的线XIa-XIa'和图10B的线XIb-XIb'截取的横截面图。

首先,将参照图10A和图11A描述用于检查的数据TFT A。

数据检查信号线21和数据驱动信号线25横向延伸地形成在绝缘衬底100上,而栅极绝缘层110形成在数据检查信号线21和数据驱动信号线25上。在栅极绝缘层110上,第一半导体图案401在数据驱动信号线25的上侧上形成为岛形。欧姆接触层501和502形成在第一半导体图案401上,并在它们之间暴露出与数据驱动信号线25相对应的一部分第一半导体401。横向延伸的用于数据的数据线3和源极电极301形成在欧姆接触层501和502上。数据线3延伸到一个欧姆接触层501上,而源极电极301具有与其

他欧姆接触层 501 相同的图案。钝化层 120 形成在数据线 3 和源极电极 301 上,并具有用于暴露出数据检查信号线 21 的第一接触孔 121 和用于暴露出源极电极 301 的第二接触孔 122。用于将数据检查信号线 21 与源极电极 301 相连接的第一接触部分 101 形成在钝化层 120 上。

接着,将参照图 10B 和图 11B 描述用于检查的栅极 TFT B。

栅极检查信号线 22 和栅极驱动信号线 24 纵向延伸地形成在绝缘衬底 100 上,而栅极线 2 在横向上形成。栅极绝缘层 110 形成在栅极线 2、栅极检查信号线 22 和栅极驱动信号线 24 上。在栅极绝缘层 110 上,第二半导体图案 402 形成在栅极驱动信号线 24 上侧上的岛形状。欧姆接触层 503 和 504 形成在第二半导体图案 402 上,并在它们之间暴露出与栅极驱动信号线 24 相对应的一部分第二半导体图案 402。用于栅极的漏极电极 302 和源极电极 303 形成在欧姆接触层 503 和 504 上。漏极电极 302 延伸到欧姆接触层 503 上,而源极电极 303 延伸到另一个欧姆接触层 504 上。钝化层 120 形成在漏极电极 302 和源极电极 303 上,并具有用于暴露出栅极线 2 的第三接触孔 123、用于暴露出漏极电极 302 的第四接触孔 124、用于暴露出源极电极 303 的第五接触孔 125 和用于暴露出栅极检查信号线 22 的第六接触孔。用于将栅极线 2 与漏极电极 302 连接的第二连接部分 102 和用于将源极电极 303 与栅极检查信号线 22 连接的第三连接部分 103 形成在钝化层 120 上。

然后,将描述制造具有如此结构的 TFT 的方法。

首先,在绝缘衬底上沉积并构图栅极金属层,以形成栅极线 2、栅极检查信号线 22、栅极驱动信号线 24、数据检查信号线 21 和数据驱动信号线 25。

接着,由 SiN_x 制成的栅极绝缘层 110、由无定形硅制成的半导体层和由掺杂的无定形硅制成的欧姆接触层这三个层依次沉积,然后,蚀刻半导体层和欧姆接触层以形成具有岛形状的半导体层 401 和 402、以及具有与半导体层 401 和 402 相同形状的欧姆接触层图案。

接着,沉积并光刻数据金属层,以形成数据层图案,其包括与栅极线 2 相交的数据线、用于数据的源极电极 301、用于栅极的漏极电极 302 和用于栅极的源极电极 303。

然后,未被数据层图案阻挡的欧姆接触层得以蚀刻,以被分割成围绕栅极驱动信号线 24 和数据驱动信号线 25 的相对侧,从而暴露出欧姆接触

层图案 501、502、503 和 504 中的半导体层图案 401 和 402，可以进行氧气等离子体处理，以便使半导体图案 401 和 402 的暴露表面稳定。

接着，通过沉积诸如 SiN_x 、 SiO_x 等的无机绝缘层，或通过沉积有机绝缘层，或通过由化学气相沉积生长 a-Si:C:O 薄膜或 a-Si:O:F 薄膜来形成钝化层 120。

然后，通过光刻，一起构图钝化层 120 与栅极绝缘层 110，以形成第一到第六接触孔 121、122、123、124、125 和 126。

最后，如图 11A 和 11B 所示，沉积和光刻 ITO 膜或 IZO 膜，以形成第一至第三连接部分 101、102 和 103。

已经描述了其中每个用于检查的栅极 TFT 和用于检查的数据 TFT 施加有相同的扫描信号和图像信号以便被同时驱动的 TFT 面板。然而，不可能探测到相邻导线之间产生的短路。以下将描述具有能够检测相邻导线之间产生的短路的结构的 TFT 面板。

图 12 是根据本发明第三实施例的薄膜晶体管面板的电路图。

多条栅极线 2 在横向上延伸，而被绝缘以在纵向上与栅极线 2 相交的多条数据线 3 形成在绝缘衬底 100 上。连接到栅极驱动 IC 的多个栅极焊点 20 连接到栅极线 2 的第一端上，而连接到数据驱动 IC 上的多个数据焊点 30 连接到数据线 3 的第二端上。栅极线 2 和数据线 3 彼此相交，以限定一像素区域，且一组像素区域形成显示区域 17。用于检查的第一和第二栅极薄膜晶体管(以下称为 TFT)(B_1 、 B_2)连接到相对栅极线 2 的第一端的第三端上，而用于检查的第一和第二数据 TFT(A_1 、 A_2)连接到与数据线 3 的第二端相对的第四端上。第一栅极 TFT B_1 连接到第一栅极检查信号线 22a 和栅极驱动信号线 24 上，而第二栅极 TFT B_2 连接到第二栅极信号线 22b 和栅极驱动检查信号线 24 上。另外，第一数据 TFT A_1 连接到第一数据检查信号线 21a 和栅极驱动信号线 25 上，而第二数据 TFT A_2 连接到第二数据检查信号线 21b 和数据驱动信号线 25 上。栅极线 2 连接到第一和第二栅极 TFT B_1 和 B_2 的漏极电极上，而栅极驱动信号线 24 连接到第一和第二栅极 TFT B_1 和 B_2 的源极电极上。第一检查信号线 22a 连接到第一栅极 TFT B_1 的源极电极上，而第二栅极检查信号线连接到第二栅极 TFT B_2 的源极电极上。另外，数据线 3 连接到第一和第二数据 TFT A_1 和 A_2 的漏极电极上，而数据驱动信号线 25 连接到第一和第二数据 TFT A_1 和 A_2 的栅极电极上。第一数据检查信号

线 21 连接到第一数据 TFT A_1 的源极电极上, 而第二数据检查信号线 21b 连接到第二数据 TFT A_2 的源极电极上。第一和第二数据检查信号线 21a 和 21b、第一和第二栅极检查信号线 22a 和 22b、栅极驱动信号线 24 和数据驱动信号线 25 连接到用于检查的第一到第六数据焊点 32a、32b、39a、39b、41 和 40 的相应一端上。在这种情况下, 数据驱动信号线 24 通过第五焊点 41 连接到栅极 V_{off} 端子 52 上, 而数据驱动信号线 25 连接到数据 V_{off} 端子 51 上, 即, 栅极 TFT B_1 和 B_2 的所有栅极电极连接到栅极 V_{off} 端子 52 上, 而数据 TFT A_1 和 A_2 的所有栅极电极连接到数据 V_{off} 端子 51 上。 V_{off} 端子 51 和 52 通过后面的步骤中经 FPC 连接到 V_{off} 电压源上而保持恒定为 V_{off} 电压。从而, TFT A 和 B 一直处于与断开状态相同的关状态, 于是, 不需要进行金刚石切割或激光切割来将用于检查的导线与数据线和栅极线分开。

包括公共电极、黑矩阵和滤色片的衬底 200 面对衬底 100。

同时, 由于栅极线 2 依次连接到第一栅极 TFT B_1 和第二栅极 TFT B_2 上, 且数据线 3 依次连接到第一数据 TFT A_1 和第二数据 TFT A_2 上, 所以可以通过单独驱动 TFT A_1 、 A_2 、 B_1 和 B_2 依次驱动数据线 3 和栅极线 2。于是, 可以探测到栅极线 2 和数据线 3 中的短路。

图 13 是根据本发明第四实施例的 TFT 面板的电路图。

在根据本发明第四实施例的 TFT 面板中, 用于检查的数据 TFT 依次连接到三条数据检查信号线 21R、21G 和 21B 上。栅极信号线 22a 和 22b 延伸, 以至于栅极信号线 22a 和 22b 的焊点 39a 和 39b 形成在与数据检查信号线 21R、21G 和 21B 的焊点 32R、32G 和 32B 相邻的位置上。

由于数据 TFT 依次连接到三条数据检查信号线 21R、21G 和 21B 上, 所以可以检查红、绿和蓝每种颜色。通过在与数据检查信号线 21R、21G 和 21B 的焊点 32R、32G 和 32B 相邻的位置上形成栅极信号线 22a 和 22b 的焊点 39a 和 39b, 便于与用于检查的驱动装置进行连接, 并且, 这可以应用于上述的第一到第三实施例和后面描述的第五实施例。

图 14 是根据本发明第五实施例的 TFT 面板的电路图。

如第四实施例中一样, 在第五实施例中, 各颜色的检查通过将用于检查的数据 TFT 连接到三条数据驱动信号线 25R、25G 和 25B 上而成为可能, 然而, 其连接状态与第四实施例中的不同。即, 在第四实施例中用于检查的数据 TFT 的源极电极依次连接到三条数据检查信号线 21R、21G 和 21B

上,但是用于检查的数据 TFT 的栅极电极依次连接到三条数据驱动信号线 25R、25G 和 25B 上。另外,如第一实施例中的一样,用于检查的栅极 TFT 都连接到栅极检查信号线 22 和栅极驱动信号线 24 上。在这种结构中,可以探测数据线之间的短路。

在以下的第六实施例中,形成了能够利用逻辑电路进行 VI 的用于液晶显示器的 TFT 面板。

图 15 是根据本发明第六实施例的薄膜晶体管的电路图。图 16 是栅极驱动电路的移位寄存器的框图,图 17 是一级移位寄存器中的详细电路图,图 18 是图 17 的相应部分的时钟图(timing diagram),图 19 是图 15 的用于 VI 的逻辑电路的详细电路图。

作为示例,以下将描述用于 LCD 的 TFT 面板。

参照图 15,在 TFT 面板 10 上形成显示区域 150,该区域包括多个像素、栅极驱动电路 170、用于 VI 的逻辑电路 180、作为数据驱动电路的一部分的包括多个晶体管 ST2 和 ST3 的传输门部分 120 TG、多个用于 VI 的信号线 111、和多个信号焊点 V_{on} 、 V_{off} 、VCK1、VCK2、VST、CON1、CON2、CON3、TG1、TG2 和 Vcom。这些元件在形成 TFT 和像素电极的过程中一同形成。

显示区域 150 包括在行的方向上延伸的 m 条数据线 DL1~DLm,和在列的方向上延伸的 n 条栅极线 GL1~GLn。

开关晶体管 ST1 形成在数据线和栅极线的交点上。开关晶体管 ST1 的漏极连接到数据线 Dli 上,而其栅极连接到栅极线 Gli 上。开关晶体管 ST1 的源极连接到透明像素电极 PE 上。液晶 LC 位于透明像素电极 PE 和滤色片(未示出)之间形成的透明公共电极中。

透射的光量通过根据施加到透明像素电极 PE 和透明公共电极 CE 上的电压来控制液晶的排列而予以调节,从而呈现出各像素的灰度。

将参照图 16 到 18 详细描述图 15 所示的栅极驱动电路 170。

栅极驱动电路 170 包括移位寄存器。图 16 所示的移位寄存器 174 具有极联连接的多个级 SRC1~SRC193。即,各级的相应的输出端子 OUT 连接到下一级的输入端子 IN 上。这些级包括具有与栅极线数量一致的级数量(在本实施例中为 192)的级 SRC1~SRC192 和一个虚级(dummy stage)SRC193 构成。每级具有一输入端子 IN、一输出端子 OUT、一控制端子 CT、一时

钟信号输入端子 CK、一第一电源电压端子 VSS 和一第二电源电压端子 VDD。在这种情况下，第一级 SRC1 的输入端子 IN 连接到 VST 焊点上，第一电源电压端子 VSS 连接到 V_{off} 焊点，而第二电源电压端子 VDD 连接到 V_{on} 焊点。另外，级 SRC1~SRC193 的时钟信号输入端子 CK 连接到 VCK1 或 VCK2。

图 18 所示的起始信号 ST 输入到第一级的输入端子上。在此，起始信号为与垂直同步信号同步的脉冲信号。

各级的输出信号 OUT1~OUT192 连接到相关的栅极线上。奇数级 SRC1 和 SRC3 设置有第一时钟信号 CK，而偶数级 SRC2 和 SRC4 设置有第二时钟信号 CKB。第一时钟信号 CK 和第二时钟信号 CKB 彼此反相。

每级（例如 SRC1）的控制端子被提供给下一级（例如 SRC2）的输出信号（例如 OUT2）作为控制信号。即，输入到控制端子 CT 的控制信号由其本身的工作周期延迟。

因此，由于各级的输出信号以有功间隔(active interval)(高态(high state))依次产生，所以选出对应于各输出信号的有功间隔的水平线。

参照图 17，将详细描述各级 SRC1~SRC193 的电路的示例性结构。

如图 17 所示，每级的移位寄存器 174 包括上拉装置 181、下拉装置 182、上拉驱动装置 184、下拉驱动装置 186、防浮置装置 188 和防导通装置 190。

上拉装置 181 包括上拉 NMOS 晶体管 NT1，其具有连接到时钟信号输入端子 CK 的漏极，连接到第一节点 N1 的栅极、以及连接到输出端子 OUT 的源极。

下拉装置 182 包括下拉 NMOS 晶体管 NT2，其具有连接到输出端子 OUT 的漏极、连接到第二节点 N2 的栅极、以及连接到第一电源电压 VSS 的源极。

上拉驱动装置 184 包括电容器 C 和 NMOS 晶体管 NT3~NT5。电容器连接在第一节点 N1 和输出端子 OUT 之间。晶体管 NT3 具有共同连接到输入端子 IN 上的漏极和栅极、以及连接到第一节点 N1 上的源极。晶体管 NT4 具有连接到第一节点 N1 上的漏极、连接到第二节点 N2 上的栅极和连接到第一电源电压 VSS 上的源极。晶体管 NT5 具有连接到第一节点 N1 上的漏极、连接到控制端子 CT 上的栅极、以及连接到第一电源电压 VSS 上的源极。

下拉驱动装置 186 包括两个 NMOS 晶体管 NT6 和 NT7。晶体管 NT6 具有连接到第二电源电压 VDD 上的漏极、连接到控制端子 CT 上的栅极、以及连接到第二节点 N2 上的源极。晶体管 NT7 具有连接到第二节点 N2 上的漏极、连接到输入端子 IN 上的栅极、以及连接到第一电源电压 VSS 上的源极。

防浮置装置 188 包括 NMOS 晶体管 NT8，其具有共同连接到第二电源电压 VDD 上的漏极和栅极、以及连接到第二节点 N2 上的源极。晶体管 NT8 被构造成尺寸相对小，例如为晶体管 NT7 的二十分之一。

防导通装置 190 包括 NMOS 晶体管 NT9，其具有连接到第二节点 N2 上的漏极、连接到输出端子 OUT 上的栅极和连接到第一电源电压 VSS 上的源极。晶体管 NT9 的尺寸相对于晶体管 NT7 大约为 1:2。

如图 18 所示，当第一和第二时钟信号 CK 和 CKB、以及扫描起始信号 ST 施加到移位寄存器 170 上时，第一级 SRC1 响应扫描起始信号 ST 的前边，而将第一时钟信号的高电平间隔延迟特定的时间(T_{dr1})，然后向输出端产生输出信号。

扫描起始信号 ST 的有功间隔相对于高电平间隔具有大约 1/4 周期的超前相(leading phase)。起始信号 ST 的有功间隔被分成从脉冲的前边或上升边开始的启动时间(set time) T_{s1} 和从脉冲的后边或下降边开始的保持时间 T_{s2} 。

于是，输出信号 OUT1 的前边具有大约 2~4 μ s 延迟的前边，即，自保持时间 T_{s2} 的起始点的上升边。也就是说，第一时钟信号 CK 的有功间隔或高电平间隔被延迟 T_{dr1} ，以在输出端子 OUT 中产生。

这种延迟特征的原因为上拉驱动装置 184 的电容器 C 在前边处从晶体管 NT4 的截止状态开始经由晶体管 NT3 充电，然后，在电容器 C 的充电电压被充到超过上拉晶体管 NT1 的栅极-源极的阈值电压后，上拉晶体管导通，且第一时钟信号 CK 的高电平间隔开始在输出端子产生。

当在输出端子的时钟信号的高电平间隔开始产生时，这个输出电压在电容器 C 中自举(bootstrap)，以将上拉晶体管的栅极电压增大到超过导通电压 VDD。于是，NMOS 晶体管的上拉晶体管 NT1 保持在全导通状态。

另一方面，在下拉驱动装置 186 中，由于晶体管 NT7 在晶体管 NT6 的截止状态下截止，所以第二节点 N2 的电压降低到第一电源电压 VSS。在这

种情况下,防浮置装置 188 的晶体管 NT8 保持为导通状态,然而,由于导通的晶体管 NT7 比晶体管 NT8 约大二十倍,所以第二节点 N2 在第二电源电压 VDD 的状态下降低到第一电源电压 VSS。由此,下拉晶体管 NT2 从导通状态变为截止状态。

当导通电压($V_{ON}=VDD$)在输出端子 OUT 上产生时,防导通装置 190 的晶体管 NT9 导通,且用第一电源电压 VSS 驱动第二节点 N2 的效率增大大约 50%。因此,下拉晶体管的漏极-源极寄生电容器可以防止第二节点 N2 的电压在输出信号的上升-移位处增大。于是,可以防止在输出信号的上升-移位处导通下拉晶体管的误操作。

输出端子 OUT 的输出信号 OUT1 由第一时钟信号 CK 的工作周期产生。

当输出端子 OUT 的输出信号电压处于截止电压($V_{OFF}=VSS$)状态时,晶体管 NT9 截止,以通过晶体管 NT8 只将第二电源电压 VDD 提供到第二节点上,并由此第二节点 N2 的电压开始从第一电源电压 VSS 上升到第二电源电压 VDD。当第二节点的电压开始上升时,晶体管 NT4 开始导通,由此,电容器的充电电压开始通过晶体管 NT4 放电,于是,上拉晶体管 NT1 也开始截止。

此后,由于提供至控制端子 CT 的下一级的输出信号增大到导通电压,所以这导致晶体管 NT5 和 NT6 导通。因此,第二节点 N2 的电压快速增大到由晶体管 NT6 和 NT8 所提供的第二电源电压 VDD,而第一节点 N1 的电压通过晶体管 NT4 和 NT5 快速下降到第一电源电压 VSS。

于是,上拉晶体管 NT1 截止,而下拉晶体管 NT2 导通,从而输出端子 OUT 从导通电压 V_{on} 降低到第一电源电压的截止电压 V_{off} 。

即使提供给控制端子 CT 的下一级的输出信号处于低电平而截止晶体管 NT6,但是第二节点 N2 通过晶体管保持为第二电源电压的偏置状态,且第一节点 N1 通过维持导通状态的晶体管 NT4 而保持为第一电源电压 VSS 的偏置状态。因此,即使晶体管 NT2 和 NT4 的阈值电压由于长期使用而增大,也能稳定工作,而不会由于第二节点 N2 的电压保持为第二电源电压 VDD 而出现截止晶体管 NT2 的误操作。

接着,将参照图 19 详细描述图 15 所示的用于 VI 的逻辑电路 180。

逻辑电路 180 包括两排 NOR(或非)门,在第一排中的或非门 NOR1 的第一输入端子相应地连接到各级 SRC1~SRC192 的输出端子上,而其第二输

入端子全连接到 CON1 焊点上。第二排中的或非门 NOR2 和 NOR3 的第一输入端子相应地连接到或非门 NOR1 的输出端子上，其第二输入端子连接到 CON2 焊点或 CON3 焊点上。在本发明这个实施例中，奇数列中的或非门 NOR2 连接到 CON2 焊点上，而偶数列中的或非门 NOR3 连接到 CON3 焊点上。

在进行视觉检查 (VI) 时，没有信号从栅极驱动电路 170 的级 SRC1~SRC2 输入。因此，第一输入端子的信号总是处于关(0)状态。在这种情况下，当开(1)信号经由 CON1 焊点输入到第二输入端子上时，在 NOR1 的输出端子处产生关(0)信号。也就是说，关(0)信号输入到 NOR2 和 NOR3 的第一输入端子上。因此，取决于输入到其第二输入端子上的信号，只有奇数列或只有偶数列被导通(1)，或者他们都导通(1)。当关(0)信号通过 CON2 焊点输入到 NOR2 的第二输入端子上时，在奇数列的栅极线处产生开(1)信号，且当开(1)信号经由 CON2 焊点输入到其上时，在奇数列内的栅极线处产生关(0)信号。当关(0)信号经由 CON3 焊点输入到 NOR3 的第二输入端子上时，在偶数列的栅极线处产生开(1)信号，且当开(1)信号经由 CON3 焊点输入其上时，在偶数列内的栅极线处产生关(0)信号。

当之后驱动液晶显示器时，关(0)信号施加到所有 CON1、CON2 和 CON3 焊点。在这种方式中，由于施加到栅极线上的信号根据从栅极驱动电路 170 的各级 SRC1~SRC192 输出的信号决定，因此用于 VI 的逻辑电路 180 等同于不存在。

上述逻辑表示在表 1 中。

表 1

	CON1	CON2	CON3
奇数导线开	1	0	1
偶数导线开	1	1	0
所有导线开	1	0	0
所有导线关	1	1	1
在面板工作时	0	0	0

现在，将描述用于 VI 的数据线的引线。

如图 15 所示，作为驱动电路一部分的传输门部分 120 形成在 TFT 面板上，而传输门的输入端子全都连接到短路条 111 上。各 TFT ST2 和 ST3 的源极电极连接到短路条 111 上，作为传输门的输入端子，其漏极电极连接

到各数据线 DL1 和 DL2 上, 且其栅极电极连接到两个传输门端子 TG1 和 TG2 中的一个上. 在图 15 中, 奇数 TFT ST2 连接到 TG1 上, 而偶数 TFT ST3 连接到 TG2 上.

当在这种结构中进行 VI 时, 图像信号经由 V_s 端子输入到短路条 111 上. 传输门部分 120 的 TFT ST2 和 ST3 可以根据输入到 TG1 和 TG2 端子上的信号而导通或截止, 以将图像信号提供到奇数数据线或偶数数据线上, 或者所有数据线上.

本发明第六实施例实现了能够利用用于 VI 的逻辑电路部分 180 区别地驱动奇数栅极线和偶数栅极线的 2G 和能够利用短路条 111 和传输门部分 120 区别地驱动奇数数据线和偶数数据线的 2D. 从而, 可以探测到相邻数据线 DL1~DLn 以及相邻栅极线 GL1~GLn 之间的短路.

在图 15 中, A 表示安装数据驱动集成电路 (IC) 的位置, 而 B 表示激光照射以在完成 VI 后将短路条 111 与传输门部分 120 分开的线.

当 VI 在如上所述的构造下进行时, 从各焊点输入的信号表示在表 2 中.

表 2

序号	焊点名称	施加到焊点上的电压
1	V_{on}	V_{on}
2	V_{off}	V_{off}
3	Vcom	Vcom
4	CON1	V_{on}
5	CON2	V_{on} 或 V_{off} (根据要被驱动的奇数栅极线或偶数栅极线而变化)
6	CON3	V_{on} 或 V_{off} (根据要被驱动的奇数栅极线或偶数栅极线而变化)
7	V_s	图像信号
8	TG1	V_{on} 或 V_{off} (根据要被驱动的奇数栅极线或偶数栅极线而变化)
9	TG2	V_{on} 或 V_{off} (根据要被驱动的奇数栅极线或偶数栅极线而变化)

将描述本发明的第七实施例.

图 20 是根据本发明第七实施例的 TFT 的电路图.

本发明的第七实施例与第六实施例相同, 除了没有传输门部分且短路条为两个以外. 在第七实施例中, 奇数数据线连接到第一短路条 112 上, 而偶数数据线连接到第二短路条 113 上. 第一短路条 112 和第二短路条 114

每一条均连接到 Vs1 和 Vs2 端子上以形成 2D 结构.本发明的第七实施例要在 TFT 面板上仅集成了栅极驱动电路的情况下实现 2G、2D 和 VI 结构.

当在如上所述构造下进行 VI 时,从各焊点输入的信号表示在表 3 中.

表 3

序号	焊点名称	施加到焊点上的电压
1	V_{on}	V_{on}
2	V_{off}	V_{off}
3	Vcom	Vcom
4	CON1	V_{on}
5	CON2	V_{on} 或 V_{off} (根据要被驱动的奇数栅极线或偶数栅极线而变化)
6	CON3	V_{on} 或 V_{off} (根据要被驱动的奇数栅极线或偶数栅极线而变化)
7	Vs1	图像信号 1
8	Vs2	图像信号 2

图 21 是根据本发明第八实施例的 TFT 面板的电路图.

本发明的第八实施例与第六实施例相同,不同之处在于没有短路条,且取而代之的是形成了用于检查的第一和第二数据 TFT A₁ 和 A₂.

如图 21 所示,第一数据 TFT A₁ 连接到第一数据检查信号线 21a 和数据驱动信号线 25 上,而第二数据 TFT A₂ 连接到第二数据检查信号线 21b 和数据驱动信号线 25 上.另外,数据线 DL1~DLn 连接到第一和第二数据 TFT A₁ 和 A₂ 的漏极电极上,而数据驱动信号线 25 连接到第一和第二数据 TFT A₁ 和 A₂ 的栅极电极上.第一数据检查信号线 21a 连接到第一数据 TFT A₁ 的源极电极上,而第二数据检查信号线 21b 连接到第二数据 TFT A₂ 的源极电极上.用于检查的第一到第三焊点 32a、32b 和 40 连接到每条第一和第二检查数据线 21a 和 21b 以及数据驱动信号线 25 的一端上.在这种情况下,数据驱动信号线 25 连接到数据 V_{off} 端子 51 上.也就是说,数据 TFT A₁ 和 A₂ 的栅极电极都连接到数据 V_{off} 端子 51 上. V_{off} 端子 51 通过经由后面模块化工艺中的 FPC 连接到 V_{off} 电压供给电路上而一直保持 V_{off} 电压.从而,数据 TFT A₁ 和 A₂ 处于相同的断开状态,这是由于在液晶显示器驱动时其一直保持在关状态.于是,不需要进行金刚石切割或激光切割来将用于检查的导线与数据线和栅极线分割开.

同时,由于数据线 DL1~DLn 依次连接到第一数据 TFT A₁ 和第二数据

TFT A₂ 上，所以可以通过单独驱动 TFT A₁ 和 A₂ 来依次驱动数据线 DL1~DLn。于是，可以探测到相邻数据线 DL1~DLn 中的短路。

当在如上所述的这种结构中进行 VI 时，从各焊点输入的信号表示在表 4 中。

表 4

序号	焊点名称	施加到焊点上的电压
1	V _{on}	V _{on}
2	V _{off}	V _{off}
3	Vcom	Vcom
4	CON1	V _{on}
5	CON2	V _{on} 或 V _{off} (根据要被驱动的奇数栅极线或偶数栅极线而变化)
6	CON3	V _{on} 或 V _{off} (根据要被驱动的奇数栅极线或偶数栅极线而变化)
7	40	V _{on}
8	32a	图像信号 1
9	32b	图像信号 2

同时，省略传输门电路的结构在图 21 中也可以实现。

图 22 是根据本发明第九实施例的 TFT 面板的电路图。

根据本发明第九实施例的 TFT 面板与第八实施例的相同，除了省略逻辑电路以外。

可以通过施加如表 5 所示的电压到具有这种结构的 TFT 的各焊点上来进行 1G 和 2D VI。也就是说，可以通过使所有的栅极线 GL1~GLn 处于开状态并通过依次导通或截止数据线 DL1~DLn 来进行 VI。

表 5

序号	焊点名称	施加到焊点上的电压
1	V _{on}	V _{on}
2	V _{off}	V _{on}
3	Vcom	Vcom
4	VST	V _{on}
5	VCK1	V _{on}
6	VCK2	V _{on}
7	40	V _{on}
8	32a	图像信号 1
9	32b	图像信号 2

同样，在根据本发明第九实施例的 TFT 面板中，与第八实施例类似，

V_{off} 端子 51 通过经由后面模块化工序中的 FPC 连接到 V_{off} 电压供给电路上而一直保持 V_{off} 电压。从而，数据 TFT A_1 和 A_2 处于相同的断开状态，这是由于在液晶显示器驱动时起总是保持在关状态下。于是，不需要进行金刚石切割或激光切割来将用于检查的导线与数据线和栅极线分割开。

图 23 是根据本发明第十实施例的 TFT 面板的电路图。

根据本发明第十实施例的 TFT 面板与第七实施例的相同，除了省略了用于 VI 的逻辑电路部分以外。

可以通过将如表 6 所示的电压施加到具有这种结构的 TFT 的各焊点上来进行 1G 和 2D VI。也就是说，可以通过使所有的栅极线 $GL1 \sim GLn$ 处于开状态，并通过依次导通或截止数据线 $DL1 \sim DLn$ 来进行 VI。

本发明第十实施例需要进行激光切割或金刚石切割，以在进行 VI 后将短路条 112 和 113 与数据线分开。

上述实施例可直接应用于 TFT 面板上任何类型的驱动 IC 形成部分，如多晶硅 TFT 面板或无定形硅驱动 IC 面板。

表 6

序号	焊点名称	施加到焊点上的电压
1	V_{on}	V_{on}
2	V_{off}	V_{on}
3	V_{com}	V_{com}
4	VST	V_{on}
5	VCK1	V_{on}
6	VCK2	V_{on}
7	V_{s1}	图像信号 1
8	V_{s2}	图像信号 2

虽然本发明已参照示例性实施例加以说明，但其不限于上面公开的实施例。本发明的范围包括涵盖于所附权利要求书中的各种修改及其等价物。

如上所述，通过将用于检查的导线经由用于检查的 TFT 连接到数据线和栅极线上，并且在检查之后，通过将 V_{off} 电压施加到用于检查的 TFT 上，检查得以进行，该 TFT 保持为与切断相同的状态，而不需要单独的切割过程。因此，可以除去切割用于检查的导线的额外工序并解决由切割导致的导线腐蚀。

同时，根据本发明，可以在集成了栅极驱动 IC 的 TFT 面板中进行 2G 和 2D 或 1G 和 2D 的视觉检查。

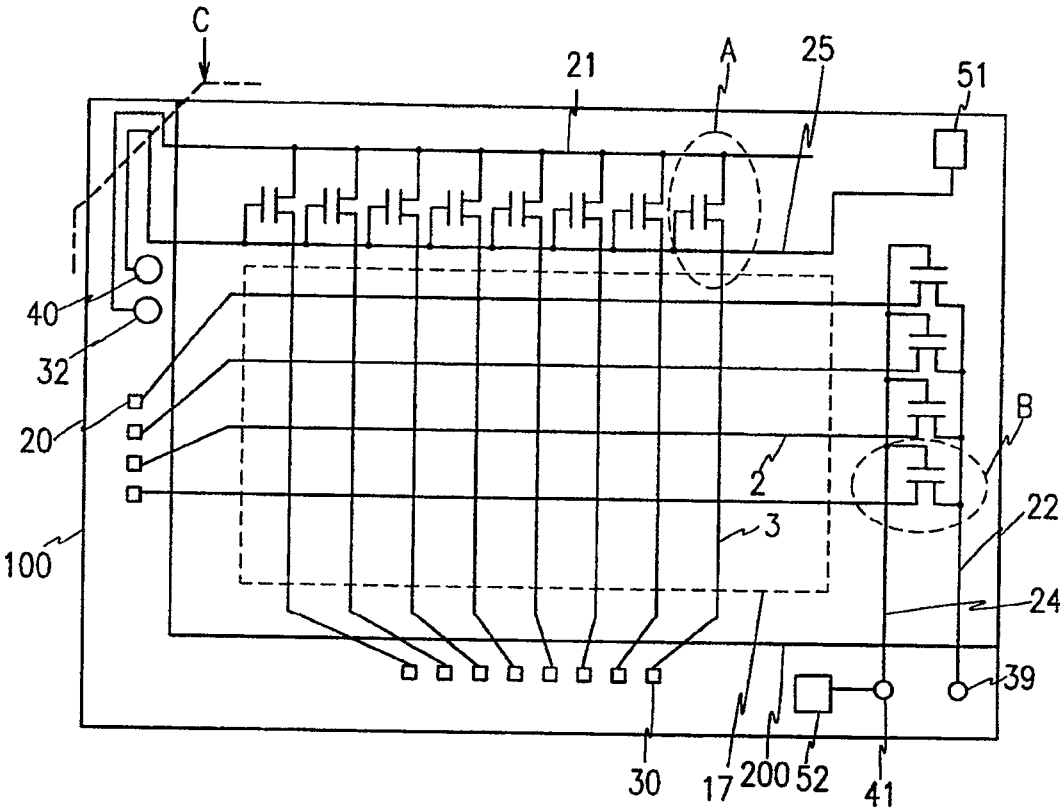


图 1

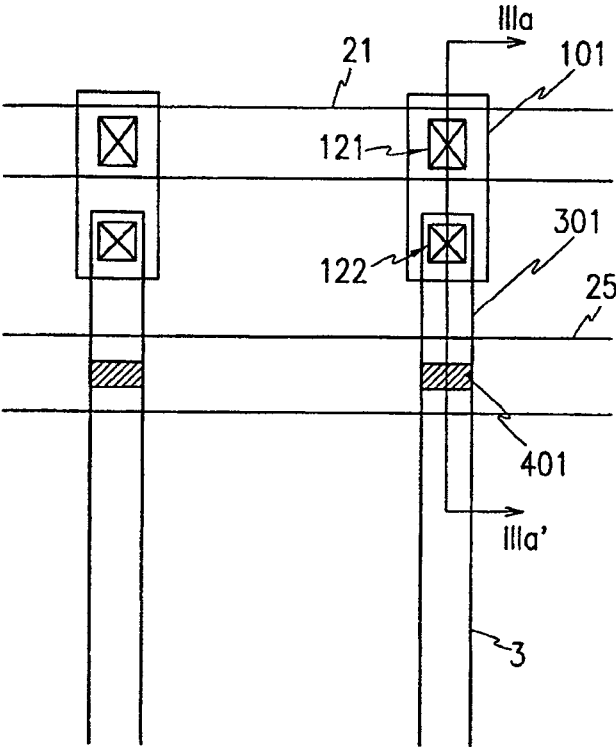


图 2A

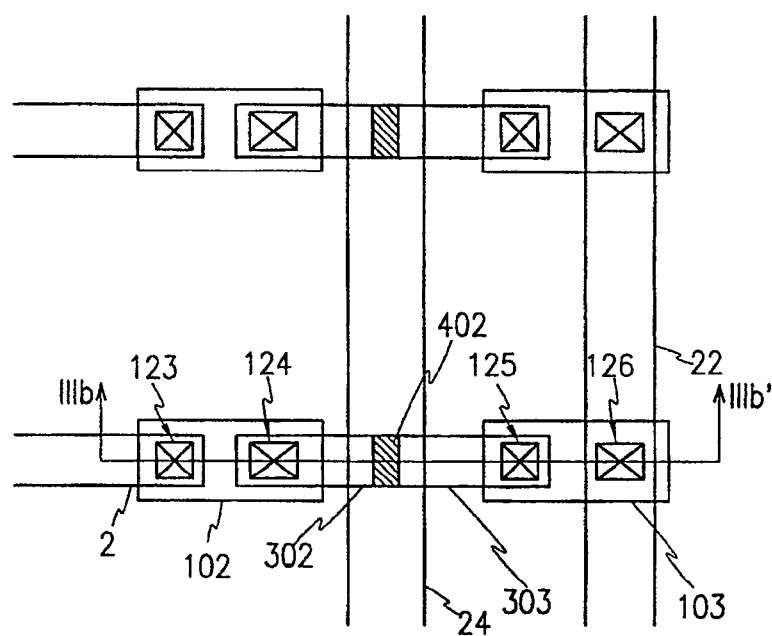


图 2B

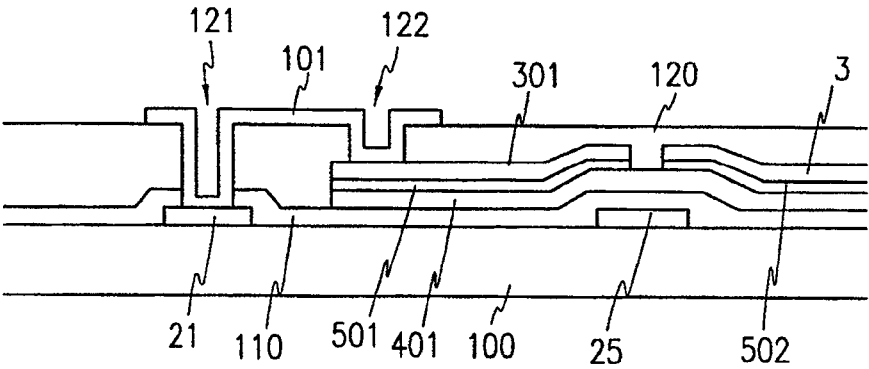


图 3A

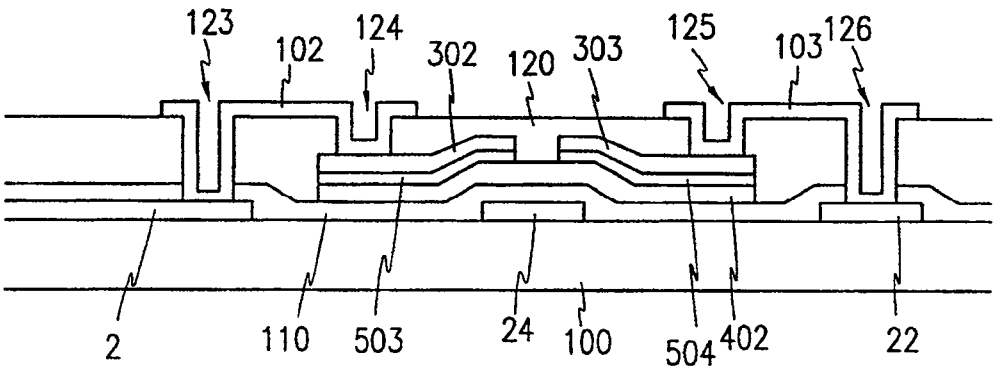


图 3B

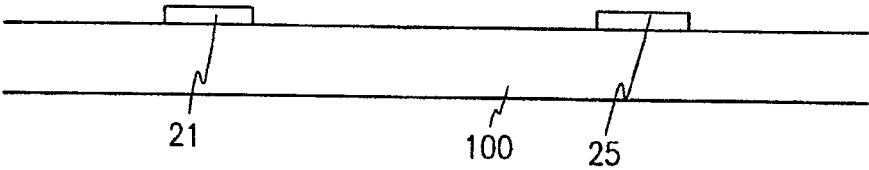


图 4A

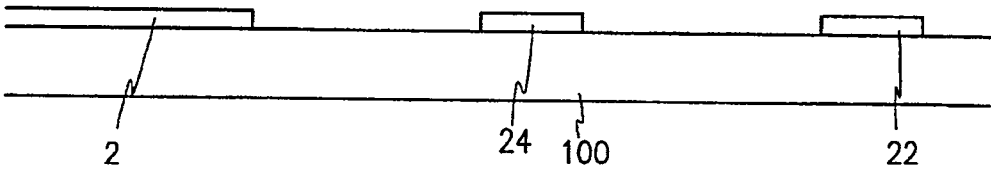


图 4B

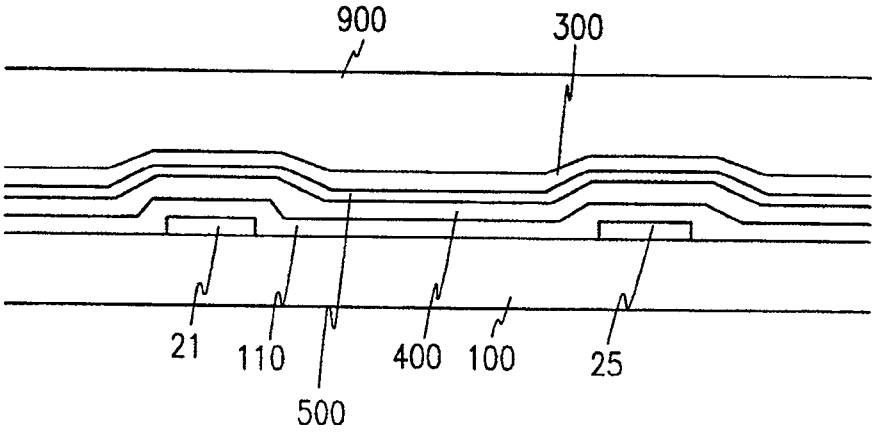


图 5A

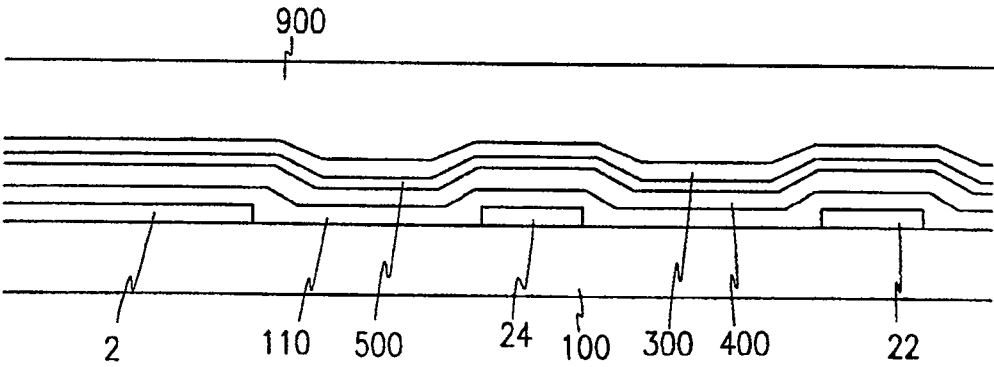


图 5B

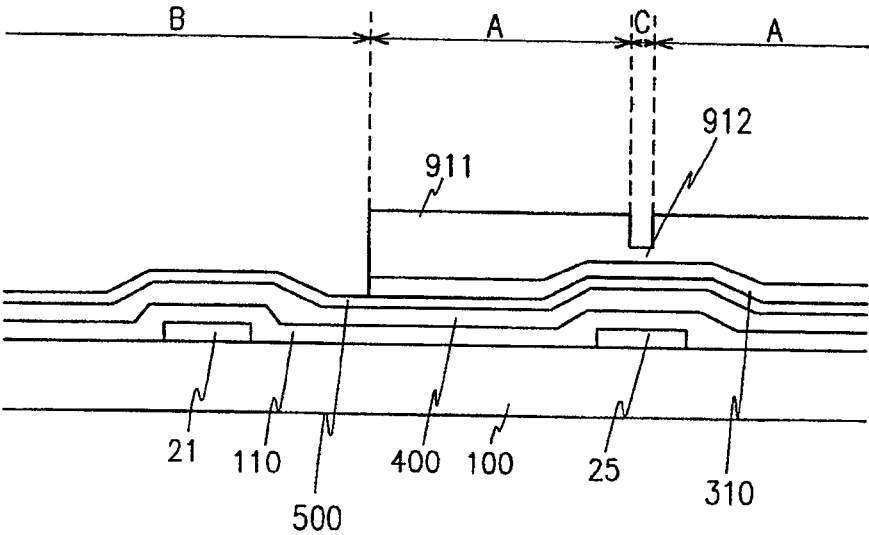


图 6A

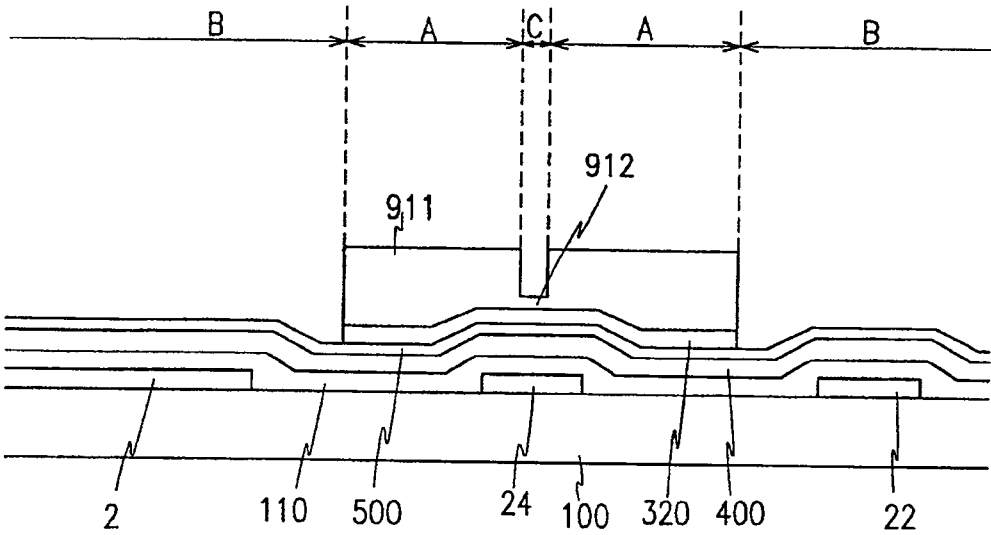


图 6B

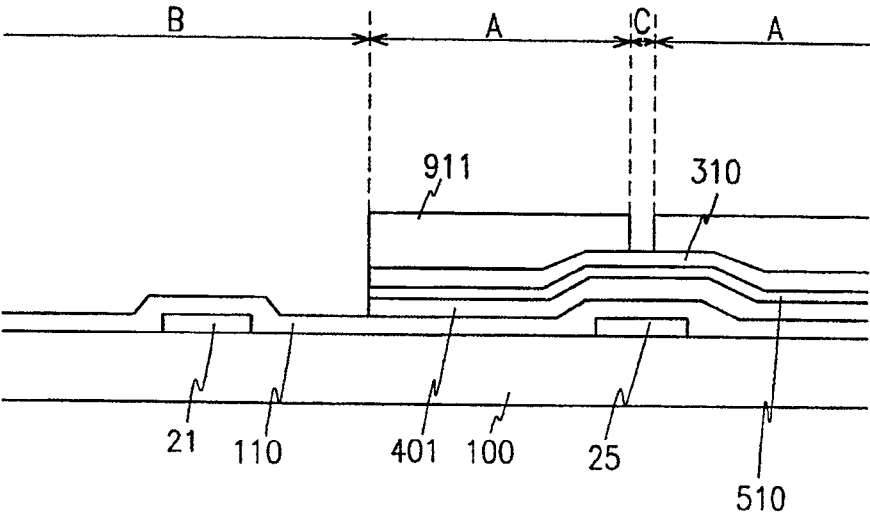


图 7A

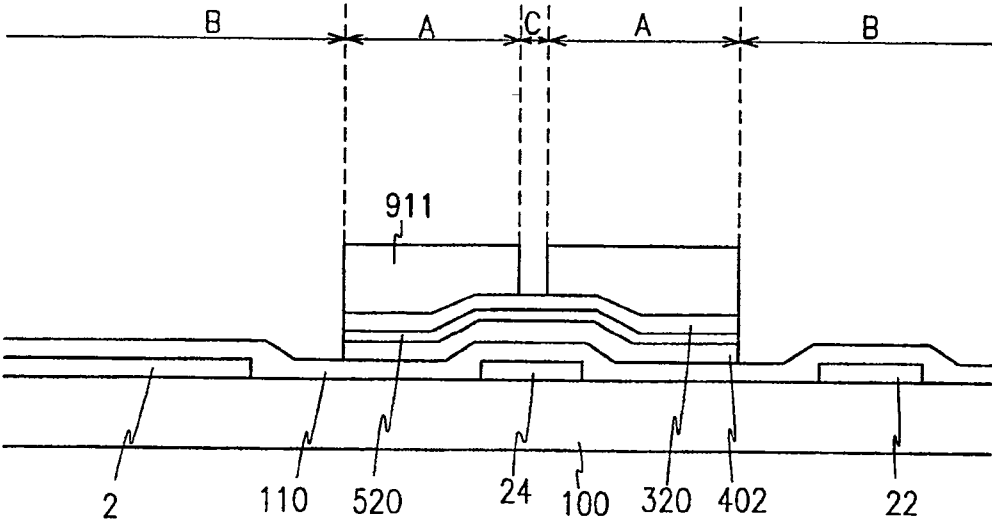


图 7B

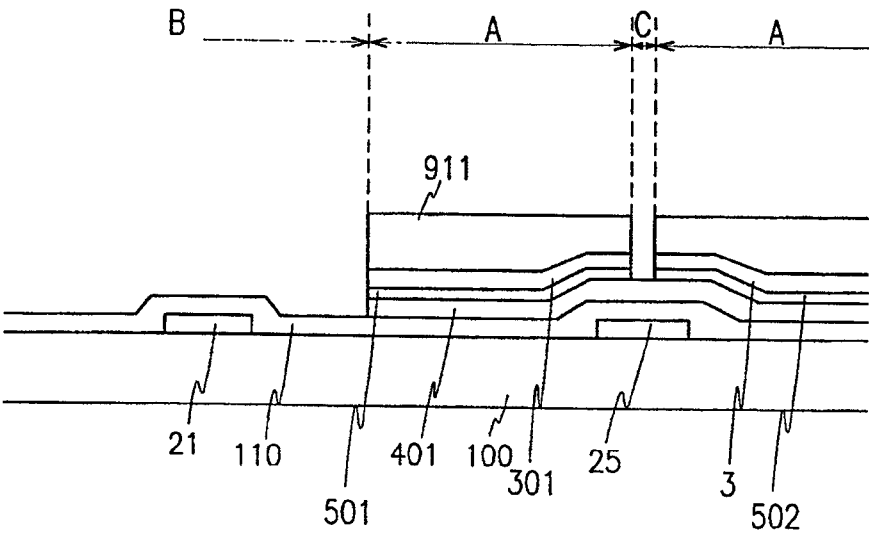


图 8A

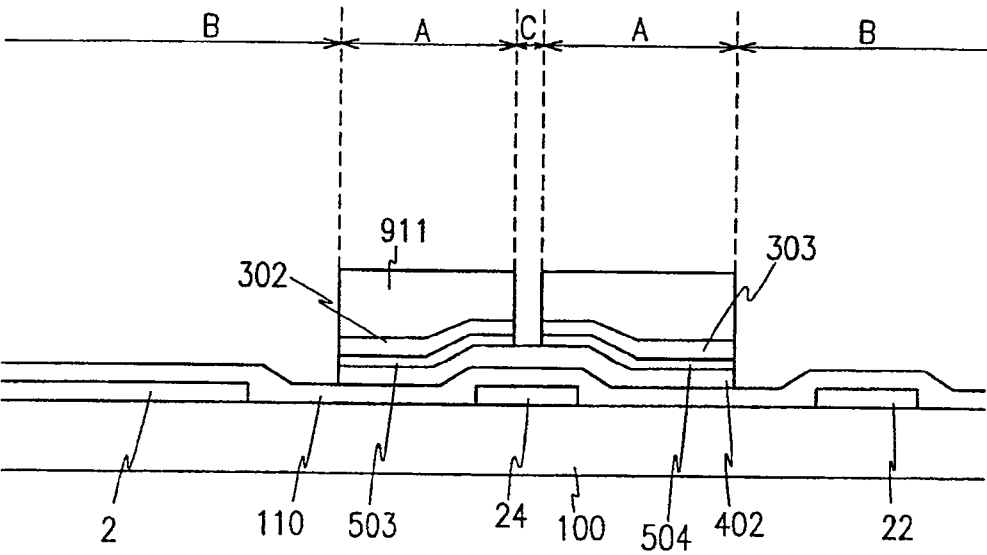


图 8B

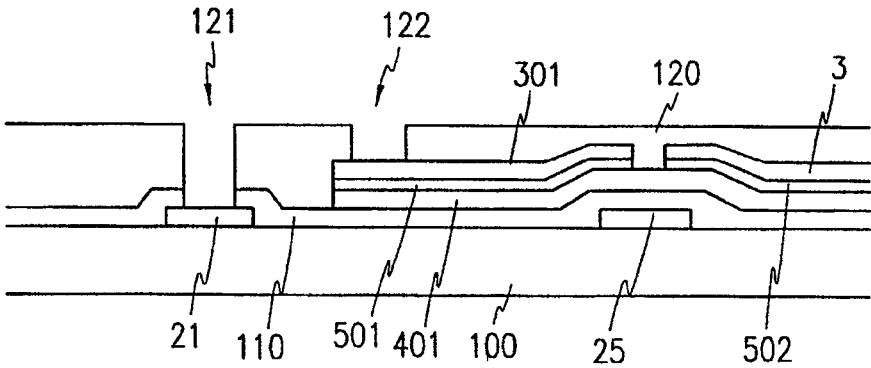


图 9A

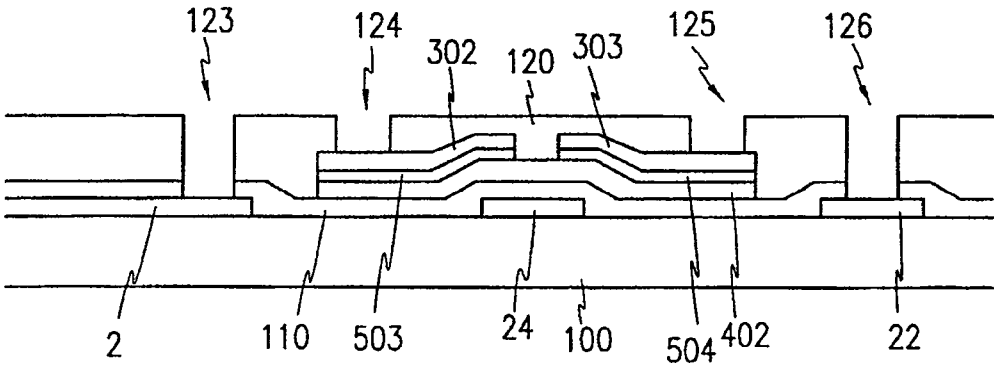


图 9B

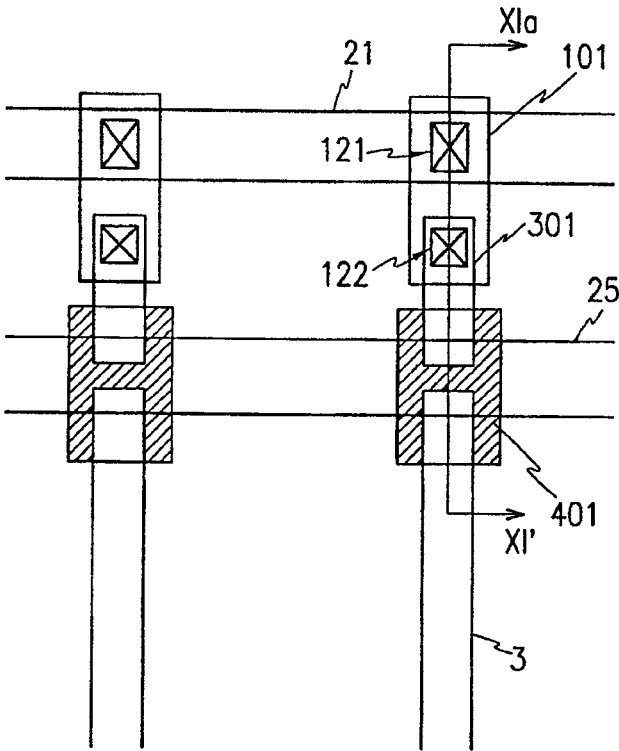


图 10A

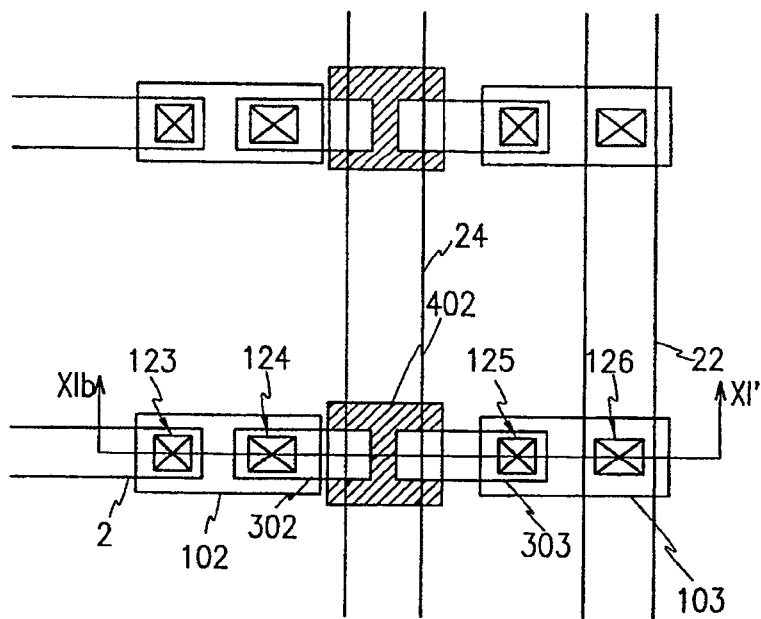


图 10B

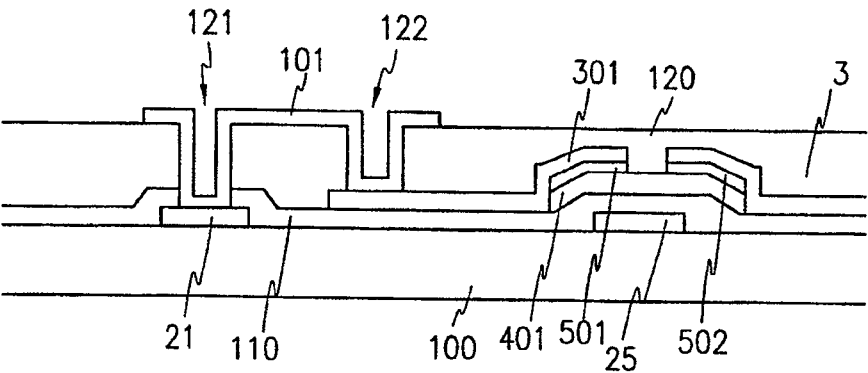


图 11A

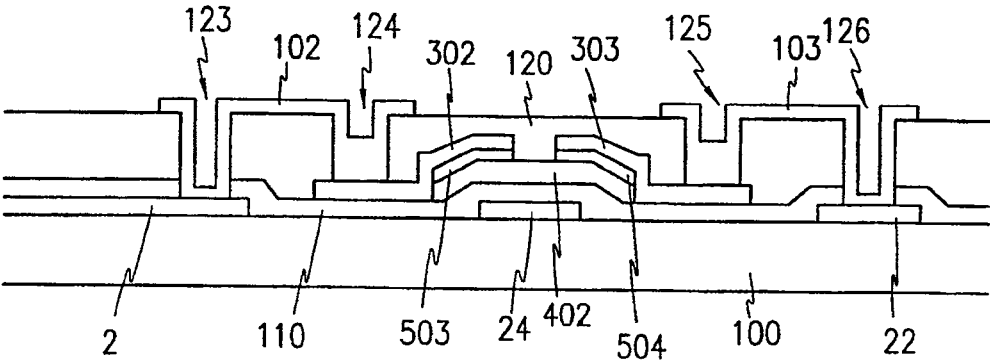


图 11B

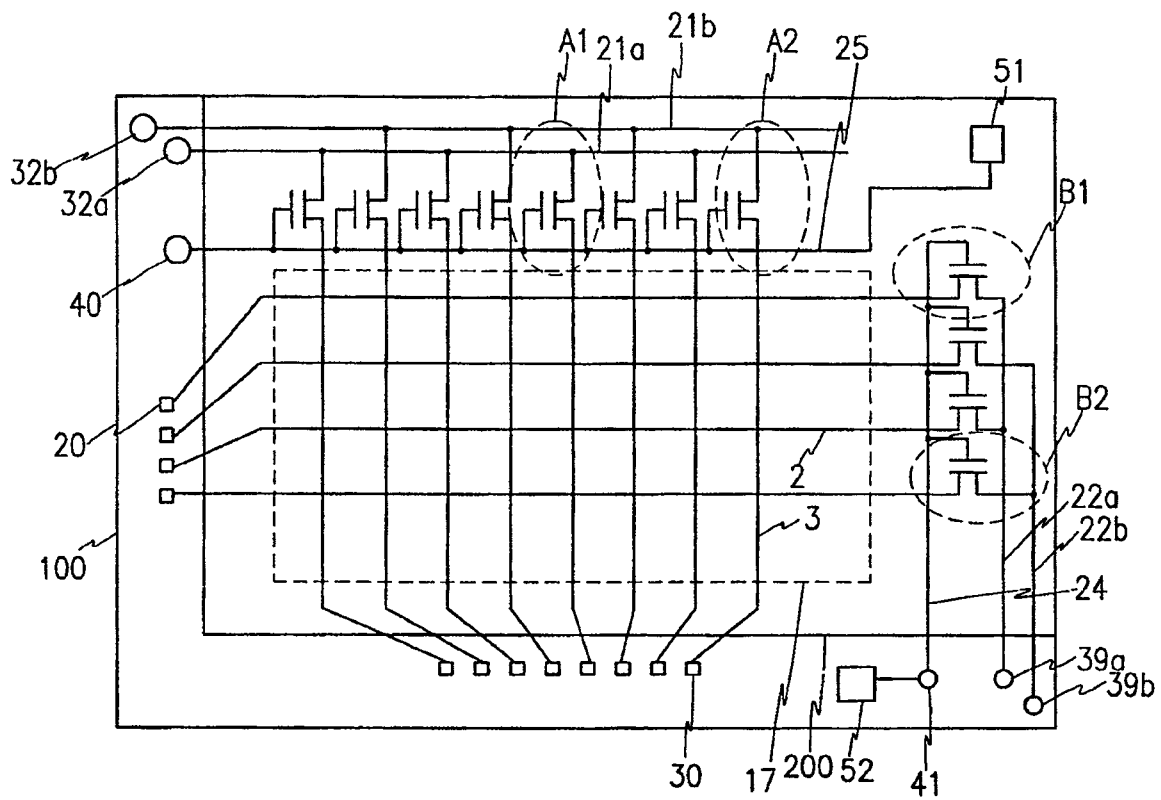


图 12

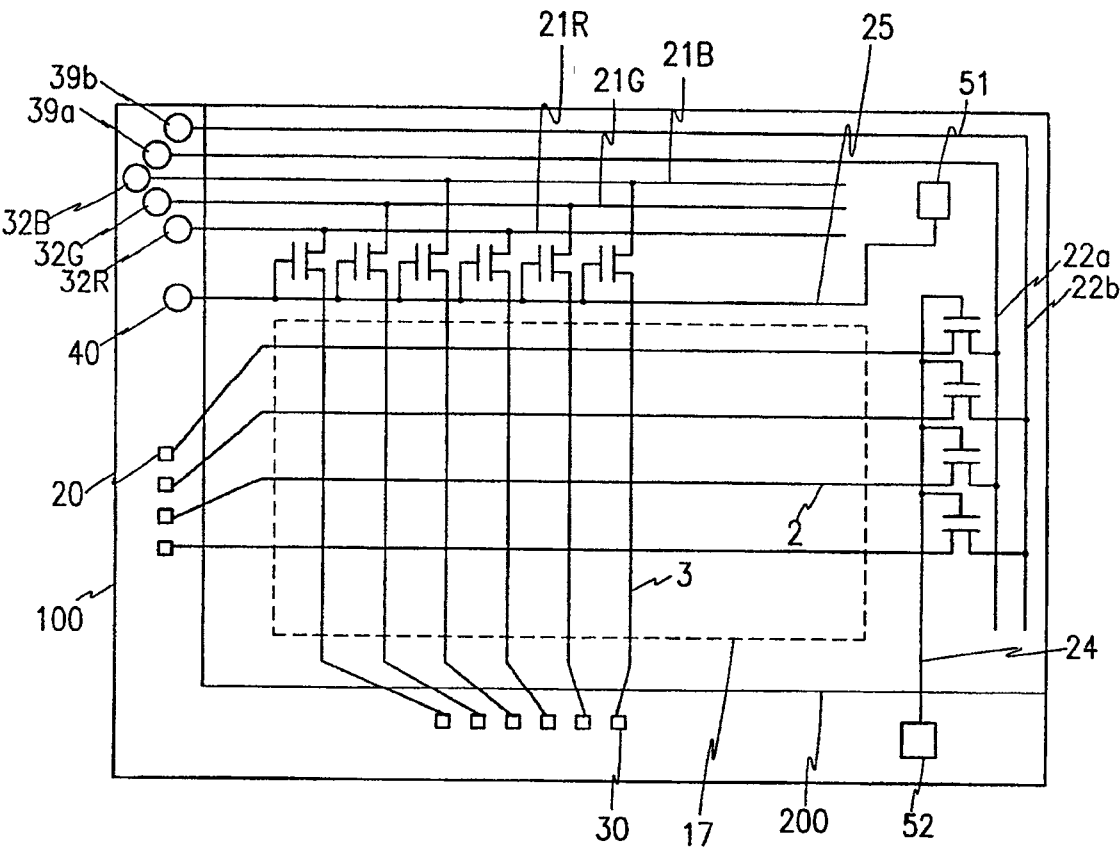


图 13

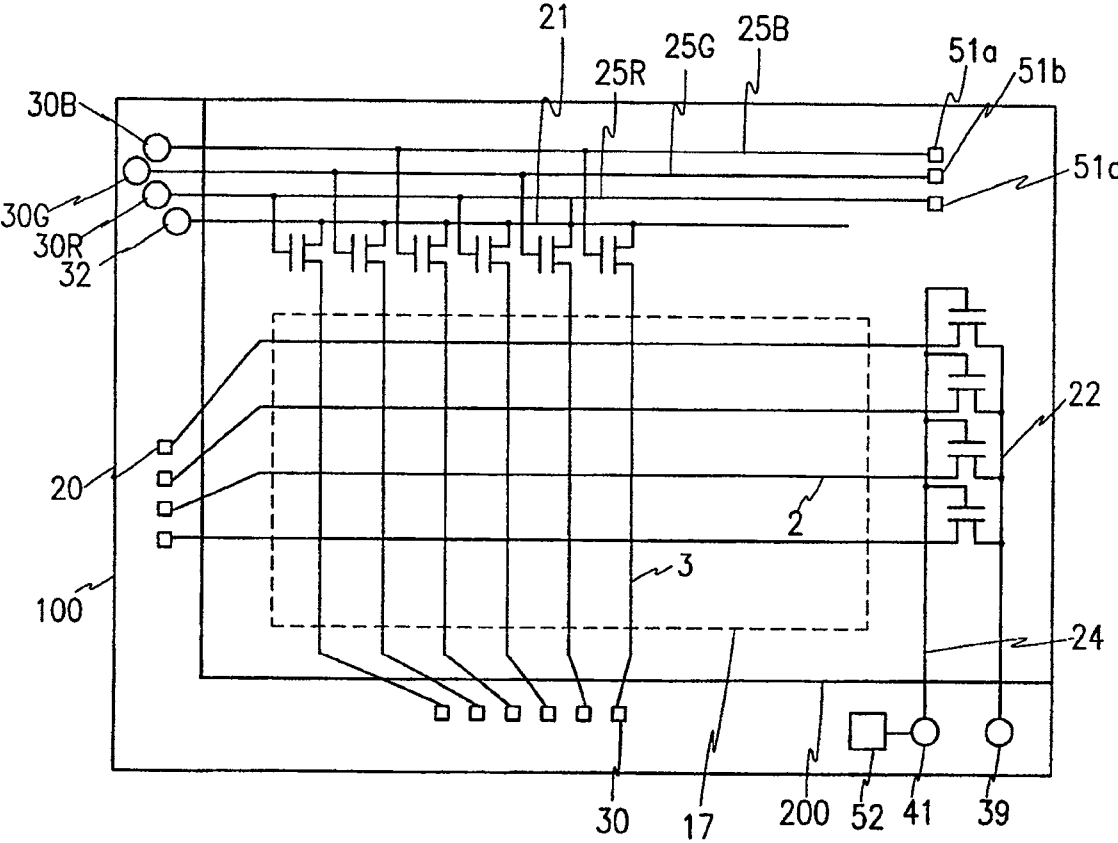
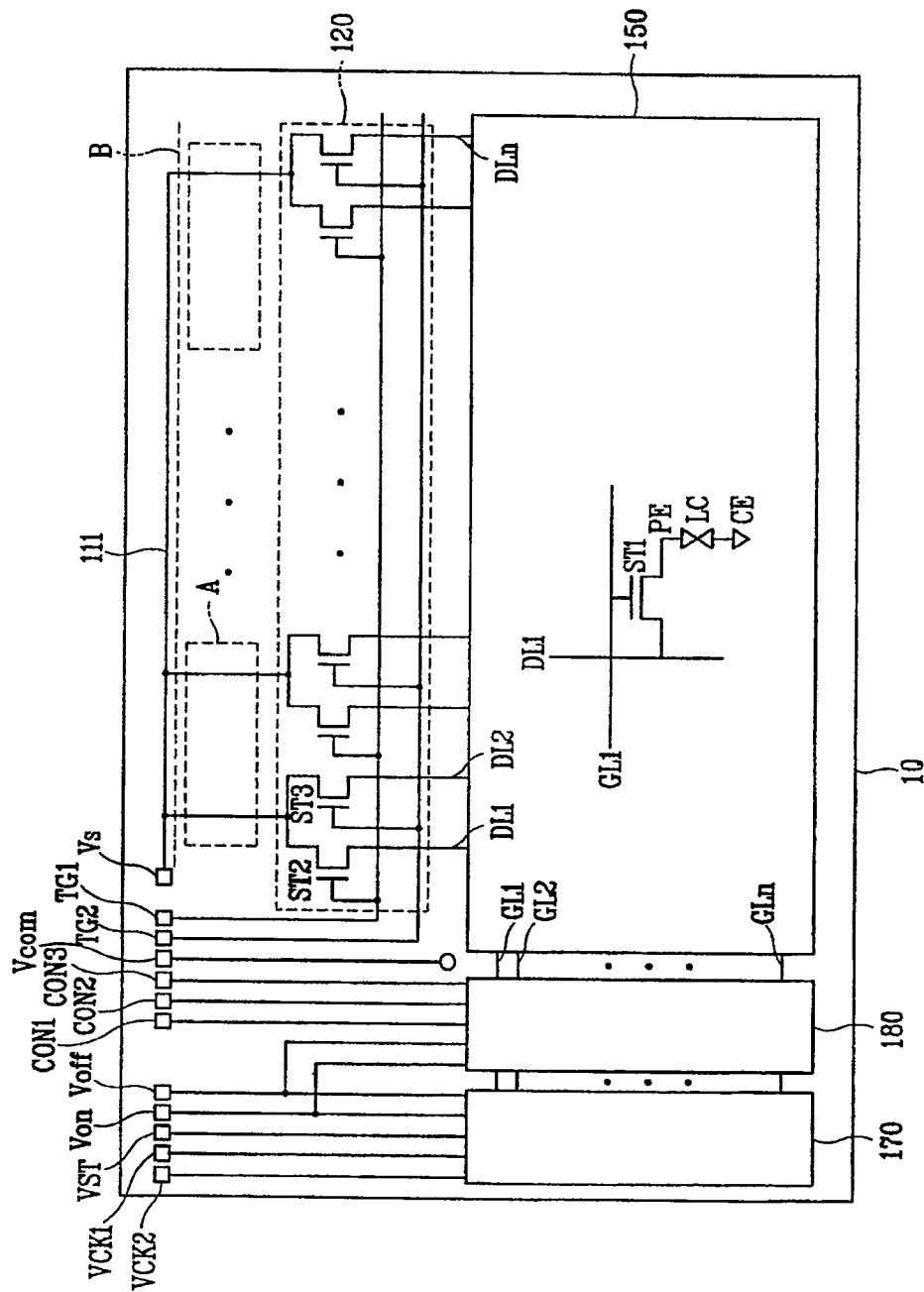


图 14



15

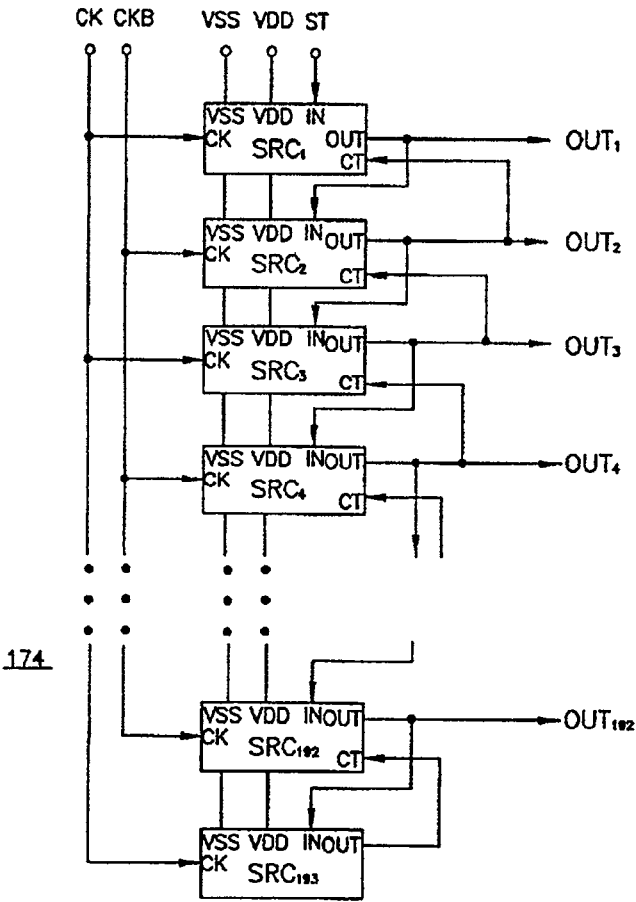


图 16

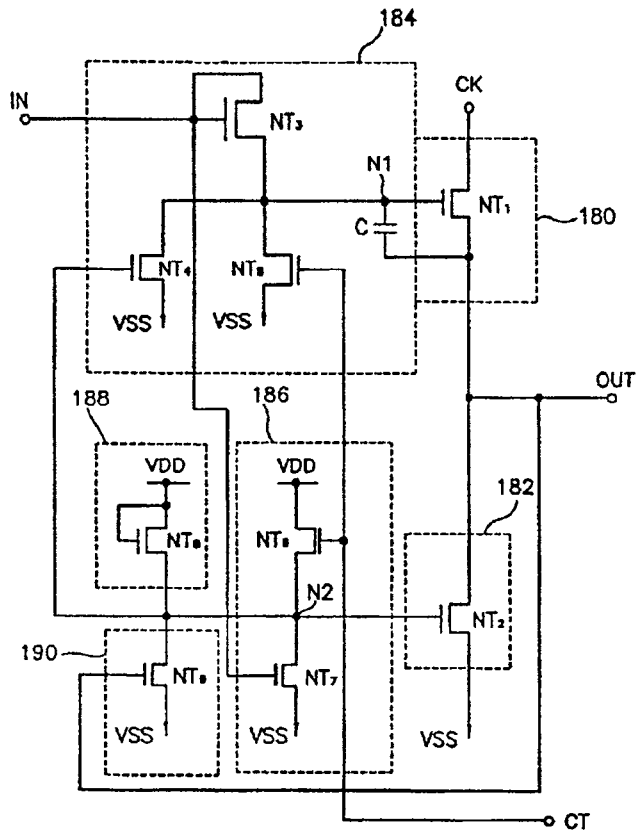


图 17

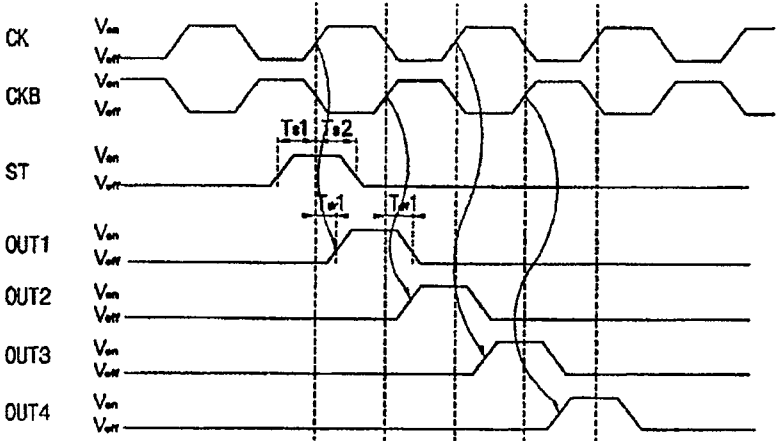


图 18

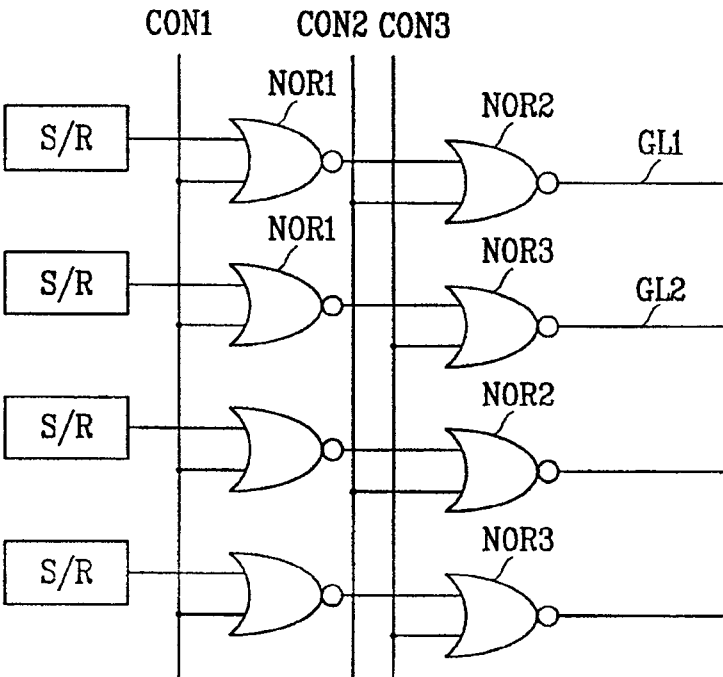
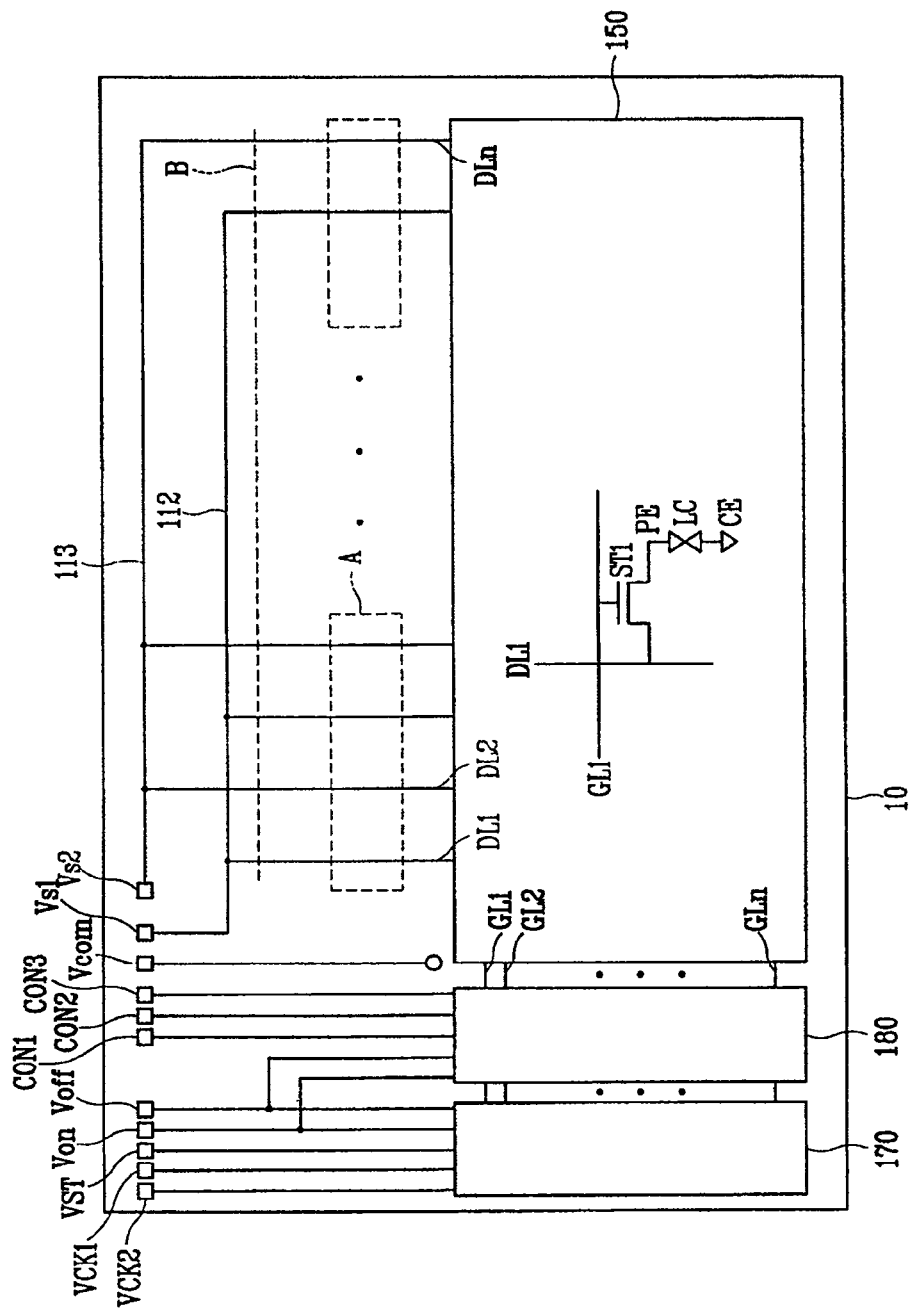


图 19



20

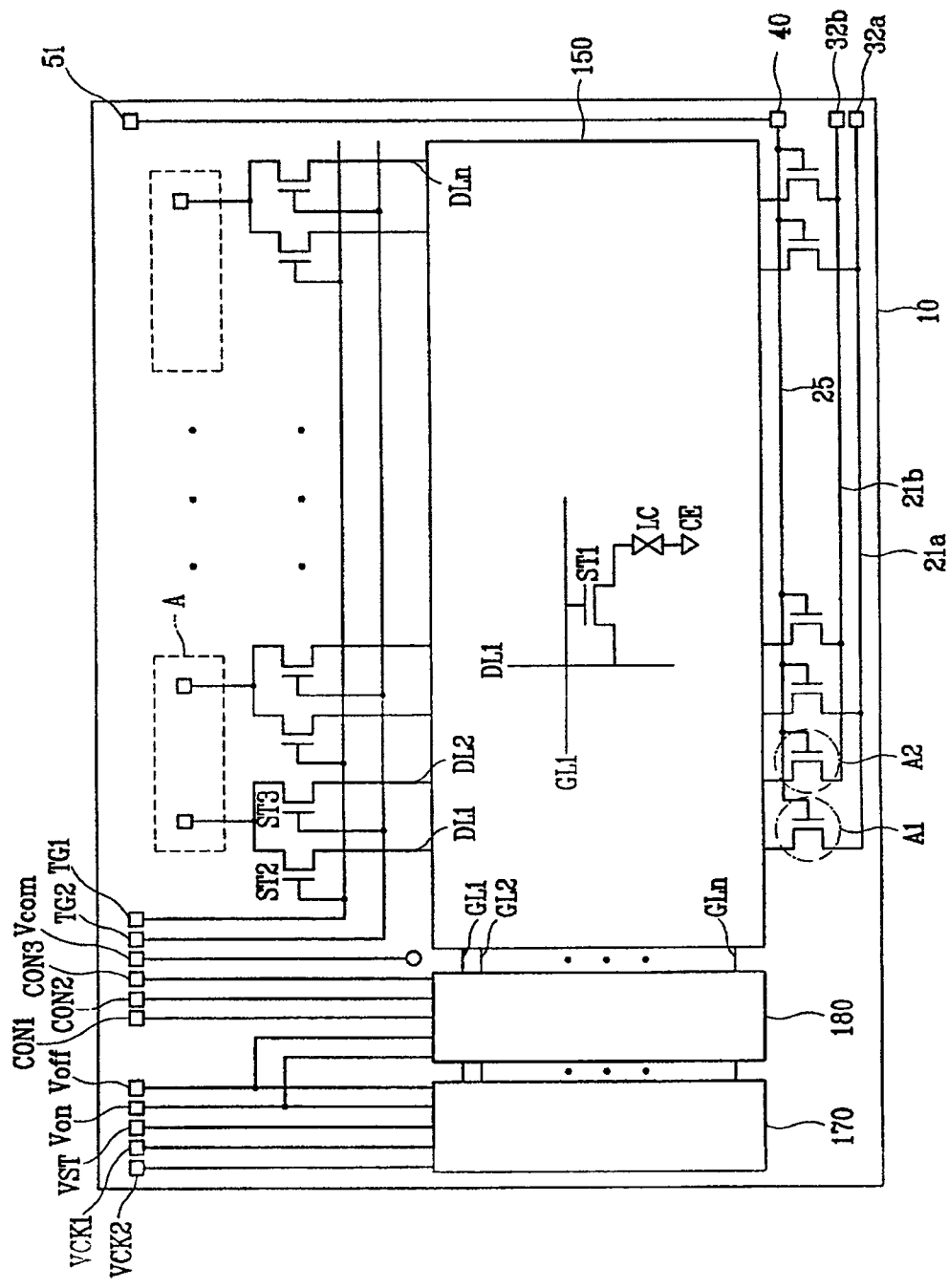
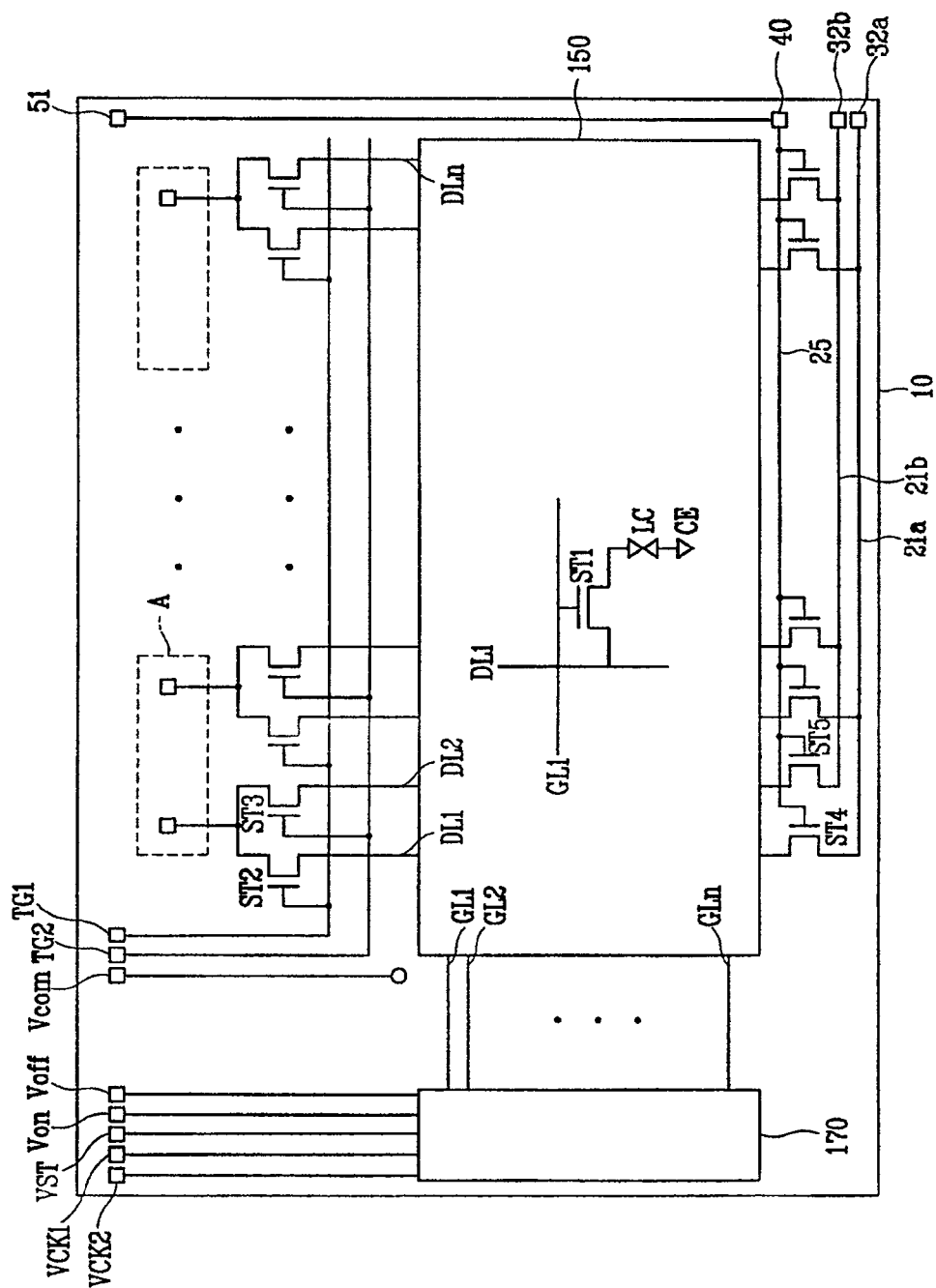


图 21



22 图

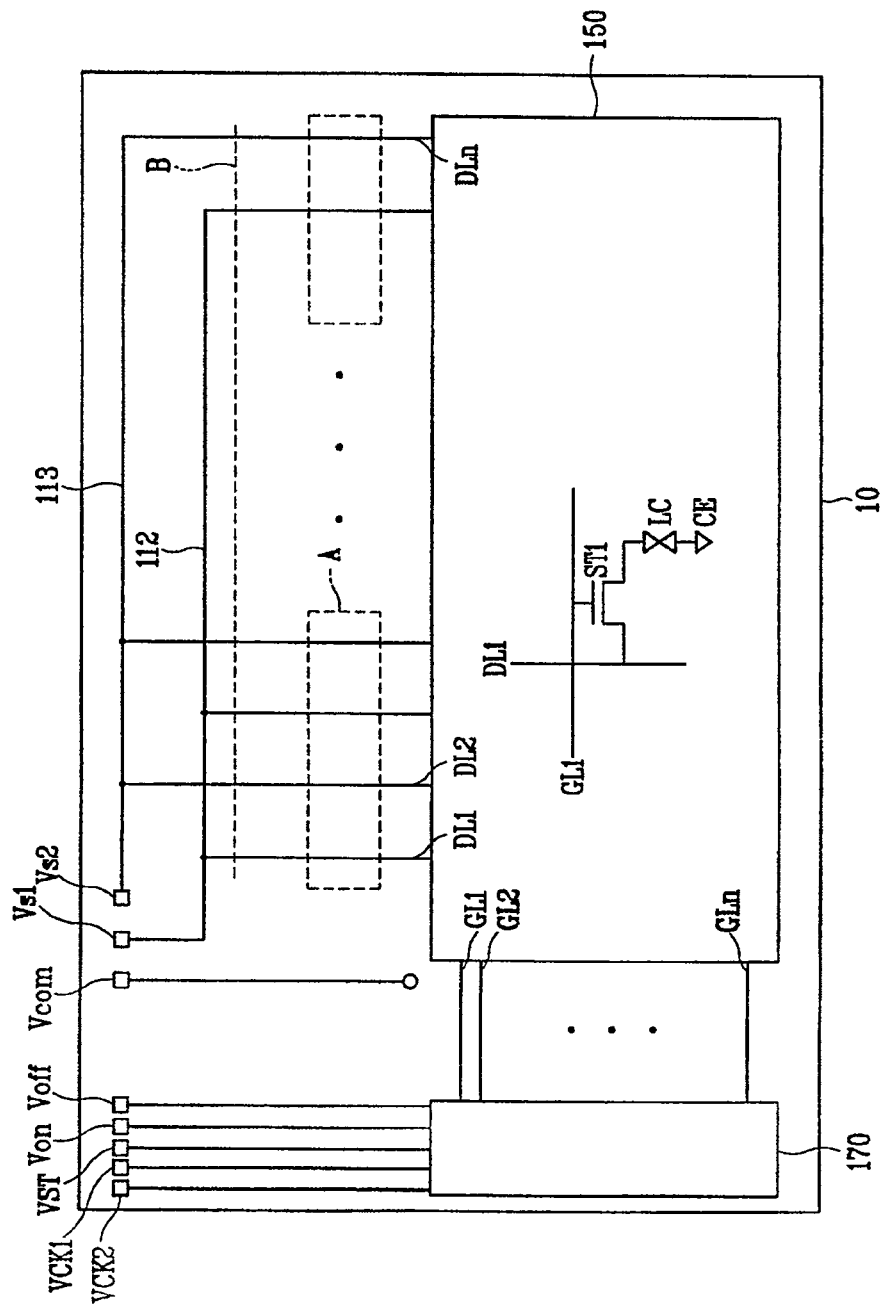


图 23